

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-278805  
(P2006-278805A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/82 (2006.01)	HO 1 L 21/82 P	5 F O 3 3
HO 1 L 23/12 (2006.01)	HO 1 L 23/12 3 O 1 L	5 F O 3 8
HO 1 L 23/52 (2006.01)	HO 1 L 21/88 T	5 F O 6 4
HO 1 L 21/3205 (2006.01)	HO 1 L 27/04 A	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 E	

審査請求 未請求 請求項の数 9 O L (全 12 頁) 最終頁に続く

(21) 出願番号	特願2005-96741 (P2005-96741)	(71) 出願人	500174247 エルピーダメモリ株式会社 東京都中央区八重洲2-2-1
(22) 出願日	平成17年3月30日 (2005.3.30)	(74) 代理人	100077838 弁理士 池田 憲保
		(74) 代理人	100082924 弁理士 福田 修一
		(74) 代理人	100129023 弁理士 佐々木 敬
		(72) 発明者	伊佐 聡 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内
		(72) 発明者	片桐 光昭 東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

最終頁に続く

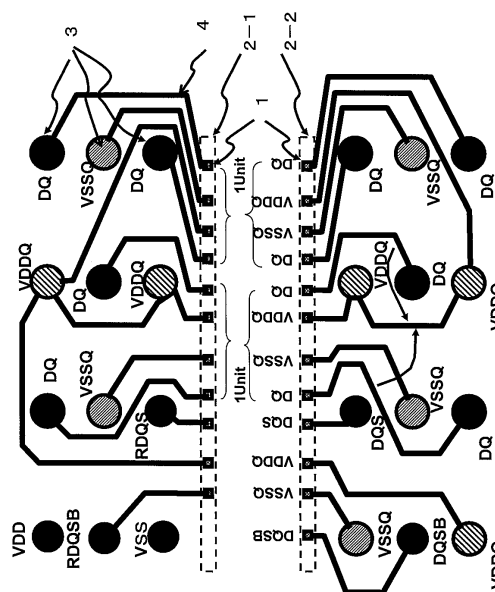
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置の規模がさらに大きくなった時、パッドの配列を2列配置としたほうが有利である。しかし、パッケージ基板のデータ用電源、グランドがチェッカ模様配置されたソルダーボールランドとの接続において、電源の実効インダクタンスが大きくなり、電源ノイズが発生する問題がある。

【解決手段】パッドとソルダーボールランドとの配線長よりも電源配線やグランド配線の配置を工夫し実効的なインダクタンスの低減を優先させたデータ系のパッド配置とする。パッドの配列を2列配置とし、パッド配置の1つのユニットをデータ用電源とグランドとを隣接、またはデータ用電源とグランドとの間の1本のデータを挿入した構成とする。これらの構成によりデータ用電源間の相互インダクタンスが小さく、かつデータ用電源とグランド間の相互インダクタンスが大きくなり、データ用電源とグランドの実効インダクタンスが低減されることから、電源、グランドノイズが低減できる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

半導体チップの中央部に複数のパッドを設けたパッド配列を 2 列備え、前記パッドはデータパッド ( S ) とデータ用電源パッド ( V ) とデータ用グランドパッド ( G ) とを有し、前記パッド配列は 4 個のパッドを有したユニットを備え、前記ユニットのパッド配置は前記データ用電源パッド ( V ) と前記データ用グランドパッド ( G ) とを挟んで前記データパッド ( S ) を配置し、前記ユニットが前記 2 列のパッド配列のそれぞれに配置され、前記パッドとパッケージ基板のソルダボールランドとをそれぞれ接続したことを特徴とする半導体装置。

## 【請求項 2】

前記ユニットは、 S - V - G - S、または S - G - V - S とパッド配置したことを特徴とする請求項 1 に記載の半導体装置。

## 【請求項 3】

前記パッド配列のそれぞれは、前記ユニットを 2 つ配置し、 8 ビットのデータを出力することを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 4】

前記パッド配列のそれぞれは、前記ユニットを  $2n$  (  $n$  は 2 以上の自然数 ) 個配置し、  $8n$  ビットのデータを出力することを特徴とする請求項 2 に記載の半導体装置。

## 【請求項 5】

前記ユニットのパッド配列において、一部のデータパッド ( S ) と前記ソルダボールランドとを未接続とすることで、 4 ビットのデータを出力することを特徴とする請求項 3 に記載の半導体装置。

## 【請求項 6】

半導体チップの中央部に複数のパッドを設けたパッド配列を 2 列備え、前記パッドはデータパッド ( S ) とデータ用電源パッド ( V ) とデータ用グランドパッド ( G ) とを有し、前記パッド配列は 4 個のパッドを有したユニットを備え、前記ユニットのパッド配置は G - S - V - S であり、前記ユニットが前記 2 列のパッド配列のそれぞれに配置され、前記パッドとパッケージ基板のソルダボールランドとをそれぞれ接続したことを特徴とする半導体装置。

## 【請求項 7】

前記パッド配列のそれぞれは、前記ユニットとその反転されたユニットとを配置し、 8 ビットのデータを出力することを特徴とする請求項 6 に記載の半導体装置。

## 【請求項 8】

前記パッド配列のそれぞれは、前記ユニットを  $2n$  (  $n$  は 2 以上の自然数 ) 個配置し、  $8n$  ビットのデータを出力することを特徴とする請求項 7 に記載の半導体装置。

## 【請求項 9】

前記ユニットのパッド配列において、一部のデータパッド ( S ) と前記ソルダボールランドとを未接続とすることで、 4 ビットのデータを出力することを特徴とする請求項 7 に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体装置に係り、特に、パッケージ端子と接続されるパッドが半導体チップ中央に配置された半導体装置に関する。

## 【背景技術】

## 【0002】

近年、半導体装置は高速化、大規模集積化とともに、装置の小型化のためにパッケージの小型化が進められている。ダイナミックアクセスメモリ (以下、DRAM と略記する) は、ギガビットの記憶容量を備え、小型パッケージに搭載された大容量の記憶装置が開発されている。パッケージの小型化として、パッケージ基板にソルダボールを配列した表

10

20

30

40

50

面実装型のボールグリッドアレイ（以下、BGAと略記する）がある。これらのBGAのソルダボールの配置は規格化され、標準化されている。

【0003】

さらに、DRAMにおいては、同じメモリ容量サイズであっても、同時に入出力されるビット数はさまざまである。4ビット構成、8ビット構成、16ビット構成、32ビット構成、64ビット構成等がある。異なるビット構成のピン配置は、各ビット構成に共通性を持たせ、ユーザーとして記憶容量の増設、減縮が簡単に行えるようになっている。そのために各ビット構成のBGAソルダボールの配置は、共通性を持たせ、規格化されている。

【0004】

このため、半導体メーカーは、4、8、16、32、64ビット構成をそれぞれ開発製品化する必要がある。しかし、それぞれを単一製品として開発する場合、その開発工数が膨大となることから共通性をもたせたファミリー製品として開発を行っている。さらに、生産ラインで同一製品として扱えるボンディングオプションでの製品切換え、またはアルミマスタスライスによる製品切換えができるように製品開発されている。少ない工数で多くの製品を開発するために、ビット数を自由に拡張できるようなデータ構成とし、さらに規格化されたBGAソルダボールに合わせ、半導体チップのデータピンを配置させる。そのデータピン配置に汎用性をもたせ、拡張できるようにすることで製品開発の効率を向上させている。

【0005】

この規格化されたソルダボールの配置においては、データピンのみならず、データ用の電源、グランドピンが規定され、データ(DQ)、データ用電源(VDDQ)、データ用グランド(VSSQ)が1つのグループとして規定されている。多ビットのデータを扱う場合には、一般回路用の電源(VDD)、グランド(VSS)とは別に、データ用電源(VDDQ)、データ用グランド(VSSQ)が設けられている。データ用の電源(VDDQ)、データ用グランド(VSSQ)を設けることで、データ回路が同時動作する時の電源及びグランドノイズを抑止し、高速データ転送を行うためである。

【0006】

データ(DQ)、データ用電源(VDDQ)、データ用グランド(VSSQ)の配置(端子数の比)は、4ビット構成は $DQ : VDDQ : VSSQ = 1 : 1 : 1$ であり、8ビット以上のビット構成は $DQ : VDDQ : VSSQ = 2 : 1 : 1$ である。8ビット以上の多ビット構成は、8ビット構成の基本構成を繰り返し配置することで構成される。理想的には8ビット以上の多ビット構成も、 $DQ : VDDQ : VSSQ = 1 : 1 : 1$ の比率とすることが望ましい。しかし、パッド数の制約からその比率は、 $2 : 1 : 1$ とされている。したがって多ビット構成においては、電源及びグランドノイズを抑止できるデータ系のピン配置を考慮する必要がある。

【0007】

現状のデータ系の配置を図6に示す。半導体チップにおけるパッドは、チップ中央部のパッド領域に1列に配置されている。図6の配置は8ビット構成であり、データ用グランド(VSSQ)、データ(DQ)2本、データ用電源(VDDQ)を1ユニットとして、次のユニットは反転し、データ用電源(VDDQ)、データ(DQ)2本、データ用グランド(VSSQ)として繰り返し配置されている。8ビット構成の電源とデータピン数は $DQ : VDDQ : VSSQ = 2 : 1 : 1$ である。これらのチップ中央に配置されたパッドは上下に配置されたソルダボールランドに1ユニット単位に上側、下側方向に交互に配線される。パッドとしては隣接したデータ用電源(VDDQ)は上下方向に別々に配線されることから、データ用電源(VDDQ)のインダクタンスは問題になることはなかった。

【0008】

一方、さらに大容量化されたDRAMにおいて、チップ中央にパッドを配置し、その上下方向にメモリセルアレイを配置した場合には、新たな問題が生じてくる。図7(A)に

10

20

30

40

50

示すように大容量化されたDRAMにおいては、横方向に長くなりすぎ、チップサイズとして、生産工程におけるPR露光エリア等の問題が発生することが判明した。そこで本願発明者は図7(B)に示すように、パッド領域の両脇にもメモリセルアレイを配置し、中央部のパッド領域には2列のパッド配列とすることを検討した。しかし、従来のデータ用グラウンド(VSSQ)、データ(DQ)2本、データ用電源(VDDQ)のパッド配置を2列に配置した場合には、インダクタンスにより波形が乱れ、高速化されたデータ転送速度特性を満足しないことが判明した。図8に8ビット構成品のパッド配置、図9に4ビット構成品のパッド配置を示す。

#### 【0009】

図8の8ビット構成品において、従来のデータ用グラウンド(VSSQ)、データ(DQ)2本、データ用電源(VDDQ)のユニットと、データ用電源(VDDQ)、データ(DQ)2本、データ用グラウンド(VSSQ)のユニットを上下2列に配置する。以下の説明においては、データ用グラウンド(VSSQ)をG、データ(DQ)をS、データ用電源(VDDQ)をVと略記し、G-S-S-V、V-S-S-Gと表記する。図6のパッドが1列配置された場合にはG-S-S-Vのユニットは上側のソルダボールランドへ配線され、V-S-S-Gのユニットは下側のソルダボールランドへ配線される。したがってデータ用電源が連続した場合でもパッドからの引き出し配線方向が上下、逆方向となることから2本の電源ピンとして機能する。

#### 【0010】

しかし2列のパッド配列の場合にはV-V、G-Gと連続する個所においては、パッドからの引き出し配線方向が同じになってしまう。すると、データ用電源(VDDQ)パッドは2つ並ぶがパッド近傍で1本に纏まってしまうため、データ用電源(VDDQ)配線1本を共有するデータ(DQ)数は従来の2倍の4本となる。この事はつまり、データ用電源(VDDQ)配線のインダクタンスが従来の2倍程度に増加したのと同様な影響を及ぼす。

#### 【0011】

この対策としてそれぞれのデータ用電源パッドに、2つのデータ用電源のソルダボールランドから別配線を敷設することが考えられる。この場合は前記別配線に流れる電流の向きが同じ方向であることに起因して、この別配線同士の相互インダクタンスと自己インダクタンスの和(実効インダクタンス)が増加してしまう。なお実効インダクタンスにおいて、電流の向きが逆方向の場合には、相互インダクタンスは前記とは逆に減算の効果をもたらす。以上により、結果的にインダクタンスの低減に困難性を生じていた。このような電源及びグラウンドのインダクタンスの増加は、データ出力時の同時スイッチングにおける電源及びグラウンドノイズの増大、データ(DQ)出力信号の品質悪化、デバイスの電圧マージン及びタイミングマージンの悪化を引き起こし、デバイスの高周波特性を劣化させる要因となる。

#### 【0012】

図9の4ビット構成品においては、一般的に8ビット構成品と同一の半導体チップが使用されている。データ用電源、グラウンドは配線され、一部のデータは配線されず4ビット分のみが配線される。8ビット構成のG-S-S-V、V-S-S-Gの8パッド構成からG-S-V、V-S-Gの6パッド構成となる。従来はDQ:VDDQ:VSSQ=1:1:1であったが、図の矢印で示すようにデータ用電源(VDDQ)配線1本を共有するデータ(DQ)数は従来の2倍の2本となる。4ビット構成品においても、8ビット構成品と同様な問題が生じ、半導体装置の高周波特性を劣化させる要因となる。

#### 【0013】

このように、4ビット構成品、8ビット構成品とも現状製品よりも、特性が劣化し、高速データ伝送には適しないことが、本願発明者により判明した。規格として設定されたBGAのソルダボール配置に対応し、さらに、多ビット構成品に応用できる汎用性を有し、かつ今後のより高速データ伝送に適したデータ系のパッド配置が大容量メモリとして新しい課題となってきた。

## 【 0 0 1 4 】

B G A に搭載されるチップのパッド配置の関する特許文献として下記文献がある。特許文献には、チップ中央部に 1 列配置されたチップパッドから、B G A 基板の両端に配置された基板パッドにそれぞれワイヤ接続する B G A パッケージが示されている。B G A 基板の片側に位置する基板パッドに対しては電源電位、信号線、接地電位の配置になるようにワイヤ接続することで、相互インダクタンスを低減させて技術が開示されている。しかし、これらの特許文献においては、チップパッドはチップ中央部に 1 列配置され、電源、グランド、信号線は 1 : 1 : 1 である。したがって特許文献には、本願発明の課題である 2 列パッド配列に関する問題認識がなく従来技術相当であり、本願課題を解決するものではなく、上記した問題は残されたままである。

10

## 【 0 0 1 5 】

【特許文献 1】特開 2 0 0 1 - 1 8 5 5 7 6 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 1 6 】

上記したように、大規模化され、さらに記憶容量が大きくなった半導体装置においては、半導体チップ中央部に配置するパッド列を 2 列配置にすることが望まれる。パッド配列を 2 列にし、規格として設定された B G A のパッド配置に対応し、さらに多ビット構成部品に対応できる汎用性を有した高速データ伝送に適したデータ系のパッド配置を見出すことが緊急問題である。

20

## 【 0 0 1 7 】

本願の目的は、上記した問題に鑑み、パッドからの配線インピダンスが小さく、高速データ伝送が可能なデータ系のパッド配置と、該パッド配置を備えた高速データ伝送可能な半導体装置を提供することである。

【課題を解決するための手段】

## 【 0 0 1 8 】

本願の半導体装置は、半導体チップの中央部に複数のパッドを設けたパッド配列を 2 列備え、前記パッドはデータパッド ( S ) とデータ用電源パッド ( V ) とデータ用グランドパッド ( G ) とを有し、前記パッド配列は 4 個のパッドを有したユニットを備え、前記ユニットのパッド配置は前記データ用電源パッド ( V ) と前記データ用グランドパッド ( G ) とを挟んで前記データパッド ( S ) を配置し、前記ユニットが前記 2 列のパッド配列のそれぞれに配置され、前記パッドとパッケージ基板のソルダボールランドとをそれぞれ接続したことを特徴とする。

30

## 【 0 0 1 9 】

本願の半導体装置の前記ユニットは、S - V - G - S、または S - G - V - S とパッド配置したことを特徴とする。

## 【 0 0 2 0 】

本願の半導体装置の前記パッド配列のそれぞれは、前記ユニットを 2 つ配置し、8 ビットのデータを出力することを特徴とする。

## 【 0 0 2 1 】

本願の半導体装置の前記パッド配列のそれぞれは、前記ユニットを  $2n$  (  $n$  は 2 以上の自然数 ) 個配置し、 $8n$  ビットのデータを出力することを特徴とする。

40

## 【 0 0 2 2 】

本願の半導体装置の前記ユニットのパッド配列において、一部のデータパッド ( S ) と前記ソルダボールランドとを未接続とすることで、4 ビットのデータを出力することを特徴とする。

## 【 0 0 2 3 】

本願の半導体装置は、半導体チップの中央部に複数のパッドを設けたパッド配列を 2 列備え、前記パッドはデータパッド ( S ) とデータ用電源パッド ( V ) とデータ用グランドパッド ( G ) とを有し、前記パッド配列は 4 個のパッドを有したユニットを備え、前記ユ

50

ニットのパッド配置は G S - V - S であり、前記ユニットが前記 2 列のパッド配列のそれぞれに配置され、前記パッドとパッケージ基板のソルダーボールランドとをそれぞれ接続したことを特徴とする。

【0024】

本願の半導体装置の前記パッド配列のそれぞれは、前記ユニットとその反転されたユニットとを配置し、8ビットのデータを出力することを特徴とする。

【0025】

本願の半導体装置の前記パッド配列のそれぞれは、前記ユニットを 2n (n は 2 以上の自然数) 個配置し、8nビットのデータを出力することを特徴とする。

【0026】

本願の半導体装置の前記ユニットのパッド配列において、一部のデータパッド(S)と前記ソルダーボールランドとを未接続とすることで、4ビットのデータを出力することを特徴とする。

【発明の効果】

【0027】

本発明の半導体装置は、半導体チップの中央部に 2 列のパッド配列が設けられ、パッドからパッケージ基板に設けられたソルダーボールランドに接続される。データ用電源、グラウンドをチェッカ模様に配置されたソルダーボールランドに対応させて、半導体チップのデータ系パッドを配置する。このパッド配置をデータ用電源間の相互インダクタンスが小さく、かつデータ用電源とグラウンド間の相互インダクタンスが大きく、データ用電源やグラウンドの実効インダクタンスが低減するように配置することで、データ用電源、グラウンドノイズが低減され、高速データ伝送が可能となる半導体装置が得られる。

【発明を実施するための最良の形態】

【0028】

本発明について、図面を参照して以下詳細に説明する。

【実施例 1】

【0029】

実施例 1 として、図 1、図 2、図 3 を用いて説明する。図 1 に 8 ビット構成品のパッド配置、図 2 に 16 ビット構成品のパッド配置、図 3 に 4 ビット構成品のパッド配置を示す。ここでは半導体チップのパッド 1 と、BGA 基板のソルダーボールランド 3 と、パッド 1 とソルダーボールランド 3 とを接続する配線 4 を模式的に表している。

【0030】

図 1 において、半導体チップの中央部に、複数のパッド 1 が設けられたパッド配列 2 が上下に 2 列配置されている。上側のパッド配列 2 - 1 からは上側のソルダーボールランド 3 に接続され、下側のパッド配列 2 - 2 からは下側のソルダーボールランド 3 に接続される。ソルダーボールランド 3 は 8 ビット構成品として規格化された配置で、その一部である電源、グラウンド、データストロープとデータの関係を示している。ここでデータストロープはデータのストロープ信号であり、配置関係では 4 ビットのデータに対して 1 対のストロープ信号 DQS, DQSB (B は反転を意味する) が割り当てられ、さらに残りの 4 ビットのデータに対して 1 対のストロープ信号 RDQS, RDQSB (B は反転を意味する) が割り当てられる。データは 8 ビット (DQ0 ~ DQ7) であるが総称して単にデータ (DQ) と表記する。

【0031】

パッド配列 2 は 2 列構成であり、データストロープ系 (DQS, DQSB, RDQS, RDQSB)、データ (DQ)、データ用電源 (VDDQ)、グラウンド (VSSQ) が配置されている。その他の一般回路用電源 (VDD)、グラウンド (VSS) 等の配線は省略している。データ系は順にデータ (DQ)、データ用グラウンド (VSSQ)、データ用電源 (VDDQ)、データ (DQ) として配置され、これらを 1 ユニットとして繰り返し配置される。以下の説明においては、データ (DQ) を S、データ用グラウンド (VSSQ) を G、データ用電源 (VDDQ) を V と略記し、S - G - V - S と表記する。

10

20

30

40

50

## 【0032】

上側のパッド配列 2 - 1 には、S - G - V - S、S - V - G - S としてパッドが配置され、下側のパッド配列 2 - 2 には、S - G - V - S、S - G - V - S としてそれぞれのパッドが配置され、8 ビットのデータを構成する。ここで上側の第 2 番目のユニットにおいて V と G を交替させているが、データ用電源 (VDDQ) とデータ用グラウンド (VSSQ) とは隣接させることが重要であり、その順序は配線が可能であれば、S - G - V - S、あるいは S - V - G - S のどちらでも好い。

## 【0033】

8 ビット構成成品としてのソルダールランド 3 の配列は、上下に 3 個ずつ配置されている。上、左側の第 1 列のソルダールランド 3 は一般用電源 (VDD)、データストロブグラウンド (RDQS)、一般用グラウンド (VSS)、が配置される。上側第 2 列のソルダールランド 3 はデータ (DQ)、データ用グラウンド (VSSQ)、データストロブ (RDQS)、続いて第 3 列にはデータ用電源 (VDDQ)、データ (DQ)、データ用電源 (VDDQ)、さらに第 4 列にはデータ (DQ)、データ用グラウンド (VSSQ)、データ (DQ) が配置され、DQ : VDDQ : VSSQ = 2 : 1 : 1 の比率で配置される。

10

## 【0034】

同様に下側第 2 列のソルダールランド 3 はデータストロブ (DQS)、データ用グラウンド (VSSQ)、データ (DQ)、続いて第 3 列にはデータ用電源 (VDDQ)、データ (DQ)、データ用電源 (VDDQ)、さらに第 4 列にはデータ (DQ)、データ用グラウンド (VSSQ)、データ (DQ) が配置され、DQ : VDDQ : VSSQ = 2 : 1 : 1 の比率で配置される。上下側のソルダールランド 3 は、電源とデータ比率を一定とし、半導体チップのセンターを中心として同一役割のソルダールランド 3 が対称に配置されている。

20

## 【0035】

ここでデータ用電源 (VDDQ) は 3 列目の上、下の 2 個、データ用グラウンド (VSSQ) は 2 列目及び 4 列目の中央に 1 個ずつ配置されている。電源及びグラウンドは、各列 1, 2, 1 個ずつが配置され、チェッカ模様に配置されている。ここで問題となるのは同列に 2 個配置されたデータ用電源 (VDDQ) の配線方法である。2 個配置されていることからそのまま半導体チップと接続させると、従来技術に記載したように 2 本のデータ用電源 (VDDQ) が並行して配線されることから、実効インダクタンスが大きくなり、電源ノイズが大きくなり、高速データ伝送ができなくなる。

30

## 【0036】

したがって、本願発明者は、規格化されたソルダールランド 3 からの配線を従来の手法である配線距離を最短とすることよりも、電源配線の実効インダクタンスを小さくすることを優先した。すなわち本願発明者は発想を転換し、データ用電源 (VDDQ) 同士の並行配置をやめ、離れた位置とすることで相互インダクタンスを低減し、かつデータ用電源とグラウンド間の相互インダクタンスを大きくすることにより、実効インダクタンスを小さくすることを優先した。次に、逆方向に電流が流れるデータ用電源 (VDDQ) とデータ用グラウンド (VSSQ) とは近くに配置し実効インダクタンスを低減させることを優先させた。電源の配線長よりもインダクタンスの低減を優先させた発明者の問題認識と創意工夫により、最適な半導体チップのパッド配列、ソルダールランド 3 との配線が得られた。

40

## 【0037】

図 1 に示す半導体チップのパッド配列は 1 ユニットとしてはデータ (DQ)、データ用グラウンド (VSSQ)、データ用電源 (VDDQ)、データ (DQ) である。すなわち、S - G - V - S の配置とした。ここで図 8 に示す従来の手法による 8 ビット構成成品の配線と比較すると、本実施例の電源、グラウンドの配線は長くなっていることが理解できるであろう。データ用電源 (VDDQ) 同士の並行配置をやめ、離れた位置とすることで相互インダクタンスを小さくする。さらに逆方向に電流が流れるデータ用電源 (VDDQ) とデ

50

ータ用グラウンド (VSSQ) とは隣接させ近くに配置することでも相互インダクタンスを大きくし、結果的に実効インダクタンスを低減させる。これらの構成とすることで電源、グラウンドノイズが低減され、その結果高速データ伝送に適していることが確認された。このときの1本のデータ用電源 (VDDQ) に対しては2本のデータ線が対応し、 $DQ : VDDQ : VSSQ = 2 : 1 : 1$  が保たれている。

#### 【0038】

図2には、図1の8ビット構成を拡張した16ビット構成の配置を示す。図2においては、8ビット構成の패드配列を繰り返す配置にする。ただし、データストロブ信号においては上位8ビットと下位8ビットを識別させるために、上位8ビットにはU、下位8ビットにはLの識別符号が付加されている。このように16ビット構成は8ビット構成を繰り返すことで、簡単に構成できる。図2においては、その構成は図1と同じであり、図1の効果が得られることは簡単に理解できることからその説明は省略する。ここでは、8ビット構成の패드配列を2個繰り返し配置することで16ビット構成としたが、 $n$ 個 ( $n$ は2以上の自然数) 繰り返すことで、 $8n$ ビット構成とすることができる。

10

#### 【0039】

図3には、4ビット構成の配置を示す。図3においては図1から不要なデータビットを削除することで構成される。4個のデータ用のソルダボールランド3、半導体チップの패드がNC (Non Connection) となり、データストロブ信号RDQSのランドはデータマスクDM (Data Mask) 信号に変更される。8ビット構成の패드配列S-G-V-S, S-V-G-Sの両端のSをNCとし、G-V-S, S-V-Gの6패드とする。このときデータ用電源 (VDDQ)、データ用グラウンド (VSSQ) は8ビット構成と同じく配線する。

20

#### 【0040】

4ビット構成は一般的には、8ビット構成と同じ半導体チップが使用され、例えばボンディングオプションで製品切換えが行われる。出力されるビット数が減少したことで1本のデータ用電源 (VDDQ) に対しては1本のデータ線となり、 $DQ : VDDQ : VSSQ = 1 : 1 : 1$  となる。したがって電源、グラウンドノイズはより低減され、高速データ伝送に適した半導体装置が得られる。

#### 【0041】

本実施例の半導体装置は、半導体チップの中央部に2列の패드配列が設けられ、패드からパッケージ基板に設けられたソルダボールランドに接続される。データ用電源、グラウンドをチェッカ模様に配置されたソルダボールランドに対応させて、半導体チップのデータ系패드配置をS-V-G-S、またはS-G-V-Sとする。これらの構成により、データ用電源間の相互インダクタンスが小さくなり、かつデータ用電源とグラウンド間の相互インダクタンスが大きくなることにより、データ用電源とグラウンドの実効インダクタンスが低減されることから、データ用電源、グラウンドノイズが低減され、高速データ伝送が可能となる半導体装置が得られる。

30

#### 【実施例2】

#### 【0042】

実施例2として、図4、図5を用いて説明する。図4に8ビット構成の패드配置、図5に4ビット構成の패드配置を示す。ここでは半導体チップの패드1と、BGA基板のソルダボールランド3と、패드1とソルダボールランド3とを接続する配線4を模式的に表している。また、これらの構成部品、電源、信号については実施例1と同じ符号、電源名、信号名とし、その説明を省略する。

40

#### 【0043】

図4のパッドは、データ用グラウンド (VSSQ)、データ (DQ)、データ用電源 (VDDQ)、データ (DQ) を1ユニットとし、G-S-V-S、その反転したS-V-S-Gの配列とする。データ (DQ) を挟んでデータ用グラウンド (VSSQ) とデータ用電源 (VDDQ) が配置される。この構成とすることで、データ用電源 (VDDQ) 同

50



士の並行配線がなくなりデータ用電源（VDDQ）間の相互インダクタンスが小さく、かつデータ用電源とグランド間の相互インダクタンスが大きくなる。それによりデータ用電源（VDDQ）とグランド（VSSQ）の実効インダクタンスが低減することができ、データ用電源、グランドノイズが低減され、高速データ伝送が可能となる半導体装置が得られた。また実施例1と同様に図4の8ビット構成のパッド配列を繰り返し配置することで16ビット以上のビット構成成品が得られる。

#### 【0044】

図5には、4ビット構成成品の配置を示す。図5においては図4から不要なデータビットを削除することで構成される。4個のデータ用のソルダボールランド3、半導体チップのパッドがNC（Non Connection）となり、データストロブ信号RDQSのランドはデータマスクDM（Data Mask）信号に変更される。8ビット構成のパッド配置G-S-V-S、S-V-S-Gから、G-V-S、V-S-Gの6パッドとなる。データ用電源（VDDQ）、データ用グランド（VSSQ）は配線する。4ビット構成成品は一般的には、8ビット構成成品と同じ半導体チップが使用され、ボンディングオプションで製品切換えが行われる。出力されるビット数が減少したことで1本のデータ用電源（VDDQ）に対しては1本のデータ線となり、 $DQ : VDDQ : VSSQ = 1 : 1 : 1$ となる。したがって電源、グランドノイズはより低減され、高速データ伝送に適した半導体装置が得られる。

10

#### 【0045】

本実施例においても、実施例1と同等の効果が得られる。データ用電源間の相互インダクタンスが小さく、かつデータ用電源とグランド間の相互インダクタンスが大きくなり、データ用電源やグランドの実効インダクタンスが低減されることから、データ用電源、グランドノイズが低減され、高速データ伝送が可能となる半導体装置が得られる。

20

#### 【0046】

以上本願発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その趣旨を逸脱しない範囲で種々変更して実施することが可能であり、本願に含まれることはいうまでもない。

#### 【図面の簡単な説明】

#### 【0047】

【図1】本発明の実施例1における8ビット構成成品のパッド配置図である。

30

【図2】本発明の実施例1における16ビット構成成品のパッド配置図である。

【図3】本発明の実施例1における4ビット構成成品のパッド配置図である。

【図4】本発明の実施例2における8ビット構成成品のパッド配置図である。

【図5】本発明の実施例2における4ビット構成成品のパッド配置図である。

【図6】従来例の1列パッド配列におけるパッド配置図である。

【図7】チップ構成図であり、（A）1列パッド配列におけるパッド配置図、（B）2列パッド配列におけるパッド配置図である。

【図8】従来のパッド配置を2列配列した8ビット構成成品のパッド配置図である。

【図9】従来のパッド配置を2列配列した4ビット構成成品のパッド配置図である。

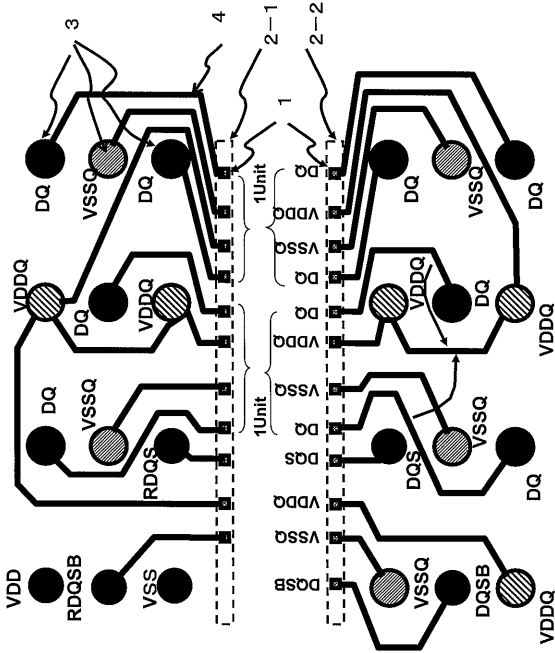
40

#### 【符号の説明】

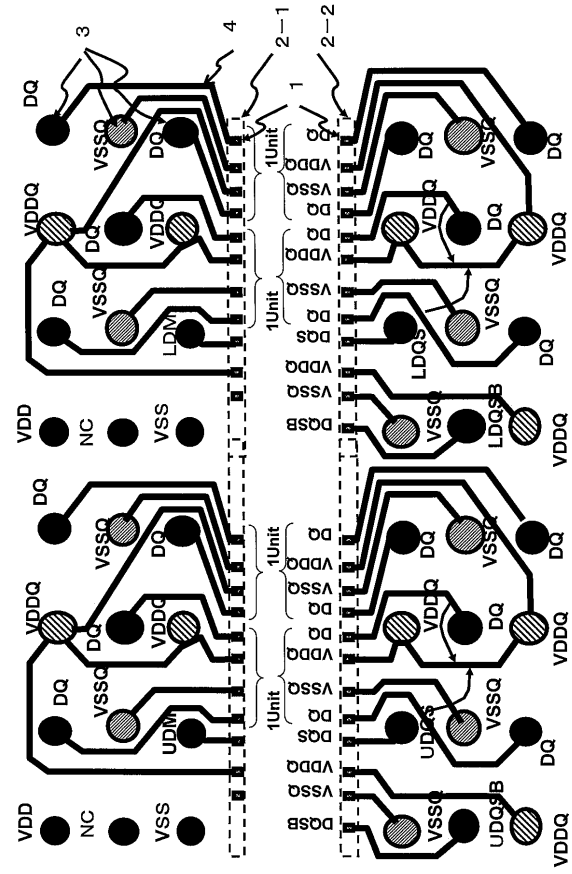
#### 【0048】

- 1     パッド
- 2 - 1、2 - 2     パッド配列
- 3     ソルダボールランド
- 4     配線

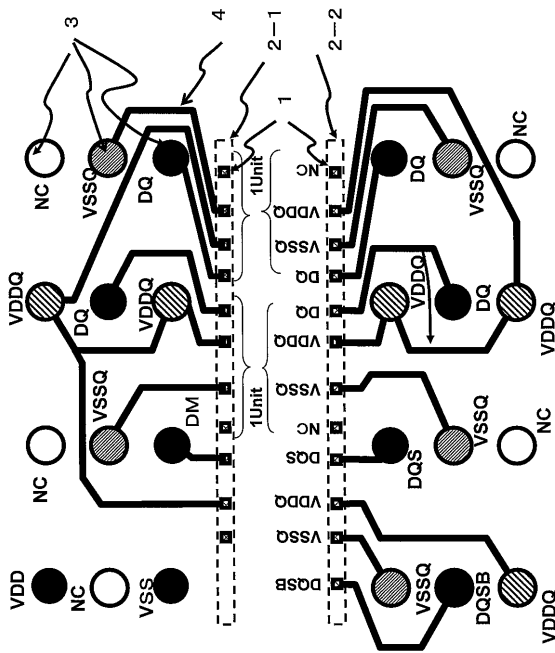
【図 1】



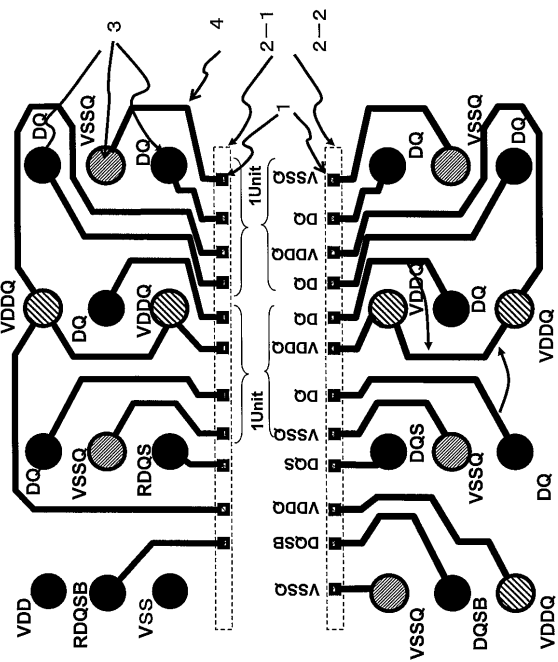
【図 2】



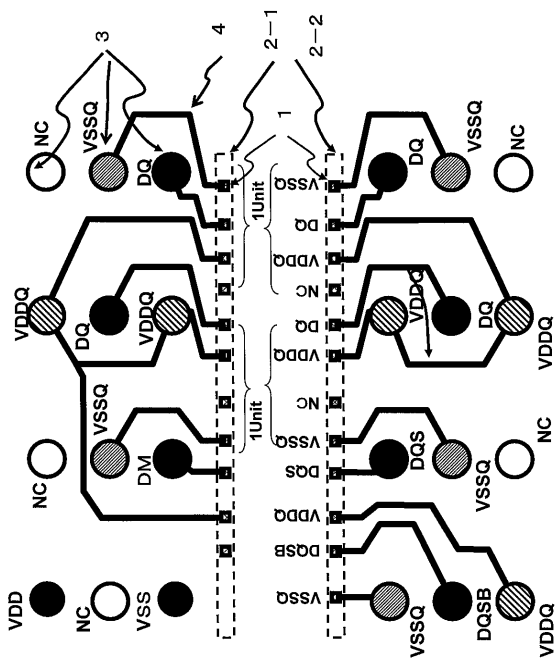
【図 3】



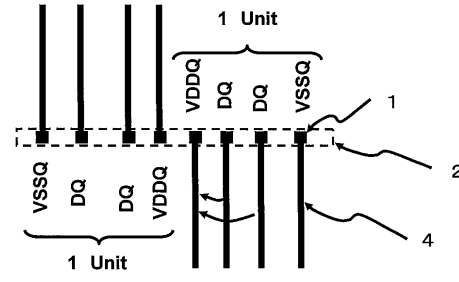
【図 4】



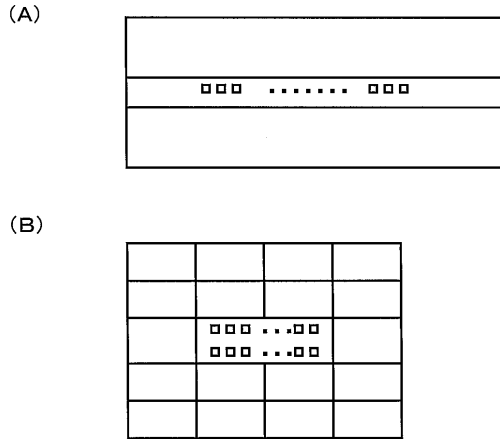
【 図 5 】



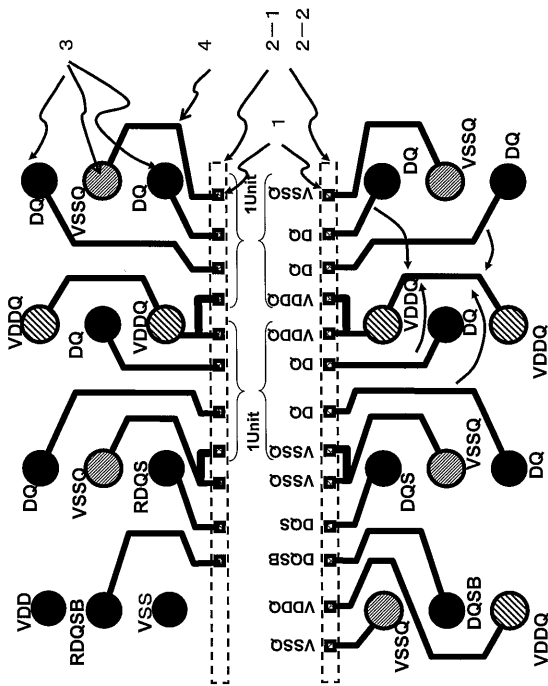
【 図 6 】



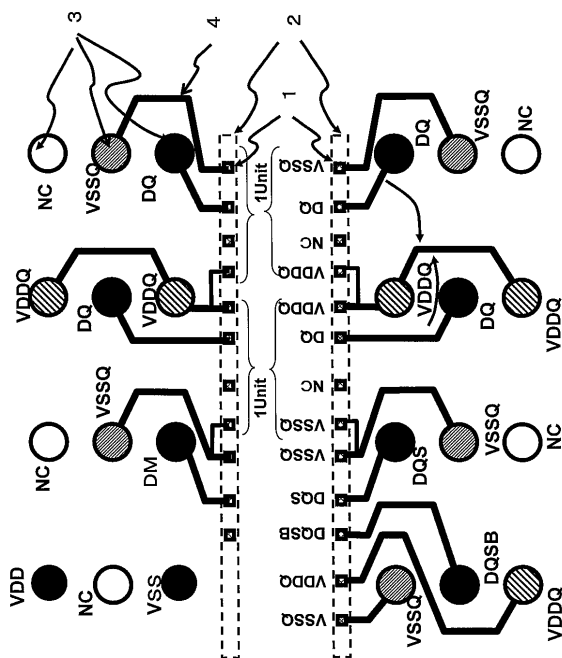
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

**H 0 1 L 27/04 (2006.01)**

(72)発明者 長内 文由紀

東京都中央区八重洲二丁目2番1号 エルピーダメモリ株式会社内

Fターム(参考) 5F033 UU03 VV04 VV05 VV07 XX00

5F038 CA05 CA06 CA09 CA10 DF05 EZ08 EZ20

5F064 BB13 DD42 DD43 DD44 EE08 EE14 EE15 EE16 EE17 EE19