



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I695488 B

(45) 公告日：中華民國 109 (2020) 年 06 月 01 日

(21) 申請案號：107143482

(22) 申請日：中華民國 107 (2018) 年 12 月 04 日

(51) Int. Cl. :

*H01L27/115 (2017.01)**H01L27/1152(2017.01)*

(30) 優先權：2017/12/05

美國

62/594,976

2018/10/22

美國

16/166,342

2018/11/09

世界智慧財產權組織

PCT/US18/60181

(71) 申請人：美商超捷公司 (美國) SILICON STORAGE TECHNOLOGY, INC. (US)

美國

(72) 發明人：楊正威 YANG, JENG-WEI (TW) ; 吳滿堂 WU, MAN-TANG (TW) ; 陳俊明 CHEN,

CHUN-MING (TW) ; 蘇 堅昇 SU, CHIEN-SHENG (US) ; 杜 恩漢 DO, NHAN

(US)

(74) 代理人：劉法正；尹重君

(56) 參考文獻：

US 9368605B2

US 9412755B2

US 2009/0239351A1

US 2014/0015030A1

US 2016/0260728A1

審查人員：黃彥豪

申請專利範圍項數：21 項 圖式數：26 共 37 頁

(54) 名稱

具有整合式高 K 金屬控制閘之非揮發性分離閘記憶體單元及其製造方法

(57) 摘要

一種記憶體裝置包括：於相同半導體基材上形成的一記憶體單元、一邏輯裝置、及一高電壓裝置。使記憶體單元及高電壓裝置下方之基材的上表面部分相對於邏輯裝置下方之基材的上表面部分凹陷。記憶體單元包括：一多晶矽浮閘，其設置於基材的通道區之第一部分上方；一多晶矽字線閘，其設置於通道區之第二部分上方；一多晶矽抹除閘，其設置於基材之源極區上方；及一金屬控制閘，其設置於浮閘上方並藉由包括一高 K 介電質之複合絕緣層而與該浮閘絕緣。邏輯裝置包括設置於基材上方之金屬閘。高電壓裝置包括設置於基材上方之多晶矽閘。

A memory device includes a memory cell, a logic device and a high voltage device formed on the same semiconductor substrate. Portions of the upper surface of the substrate under the memory cell and the high voltage device are recessed relative to the upper surface portion of the substrate under the logic device. The memory cell includes a polysilicon floating gate disposed over a first portion of a channel region of the substrate, a polysilicon word line gate disposed over a second portion of the channel region, a polysilicon erase gate disposed over a source region of the substrate, and a metal control gate disposed over the floating gate and insulated from the floating gate by a composite insulation layer that includes a high-K dielectric. The logic device includes a metal gate disposed over the substrate. The high voltage device includes a polysilicon gate disposed over the substrate.

指定代表圖：

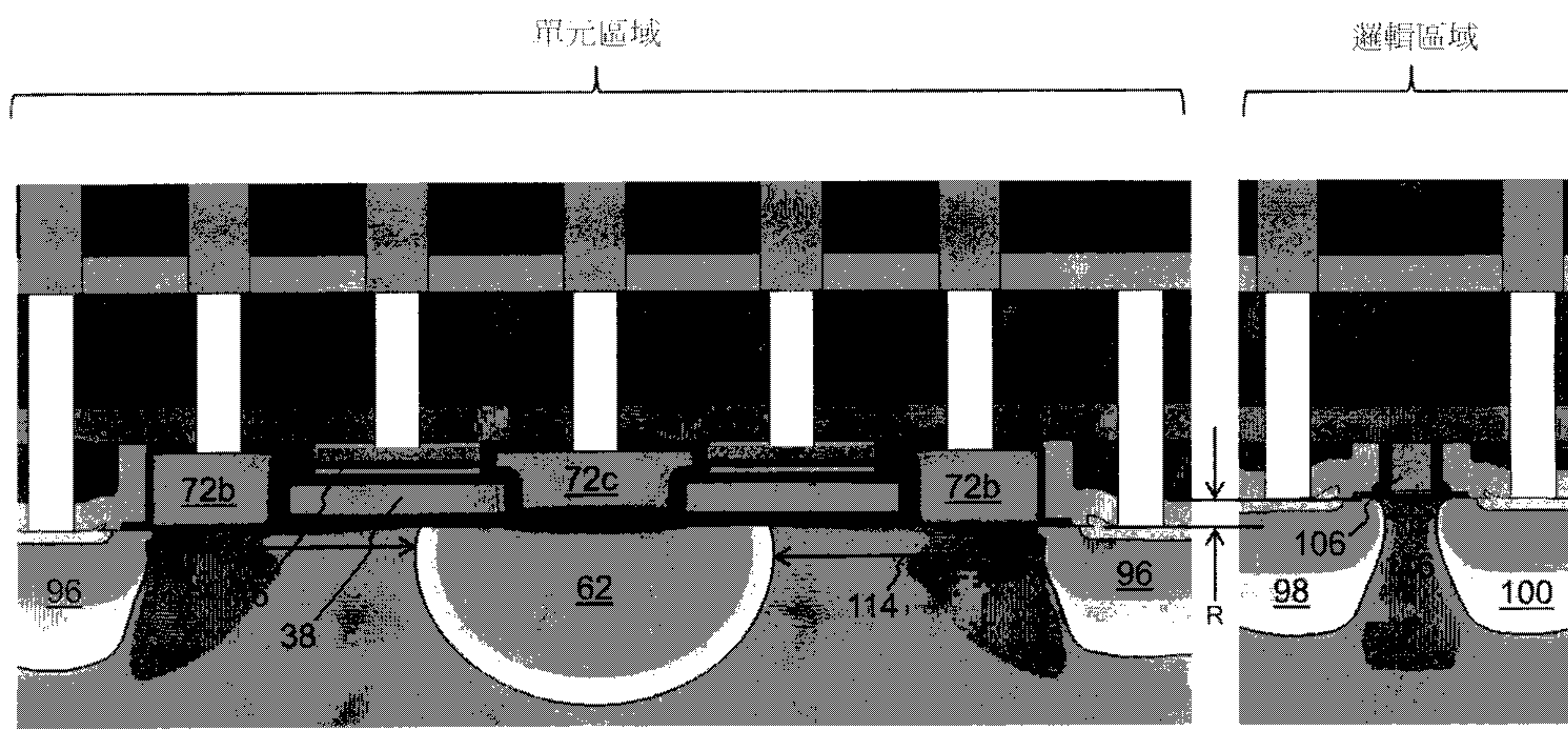


圖25

符號簡單說明：

38:多晶矽層；多晶矽浮閘；浮閘

46:金屬導電層；導電層；金屬控制閘；控制閘

62、98:源極區

72b:字線閘；多晶矽字線閘

72c:多晶矽抹除閘

96、100:汲極區

106:金屬塊；金屬閘

114、116:通道區

R:凹陷量



I695488

發明摘要

公告本

※申請案號： 107143482

※申請日： 107年12月4日

※IPC 分類： H01L 27/115 (2017.01)
H01L 27/11521 (2017.01)

【發明名稱】（中文/英文）

具有整合式高K金屬控制閘之非揮發性分離閘記憶體單元及其製造方法 / Non-Volatile Split Gate Memory Cells with Integrated High K Metal Control Gates and Method of Making Same

【中文】

一種記憶體裝置包括：於相同半導體基材上形成的一記憶體單元、一邏輯裝置、及一高電壓裝置。使記憶體單元及高電壓裝置下方之基材的上表面部分相對於邏輯裝置下方之基材的上表面部分凹陷。記憶體單元包括：一多晶矽浮閘，其設置於基材的通道區之第一部分上方；一多晶矽字線閘，其設置於通道區之第二部分上方；一多晶矽抹除閘，其設置於基材之源極區上方；及一金屬控制閘，其設置於浮閘上方並藉由包括一高 K 介電質之複合絕緣層而與該浮閘絕緣。邏輯裝置包括設置於基材上方之金屬閘。高電壓裝置包括設置於基材上方之多晶矽閘。

【英文】

A memory device includes a memory cell, a logic device and a high voltage device formed on the same semiconductor substrate. Portions of the upper surface of the substrate under the memory cell and the high voltage device are recessed relative to the upper surface portion of the substrate under the logic device. The memory cell includes a polysilicon floating gate disposed over a first portion of a channel region of the substrate, a polysilicon word line gate disposed over a second portion of the channel region, a polysilicon erase gate disposed over a source region of the substrate, and a metal control gate disposed over the floating gate and insulated from the floating gate by a composite insulation layer that includes a high-K dielectric. The logic device includes a metal gate disposed over the substrate. The high voltage device includes a polysilicon gate disposed over the substrate.

【代表圖】

【本案指定代表圖】：第（ 25 ）圖。

【本代表圖之符號簡單說明】：

38... 多晶矽層；多晶矽浮閘；浮閘

46... 金屬導電層；導電層；金屬控制閘；控制閘

62、98... 源極區

72b... 字線閘；多晶矽字線閘

72c... 多晶矽抹除閘

96、100... 汲極區

106... 金屬塊；金屬閘

114、116... 通道區

R... 凹陷量

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

(無)

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

具有整合式高K金屬控制閘之非揮發性分離閘記憶體單元及其製造方法

5 Non-Volatile Split Gate Memory Cells with Integrated High K Metal Control

Gates and Method of Making Same

【技術領域】

相關申請案

10 【0001】 本申請案主張於 2017 年 12 月 5 日提出申請之美國臨時
專利申請案第 62/594,976 號以及 2018 年 10 月 22 日提出申請之美國
專利申請案第 16/166,342 號之優先權。

【0002】 本發明係關於非揮發性記憶體裝置。

【先前技術】

15 【0003】 分離閘非揮發性記憶體裝置已為所屬技術領域中所熟知。
例如，美國專利第 7,927,994 號揭示一種分離閘非揮發性記憶體單元。
圖 1 繪示形成於一半導體基材 12 上之此一分離閘記憶體單元之一實例。
源極區 16 及汲極區 14 形成為基材 12 中的擴散區，並在其等之間界定
一通道區 18。記憶體單元包括四個導電閘：一浮閘 22，其設置於通道
區 18 之一第一部分及源極區 16 之一部分上方且與該通道區之該第一
20 部分及該源極區之該部分絕緣；一控制閘 26，其設置於浮閘 22 上方
且與該浮閘絕緣；一抹除閘 24，其設置於源極區 16 上方且與該源極
區絕緣；及一選擇閘 20，其設置於通道區 18 之一第二部分上方且與

該通道區之該第二部分絕緣。可形成一導電接觸件 10 以電連接至汲極區 14。美國專利 7,315,056 揭示另一種分離閘非揮發性記憶體單元，其與美國專利 7,927,994 類似，但沒有控制閘。圖 2 繪示'056 專利之記憶體單元（具有以相同元件符號表示之類似元件）。

5 **【0004】** 記憶體單元配置成一陣列以形成一裝置，其中藉由成行的隔離區使成行的此類記憶體單元分開。隔離區係該基材之其中形成絕緣材料之部分。邏輯（核心）裝置及高電壓裝置可形成於相同於該記憶體陣列之晶片上，通常共用一些相同處理步驟而形成。其中形成邏輯裝置及高電壓裝置的基材之彼等專用區域在本文中將分別稱為邏
10 輯區域及高電壓區域。

【0005】 習知分離閘記憶體單元的一個問題係基材上記憶體單元之高度大於在邏輯區域及高電壓區域中的裝置之高度。然而，降低記憶體單元之高度的同時仍保持期望的性能可能係具有挑戰性的。本發明係一種用於在與邏輯及高電壓裝置相同的晶片上形成一分離閘非揮
15 發性記憶體裝置之新穎技術，其中記憶體單元利用具有習知 ONO（氧化物/氮化物/氧化物）或 OHKO（氧化物/HK/氧化物）之金屬材料在控制閘下方的控制閘作為至浮閘的偶合介電質。

【發明內容】

【0006】 前述問題及需求係藉由一種在一半導體基材上製造一記
20 憶體裝置之方法來解決，該半導體基材具有一上表面及一第一區域、一第二區域、及一第三區域，該方法包括：使該第一區域及該第三區

域中之該上表面的部分相對於該第二區域中之該上表面的一部分凹陷；
形成一記憶體單元；形成一邏輯裝置；及形成一高電壓裝置。形成該
記憶體單元包括：於該基材之該第一區域中之該上表面的該凹陷部分
下方在該基材中形成一第一源極區及一第一汲極區，其中該基材之一
5 第一通道區延伸於該第一源極區與該第一汲極區之間；形成一多晶矽
浮閘，其設置於該第一通道區之一第一部分上方且與該第一通道區之
該第一部分絕緣；形成一多晶矽字線閘，其設置於該第一通道區之一
第二部分上方且與該第一通道區之該第二部分絕緣；形成一多晶矽抹
除閘，其設置於該第一源極區上方且與該第一源極區絕緣；及形成一
10 金屬控制閘，其設置於該浮閘上方且與該浮閘絕緣。形成該邏輯裝置
包括：形成一第二源極區及一第二汲極區於該基材之該第二區域中，
其中該基材之一第二通道區延伸於該第二源極區與該第二汲極區之間；
及形成一金屬閘，其設置於該第二通道區上方且與該第二通道區絕緣。
形成該高電壓裝置包括：於該基材之該第三區域中之該上表面的該凹
15 陷部分下方在該基材中形成一第三源極區及一第三汲極區，其中該基
材之一第三通道區延伸於該第三源極區與該第三汲極區之間；及形成
一多晶矽閘，其設置於該第三通道區上方且與該第三通道區絕緣。

【0007】 一種記憶體裝置包括：一半導體基材，其具有一上表面
以及一第一區域、一第二區域、及一第三區域，其中該第一區域及該
20 第三區域中之該上表面的部分係相對於該第二區域中之該上表面的一
部分凹陷；一記憶體單元；一邏輯裝置；及一高電壓裝置。該記憶體

單元包括：一第一源極區及一第一汲極區，其等在該基材中形成於該
基材之該第一區域中之該上表面的該凹陷部分下方，其中該基材之一
第一通道區延伸於該第一源極區與該第一汲極區之間；一多晶矽浮閘，
其設置於該第一通道區之一第一部分上方且與該第一通道區之該第一
5 部分絕緣；一多晶矽字線閘，其設置於該第一通道區之一第二部分上
方且與該第一通道區之該第二部分絕緣；一多晶矽抹除閘，其設置於
該第一源極區上方且與該第一源極區絕緣；及一金屬控制閘，其設置
於該浮閘上方且與該浮閘絕緣。該邏輯裝置包括：形成於該基材之該
第二區域中之一第二源極區及一第二汲極區，其中該基材之一第二通
10 道區延伸於該第二源極區與該第二汲極區之間；及一金屬閘，其設置
於該第二通道區上方且與該第二通道區絕緣。該高電壓裝置包括：一
第三源極區及一第三汲極區，其等在該基材中形成於該基材之該第三
區域中之該上表面的該凹陷部分下方，其中該基材之一第三通道區延
伸於該第三源極區與該第三汲極區之間；及一多晶矽閘，其設置於該
15 第三通道區上方且與該第三通道區絕緣。

【0008】 本發明的其他目的與特徵將藉由檢視說明書、申請專利
範圍、及隨附圖式而變得顯而易見。

【圖式簡單說明】

【0009】 圖 1 係習知記憶體單元之截面圖。

20 【0010】 圖 2 係習知記憶體單元之截面圖。

【0011】 圖 3 至圖 26 係繪示於一基材上形成非揮發性記憶體單元、邏輯裝置、及高電壓裝置的步驟之截面圖。

【實施方式】

【0012】 本發明藉由使用一金屬材料或一多晶矽材料及高 K 介電質形成控制閘、並使其上形成記憶體單元之基板上表面部分之高度凹陷、以及本文所述之其他技術來解決上述問題。參考圖 3，該方法起始於一半導體基材 30，其係較佳為 P 型且在所屬領域中係眾所周知的。該基材具有三個區域：單元區域，其中將形成記憶體單元；邏輯區域，其中將形成邏輯裝置；及 HV 區域，其中將形成高電壓裝置。此類裝置之一者或一對示於各區域中，但在各區域中將同時形成複數個各類型之裝置。

【0013】 如圖 3 中進一步所示，顯示於基材 30 上形成一二氧化矽（氧化物）層 32。一氮化矽（氮化物）層 34 形成於氧化物層 32 上，然後使其經受遮罩蝕刻製程以自單元及 HV 區域移除氮化物層 34。遮罩蝕刻製程涉及於氮化物層 34 上形成一光阻材料，並且暴露該光阻材料之經選擇部分。光阻在其經移除部分顯影（即，在單元及 HV 區域中的那些部分，使氮化物 34 暴露於那些區域中）。然後使用氮化物蝕刻來移除氮化物 34 之經暴露部分，留下邏輯區域中的氮化物 34。在移除光阻後，接著使用熱氧化製程藉由在單元及 HV 區域中形成一厚層氧化物來氧化並消耗矽（即，製造一增厚的氧化物 32a），其使這

些區域中之矽基材 30 的上表面相對於受氮化物 34 保護的邏輯區域凹陷，如圖 3 所示。

【0014】 接著執行氮化物及氧化物蝕刻以移除氮化物層 34 及氧化物層 32/32a。一氧化物層 36 形成於基材表面上（例如，藉由熱氧化）。一多晶矽(polysilicon/poly)層 38 形成於氧化物層 36 上。使用一遮罩步驟以形成光阻 40，且僅自邏輯區域移除光阻 40。執行多晶矽蝕刻以移除邏輯區域中經暴露的多晶矽層 38。所得結構示於圖 4 中。

【0015】 移除光阻 40 後，絕緣區域（例如，較佳地係眾所周知的淺溝槽絕緣-STI）在基材 30 中形成於單元、邏輯、與 HV 區域之間。STI 係在基材中形成於溝槽中之氧化物。STI 較佳地係藉由遮罩及蝕刻製程形成，該遮罩及蝕刻製程選擇性地蝕刻穿過多晶矽層 38 及氧化物層 36 並進入基材。接著用氧化物 42 填充溝槽，如圖 5 所示。一高 K 介電層 44 諸如 O/HK/O（氧化物、高 K 介電質、氧化物，其中高 K 介電質係一介電常數 K 大於氧化物者之絕緣材料，諸如 HfO₂、ZrO₂、TiO₂、Ta₂O₅、或其他適當材料）形成於結構上。接著於絕緣層 44 上形成一金屬導電層 46，諸如 Ti/TiN。一氮化物層 48 形成於金屬導電層 46 上。光阻 50 形成於結構上並且在遮罩步驟中圖案化，其中在 HV 區域中、及單元區域的選擇部分中移除該光阻 50。使用一或多個蝕刻以移除單元及 HV 區域中氮化物 48、導電層 46、及絕緣層 44 之經暴露部分，如圖 6 所示。

【0016】 移除光阻 50 後，藉由氧化物沉積及蝕刻於結構之側壁上形成氧化物間隔物 52。替代地，間隔物 52 可形成為氧化物-氮化物間隔物。使用多晶矽蝕刻以界定將為控制閘處並移除單元及 HV 區域中多晶矽層 38 之經暴露部分。光阻 54 形成於所有區域上方但自 HV 區域移除。執行植入製程以植入 HV 區域基材之井區，如圖 7 所示。5 移除光阻 54 後，氧化物間隔物 56 形成（例如，藉由 HTO）於多晶矽層 38 之經暴露末端部分及記憶體單元區域中之氧化物間隔物 52 之外部，且一氧化物層 58 形成於 HV 區域中，如圖 8 所示。在記憶體單元區域有多個堆疊結構 S1 及 S2（即，各者在基材 30 上方的氧化物 36 10 上方的多晶矽層 38 上方的絕緣層 44 上方的導電層 46 上方具有氮化物 48）。雖然僅示出一對堆疊 S1/S2，但應當理解，有複數對堆疊 S1/S2 形成於記憶體區域中。

【0017】 光阻 60 形成於結構上方，並且移除除了堆疊 S1 與 S2 之間的區域以外（及堆疊 S1/S2 的部分）之光阻，如圖 9 所示。在基15 材中於堆疊 S1 與 S2 之間執行植入及熱退火以形成源極區 62。執行氧化物蝕刻以移除堆疊 S1 與 S2 之間經暴露的氧化物，該氧化物蝕刻暴露多晶矽層 38 之末端。移除光阻 60 後，執行氧化物沉積（例如，HTO）以於單元區域中多晶矽層 38 之經暴露末端上形成一穿隧氧化物層 64，並增厚 HV 區域中之氧化物 58，如圖 10 所示。執行氧化物沉20 積及蝕刻以於堆疊 S1/S2 的外側上形成氧化物間隔物 68。光阻 66 形成於結構上，並且自堆疊 S1/S2 之外部的單元區域部分中移除，如圖

11 所示。移除光阻後，一薄層氧化物 70 在基材上形成，與堆疊 S1/S2 的外側相鄰，如圖 12 所示。

【0018】 然後將一多晶矽層 72 沈積於結構上。一氧化物層 74 形成於多晶矽層 72 上。光阻 76 形成於結構上，並且自單元及邏輯區域中移除。使用一氧化物蝕刻以自單元及邏輯區域中移除氧化物層 74，如圖 13 所示。移除光阻 76 後，將虛設多晶矽沉積於結構上方。使用 CMP（化學機械研磨）以移除多晶矽的上部且使結構平面化，並且執行進一步的多晶矽回蝕以使單元區域中的多晶矽上表面稍微凹陷，如圖 14 所示。氧化物 74 在 HV 區域中保護多晶矽層 72 免受此多晶矽蝕刻。然後在結構上形成一氧化物層 78，隨後進行一微影蝕刻遮罩步驟（光微影及蝕刻）來打開用於蝕刻的邏輯區域，以自該邏輯區域移除氧化物、氮化物、Ti/TiN、及 O/HK/O 層，如圖 15 所示（在移除光阻之後）。

【0019】 在邏輯區域中植入一邏輯井後，一薄氧化物層 80（界面層-IL）在邏輯區域中形成於基材上。接著進行高 K 金屬閘層 HKMG 形成，其包含高 K 材料之一絕緣層 82（即，具有的介電常數 K 大於氧化物（諸如 HfO₂、ZrO₂、TiO₂、Ta₂O₅）或其他適當材料等之介電常數 K）及一金屬層 84（諸如 TiN）。接著於金屬層 84 上形成一虛設多晶矽層 86。於虛設多晶矽層 86 上形成一或多個絕緣層 88，其將用作為硬遮罩。執行一微影蝕刻遮罩步驟以移除邏輯區域中新形成的層之部分（除了其堆疊 ST 之外），如圖 16 所示。

【0020】 光阻 90 形成於結構上，並且藉由遮罩步驟移除其某些部分（即，單元及 HV 區域中的部分）。執行蝕刻以向下移除下方的層至基材或基材上之氧化物，以界定 HV 區域中之多晶矽閘 72a、以及單元區域中之字線閘 72b，如圖 17 所示。移除光阻後，光阻 92 形成於結構上，並且選擇性地自單元區域移除，如圖 18 所示。對相鄰字線閘 72b 之基材區執行植入（記憶體單元 LDD（輕度摻雜的汲極）植入）。移除光阻 92 後，光阻 94 形成於結構上，並且選擇性地自 HV 區域移除。對 HV 區域中之基材區執行 LDD 植入，如圖 19 所示。移除光阻 94 後，一 SiGe 層 95 形成於基材之經暴露部分上，隨後於結構之側上形成間隔物。接著使用植入（及退火）以在單元區域中於基材的經暴露區域中形成汲極區 96，且在邏輯及 HV 區域中形成源極區 98 及汲極區 100。一 NiSi 層 102 形成於結構上，隨後形成一絕緣厚層 104（例如，ILD）。然後使用 CMP 以使結構的上表面平面化，如圖 20 所示。

【0021】 使用多晶矽蝕刻以自邏輯區域移除虛設多晶矽 86，藉由 CMP 使該虛設多晶矽暴露。然後執行金屬沉積及 CMP 以在邏輯區域中於 TiN 層 84 及高 K 材料層 82 上方形成一金屬塊 106，如圖 21 所示。ILD 絕緣 108 形成於結構上方。隨後進行遮罩步驟及 ILD 蝕刻以形成接觸孔 110，該等接觸孔向下延伸至並且暴露各種源極/汲極區，以及單元區域中之控制閘、字線閘、及抹除閘，如圖 22 所示。使用金屬沉積（例如，W）及 CMP 以用金屬接觸件 112 填充該等接觸孔，如

圖 23 所示。可執行額外的絕緣、接觸件形成、及金屬接觸件形成，以垂直地延伸該等金屬接觸件，如圖 24 所示。

【0022】 最終結構示於圖 25 及圖 26 中。單元區域係如圖 25 所示，並且包括成對的記憶體單元。各記憶體單元對包括一源極區 62 及兩個間隔開的汲極區 96，該源極區及該兩個汲極區界定其間的通道區 114。兩個多晶矽浮閘 38 各自設置於源極區 62 之一部分及其等各別的通道區 114 之一部分上方並且與該等部分絕緣。兩個多晶矽字線閘 72b 各自設置於其等各別的通道區 114 之另一部分（相鄰汲極區 96 者）上方並且與該另一部分絕緣。一多晶矽抹除閘 72c 設置於源極區 62 上方並且與該源極區絕緣。兩個金屬控制閘 46 各自設置於浮閘 38 之一者上方並且（藉由高 K 介電層及氧化物複合絕緣層-例如，O/HK/O 44）與該一者絕緣。邏輯區域亦示於圖 25 中，並且包括邏輯裝置，該等邏輯裝置各自包括間隔開且其間具有一通道區 116 的源極區及汲極區 98/100，以及在該通道區 116 上方之一高 K 金屬閘（金屬閘 106 及高 K 層 82）。單元區域中之基材表面以一凹陷量 R 相對於邏輯區域中之基材表面凹陷，使得邏輯區域中較矮的邏輯裝置之頂部與單元區域中較高的記憶體單元之頂部實質上彼此相等。HV 區域係如圖 26 所示，並且包括 HV 裝置，該等 HV 裝置各自包括間隔開且其間具有一通道區 118 的源極及汲極區 98/100，以及一多晶矽閘 72a，該多晶矽閘設置於通道區 118 上方且（藉由增厚的氧化物 58）與該通道區絕緣。介於閘 72a 與基材之間的增厚的氧化物 58 允許更高電壓的操作。HV 區

域中之基材表面以凹陷量 R 相對於邏輯區域中之基材表面凹陷，使得邏輯區域中較矮的邏輯裝置之頂部及 HV 區域中較高的 HV 裝置之頂部實質上彼此相等。

【0023】 上述形成技術具有許多優點，包括使遮罩步驟之數目最小化。單元形成與用於邏輯區域的 HKMG 形成製程解耦，消除任何污染風險。在字線閘 72b 下方之氧化物的厚度可獨立地調節以求彈性（例如，在字線閘 72b 下方之氧化物的厚度可小於浮閘 38 下方之氧化物的厚度，該浮閘下方之氧化物的厚度可小於 HV 閘 72a 下方之氧化物的厚度）。各種裝置的頂部高度係彼此相等（即，控制閘 46、金屬閘 106、及 HV 閘 72a 的頂部表面係共平面），其之實現是藉由使在單元及 HV 區域中的基材表面凹陷，並且使用金屬及高 K 絕緣體以形成記憶體單元控制閘。

【0024】 應理解，本發明不限於上文描述及本文闡釋之實施例。例如，本文中對本發明的引述並非意欲用以限制任何申請專利範圍或申請專利範圍用語之範疇，而僅是用以對可由一或多項請求項所涵蓋的一或多種技術特徵作出引述。上文描述之材料、程序及數值實例僅為例示性，且不應視為對申請專利範圍之限制。再者，如申請專利範圍及說明書所明示者，並非所有方法步驟皆須完全依照所說明或主張的順序執行，而是可以任何順序來執行，只要是可適當地形成本發明之記憶體單元即可。單一材料層可形成為多個具有此類或類似材料之層，且反之亦然。如本文中所使用，用語「形成(forming/formed)」應

包括材料沉積、材料生長、或提供如所揭示或所主張之材料的任何其他技術。最後，可用一氧化物/氮化物/氧化物層(ONO)置換控制閘下方之 O/HK/O 層。

【0025】 應注意的是，如本文中所使用，「在…上方(over)」及
5 「在…之上(on)」之用語皆含括性地包括「直接在…之上(directly on)」
(無居中的材料、元件或間隔設置於其間)及「間接在…之上
(indirectly on)」(有居中的材料、元件或間隔設置於其間)。同樣地，
用語「相鄰(adjacent)」包括「直接相鄰(directly adjacent)」(二者之
間無設置任何居中材料、元件、或間隔)和「間接相鄰(indirectly
10 adjacent)」(二者之間設置有居中材料、元件、或間隔)。舉例而言，
「在基材上方(over a substrate)」形成元件可包括直接在基材上形成元
件而其間無居中的材料/元件存在，以及間接在基材上形成元件而其間
有一或多個居中的材料/元件存在。

【符號說明】

10... 導電接觸件

12... 半導體基材；基材

14、96、100... 汲極區

16、62、98... 源極區

18、114、116、118... 通道區

20... 選擇閘

22... 浮閘

24... 抹除閘

26... 控制閘

- 30... 半導體基材；基材；矽基材
- 32... 二氧化矽（氧化物）層；氧化物層
- 32a、36、58、74... 氧化物層；氧化物
- 34... 氮化矽（氮化物）層；氮化物層；氮化物
- 38... 多晶矽層；多晶矽浮閘；浮閘
- 40、50、54、60、66、76、90、92、94... 光阻
- 42... 氧化物
- 44... 絕緣層；高 K 介電層；O/HK/O
- 46... 金屬導電層；導電層；金屬控制閘；控制閘
- 48... 氮化物層；氮化物
- 52... 氧化物間隔物；間隔物
- 56、68... 氧化物間隔物
- 64... 穿隧氧化物層
- 70... 薄層氧化物
- 72... 多晶矽層
- 72a... 多晶矽閘；HV 閘；閘
- 72b... 字線閘；多晶矽字線閘
- 72c... 多晶矽抹除閘
- 78... 氧化物層
- 80... 薄氧化物層
- 82... 絕緣層；高 K 材料層；高 K 層
- 84... 金屬層；TiN 層
- 86... 虛設多晶矽層；虛設多晶矽
- 88... 絕緣層
- 95... SiGe 層
- 102... NiSi 層

104...絕緣厚層

106...金屬塊；金屬閘

108...ILD 絕緣

110...接觸孔

112...金屬接觸件

IL...界面層

R...凹陷量

S1、S2...堆疊結構；堆疊

ST...堆疊

STI...淺溝槽絕緣

申請專利範圍

1. 一種在一半導體基材上製造一記憶體裝置之方法，該半導體基材具有一上表面及一第一區域、一第二區域、及一第三區域，該方法包含：

使該第一區域及該第三區域中之該上表面的部分相對於該第二區域中之該上表面的一部分凹陷；

藉由下列而形成一記憶體單元：

於該基材之該第一區域中之該上表面的該凹陷部分下方在該基材中形成一第一源極區及一第一汲極區，其中該基材之一第一通道區延伸於該第一源極區與該第一汲極區之間，

形成一多晶矽浮閘，其設置於該第一通道區之一第一部分上方且與該第一通道區之該第一部分絕緣，

形成一多晶矽字線閘，其設置於該第一通道區之一第二部分上方且與該第一通道區之該第二部分絕緣，

形成一多晶矽抹除閘，其設置於該第一源極區上方且與該第一源極區絕緣，及

形成一金屬控制閘，其設置於該浮閘上方且與該浮閘絕緣；

藉由下列而形成一邏輯裝置：

形成一第二源極區及一第二汲極區於該基材之該第二區域中，其中該基材之一第二通道區延伸於該第二源極區

與該第二汲極區之間，及

形成一金屬閘，其設置於該第二通道區上方且與該第二通道區絕緣；

藉由下列而形成一高電壓裝置：

於該基材之該第三區域中之該上表面的該凹陷部分下方在該基材中形成一第三源極區及一第三汲極區，其中該基材之一第三通道區延伸於該第三源極區與該第三汲極區之間，及

形成一多晶矽閘，其設置於該第三通道區上方且與該第三通道區絕緣。

2. 如請求項 1 之方法，其中該金屬控制閘係由 Ti 及 TiN 形成。
3. 如請求項 2 之方法，其中該金屬控制閘係藉由至少一高 K 介電材料層而與該浮閘絕緣。
4. 如請求項 2 之方法，其中該金屬控制閘係藉由設置於一對氧化物層之間的一高 K 介電材料層而與該浮閘絕緣。
5. 如請求項 1 之方法，其中該金屬閘係藉由至少一高 K 介電材料層而與該第二通道區絕緣。
6. 如請求項 5 之方法，其中該金屬閘係由 TiN 形成。
7. 如請求項 1 之方法，其中該形成該多晶矽字線閘、該多晶矽抹除閘、及該多晶矽閘包含：

形成一多晶矽層於該基材上方且與該基材絕緣；及

在該第一區域中選擇性地移除該多晶矽層的部分而留下該多

晶矽字線閘及該多晶矽抹除閘，並在該第三區域中選擇性地移除該多晶矽層的部分而留下該多晶矽閘。

8. 如請求項 1 之方法，其進一步包含：

形成 SiGe 於該第一汲極區、該第二汲極區及該第三汲極區上方、以及該第二源極區及該第三源極區上方之該基材之該上表面上。

9. 如請求項 1 之方法，其中該使該第一區域及該第三區域中之該上表面的該等部分凹陷包含：

形成一絕緣層於該第一區域、該第二區域及該第三區域之該上表面上方；

自該第一區域及該第三區域中移除該絕緣層，但不自該第二區域中移除該絕緣層；

氧化該第一區域及該第三區域中之該上表面，但不氧化該第二區域中之該上表面。

10. 如請求項 1 之方法，其中：

藉由具有一第一厚度之一第一絕緣使該字線閘與該基材絕緣；

藉由具有一第二厚度之一第二絕緣使該浮閘與該基材絕緣；

藉由具有一第三厚度之一第三絕緣使該多晶矽閘與該基材絕緣；及

該第一厚度小於該第二厚度，且該第二厚度小於該第三厚度。

11. 如請求項 1 之方法，其中該形成該第一汲極區、該第二汲極區及該第三汲極區、以及該第二源極區及該第三源極區包含：

執行一植入，該植入同時於該第一區域中形成該第一汲極區、

於該第二區域中形成該第二源極區及該第二汲極區、且於該第三區域中形成該第三源極區及該第三汲極區。

12. 如請求項 1 之方法，其中該控制閘之一頂部表面、該金屬閘之一頂部表面、及該多晶矽閘之一頂部表面係共平面。

13. 一種記憶體裝置，其包含：

一半導體基材，其具有一上表面以及一第一區域、一第二區域、及一第三區域，其中該第一區域及該第三區域中之該上表面的部分係相對於該第二區域中之該上表面的一部分凹陷；

一記憶體單元，其包括：

一第一源極區及一第一汲極區，其等在該基材中形成於該基材之該第一區域中之該上表面的該凹陷部分下方，其中該基材之一第一通道區延伸於該第一源極區與該第一汲極區之間，

一多晶矽浮閘，其設置於該第一通道區之一第一部分上方且與該第一通道區之該第一部分絕緣，

一多晶矽字線閘，其設置於該第一通道區之一第二部分上方且與該第一通道區之該第二部分絕緣，

一多晶矽抹除閘，其設置於該第一源極區上方且與該第一源極區絕緣，及

一金屬控制閘，其設置於該浮閘上方且與該浮閘絕緣；

一邏輯裝置，其包括：

形成於該基材之該第二區域中之一第二源極區及一第

二汲極區，其中該基材之一第二通道區係延伸於該第二源極區與該第二汲極區之間，及

一金屬閘，其設置於該第二通道區上方且與該第二通道區絕緣；

一高電壓裝置，其包括：

一第三源極區及一第三汲極區，其等在該基材中形成於該基材之該第三區域中之該上表面的該凹陷部分下方，其中該基材之一第三通道區延伸於該第三源極區與該第三汲極區之間，及

一多晶矽閘，其設置於該第三通道區上方且與該第三通道區絕緣。

14. 如請求項 13 之裝置，其中該金屬控制閘係由 Ti 及 TiN 形成。

15. 如請求項 14 之裝置，其中該金屬控制閘係藉由至少一高 K 介電材料層而與該浮閘絕緣。

16. 如請求項 14 之裝置，其中該金屬控制閘係藉由設置於一對氧化物層之間的一高 K 介電材料層而與該浮閘絕緣。

17. 如請求項 13 之裝置，其中該金屬閘係藉由至少一高 K 介電材料層而與該第二通道區絕緣。

18. 如請求項 17 之裝置，其中該金屬閘係由 TiN 形成。

19. 如請求項 13 之裝置，其進一步包含：

SiGe，其直接設置於該第一汲極區、該第二汲極區及該第三汲極區上方、以及該第二源極區及該第三源極區上方之該基材的該

上表面上。

20. 如請求項 13 之裝置，其中：

藉由具有一第一厚度之一第一絕緣使該字線閘與該基材絕緣；

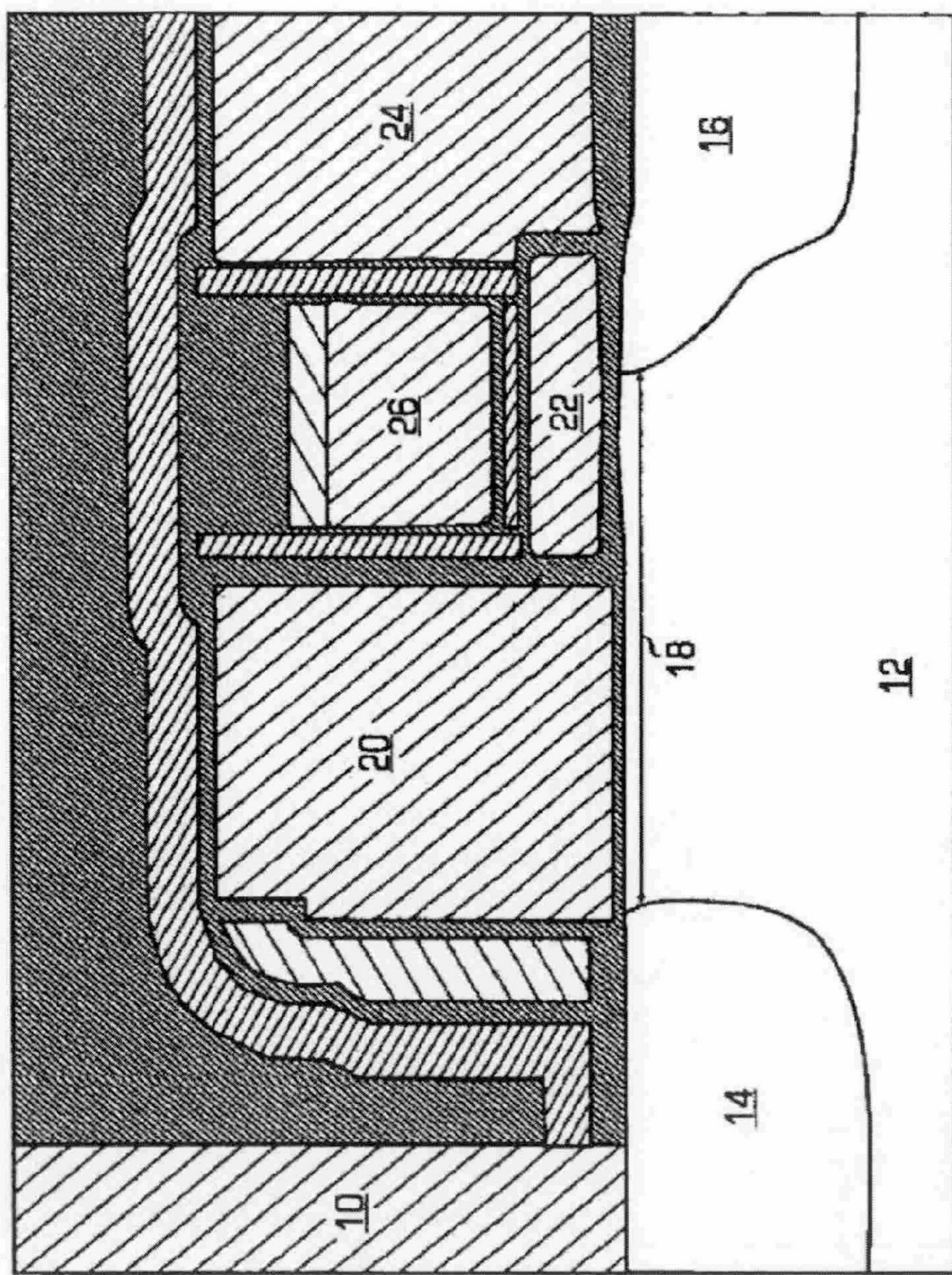
藉由具有一第二厚度之一第二絕緣使該浮閘與該基材絕緣；

藉由具有一第三厚度之一第三絕緣使該多晶矽閘與該基材絕緣；

該第一厚度小於該第二厚度，且該第二厚度小於該第三厚度。

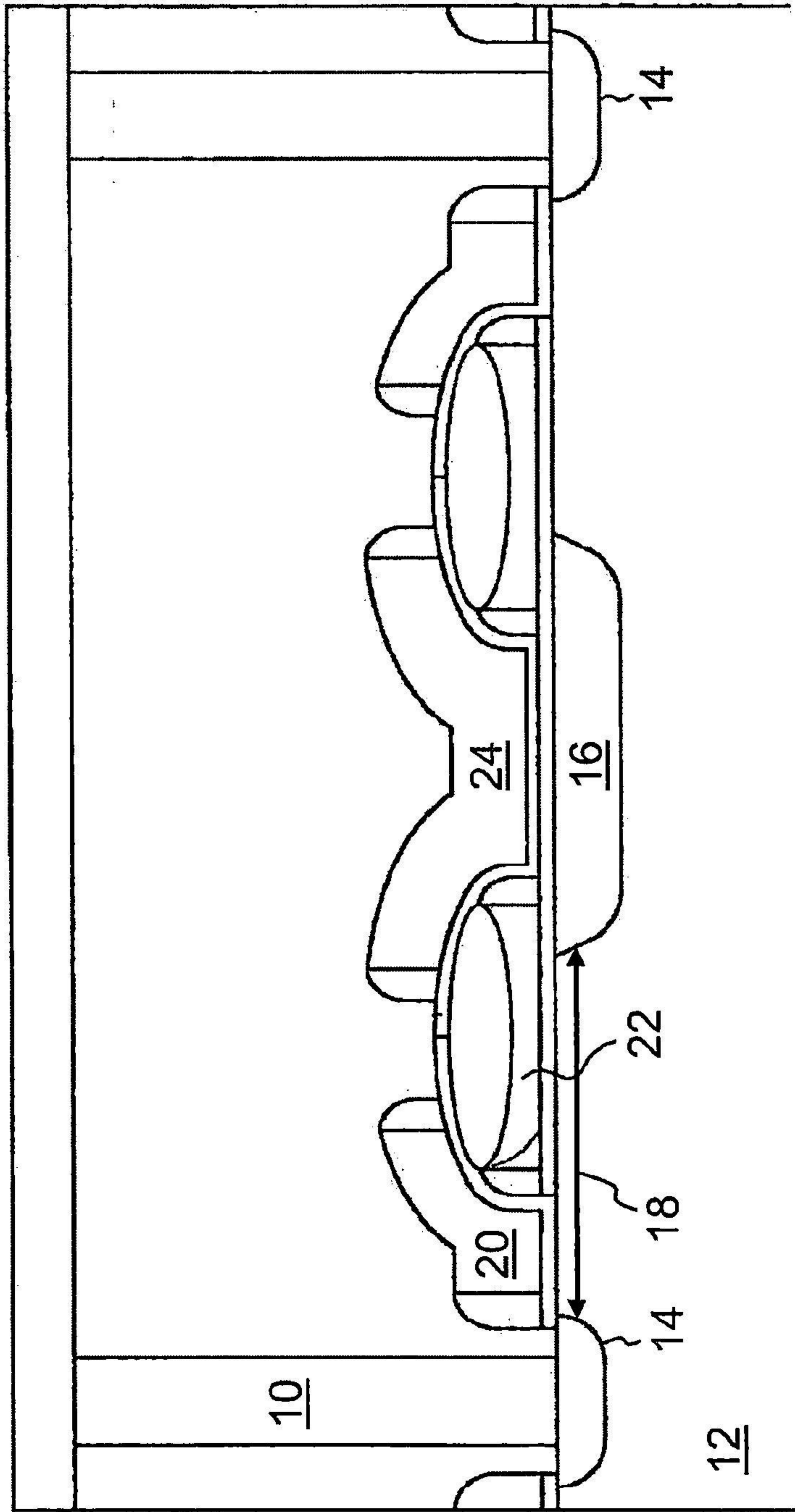
21. 如請求項 13 之裝置，其中該控制閘之一頂部表面、該金屬閘之一頂部表面、及該多晶矽閘之一頂部表面係共平面。

圖式



(先前技術)

圖1



(先前技術)

圖2

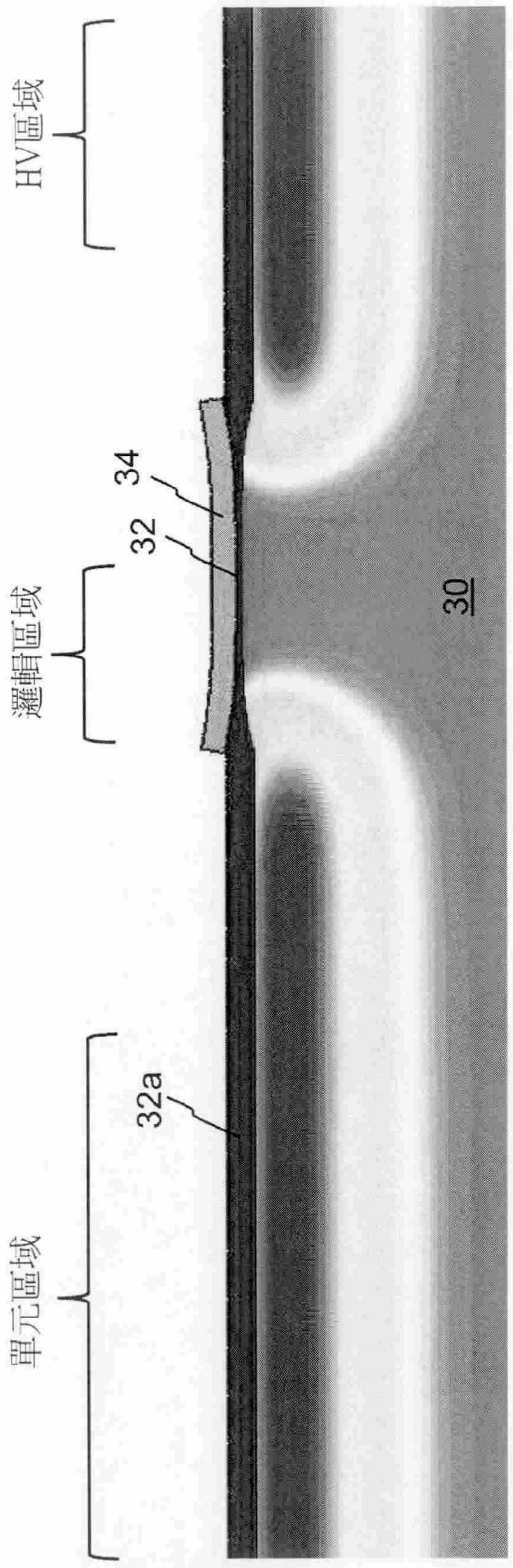


圖3

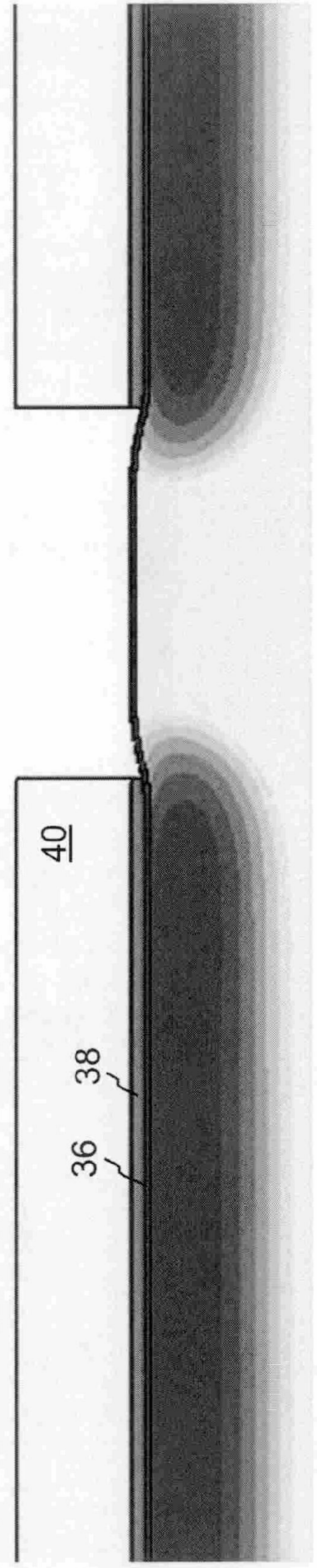


圖4

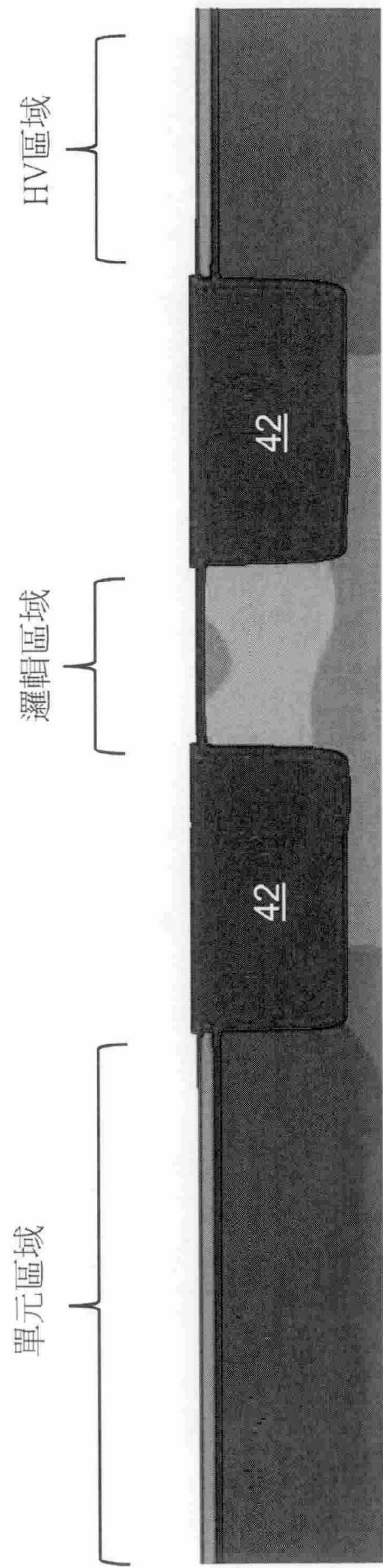


圖5

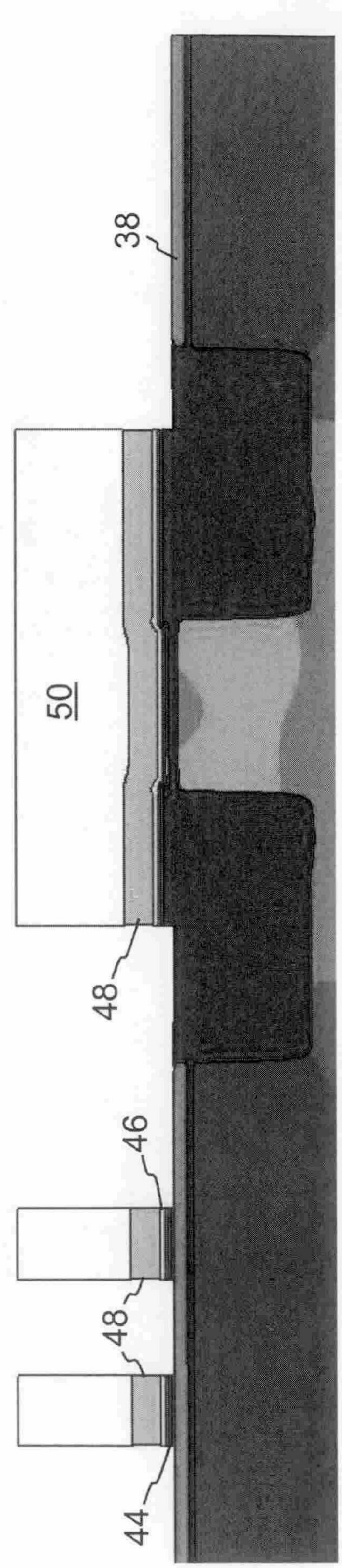


圖6

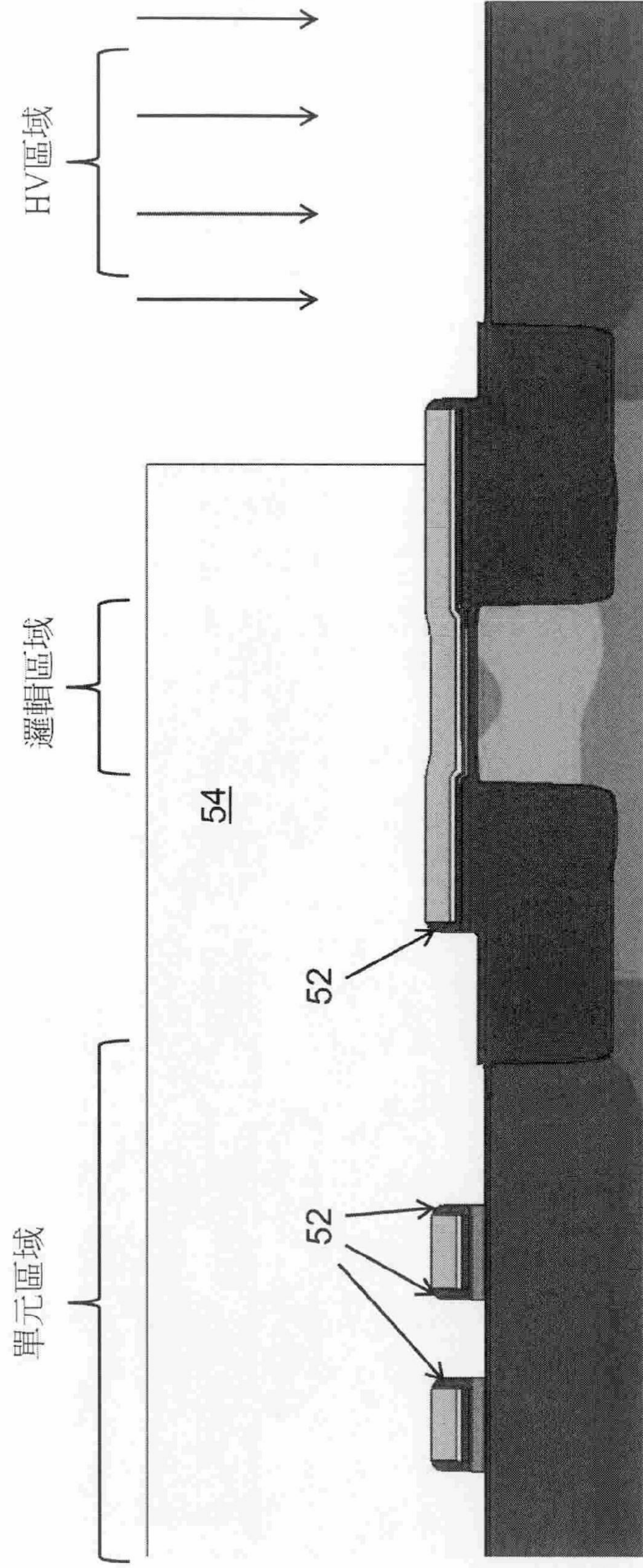


圖7

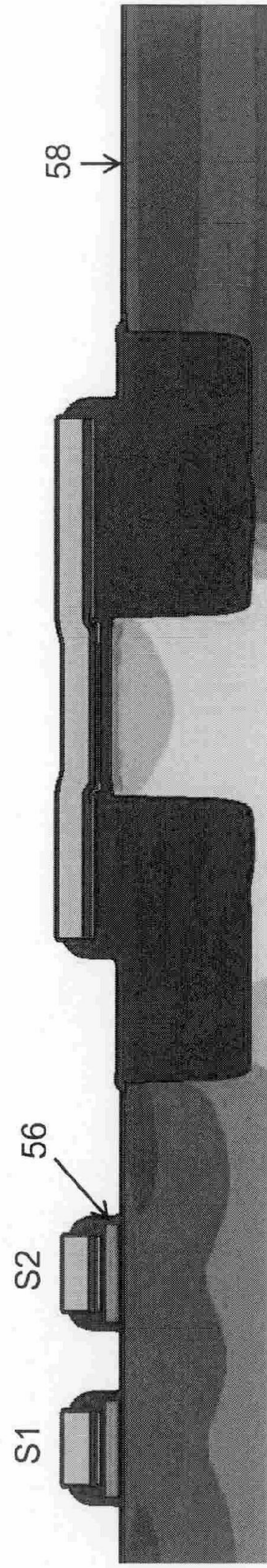


圖8

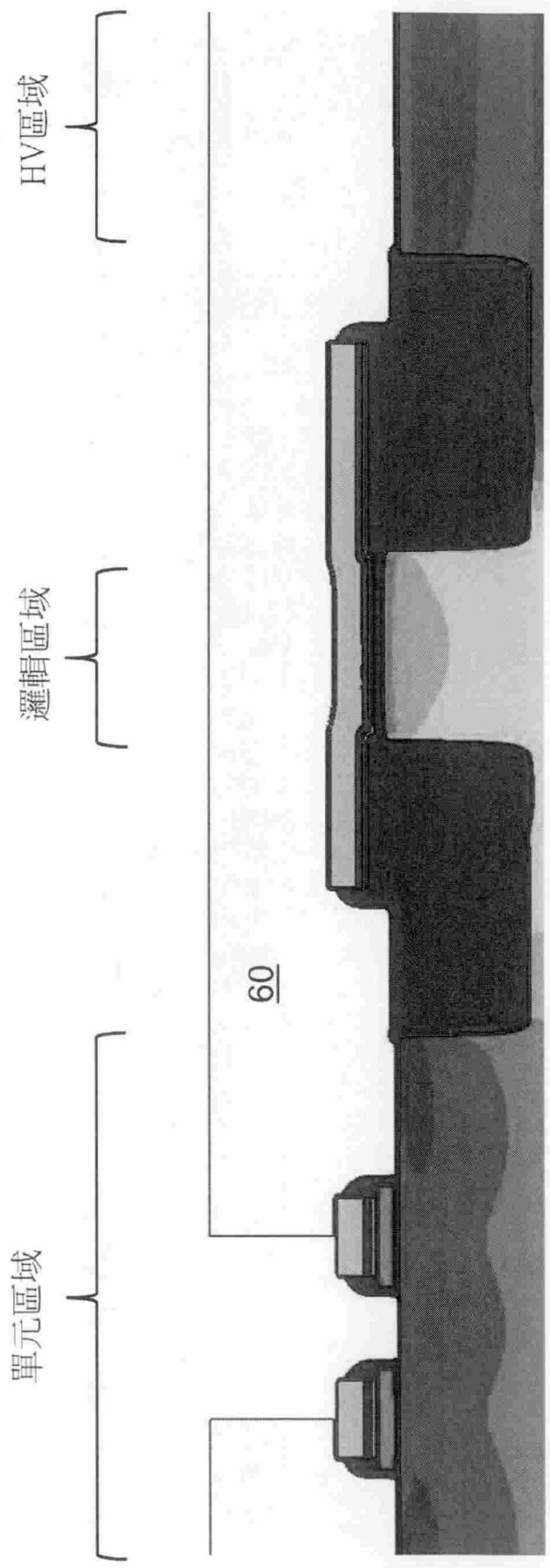


圖9

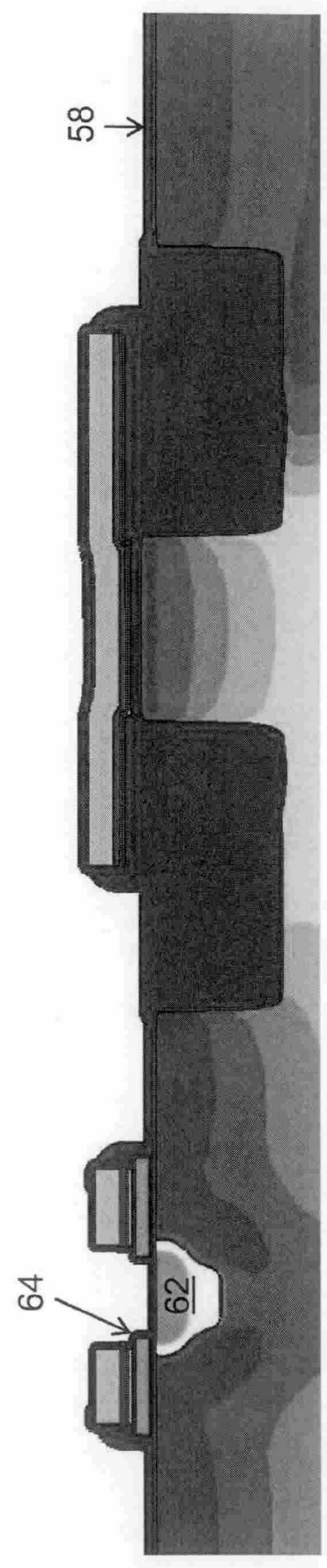


圖10

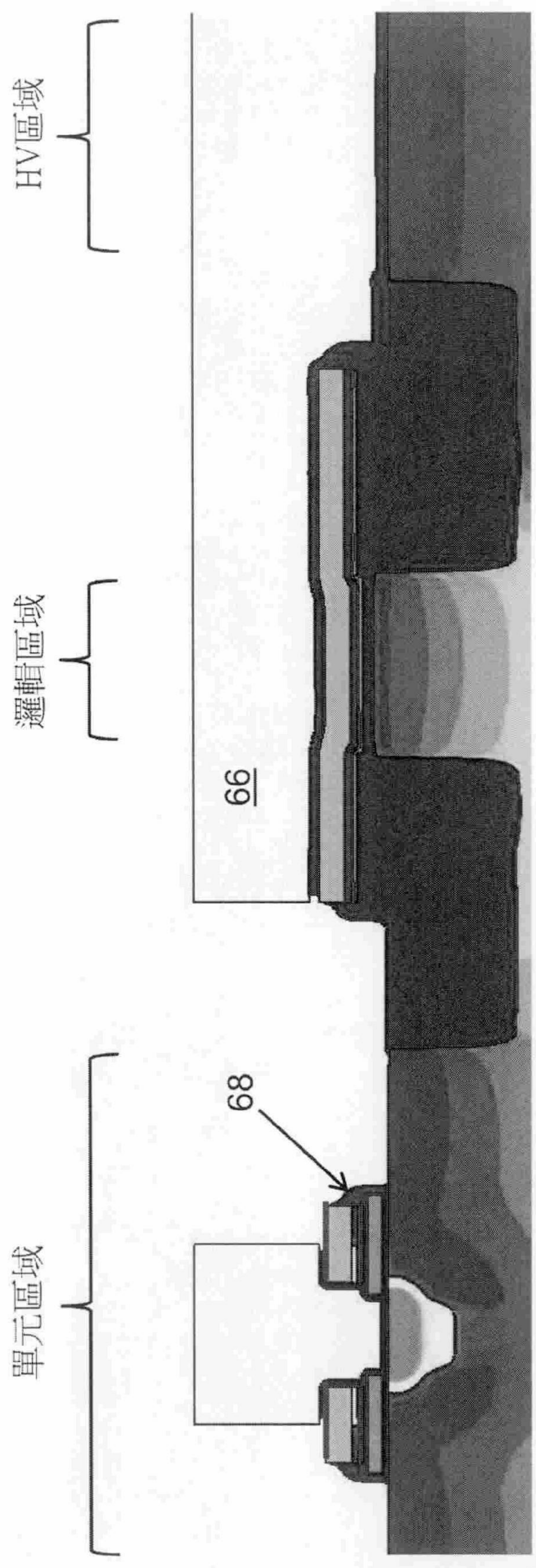


圖11

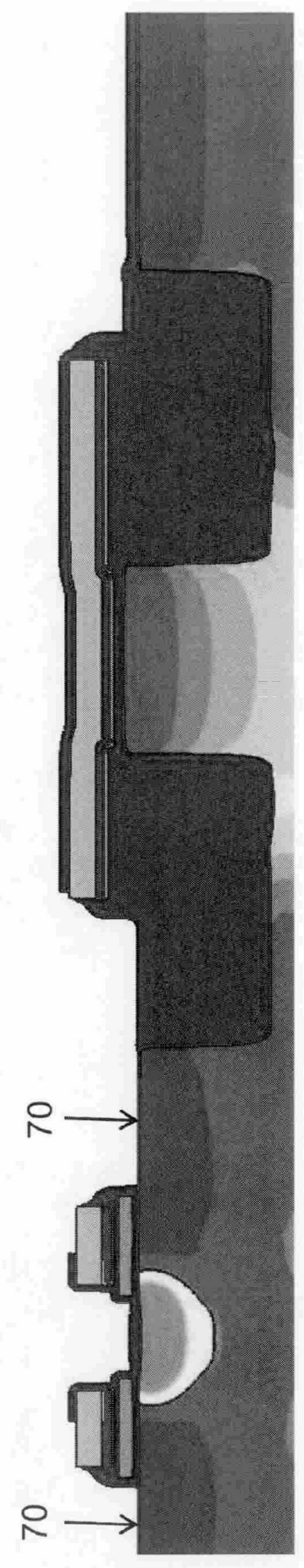


圖12

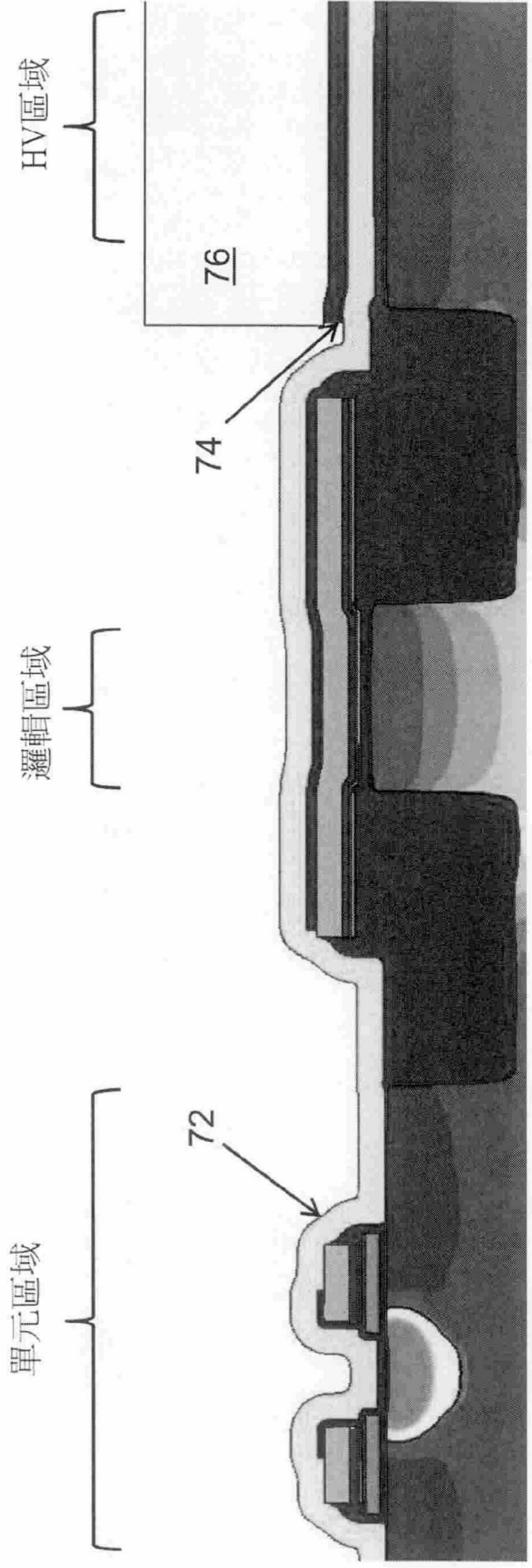


圖13

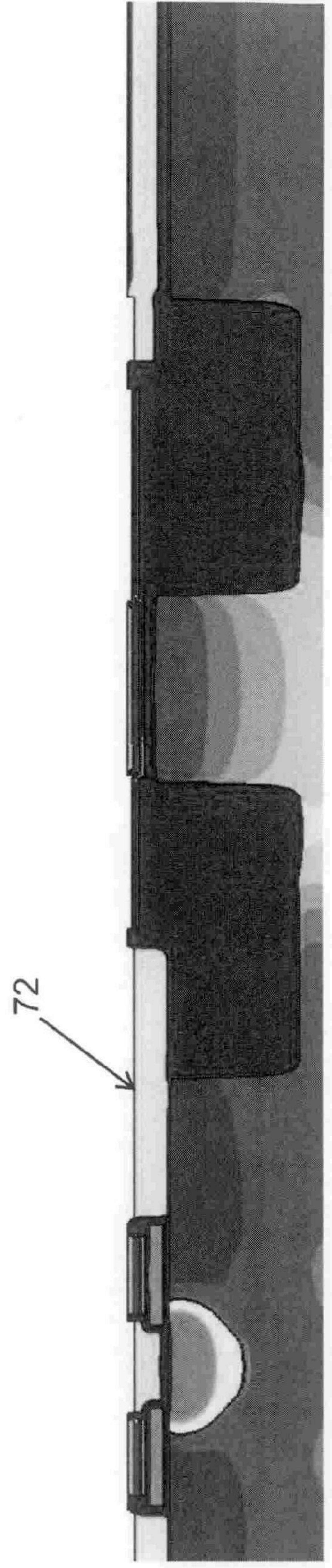


圖14

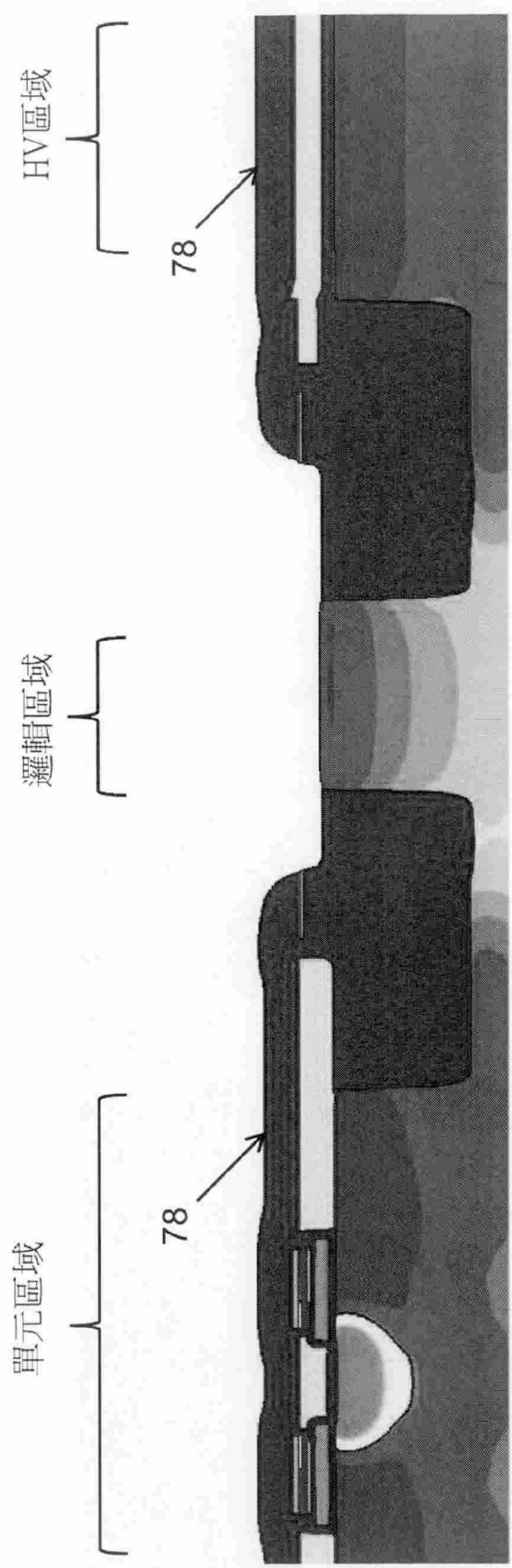


圖15

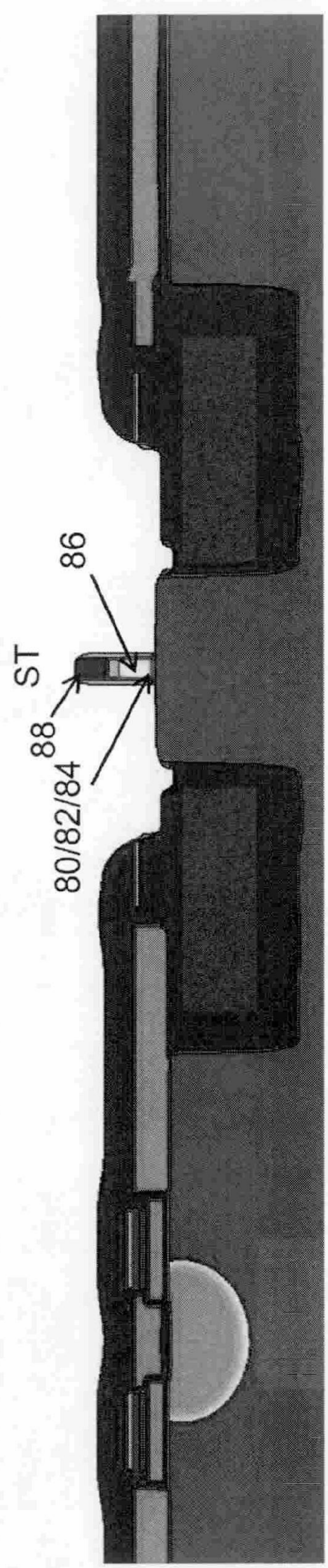


圖16

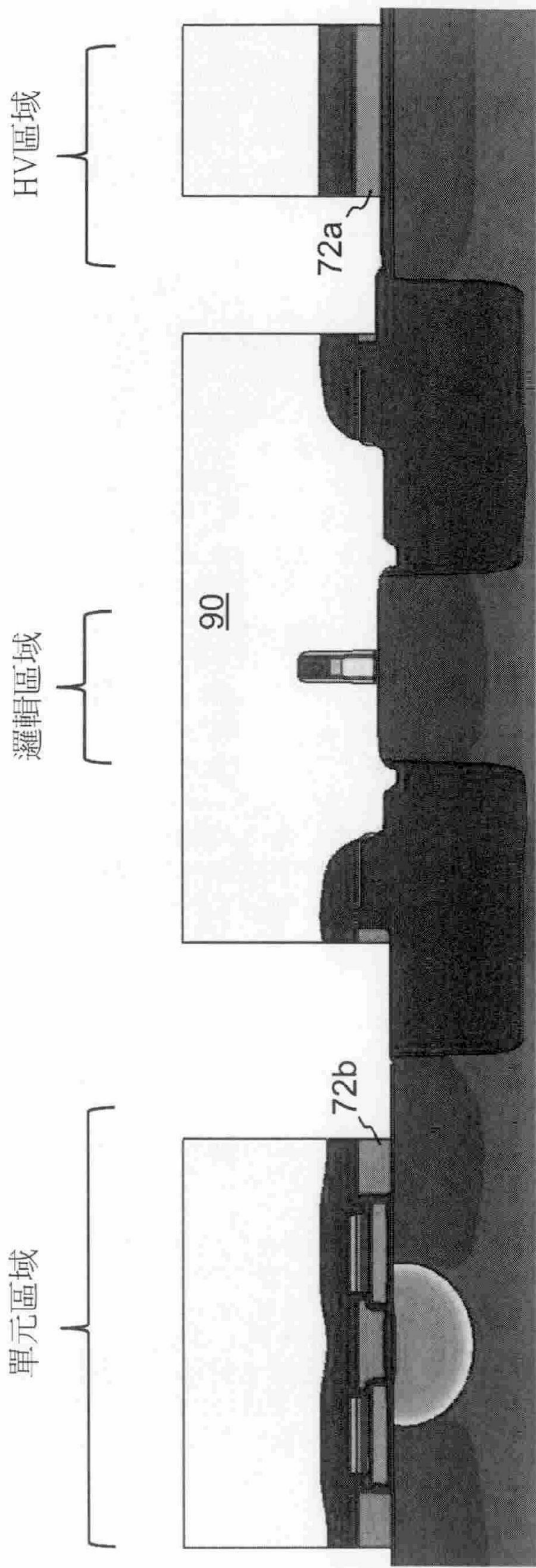


圖17

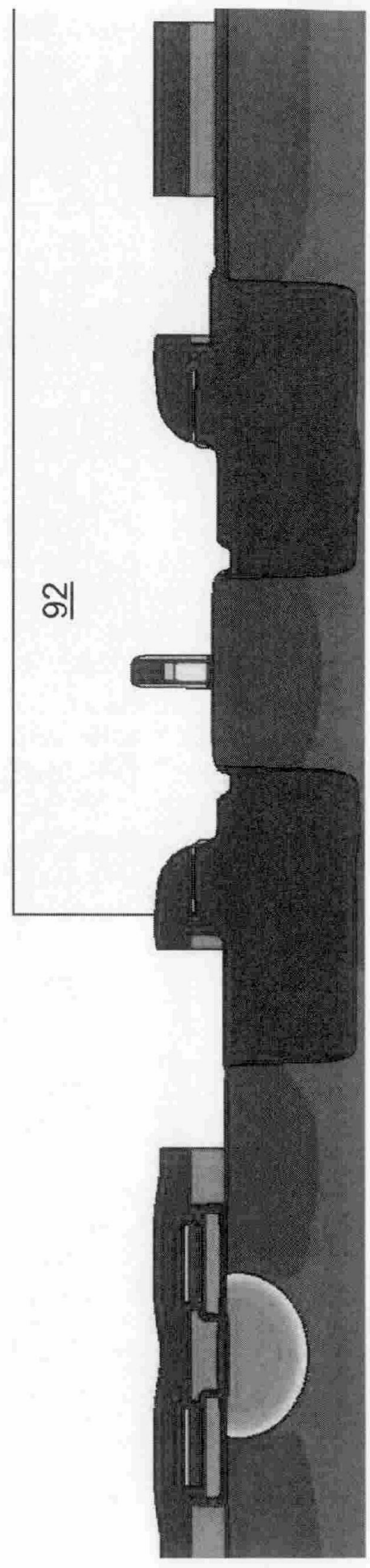


圖18

單元區域

邏輯區域

HV區域

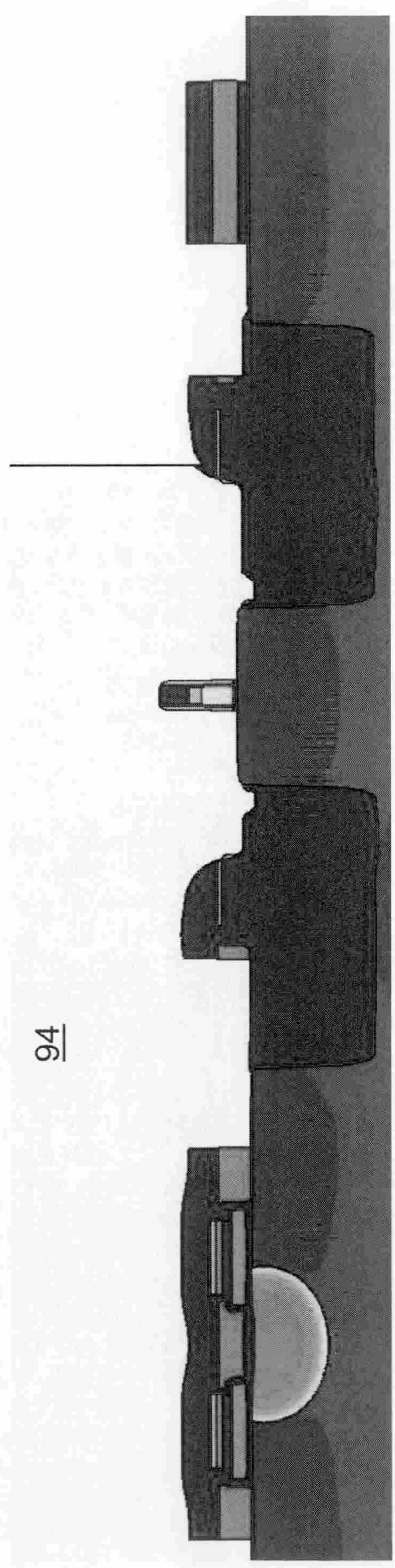


圖19

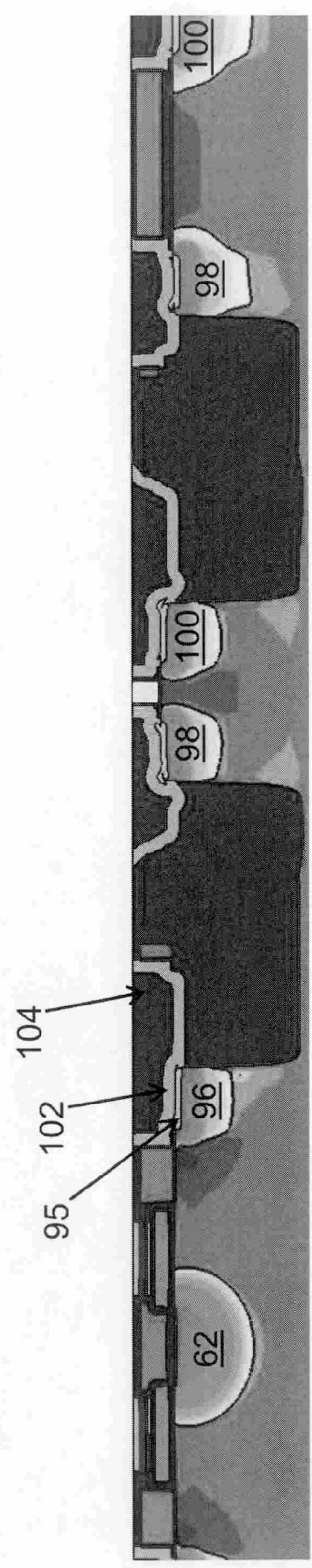


圖20

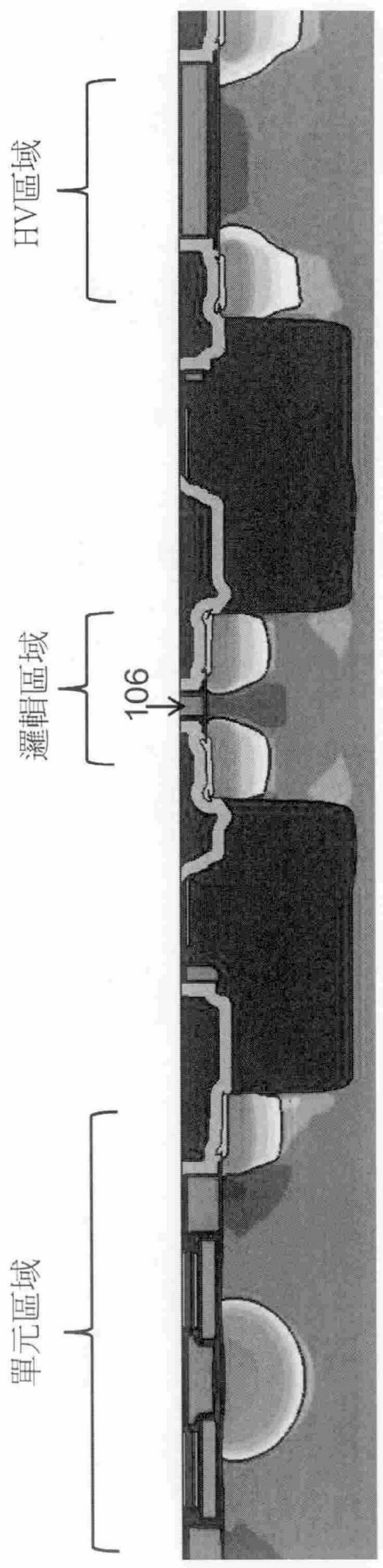


圖21

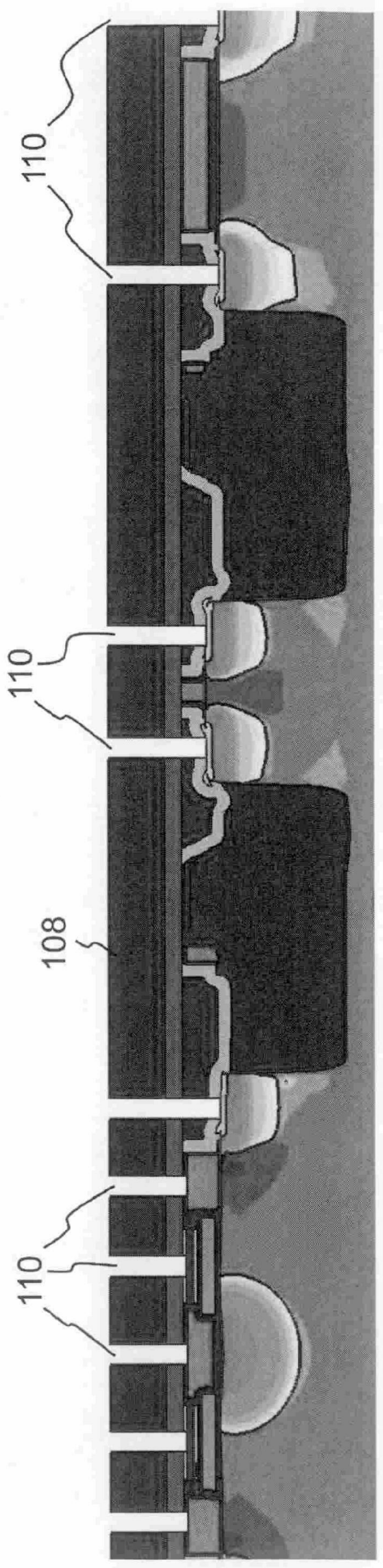


圖22

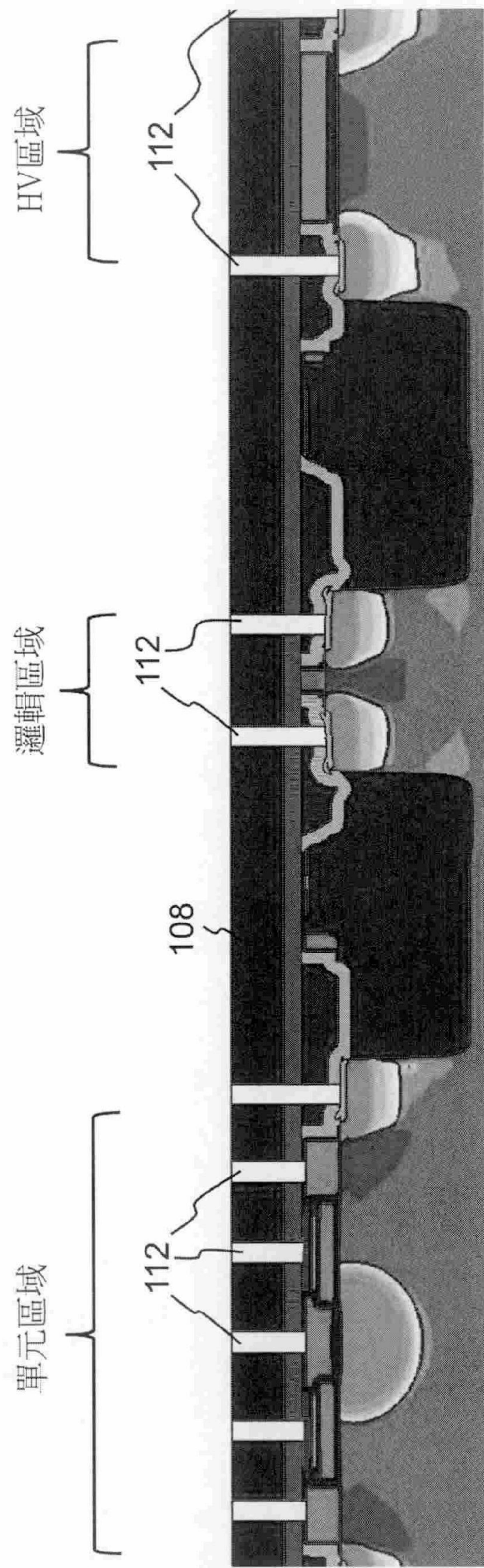


圖23

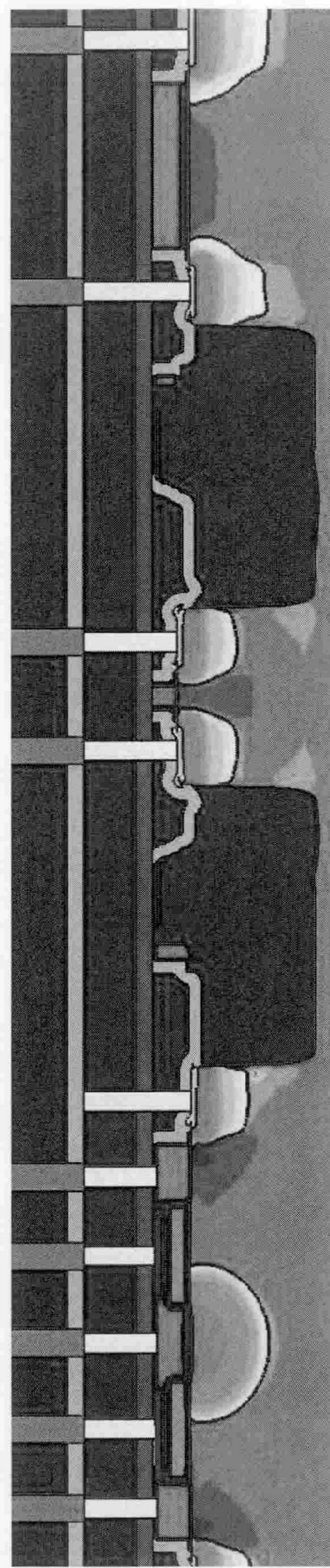


圖24

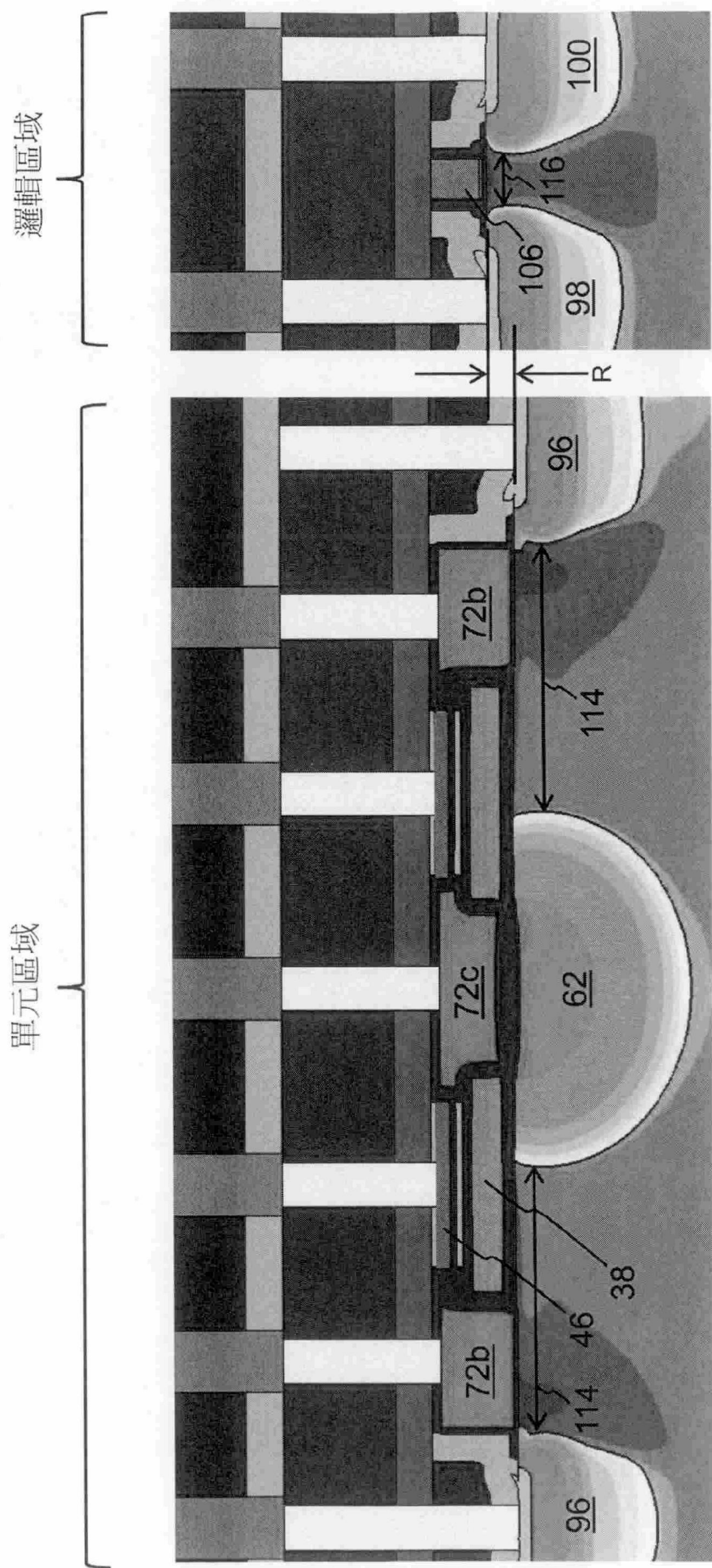


圖25

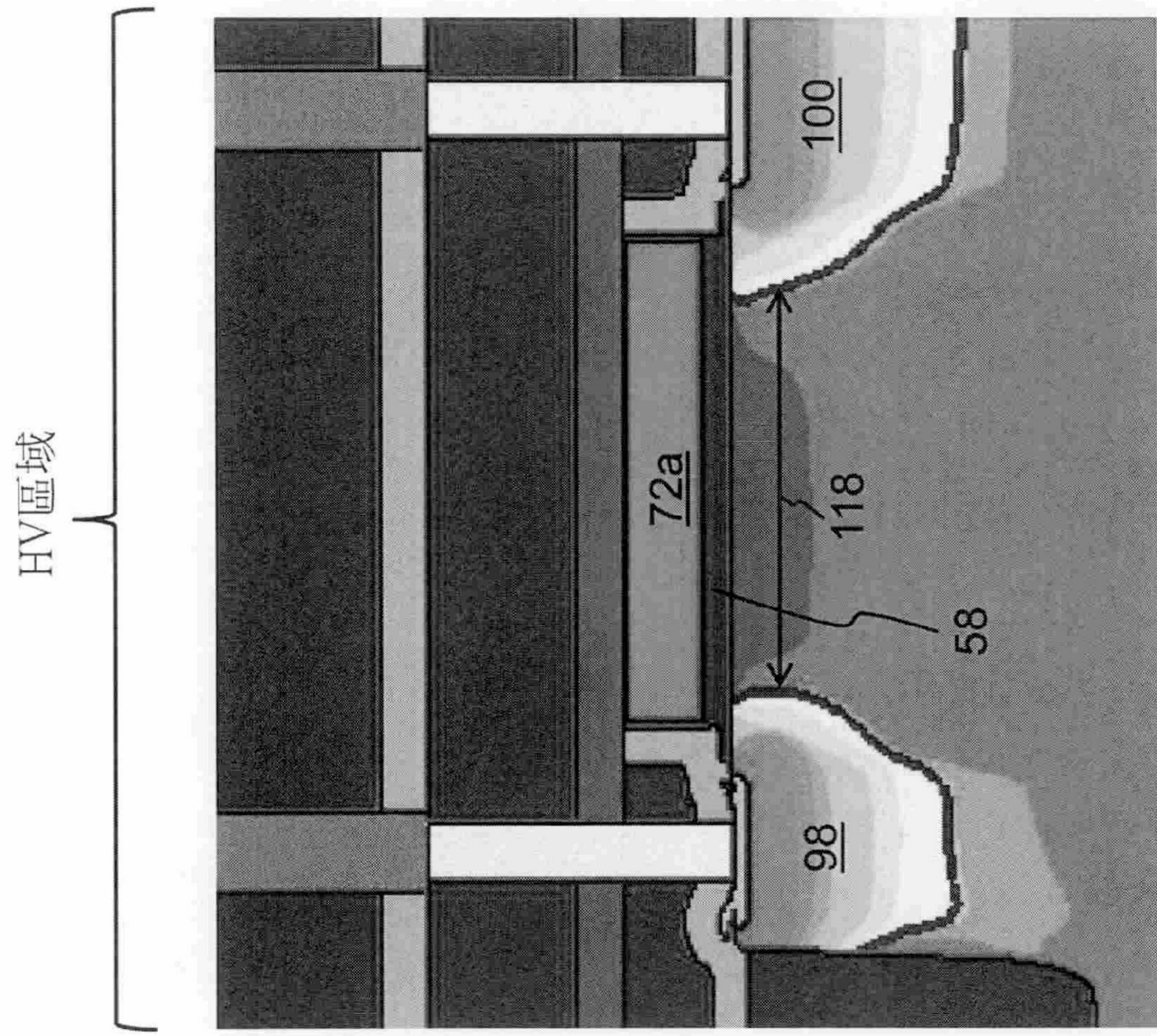


圖26