



(12)发明专利

(10)授权公告号 CN 105336680 B

(45)授权公告日 2020.02.11

(21)申请号 201410398110.8

H01L 23/532(2006.01)

(22)申请日 2014.08.13

(56)对比文件

(65)同一申请的已公布的文献号

CN 1672250 A,2005.09.21,

申请公布号 CN 105336680 A

CN 101231949 A,2008.07.30,

(43)申请公布日 2016.02.17

CN 103579089 A,2014.02.12,

(73)专利权人 中芯国际集成电路制造(上海)有限公司

US 2005/0079703 A1,2005.04.14,

地址 201203 上海市浦东新区张江路18号

审查员 温菊红

(72)发明人 周鸣

(74)专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 21/768(2006.01)

H01L 21/3105(2006.01)

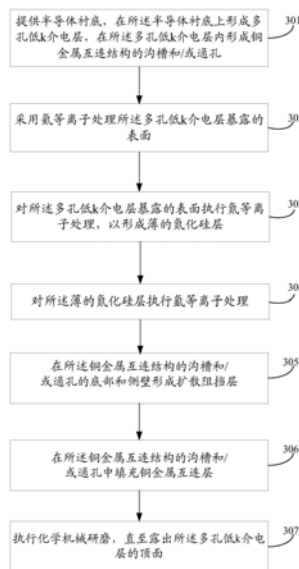
权利要求书1页 说明书6页 附图5页

(54)发明名称

一种半导体器件及其制作方法和电子装置

(57)摘要

本发明提供一种半导体器件及其制作方法和电子装置,所述制作方法包括:提供半导体衬底,在所述半导体衬底上形成多孔低k介电层,在所述多孔低k介电层内形成铜金属互连结构的沟槽和/或通孔;采用氩等离子处理所述多孔低k介电层暴露的表面;对所述多孔低k介电层暴露的表面执行氮等离子处理,以形成薄的氮化硅层;对所述薄的氮化硅层执行氩等离子处理;在所述铜金属互连结构的沟槽和/或通孔的底部和侧壁形成扩散阻挡层。根据本发明的制作方法,经过氩气等离子、氮等离子和氟气等离子处理,使多孔低k介电层具有平整光滑致密的表面,提高了与附着于其上的扩散阻挡层之间的粘附力,进而改善器件的可靠性和良率。同时采用上述方法所获得器件具有高的可靠性和良率。



CN 105336680 B

1. 一种半导体器件的制作方法,包括:

提供半导体衬底,在所述半导体衬底上形成多孔低k介电层,在所述多孔低k介电层内形成铜金属互连结构的沟槽和/或通孔;

采用氦等离子处理所述多孔低k介电层暴露的表面;

对所述多孔低k介电层暴露的表面执行氮等离子处理,以形成薄的氮化硅层,其中,所述多孔低k介电层暴露的表面包括所述多孔低k介电层的顶面以及在所述沟槽和/或通孔内暴露的表面;

对所述多孔低k介电层暴露的表面进行氩等离子处理,以使所述多孔低k介电层的表面更加致密光滑;

在所述铜金属互连结构的沟槽和/或通孔的底部和侧壁形成扩散阻挡层。

2. 根据权利要求1所述的制作方法,其特征在于,在形成所述薄的氮化硅层后,还包括对所述薄的氮化硅层执行所述氩等离子处理的步骤。

3. 根据权利要求2所述的制作方法,其特征在于,所述氩等离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。

4. 根据权利要求1所述的制作方法,其特征在于,所述氦等离子处理的工艺条件为:氮气的流量为100~10000sccm,功率为50~5000W,腔室压力为0.1mtorr~10torr。

5. 根据权利要求1所述的制作方法,其特征在于,利用原位等离子工艺对所述多孔低k介电层暴露的表面执行所述氮等离子处理。

6. 根据权利要求1所述的制作方法,其特征在于,利用氢气、氮气和氩气对所述多孔低k介电层暴露的表面执行所述氮等离子处理。

7. 根据权利要求5所述的制作方法,其特征在于,利用原位等离子工艺执行氮离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。

8. 根据权利要求1所述的制作方法,其特征在于,所述薄的氮化硅层的厚度为10~80埃。

9. 根据权利要求1所述的制作方法,其特征在于,在形成所述扩散阻挡层后,还包括以下步骤:

在所述铜金属互连结构的沟槽和/或通孔中填充铜金属互连层;

执行化学机械研磨,直至露出所述多孔低k介电层的顶面。

10. 一种采用如权利要求1至9任一项所述的方法制备获得的半导体器件,其特征在于,包括:

半导体衬底;

位于所述半导体衬底上的多孔低k介电层;

位于所述多孔低k介电层内的铜金属互连结构;

位于所述铜金属互连结构和所述多孔低k介电层之间的扩散阻挡层,其中所述多孔低k介电层与所述扩散阻挡层之间的界面为薄的氮化硅层。

11. 根据权利要求10所述的半导体器件,其特征在于,所述薄的氮化硅层为10~80埃。

12. 一种电子装置,其特征在于,包括权利要求10所述的半导体器件。

一种半导体器件及其制作方法和电子装置

技术领域

[0001] 本发明涉及半导体技术领域,具体而言涉及一种半导体器件及其制作方法和电子装置。

背景技术

[0002] 随着半导体器件尺寸的不断减小,铜金属互连层之间的电容性串音的影响日益显著。为了解决电容性串音的问题,在铜金属互连层之间布置多孔低k介电层是一种很好的解决问题的方式。

[0003] 对于半导体器件中的逻辑电路而言,铜金属互连层的层数达到数层乃至十数层,每一层铜金属互连层分别形成于相应的铜金属互连结构。如图1A所示,在形成有前端器件的半导体衬底100上形成有自下而上层叠的蚀刻停止层101和多孔低k介电层102,通过干法蚀刻在多孔低k介电层102中形成有与所述前端器件连通的铜金属互连结构103,其由通孔103a和沟槽103b构成。接着,如图1B所示,通过物理气相沉积在铜金属互连结构103的侧壁和底部形成铜金属扩散阻挡层104,扩散阻挡层包括Ta/TaN。然后,依次形成铜金属种子层和铜金属互连层。然而实际工艺中,多孔低k介电层和扩散阻挡层之间的界面粗糙,导致扩散阻挡层和介电层的附着力变差,造成良率的下降,还会影响互连结构电连接的效果。

[0004] 因此,为了解决上述技术问题,有必要提出一种新的半导体器件的制作方法。

发明内容

[0005] 在发明内容部分中引入了一系列简化形式的概念,这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征,更不意味着试图确定所要求保护的技术方案的保护范围。

[0006] 为了克服目前存在的问题,本发明实施例一提供一种半导体器件的制作方法,包括:

[0007] 提供半导体衬底,在所述半导体衬底上形成多孔低k介电层,在所述多孔低k介电层内形成铜金属互连结构的沟槽和/或通孔;

[0008] 采用氮等离子处理所述多孔低k介电层暴露的表面;

[0009] 对所述多孔低k介电层暴露的表面执行氮等离子处理,以形成薄的氮化硅层;

[0010] 在所述铜金属互连结构的沟槽和/或通孔的底部和侧壁形成扩散阻挡层。

[0011] 进一步,在形成所述薄的氮化硅层后,还包括对所述薄的氮化硅层执行氩等离子处理的步骤。

[0012] 进一步,所述氩等离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。

[0013] 进一步,所述氮等离子处理的工艺条件为:所述氮气的流量为100~10000sccm,功率为50~5000W,腔室压力为0.1mtorr~10torr。

[0014] 进一步,利用原位等离子工艺对所述多孔低k介电层暴露的表面执行所述氮等离

子处理。

[0015] 进一步,利用氢气、氮气和氩气对所述多孔低k介电层暴露的表面执行所述氮离子处理。

[0016] 进一步,利用原位等离子工艺执行氮离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。

[0017] 进一步,所述薄的氮化硅层的厚度为10~80埃。

[0018] 进一步,在形成所述扩散阻挡层后,还包括以下步骤:

[0019] 在所述铜金属互连结构的沟槽和/或通孔中填充铜金属互连层;

[0020] 执行化学机械研磨,直至露出所述多孔低k介电层的顶面。

[0021] 本发明实施例二提供一种半导体器件,包括:

[0022] 半导体衬底;

[0023] 位于所述半导体衬底上的多孔低k介电层;

[0024] 位于所述多孔低k介电层内的铜金属互连结构;

[0025] 位于所述铜金属互连结构和所述多孔低k介电层之间的扩散阻挡层,其中所述多孔低k介电层与所述扩散阻挡层之间的界面为薄的氮化硅层。

[0026] 进一步,所述薄的氮化硅层为10~80埃。

[0027] 本发明实施例三提供一种电子装置,包括上述实施例二中的半导体器件。

[0028] 综上所述,根据本发明的制作方法,经过氩气等离子、氮等离子和氩气等离子处理,使多孔低k介电层具有平整光滑致密的表面,提高了与附着于其上的扩散阻挡层之间的粘附力,进而改善器件的可靠性和良率。同时采用上述方法所获得器件具有高的可靠性和良率。

附图说明

[0029] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0030] 附图中:

[0031] 图1A示出了根据现有技术形成连通前端器件层的铜金属互连结构的沟槽和通孔之后的器件的示意性剖面图;

[0032] 图1B示出了形成铜金属扩散阻挡层之后的器件的示意性剖面图;

[0033] 图2A-2F为根据本发明实施例一的方法依次实施所获得器件的剖面示意图;

[0034] 图3为本发明实施例一中方法依次实施步骤的流程图;

[0035] 图4为根据本发明实施例二中铜金属互连结构的剖面示意图。

具体实施方式

[0036] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0037] 应当理解的是,本发明能够以不同形式实施,而不应当解释为局限于这里提出的

实施例。相反地,提供这些实施例将使公开彻底和完全,并且将本发明的范围完全地传递给本领域技术人员。在附图中,为了清楚,层和区的尺寸以及相对尺寸可能被夸大。自始至终相同附图标记表示相同的元件。

[0038] 应当明白,当元件或层被称为“在...上”、“与...相邻”、“连接到”或“耦合到”其它元件或层时,其可以直接地在其它元件或层上、与之相邻、连接或耦合到其它元件或层,或者可以存在居间的元件或层。相反,当元件被称为“直接在...上”、“与...直接相邻”、“直接连接到”或“直接耦合到”其它元件或层时,则不存在居间的元件或层。应当明白,尽管可使用术语第一、第二、第三等描述各种元件、部件、区、层和/或部分,这些元件、部件、区、层和/或部分不应当被这些术语限制。这些术语仅仅用来区分一个元件、部件、区、层或部分与另一个元件、部件、区、层或部分。因此,在不脱离本发明教导之下,下面讨论的第一元件、部件、区、层或部分可表示为第二元件、部件、区、层或部分。

[0039] 空间关系术语例如“在...下”、“在...下面”、“下面的”、“在...之下”、“在...之上”、“上面的”等,在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白,除了图中所示的取向以外,空间关系术语意图还包括使用和操作中的器件的不同取向。例如,如果附图中的器件翻转,然后,描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此,示例性术语“在...下面”和“在...下”可包括上和两个取向。器件可以另外地取向(旋转90度或其它取向)并且在此使用的空间描述语相应地被解释。

[0040] 在此使用的术语的目的仅在于描述具体实施例并且不作为本发明的限制。在此使用时,单数形式的“一”、“一个”和“所述/该”也意图包括复数形式,除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”,当在该说明书中使用,确定所述特征、整数、步骤、操作、元件和/或部件的存在,但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时,术语“和/或”包括相关所列项目的任何及所有组合。

[0041] 为了彻底理解本发明,将在下列的描述中提出详细的结构及步骤,以便阐释本发明提出的技术方案。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0042] 实施例一

[0043] 下面,参照图2A-图2F对本发明实施例的方法进行详细描述。

[0044] 首先,如图2A所示,提供半导体衬底200,所述半导体衬底200的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)等。作为示例,在本实施例中,所述半导体衬底200选用单晶硅材料构成。所述半导体衬底200中形成有隔离结构,以及各种阱(well)结构,为了简化,图示中予以省略。

[0045] 在所述半导体衬底200上,形成有各种前端器件,为了简化,图例中未予示出。所述前端器件是指实施半导体器件的后端制造工艺(BEOL)之前形成的器件,在此并不对前端器件的具体结构进行限定。

[0046] 继续参考图2A,在所述半导体衬底200上依次形成蚀刻停止层201和多孔低k介电层202。

[0047] 蚀刻停止层201的材料优选SiCN、SiC或SiN,其作为后续蚀刻多孔低k介电层202以

在其中形成连通所述前端器件的铜金属互连结构的通孔部分的蚀刻停止层的同时,可以阻止形成于所述铜金属互连结构的铜金属扩散到所述前端器件所在的层间介电层。

[0048] 多孔低k介电层202的构成材料可以选自本领域常见的具有低k值(介电常数小于4.0)的材料,包括但不限于SiO₂、SiCOH、k值为2.5-2.9的硅酸盐化合物(Hydrogen Silsesquioxane, 简称为HSQ)、k值为2.2的甲基硅酸盐化合物(Methyl Silsesquioxane, 简称MSQ)、SiCH、SiCNH、SiN_x等。

[0049] 通常采用化学气相旋涂工艺(SOG)、甩胶技术或化学气相沉积技术制备所述多孔低k介电层202。示例性地,采用等离子化学气相沉积法形成多孔低k或超低k介电层。采用有机硅作为源气体,包括链结构源、环结构源两大类,添加的气体包括致孔剂和氧化剂。所述有机硅源气体可选自:四甲基硅烷(TMS)、三甲基硅烷(3MS)、双三甲基硅甲烷(BTMSM)、甲基二乙氧基硅烷(DEMS)、四甲基环四硅氧烷(TMCTS)、四乙氧基四甲基环四硅氧烷(TVTMCTS)、三甲基三乙氧基环三硅氧烷(V₃D₃)、十甲基环五硅氧烷(D5)中的一种或几种。致孔剂可以是任何合适产生孔的材料,致孔剂可以包括降冰片烯;5-二甲基-1,4-环辛烯;十氢化萘;乙苯;或柠檬烯;或者上述各项中两项或多项的组合。例如,致孔剂可以包括 α -松油烯(ATRP)。氧化剂可选自O₂、N₂O或CO₂中的一种或几种。

[0050] 之后,实施固化处理,使低k或超低k介电层多孔化以进一步降低其介电常数,同时提高其机械强度。可以在熔炉中或者通过其他工艺实施固化,例如紫外线固化、快速热固化、闪光灯固化、激光固化等。

[0051] 如图2B所示,形成用于连接前端器件的铜金属互连结构203的沟槽203a和通孔203b。形成所述铜金属互连结构203的沟槽203a或通孔203b可以采用本领域技术人员所熟悉的各种适宜的工艺技术,例如双大马士革工艺。

[0052] 接着,采用氦等离子处理多孔低k介电层暴露的表面。

[0053] 其中,所述多孔低k介电层202暴露的表面包括顶面以及位于所述铜金属互连结构203的通孔203a和沟槽203b的侧壁和底部的表面。在一个示例中,氦等离子处理的工艺条件为:所述氦气的流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。通过氦等离子处理,使多孔低k介电层202暴露的表面更加致密。

[0054] 如图2C所示,对多孔低k介电层202暴露的表面执行氮等离子处理,以形成薄的氮化硅层204。

[0055] 示例性地,利用原位等离子工艺对所述多孔低k介电层202暴露的表面执行氮等离子处理。在一个示例中,利用氢气、氮气或氩气对所述多孔低k介电层202暴露的表面执行氮离子处理。

[0056] 可选地,利用原位等离子工艺执行氮离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。

[0057] 通过上述反应气体及工艺条件的选择,能够在多孔低k介电层202暴露的表面形成一层薄的氮化硅层204。可选地,所述薄的氮化硅层204的厚度为10~80埃。所述薄的氮化硅层的厚度可通过调整氮等离子处理的工艺参数来实现不同的厚度。所述薄的氮化硅层的厚度可在保证低k介电层介电常数在适合的范围内进行适当调整。

[0058] 接着,对多孔低k介电层暴露的表面执行氩等离子处理。氩等离子处理的工艺条件为:流量为100~10000sccm,功率为50~5000W,压力为0.1mtorr~10torr。由于在多孔低k

介电层202暴露的表面上形成了薄的氮化硅层204,且再经过氩气等离子处理,可使多孔低k介电层202的表面更加致密光滑。

[0059] 经过上述步骤后,使得多孔低k介电层的表面更加平整致密光滑,进而可提高之后形成的扩散阻挡层与多孔低k介电层之间的粘附力。

[0060] 接着,如图2D所示,在铜金属互连结构203的侧壁和底部沉积形成扩散阻挡层205。在本实施例中,所述沉积为物理气相沉积。其中扩散阻挡层205的制备方法可选用物理气相沉积(PVD),扩散阻挡层205可于介于 $-40^{\circ}\text{C}\sim 400^{\circ}\text{C}$ 的温度与约介于0.1毫托(mTorr) ~ 100 毫托(mTorr)的压力下形成。扩散阻挡层205的材料为金属或金属化合物层的材质例如钽、氮化钽、钛、氮化钛、氮化锆、氮化钛锆、钨、氮化钨、其合金或其组成物。

[0061] 如图2E所示,铜金属互连结构203的沟槽203b和通孔203a中填充铜金属互连层206。在本实施例中,采用电镀工艺实施所述填充。为了增强铜金属互连层206与铜金属扩散阻挡层205之间的附着性,实施所述填充之前,在扩散阻挡层205上先形成铜金属种子层,为了简化,图中未予示出。

[0062] 接着,如图2F所示,执行化学机械研磨,直至露出多孔低k介电层202的顶面。

[0063] 经过上述步骤后,即完成了铜金属互连结构的制作。

[0064] 综上所述,根据本发明的制作方法,经过氩等离子、氮等离子和氩等离子处理,使多孔低k介电层具有平整光滑致密的表面,提高了与附着于其上的扩散阻挡层之间的粘附力,进而改善器件的可靠性和良率。

[0065] 参照图3,其中示出了根据本发明实施例的方法依次实施的步骤的流程图,用于简要示出整个制造工艺的流程。

[0066] 在步骤301中,提供半导体衬底,在所述半导体衬底上形成多孔低k介电层,在所述多孔低k介电层内形成铜金属互连结构的沟槽和/或通孔;

[0067] 在步骤302中,采用氩等离子处理所述多孔低k介电层暴露的表面;

[0068] 在步骤303中,对所述多孔低k介电层暴露的表面执行氮等离子处理,以形成薄的氮化硅层;

[0069] 在步骤304中,对所述薄的氮化硅层执行氩等离子处理;

[0070] 在步骤305中,在所述铜金属互连结构的沟槽和/或通孔的底部和侧壁形成扩散阻挡层;

[0071] 在步骤306中,在所述铜金属互连结构的沟槽和/或通孔中填充铜金属互连层;

[0072] 在步骤307中,执行化学机械研磨,直至露出所述多孔低k介电层的顶面。

[0073] 实施例二

[0074] 参考图4,本发明实施例二提供一种采用实施例一中方法制作的半导体器件,包括:

[0075] 半导体衬底400;位于所述半导体衬底400上的多孔低k介电层402;可选地,在所述多孔低k介电层402与半导体衬底之间还形成有蚀刻停止层401。其中,所述半导体衬底400的构成材料可以采用未掺杂的单晶硅、掺杂有杂质的单晶硅、绝缘体上硅(SOI)等。作为示例,在本实施例中,所述半导体衬底400选用单晶硅材料构成。所述半导体衬底400中形成有隔离结构,以及各种阱(well)结构,为了简化,图示中予以省略。在所述半导体衬底400上,形成有各种前端器件,为了简化,图例中未予示出。所述前端器件是指实施半导体器件的后

端制造工艺 (BEOL) 之前形成的器件,在此并不对前端器件的具体结构进行限定。

[0076] 蚀刻停止层401的材料选自SiCN、SiC或SiN中的一种或几种。

[0077] 多孔低k介电层402的构成材料可以选自本领域常见的具有低k值(介电常数小于4.0)的材料,包括但不限于SiO₂、SiCOH、k值为2.5-2.9的硅酸盐化合物(Hydrogen Silsesquioxane, 简称为HSQ)、k值为2.2的甲基硅酸盐化合物(Methyl Silsesquioxane, 简称MSQ)、SiCH、SiCNH、SiN_x等。

[0078] 还包括位于所述多孔低k介电层402内的铜金属互连结构403;所述铜金属互连结构与半导体衬底中前端器件相连接。

[0079] 位于所述铜金属互连结构403和所述多孔低k介电层402之间的扩散阻挡层405,其中所述多孔低k介电层402与所述扩散阻挡层405之间的界面为薄的氮化硅层404。由于氮化硅层404平整致密,表面光滑,因此扩散阻挡层405和氮化硅层404之间的粘附力会更高。扩散阻挡层405的材料为金属或金属化合物层的材质例如钽、氮化钽、钛、氮化钛、氮化锆、氮化钛锆、钨、氮化钨、其合金或其组成物。可选地,所述薄的氮化硅层404为10~80埃。

[0080] 由于本发明实施中半导体器件采用实施例一中方法制备,多孔低k介电层和扩散阻挡层之间的界面平整致密光滑,提高了与附着于其上的扩散阻挡层之间的粘附力,进而本发明实施中的半导体器件具有高的可靠性和良率。

[0081] 实施例三

[0082] 本发明还提供一种电子装置,其包括上述半导体器件。

[0083] 由于包括的半导体器件具有优异的良率和可靠性,该电子装置同样具有上述优点。

[0084] 该电子装置,可以是手机、平板电脑、笔记本电脑、上网本、游戏机、电视机、VCD、DVD、导航仪、照相机、摄像机、录音笔、MP3、MP4、PSP等任何电子产品或设备,也可以是具有上述半导体器件的中间产品,例如:具有该集成电路的手机主板等。

[0085] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

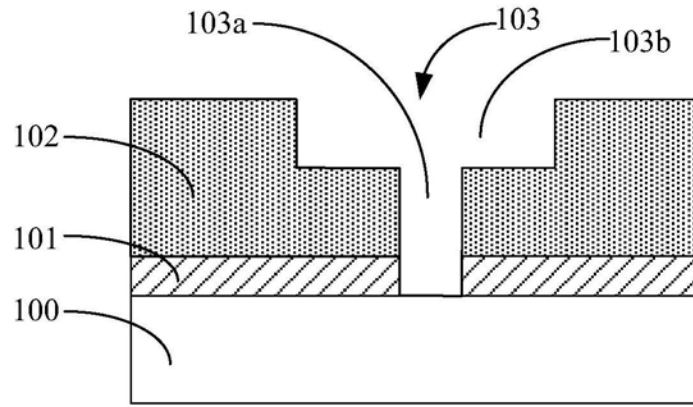


图1A

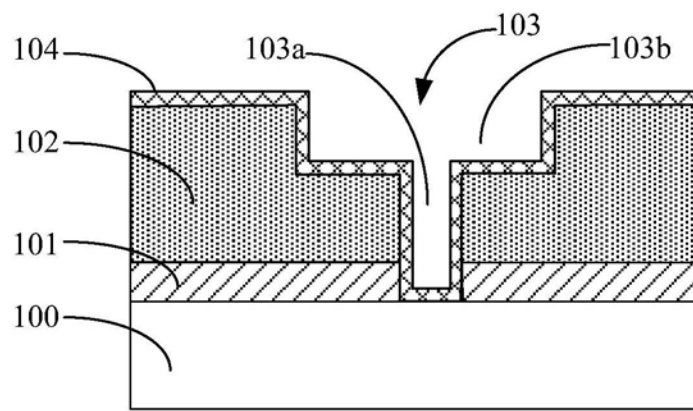


图1B

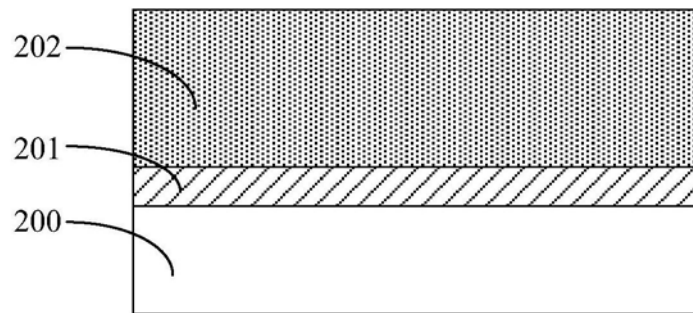


图2A

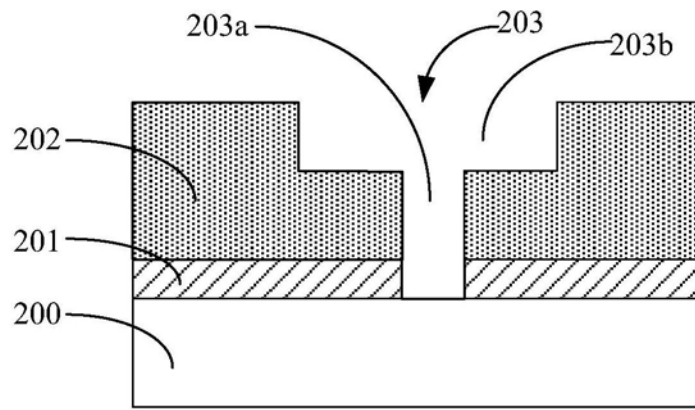


图2B

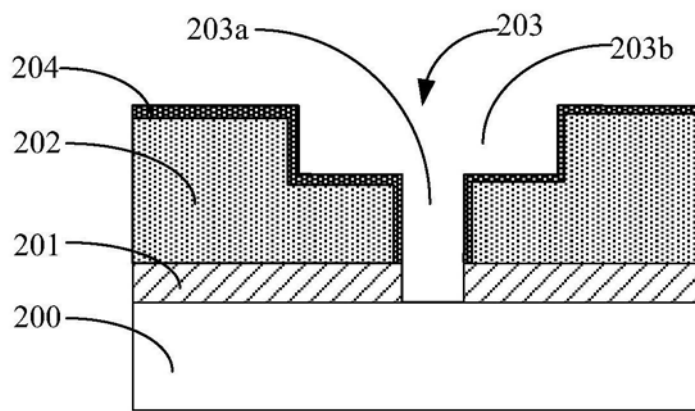


图2C

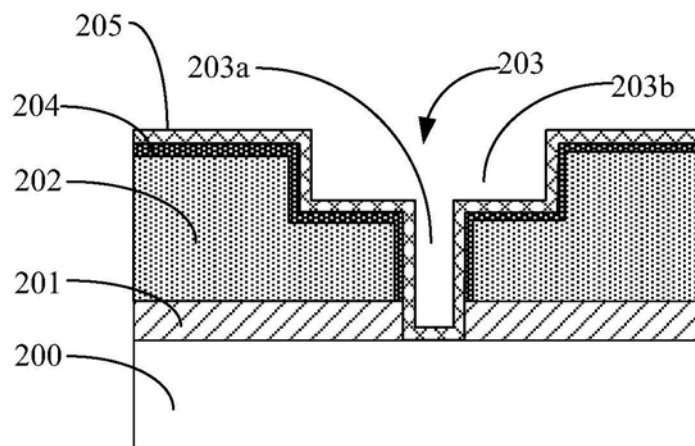


图2D

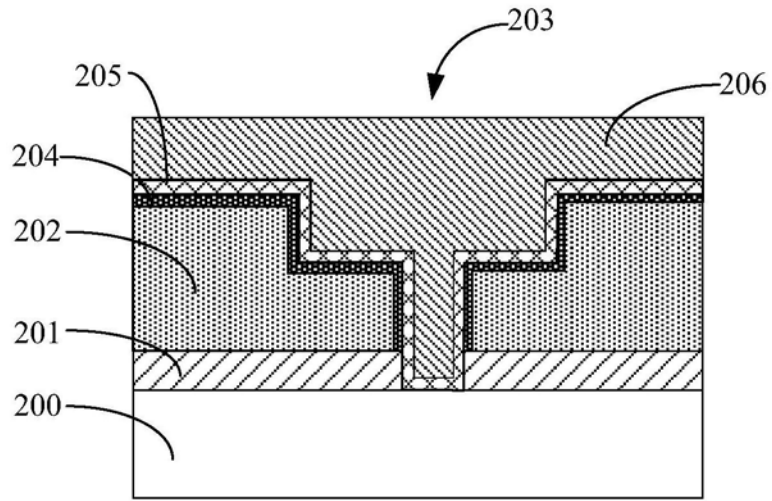


图2E

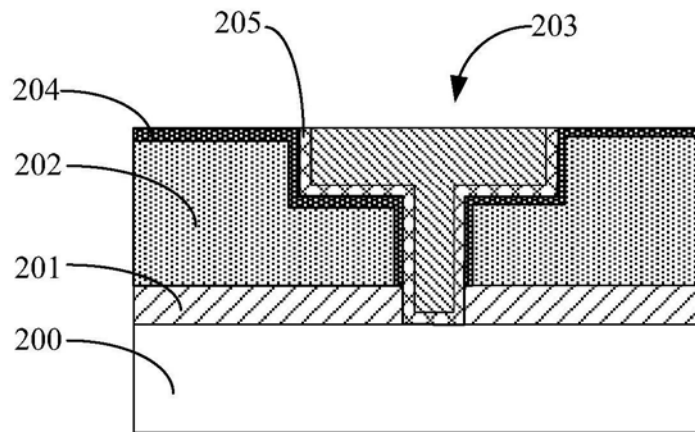


图2F

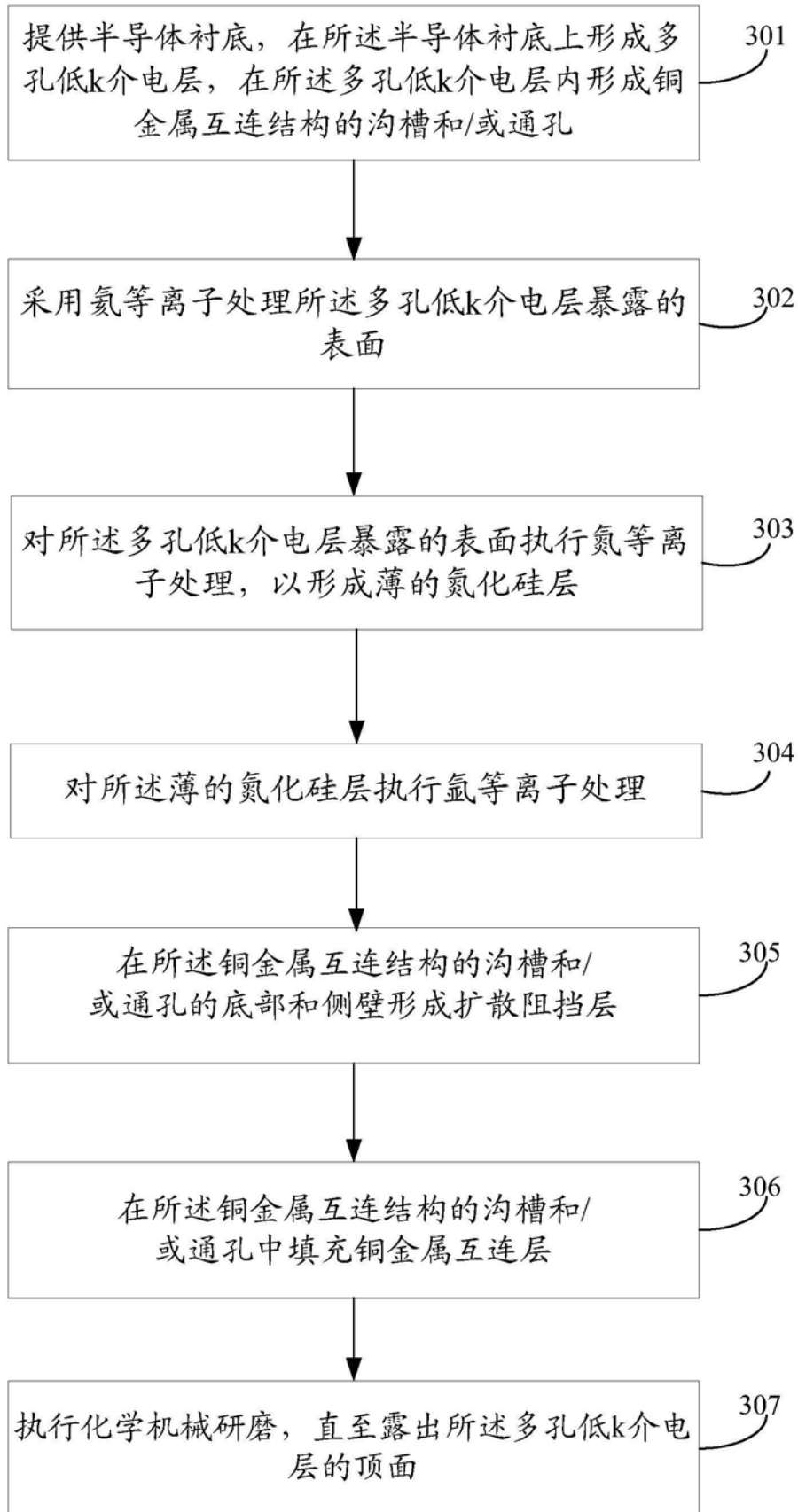


图3

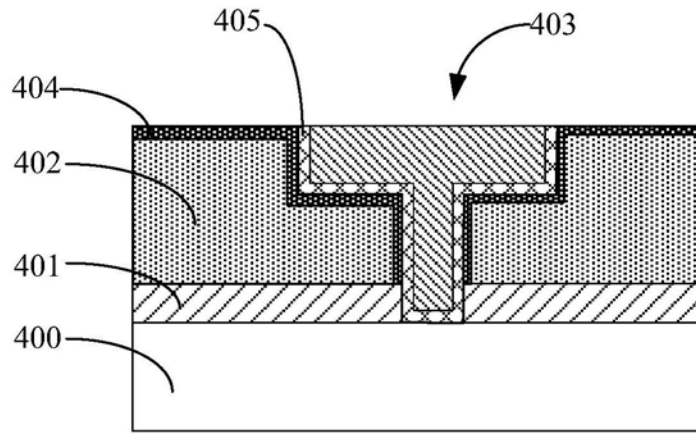


图4