



# (12)发明专利

(10)授权公告号 CN 104752363 B

(45)授权公告日 2017. 11. 03

(21)申请号 201310754246.3

(22)申请日 2013.12.31

(65)同一申请的已公布的文献号

申请公布号 CN 104752363 A

(43)申请公布日 2015.07.01

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 张翼英

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 骆苏华

(51)Int.Cl.

H01L 27/11521(2017.01)

H01L 21/28(2006.01)

(56)对比文件

US 6403484 B1,2002.06.11,

US 6365523 B1,2002.04.02,

CN 101207064 A,2008.06.25,

CN 101154618 A,2008.04.02,

US 2010311220 A1,2010.12.09,

CN 101154618 A,2008.04.02,

审查员 李快快

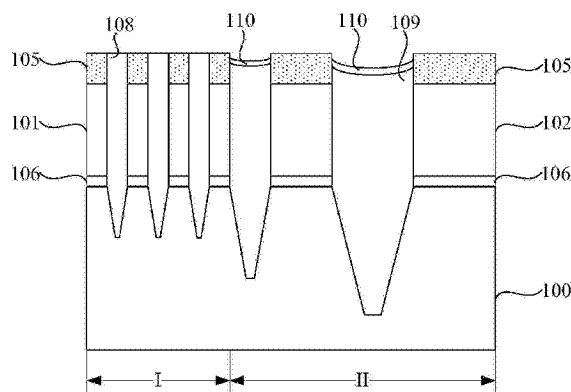
权利要求书2页 说明书8页 附图8页

(54)发明名称

快闪存储器的形成方法

(57)摘要

一种快闪存储器的形成方法,包括:提供基底;在基底上形成核心区的浮栅、浮栅之间基底中的第一沟槽,和外围区栅极、栅极之间基底中的第二沟槽,及浮栅、栅极上的停止层、停止层上的硬掩模层;形成介电材料层;化学机械研磨介电材料层、硬掩模层,相邻浮栅之间的介电材料层为第一介电层,相邻栅极之间的介电材料层为第二介电层;在第二介电层上形成保护层,之后以保护层为掩模,清洗去除外围区残留的硬掩模层部分;刻蚀去除停止层,在该过程也刻蚀去除保护层;图形化第一介电层形成浅沟槽隔离结构。快闪存储器的性能较佳,且产品良率满足量产要求。



1. 一种快闪存储器的形成方法,其特征在于,包括:  
提供基底,所述基底包括核心区和外围区;  
在所述基底上形成核心区多个浮栅、相邻两浮栅之间基底中的第一沟槽,和所述外围区的多个栅极、相邻两栅极之间基底中的第二沟槽,和位于所述浮栅上、栅极上的停止层、位于所述停止层上的硬掩模层,所述浮栅宽度小于栅极宽度且第一沟槽宽度小于第二沟槽宽度;  
形成介电材料层,所述介电材料层覆盖所述硬掩模层、填充第一沟槽和第二沟槽,所述第一沟槽、第二沟槽中的介电材料层具有高出硬掩模层的部分;  
化学机械研磨所述介电材料层、硬掩模层至所述停止层停止,相邻两浮栅之间剩余的介电材料层部分作为第一介电层,相邻两栅极之间剩余的介电材料层部分作为第二介电层;  
在所述第二介电层上形成保护层,之后以所述保护层为掩模,清洗去除所述外围区残留的硬掩模层部分;  
刻蚀去除所述停止层,在该过程中,也刻蚀去除所述保护层;  
在刻蚀去除停止层后,图形化所述第一介电层形成浅沟槽隔离结构。
2. 如权利要求1所述的快闪存储器的形成方法,其特征在于,所述介电材料为氧化硅,所述硬掩模层的材料为氧化硅,所述停止层材料为氮化硅。
3. 如权利要求2所述的快闪存储器的形成方法,其特征在于,所述保护层材料为氮氧化硅。
4. 如权利要求3所述的快闪存储器的形成方法,其特征在于,对所述第二介电层上表面进行快速热氮化、去耦等离子氮处理或微波氮等离子体处理,在所述第二介电层上形成氮氧化硅。
5. 如权利要求4所述的快闪存储器的形成方法,其特征在于,所述快速热氮化过程使用的气体为氨气,温度范围为 $700^{\circ}\text{C}\sim 1000^{\circ}\text{C}$ ,持续时间为 $30\text{s}\sim 90\text{s}$ ,氨气的流量范围为 $1000\text{sccm}\sim 10000\text{sccm}$ 。
6. 如权利要求4所述的快闪存储器的形成方法,其特征在于,在氮气环境中进行去耦等离子体氮处理。
7. 如权利要求1所述的快闪存储器的形成方法,其特征在于,所述保护层的厚度范围为 $50\sim 200\text{\AA}$ 。
8. 如权利要求3所述的快闪存储器的形成方法,其特征在于,刻蚀去除停止层的方法为湿法刻蚀。
9. 如权利要求8所述的快闪存储器的形成方法,其特征在于,所述湿法刻蚀使用的刻蚀剂为磷酸溶液。
10. 如权利要求2所述的快闪存储器的形成方法,其特征在于,使用湿法刻蚀或干法刻蚀,清洗去除所述外围区残留的硬掩模层部分。
11. 如权利要求10所述的快闪存储器的形成方法,其特征在于,所述湿法刻蚀过程使用的刻蚀剂为稀释氢氟酸溶液。
12. 如权利要求1所述的快闪存储器的形成方法,其特征在于,所述浅沟槽隔离结构高于基底上表面。

13. 如权利要求1所述的快闪存储器的形成方法,其特征在于,所述浮栅、第一沟槽、栅极、第二沟槽、硬掩模层和停止层的形成方法包括:

在所述基底上形成栅材料层、位于栅材料层上的停止材料层,在所述停止材料层上形成硬掩模材料层;

在所述硬掩模材料层上形成图形化的光刻胶层,所述图形化的光刻胶层定义浮栅、栅极的位置;

以所述图形化的光刻胶层为掩模,刻蚀硬掩模材料层形成硬掩模层、和刻蚀停止材料层形成停止层、和刻蚀核心区的栅材料层形成浮栅、和刻蚀外围区的栅材料层形成栅极;

去除图形化的光刻胶层;

以所述硬掩模层为掩模刻蚀部分厚度基底形成第一沟槽、第二沟槽。

14. 如权利要求1所述的快闪存储器的形成方法,其特征在于,刻蚀部分厚度第一介电层的方法为干法刻蚀,或湿法刻蚀,或先干法刻蚀、后湿法刻蚀。

15. 如权利要求1所述的快闪存储器的形成方法,其特征在于,在刻蚀部分厚度的第一介电层后,在相邻两浮栅之间形成第三沟槽;

所述快闪存储器的形成方法还包括:形成绝缘层和位于所述核心区并列排布的多个控制栅,所述绝缘层覆盖所述第三沟槽侧壁和底部、第二介电层和栅极,每个控制栅填充多个第三沟槽、覆盖所述浮栅上的绝缘层部分。

16. 如权利要求15所述的快闪存储器的形成方法,其特征在于,在所述绝缘层上形成控制栅的方法包括:

化学气相沉积绝缘层、位于绝缘层上的控制栅材料层;

对所述控制栅材料层进行图形化形成控制栅。

17. 如权利要求16所述的快闪存储器的形成方法,其特征在于,对所述控制栅材料层进行图形化的方法为自对准双重图形化法。

18. 如权利要求17所述的快闪存储器的形成方法,其特征在于,所述自对准双重图形化法包括:

在所述控制栅材料层上形成硬掩模层;

在所述硬掩模层上形成第一无定形碳层、位于所述第一无定形碳层上的第一电介质抗反射层;

在所述第一电介质抗反射层上形成第二无定形碳层、位于所述第二无定形碳层上的第二电介质抗反射层;

在所述第二电介质抗反射层上形成底部抗反射层、位于底部抗反射层上的光刻胶层;

对所述光刻胶层进行图形化,并以图形化后的光刻胶层为掩模刻蚀底部抗反射层、第二电介质抗反射层和第二无定形碳层形成多个第一条形件;

在所述第一条形件两侧壁形成侧墙,所述侧墙对应控制栅的位置;

以所述侧墙为掩模刻蚀第一条形件、第一电介质抗反射层和第一无定形碳层、硬掩模层,形成第二条形件;

去除剩余第一电介质抗反射层、第一无定形碳层,之后,以剩余硬掩模层为掩模刻蚀控制栅材料层形成控制栅。

## 快闪存储器的形成方法

### 技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种快闪存储器的形成方法。

### 背景技术

[0002] 目前,快闪存储器(Flash Memory)又称闪存,已经成为非挥发性存储器的主流存储器。根据结构不同,闪存可分为或非闪存(NOR Flash)和与非闪存(NAND Flash)。闪存的主要特点是在不加电的情况下能长期保持存储的信息;且具有集成度高、存取速度快、易于擦除和重写等优点,因而在微机、自动化控制等多项领域得到了广泛的应用。

[0003] 现有的快闪存储器包括位于基底上的核心存储电路(Cell Circuit)和位于核心存储电路周围的外围电路(Peripheral Circuit)。所述核心存储电路包括一些具有较小特征尺寸的晶体管,而外围电路主要包括具有较大特征尺寸的高压及中低压电路的常规MOS晶体管,如果是嵌入式,还会有相应的低压逻辑电路。其中,核心存储电路中的相邻两晶体管的栅极之间的距离非常小,而外围电路中的两晶体管的栅极之间的距离相对较大。

[0004] 现有的快闪存储器的形成方法包括:

[0005] 参照图1,提供基底10,所述基底10分为核心区I和外围区II,在基底10上形成有核心区I的多个相互隔开的浮栅(Floating Gate,FG)11、和外围区II的多个相互隔开的栅极12,及位于所述浮栅11、栅极12上的停止层13、位于停止层13上的硬掩模层14,停止层13的材料为氮化硅,硬掩模层14的材料为氧化硅,浮栅11的宽度小于栅极12的线宽且相邻两栅极12之间的间距 $W_2$ 大于相邻两浮栅11之间的间距 $W_1$ ,任意相邻两栅极12之间的间距也是不尽相同的。另外,在刻蚀形成硬掩模层14时,由于浮栅线宽小于栅极线宽,核心区I的硬掩模层14侧面的刻蚀是不可忽略的,造成外围区II的硬掩模层较薄,比核心区I的硬掩模层薄;

[0006] 以硬掩模层14为掩模,刻蚀相邻两浮栅11之间部分厚度基底形成第一沟槽(图中未标号),和刻蚀相邻两栅极12之间部分厚度基底形成第二沟槽(图中未标号),由于 $W_2 > W_1$ ,相邻两栅极12之间基底的刻蚀速率大于相邻两浮栅11之间基底的刻蚀速率,使得所述第二沟槽的深度 $D_2$ 大于第一沟槽的深度 $D_1$ ;

[0007] 参照图2,在基底10上沉积氧化硅材料层15,氧化硅材料层15覆盖硬掩模层14、填充第一沟槽和第二沟槽,第一沟槽、第二沟槽中的氧化硅材料层具有高出硬掩模层14的部分。

[0008] 参照图3,化学机械研磨氧化硅材料层15(参照图2),至停止层13上表面停止,在研磨过程中,核心区I的硬掩模层被研磨掉,但外围区II的硬掩模层14具有残留。相邻两浮栅11之间剩余的氧化硅材料层作为第一氧化硅层16,第一氧化硅层16上表面和停止层13上表面持平;相邻两栅极12之间剩余的氧化硅材料层作为第二氧化硅层17。另外由于 $W_2 > W_1$ ,对应第二沟槽位置的氧化硅材料层部分的研磨速率大于第一沟槽位置的氧化硅材料层部分的研磨速率,因此研磨后的第二氧化硅层17上表面略低于停止层13上表面,并呈凹陷状。在图3中,虚线框表示研磨后的第二氧化硅层17上表面。

[0009] 参照图4,清洗外围区II残留的硬掩模层14(参照图3)以确保停止层13(参照图3)

上没有硬掩模层残留而造成后续停止层去除不干净。但是,在清洗过程中,第二氧化硅层17也遭到清洗,使得第二氧化硅层17的高度进一步减小,结合参照图2,使得第二氧化硅层17低于栅极12,且第二氧化硅层17上表面持续凹陷而形成第一凹槽18;

[0010] 不使用掩模,刻蚀去除停止层13。

[0011] 参照图5,图形化部分高度的第一氧化硅层16(参照图4),剩余第一氧化硅层部分高于基底10上表面,作为浅沟槽隔离结构;

[0012] 在浮栅11上表面和侧壁、浅沟槽隔离结构上表面、栅极12上和第一凹槽表面形成绝缘层19;

[0013] 在绝缘层19上形成控制栅材料层20;

[0014] 在控制栅材料层20上形成无定形碳层21、位于无定形碳层21上的氮氧化硅层22,氮氧化硅层22作为电介质抗反射层(Dielectric Anti-Reflection Coating,DARC),无定形碳层21可提高后续刻蚀质量和图形的精细度;

[0015] 在氮氧化硅层22上形成底部抗反射层(Bottom Anti-Reflection Coating,BARC)23、和位于底部抗反射层23上的图形化的光刻胶层24,图形化的光刻胶层24定义控制栅位置。

[0016] 参照图6,以图形化的光刻胶层为掩模,刻蚀底部抗反射层23、氮氧化硅层22、无定形碳层21和控制栅材料层20(参照图5),至绝缘层19停止,形成控制栅25。之后去除图形化的光刻胶层和剩余底部抗反射层、氮氧化硅层、无定形碳层。

[0017] 但是,使用现有技术形成的快闪存储器的性能不佳。

## 发明内容

[0018] 本发明解决的问题是,使用现有技术形成的快闪存储器的性能不佳。

[0019] 为解决上述问题,本发明提供一种快闪存储器的形成方法,该快闪存储器的形成方法包括:

[0020] 在所述基底上形成核心区多个浮栅、相邻两浮栅之间基底中的第一沟槽,和所述外围区的多个栅极、相邻两栅极之间基底中的第二沟槽,和位于所述浮栅上、栅极上的停止层、位于所述停止层上的硬掩模层,所述浮栅宽度小于栅极宽度且第一沟槽宽度小于第二沟槽宽度;

[0021] 形成介电材料层,所述介电材料层覆盖所述硬掩模层、填充第一沟槽和第二沟槽,所述第一沟槽、第二沟槽中的介电材料层具有高出硬掩模层的部分;

[0022] 化学机械研磨所述介电材料层、硬掩模层至所述停止层停止,相邻两浮栅之间剩余的介电材料层部分作为第一介电层,相邻两栅极之间剩余的介电材料层部分作为第二介电层;

[0023] 在所述第二介电层上形成保护层,之后以所述保护层为掩模,清洗去除所述外围区残留的硬掩模层部分;

[0024] 刻蚀去除所述停止层,在该过程中,也刻蚀去除所述保护层;

[0025] 在刻蚀去除停止层后,图形化所述第一介电层形成浅沟槽隔离结构。

[0026] 可选地,所述介电材料为氧化硅,所述硬掩模层的材料为氧化硅,所述停止层材料为氮化硅。

- [0027] 可选地,所述保护层材料为氮氧化硅。
- [0028] 可选地,对所述第二介电层上表面进行快速热氮化、去耦等离子氮处理或微波氮等离子体处理,在所述第二介电层上形成氮氧化硅。
- [0029] 可选地,所述快速热氮化过程使用的气体为氨气,温度范围为700℃~1000℃,持续时间为30s~90s,氨气的流量范围为1000sccm~10000sccm。
- [0030] 可选地,在氮气环境中进行去耦等离子体氮处理。
- [0031] 可选地,所述保护层的厚度范围为50~200Å。
- [0032] 可选地,刻蚀去除停止层的方法为湿法刻蚀。
- [0033] 可选地,所述湿法刻蚀使用的刻蚀剂为磷酸溶液。
- [0034] 可选地,使用湿法刻蚀或干法刻蚀,清洗去除所述外围区残留的硬掩模层部分。
- [0035] 可选地,所述湿法刻蚀过程使用的刻蚀剂为稀释氢氟酸溶液。
- [0036] 可选地,所述浅沟槽隔离结构高于基底上表面。
- [0037] 可选地,所述浮栅、第一沟槽、栅极、第二沟槽、硬掩模层和停止层的形成方法包括:
- [0038] 在所述基底上形成栅材料层、位于栅材料层上的停止材料层,在所述停止层上形成硬掩模材料层;
- [0039] 在所述硬掩模材料层上形成图形化的光刻胶层,所述图形化的光刻胶层定义浮栅、栅极的位置;
- [0040] 以所述图形化的光刻胶层为掩模,刻蚀硬掩模材料层形成硬掩模层、和刻蚀停止材料层形成停止层、和刻蚀核心区的栅材料层形成浮栅、和刻蚀外围区的栅材料层形成栅极;
- [0041] 去除图形化的光刻胶层;
- [0042] 以所述硬掩模层为掩模刻蚀部分厚度基底形成第一沟槽、第二沟槽。
- [0043] 可选地,刻蚀部分厚度第一介电层的方法为干法刻蚀,或湿法刻蚀,或先干法刻蚀、后湿法刻蚀。
- [0044] 可选地,在刻蚀部分厚度的第一介电层后,在相邻两浮栅之间形成第三沟槽;
- [0045] 所述快闪存储器的形成方法还包括:形成绝缘层和位于所述核心区并列排布的多个控制栅,所述绝缘层覆盖所述第三沟槽侧壁和底部、第二介电层和栅极,每个控制栅填满多个第三沟槽、覆盖所述浮栅上的绝缘层部分。
- [0046] 可选地,在所述绝缘层上形成控制栅的方法包括:
- [0047] 化学气相沉积绝缘层、位于绝缘层上的控制栅材料层;
- [0048] 对所述控制栅材料层进行图形化形成控制栅。
- [0049] 可选地,对所述控制栅材料层进行图形化的方法为自对准双重图形化法。
- [0050] 可选地,所述自对准双重图形化法包括:
- [0051] 在所述控制栅材料层上形成硬掩模层;
- [0052] 在所述硬掩模层上形成第一无定形碳层、位于所述第一无定形碳层上的第一电介质抗反射层;
- [0053] 在所述第一电介质抗反射层上形成第二无定形碳层、位于所述第二无定形碳层上的第二电介质抗反射层;

[0054] 在所述第二电介质抗反射层上形成底部抗反射层、位于底部抗反射层上的光刻胶层；

[0055] 对所述光刻胶层进行图形化，并以图形化后的光刻胶层为掩模刻蚀底部抗反射层、第二电介质抗反射层和第二无定形碳层形成多个第一条形件；

[0056] 在所述第一条形件两侧壁形成侧墙，所述侧墙对应控制栅的位置；

[0057] 以所述侧墙为掩模刻蚀第一条形件、第一电介质抗反射层和第一无定形碳层、硬掩模层，形成第二条形件；

[0058] 去除剩余第一电介质抗反射层、第一无定形碳层，之后，以剩余硬掩模层为掩模刻蚀控制栅材料层形成控制栅。

[0059] 与现有技术相比，本发明的技术方案具有以下优点：

[0060] 在化学机械研磨后，外围区残留有硬掩模层部分。在第二介电层上形成保护层，在清洗去除外围区残留的硬掩模层部分时，保护层保护第二介电层免遭清洗损耗。这样，与现有技术相比，第二介电层上表面和栅极上表面之间的高度差较小，第二介电层上表面不会形成较深的凹槽，也就不会对后续形成控制栅过程产生影响。这样，在外围区的第二介电层上不会产生伪控制栅缺陷，可稳定外围区各个晶体管之间的信号传输，提升快闪存储器的读/写速率和读/写质量，快闪存储器的性能较佳。而且，外围区无伪控制栅缺陷，就不会干扰线上工艺参数检测，最终产品良率满足量产要求。

## 附图说明

[0061] 图1~图6是现有技术的快闪存储器在形成过程中的剖面结构示意图；

[0062] 图7~图16是本发明具体实施例的快闪存储器在形成过程中的剖面结构示意图。

## 具体实施方式

[0063] 针对现有技术进行分析，发现：参照图4，第二二氧化硅层17上表面低于栅极12上表面，且宽度较大的第二二氧化硅层17与栅极12之间的高度差更大，大于 $400\text{\AA}$ ，在第二二氧化硅层17上表面呈较深的为较深的第一凹槽18。

[0064] 参照图4、图5，具有较小宽度的第一凹槽18上的控制栅材料层部分上表面和栅极12上的控制栅材料层部分基本持平，而具有较大宽度的第一凹槽18上的控制栅材料层部分低于周围的控制栅材料层部分，也就是在控制栅材料层20中形成第二凹槽(图中未标号)。第二凹槽图形依次传递给无定形碳层21、氮氧化硅层22，在无定形碳层21中形成第三凹槽和在氮氧化硅层22中形成第四凹槽(图中未标号)，但从第一凹槽、第二凹槽、第三凹槽到第四凹槽，宽度逐渐减小。底部抗反射层23上表面是平坦的，但对应第四凹槽位置的底部抗反射层部分的厚度 $H_2$ 要大于周围的底部抗反射层部分的厚度 $H_1$ ，这是因为第四凹槽相比于平面能聚集更多的底部抗反射材料。

[0065] 这样，参照图5、图6，在以图形化的光刻胶层24为掩模刻蚀底部抗反射层23，至氮氧化硅层22露出，第四凹槽底部的氮氧化硅层部分还没有完全去除，具有残留。接着，继续刻蚀氮氧化硅层22至无定形碳层21，在该过程中，第四凹槽底部的底部抗反射层部分被去除，第四凹槽底部下的氮氧化硅层部分没有完全去除，具有残留。紧接着刻蚀无定形碳层21，在刻蚀无定形碳层21的条件下，无定形碳相比氮氧化硅具有较高的刻蚀选择比，第四凹

槽底部下剩余氮氧化硅层部分基本没有遭到刻蚀,且第四凹槽底部下的无定形碳层部分没有遭到刻蚀。之后,刻蚀控制栅材料层20过程,第四凹槽底部下的控制栅材料层没有遭到刻蚀。在去除图形化的光刻胶层和剩余底部抗反射层、氮氧化硅层、无定形碳层后,在对应第四凹槽底部位置形成伪控制栅26。伪控制栅26可能会造成外围区各晶体管之间的信号串扰,造成快闪存储器读/写速率,甚至造成读/写错误,导致快闪存储器性能不佳。而且,在线上工艺缺陷检测中,伪控制栅被认为是缺陷的来源,伪控制栅对工艺缺陷检测过程造成干扰,造成很难甚至无法检测到其他缺陷,导致产品良率下降。

[0066] 为解决现有技术存在的问题,本发明技术方案提出了一种新的快闪存储器的形成方法。使用该快闪存储器的形成方法,在化学机械研磨介电材料层形成第一介电层和第二介电层后,在第二介电层上形成保护层。这样,清洗残留在停止层上的硬掩模层部分过程中,保护层保护第二介电层免遭清洗损耗。保护层防止第二介电层表面遭到更多损失,确保第二介电层遭到较少刻蚀。

[0067] 为使本发明的上述目的、特征和优点能够更为明显易懂,下面结合附图对本发明的具体实施例做详细的说明。

[0068] 参照图7,提供基底100,基底100包括核心区I和外围区II。在本实施例中,在核心区I将形成核心存储电路的堆叠栅极式晶体管,在外围区II将形成外围电路的MOS晶体管。

[0069] 在具体实施例中,基底100为硅基底、锗基底或者绝缘体上硅基底等;或者基底100的材料还可以包括其它的材料,例如砷化镓等III-V族化合物。本领域的技术人员可以根据基底100上形成的晶体管类型选择基底,因此基底的类型不应限制本发明的保护范围。

[0070] 参照图8,在基底100上形成核心区I的多个相互隔开的浮栅101和外围区II的多个相互隔开的栅极102,浮栅101的宽度小于栅极102的宽度,,相邻两浮栅101之间的间距 $W_1$ 小于相邻两栅极102之间的间距 $W_2$ ,使得浮栅101的分布密度大于栅极102的分布密度。在浮栅101、栅极102上形成有停止层105、位于停止层105上的硬掩模层115。其中,在浮栅101和基底之间、栅极102和基底之间形成有栅介质层106。

[0071] 需要说明的是,外围区II的各个栅极线宽、相邻两栅极之间的间距也是不尽相同的。

[0072] 在具体实施例中,栅介质层106、浮栅101、栅极102、硬掩模层115和停止层105的形成方法包括:

[0073] 在基底100上形成栅介质材料层,该栅介质材料层的材料为氧化硅,具体可使用化学气相沉积或热氧化生长工艺;

[0074] 在栅介质材料层上形成栅材料层、位于栅材料层上的停止材料层、位于停止材料层上的硬掩模材料层,栅材料为多晶硅,硬掩模材料为氧化硅,停止层材料为氮化硅,具体可使用化学气相沉积工艺;

[0075] 在所述硬掩模材料层上形成图形化的光刻胶层,图形化的光刻胶层定义浮栅、栅极的位置;

[0076] 以所述图形化的光刻胶层为掩模,刻蚀硬掩模材料层形成硬掩模层115、和刻蚀停止材料层形成停止层105、和刻蚀核心区I的栅材料层形成浮栅101、和刻蚀外围区II的栅材料层形成栅极102、和刻蚀栅介质材料层形成栅介质层106;

[0077] 去除图形化的光刻胶层。在刻蚀硬掩模材料层时,图形化的光刻胶层下的硬掩模



层侧面也会遭到刻蚀。由于浮栅101的宽度小于栅极102的宽度,在外围区II,图形化的光刻胶层下的硬掩模层侧面的刻蚀量与其宽度相比是可忽略的,外围区II的硬掩模层115的厚度与硬掩模材料层的厚度基本相等。而在核心区I,图形化的光刻胶层下的硬掩模层侧面的刻蚀量与其宽度相比,是不能忽略的,造成最终核心区I的硬掩模层115的厚度小于硬掩模材料层的厚度。所以,外围区II的硬掩模层115的厚度大于核心区I的硬掩模层115的厚度。

[0078] 参照图9,以硬掩模层115为掩模,刻蚀基底100形成相邻两浮栅101之间基底中的第一沟槽103、和相邻两栅极102之间基底中的第二沟槽104。第二沟槽104的深度 $D_2$ 大于第一沟槽103的深度 $D_1$ 。

[0079] 参照图10,形成介电材料层107,介电材料层107覆盖硬掩模层115、填充第一沟槽103和第二沟槽104(参照图9),且第一沟槽、第二沟槽中的介电材料层具有高出硬掩模层115的部分。

[0080] 在具体实施例中,介电材料层107的材料为氧化硅,可使用化学气相沉积形成。

[0081] 参照图11,化学机械研磨介电材料层107、硬掩模层115(参照图9),至停止层105停止。其中,核心区I的硬掩模层115较薄而被研磨掉,而外围区II的硬掩模层115较厚而具有残留。研磨后,相邻两浮栅101之间剩余的介电材料层部分作为第一介电层108,相邻两栅极102之间剩余的介电材料层部分作为第二介电层109。

[0082] 由于 $W_2 > W_1$ ,第二介电层109上表面面积大于第一介电层108上表面面积,因此,在化学机械研磨过程中,对应第二沟槽位置的介电材料层部分的研磨速率大于第一沟槽位置的介电材料层部分的研磨速率,使第二介电层109上表面略低于停止层105,且第二介电层109上表面呈凹槽状。

[0083] 参照图12,在第二介电层109上形成保护层110。

[0084] 在具体实施例中,保护层110的材料为氮氧化硅。具体地,对第二介电层109上表面进行快速热氮化(Rapid Thermal Nitridation, RTN)、去耦等离子氮处理(Decoupled Plasma Nitridation, DPN)或微波氮等离子体(Microwave Generated Nitrogen Plasma)处理,在第二介电层109上形成氮氧化硅,该氮氧化硅作为保护层110。其中,在氮气环境中进行去耦等离子体氮处理。

[0085] 在本实施例中,首先在核心区I形成光刻胶层,该光刻胶层覆盖核心区I的第一介电层108、停止层105;之后,使用快速热氮化工艺,在第二介电层110上形成保护层110。所述快速热氮化指的是进行快速热退火处理,并同时通入氨气,在快速热氮化过程,氮与第二介电层110表面的氧化硅反应生成氮氧化硅。在快速热氮化过程,保持温度为 $700^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ ,持续时间为 $30\text{s} \sim 90\text{s}$ ,氨气的流量范围为 $1000\text{sccm} \sim 10000\text{sccm}$ 。如果持续时间小于 $30\text{s}$ ,则无法形成最小预定厚度的保护层;如果持续时间大于 $90\text{s}$ ,则形成的保护层过厚,在后续工艺中不利于去除。

[0086] 在本实施例中,保护层110的厚度范围为 $50 \sim 200\text{\AA}$ 。如果保护层110的厚度小于 $50\text{\AA}$ ,在后续清洗去除残留硬掩模层部分的过程中,保护层可能会被较快清洗掉而不能起到保护第二介电层109的作用,并进一步产生现有技术存在的问题。如果保护层110的厚度大于 $200\text{\AA}$ ,保护层110在刻蚀去除停止层过程中很难被去除。

[0087] 参照图13,以保护层110为掩模,清洗去除外围区II残留的硬掩模层115(参照图12)部分,在清洗过程中,保护层110保护第二介电层109免遭清洗损耗。

[0088] 在具体实施例中,使用干法刻蚀或湿法刻蚀,清洗去除外围区II残留的硬掩模层部分。在本实施例中,使用湿法刻蚀,在湿法刻蚀过程使用的刻蚀剂为稀释氢氟酸溶液。

[0089] 相比于现有技术,第二介电层109不会遭到清洗损耗,第二介电层109的厚度不会变得更低,使得第二介电层上表面和栅极上表面之间的高度差小于 $100\text{\AA}$ ,而现有技术在清洗残留硬掩模层部分后的第二介电层上表面和栅极上表面之间的高度差大于 $400\text{\AA}$ 。这样,第二介电层上表面的凹槽较浅,不会对后续形成控制栅过程产生影响,在第二介电层上不会产生伪控制栅缺陷。

[0090] 参照图14,刻蚀去除停止层105(参照图13)。在刻蚀停止层105过程中,并不形成掩膜层,停止层105、保护层107和第一介电层108均与刻蚀气氛直接接触。由于在刻蚀停止层105条件下,保护层和刻蚀停止层具有接近的刻蚀选择比,因此,在刻蚀停止层时,保护层也被刻蚀去除。

[0091] 在具体实施例中,刻蚀去除停止层的方法为湿法刻蚀。在湿法刻蚀过程中使用的刻蚀剂为磷酸溶液,此为本领域技术人员所熟知的工艺,在此不再详述。

[0092] 参照图15,在刻蚀去除停止层后,图形化第一介电层108(参照图14)形成浅沟槽隔离结构111,并在相邻两浮栅101之间形成第三沟槽112。在本实施例中,浅沟槽隔离结构111具有高出基底上表面的部分,这可增大控制栅和有源区之间的距离,实现控制栅对浮栅更有效控制。

[0093] 在具体实施例中,图形化第一介电层的方法包括:首先形成图形化的光刻胶层,所述图形化的光刻胶层定义核心区I的位置;以图形化的光刻胶层为掩模,刻蚀部分厚度的第一介电层形成浅沟槽隔离结构;之后,去除图形化的光刻胶层。

[0094] 在具体实施例中,刻蚀部分厚度的第一介电层的方法为干法刻蚀或湿法刻蚀。在本实施例中,使用先干法刻蚀、后湿法刻蚀工艺。干法刻蚀具有较好的各向异性刻蚀,而湿法刻蚀对浮栅101侧壁的第一介电层部分的刻蚀速率较小,使浅沟槽隔离结构111上表面与第三沟槽112之间的夹角变得圆滑,这进一步增大了控制栅和有源区之间的距离。

[0095] 参照图16,在形成浅沟槽隔离结构111后,形成绝缘层113和位于核心区I的多个并列的控制栅114,绝缘113层覆盖第三沟槽112(参照图15)侧壁和底部、第二介电层109和栅极102,每个控制栅114填充多个位于同一直线上的第三沟槽、覆盖浮栅101上的绝缘层部分。

[0096] 在具体实施例中,在绝缘层上形成控制栅的方法包括:

[0097] 化学气相沉积绝缘层、位于绝缘层上的控制栅材料层,绝缘层为氧化硅、位于氧化硅上的氮化硅和位于氮化硅上的氧化硅的叠层结构,控制栅材料为多晶硅,在沉积控制栅材料层时,由于第二介电层上表面的凹槽较浅,对应第二介电层位置的控制栅材料层部分的上表面和周围的控制栅材料层部分的上表面是基本持平的;

[0098] 对控制栅材料层进行图形化形成控制栅。

[0099] 在本实施例中,对控制栅材料层进行图形化的方法为自对准双重图形化法。所述自对准图形化法包括:

[0100] 在控制栅材料层上形成硬掩模层;

[0101] 在硬掩模层上形成第一无定形碳层、位于第一无定形碳层上的第一电介质抗反射层,第一电介质抗反射层的材料为 $\text{SiON}$ ;

[0102] 在第一电介质抗反射层上形成第二无定形碳层、位于第二无定形碳层上的第二电介质抗反射层,第二电介质抗反射层的材料为SiON;

[0103] 在第二电介质抗反射层上形成底部抗反射层、位于底部抗反射层上的光刻胶层;

[0104] 对光刻胶层进行图形化,在图形化的曝光过程,底部抗反射层用来减小下面各层对曝光光线的反射,之后以图形化后的光刻胶层为掩模刻蚀底部抗反射层、第二电介质抗反射层、第二无定形碳层形成多个第一条形件。在该过程中,图形化后的光刻胶层也会遭到部分或全部刻蚀,若遭到部分刻蚀,则在形成第一条形件后,去除剩余光刻胶层部分。

[0105] 在第一条形件两侧壁形成侧墙,侧墙对应控制栅位置;

[0106] 以侧墙为掩模刻蚀第一条形件、第一电介质抗反射层和第一无定形碳层、硬掩模层,形成第二条形件;

[0107] 去除剩余第一电介质抗反射层、第一无定形碳层,之后,以剩余硬掩模层为掩模刻蚀控制栅材料层形成控制栅。使用自对准双重图形化法形成的控制栅图形较精细,尺寸符合预期。

[0108] 这样,在核心区I形成包括浮栅101、浮栅101上的控制栅114和控制栅114和浮栅101之间的绝缘层的堆叠式栅极结构。之后,在浮栅101两侧基底中、栅极102两侧基底中型源极、漏极(图中未示出)。

[0109] 虽然本发明披露如上,但本发明并非限于于此。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各种更动与修改,因此本发明的保护范围应当以权利要求所限定的范围为准。

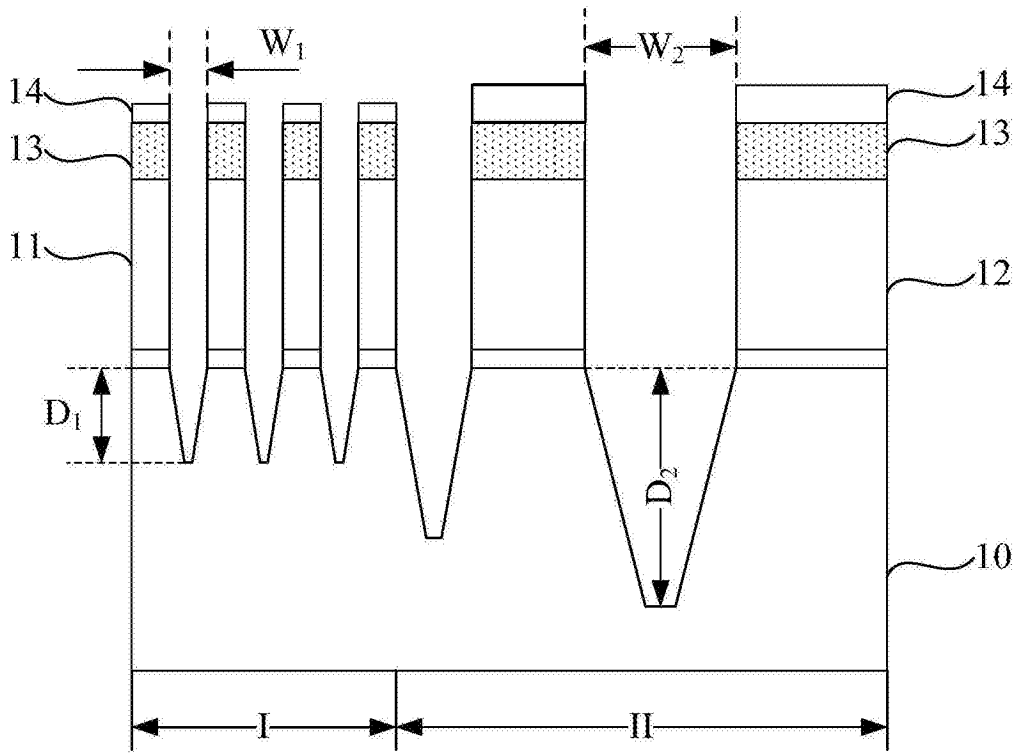


图1

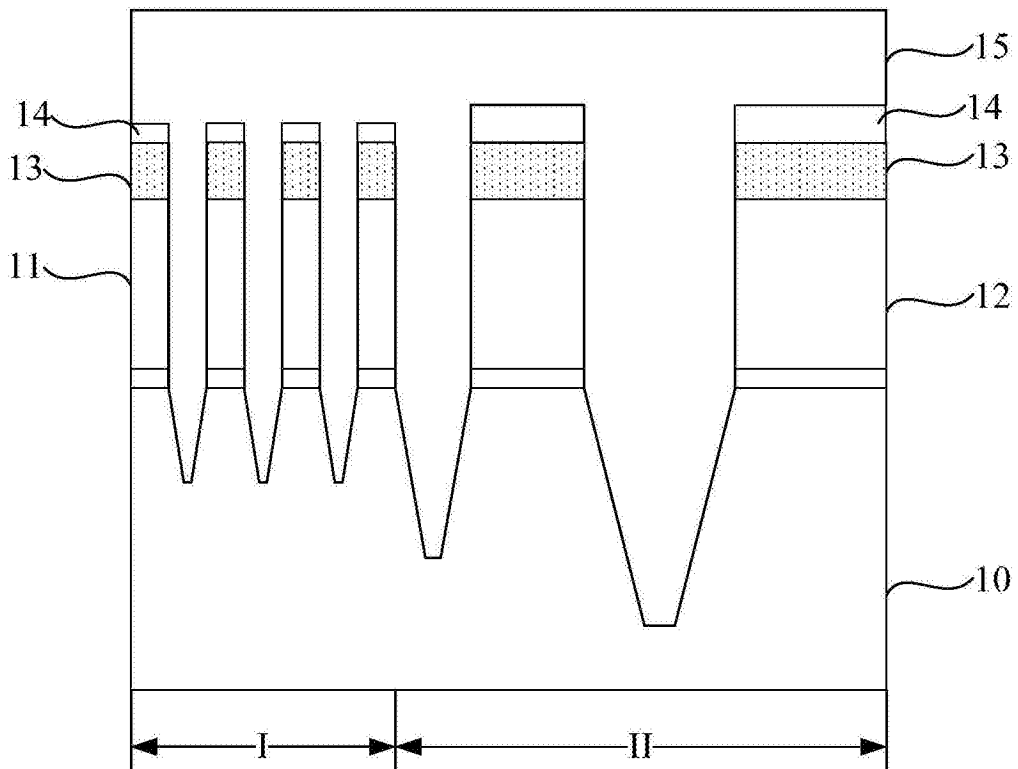


图2

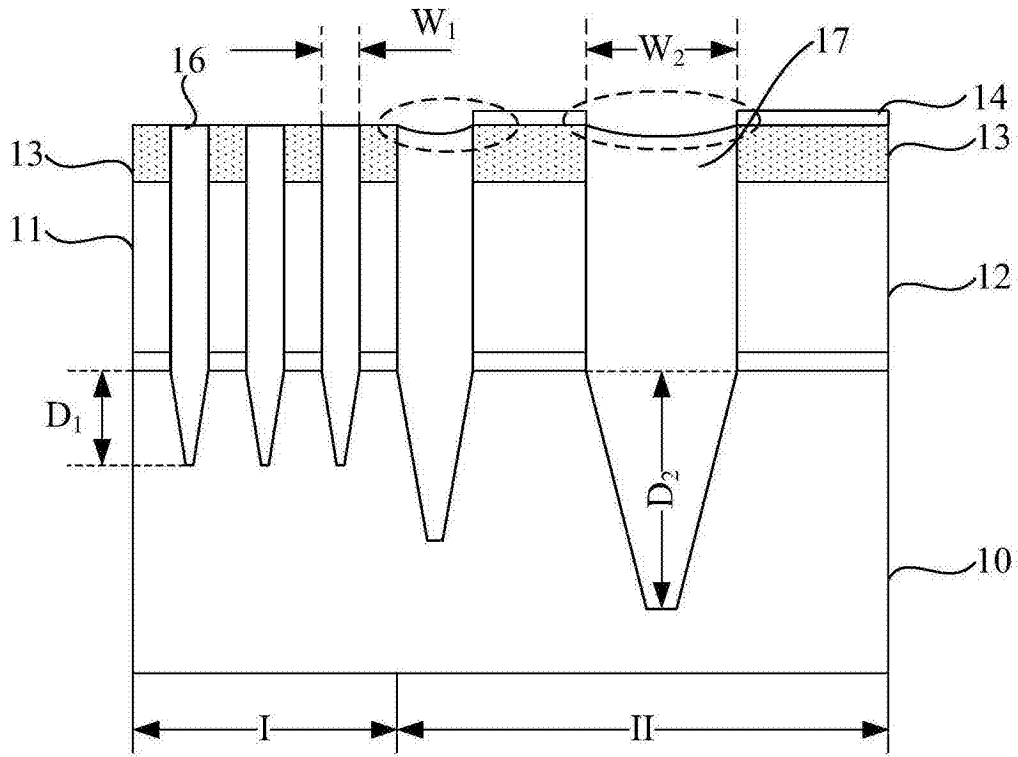


图3

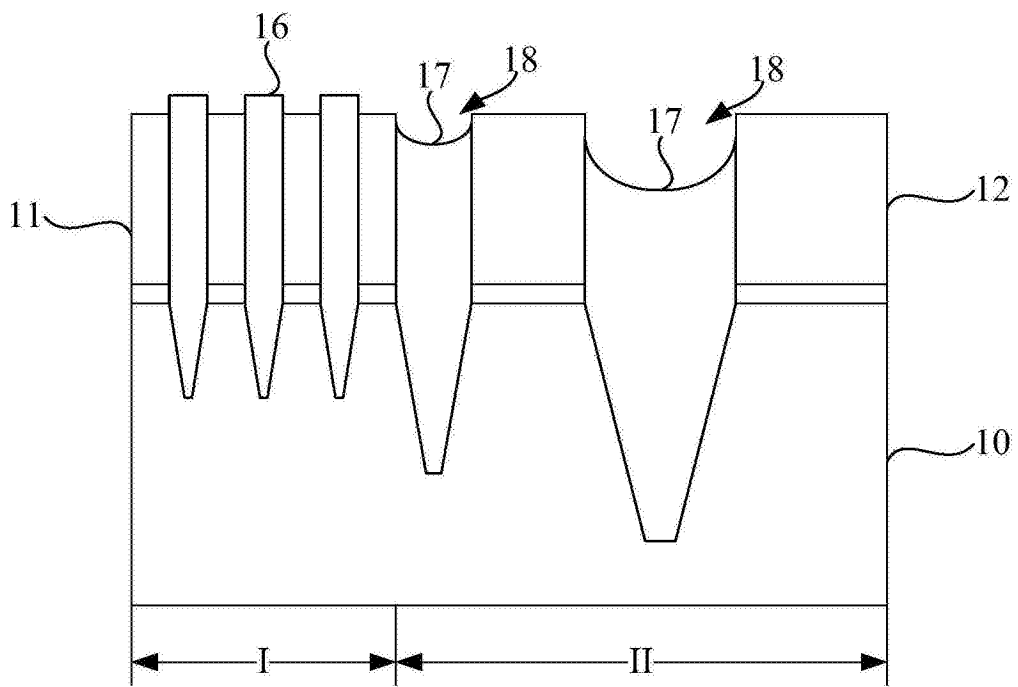


图4

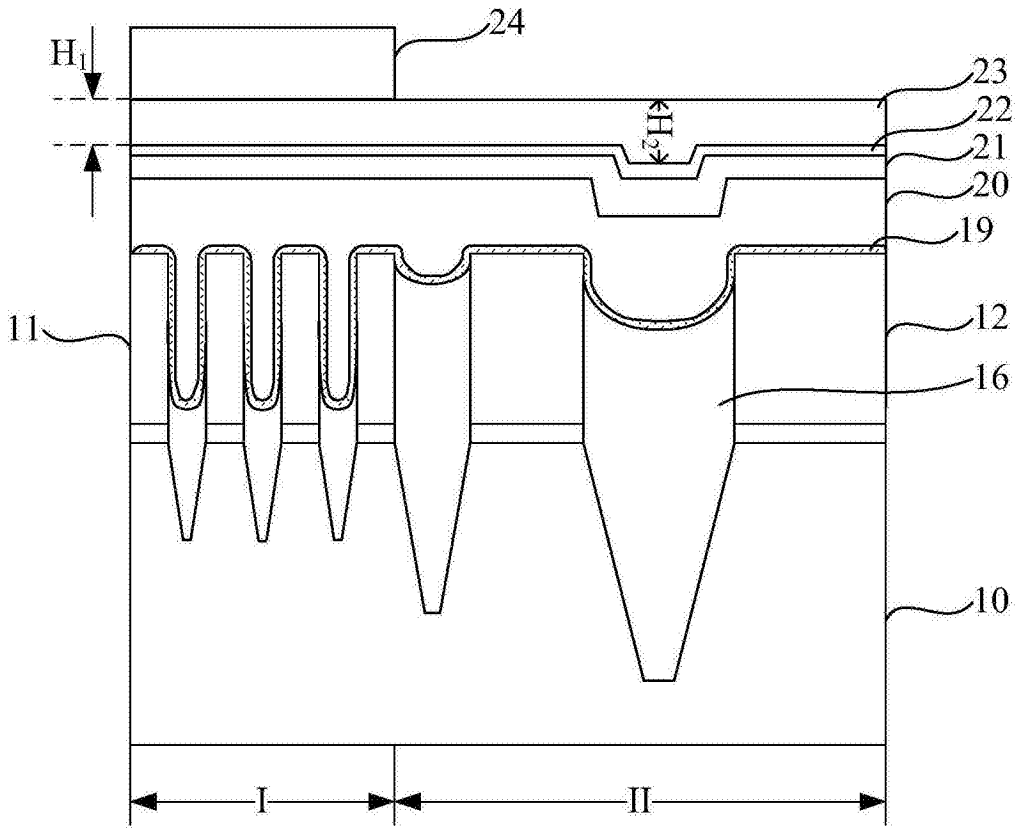


图5

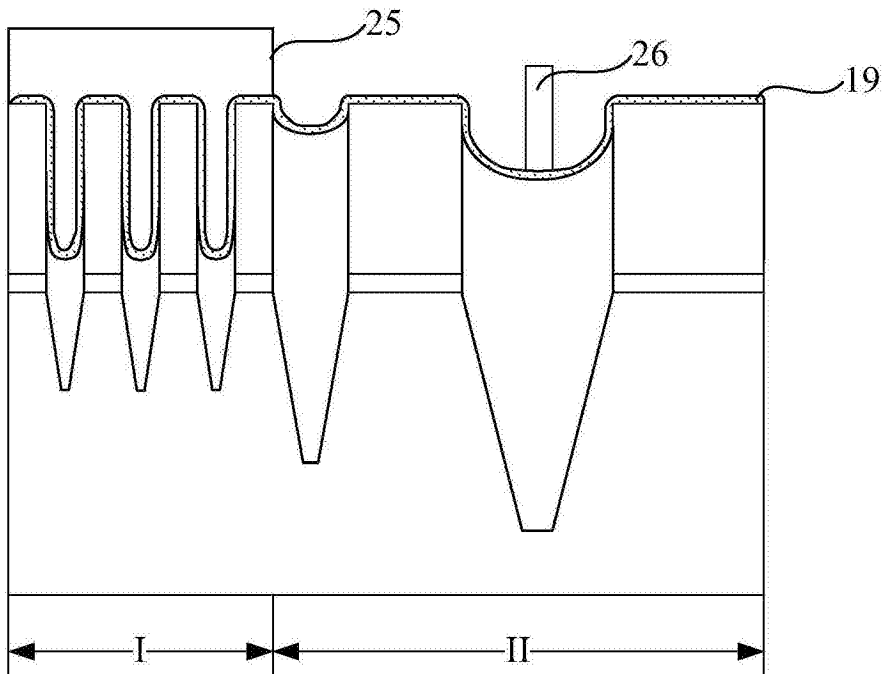


图6

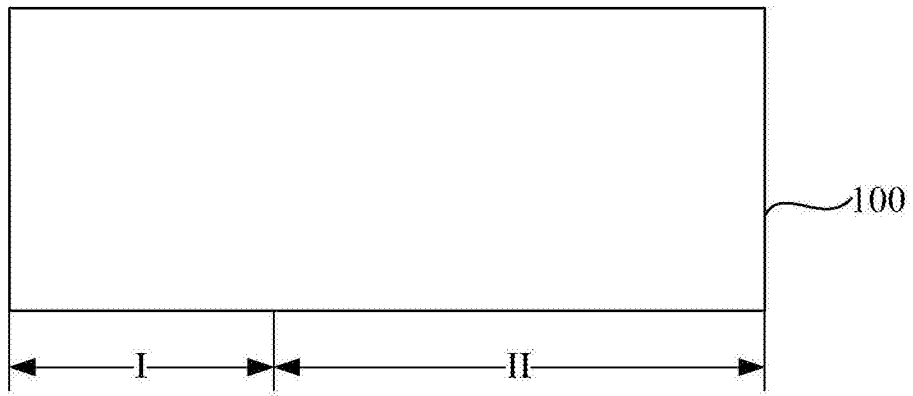


图7

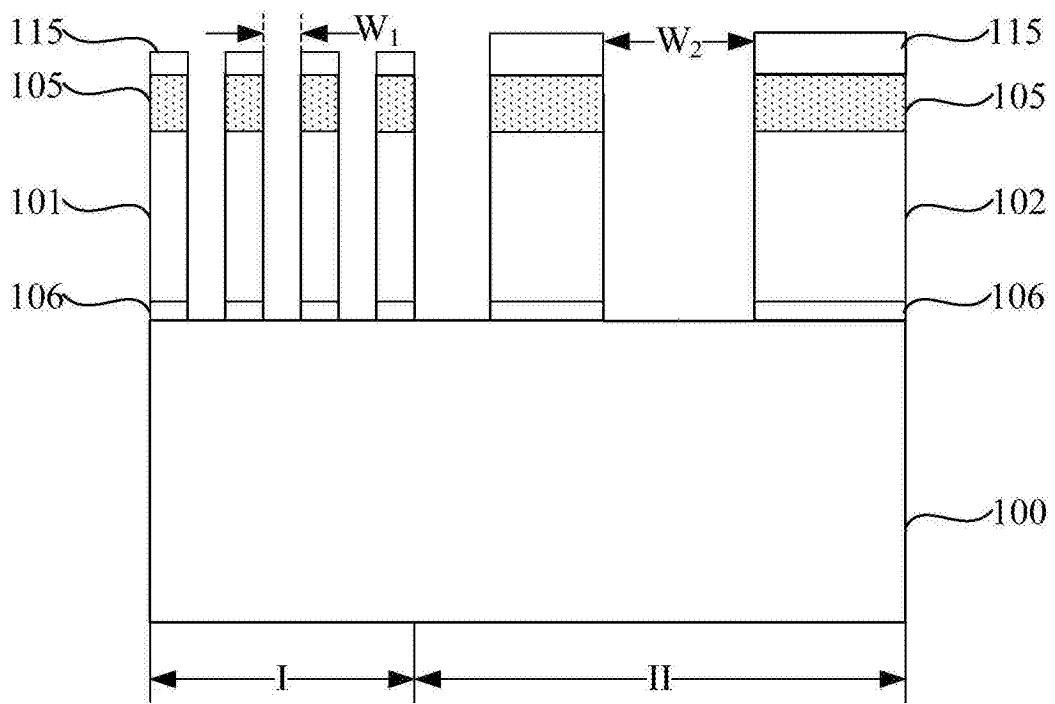


图8

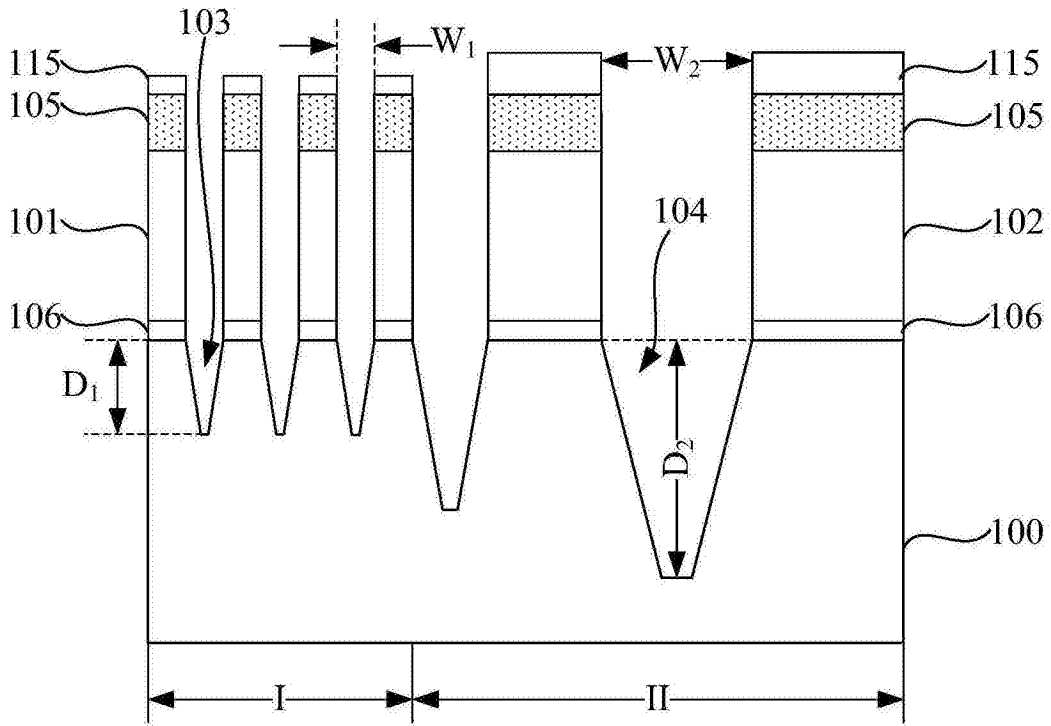


图9

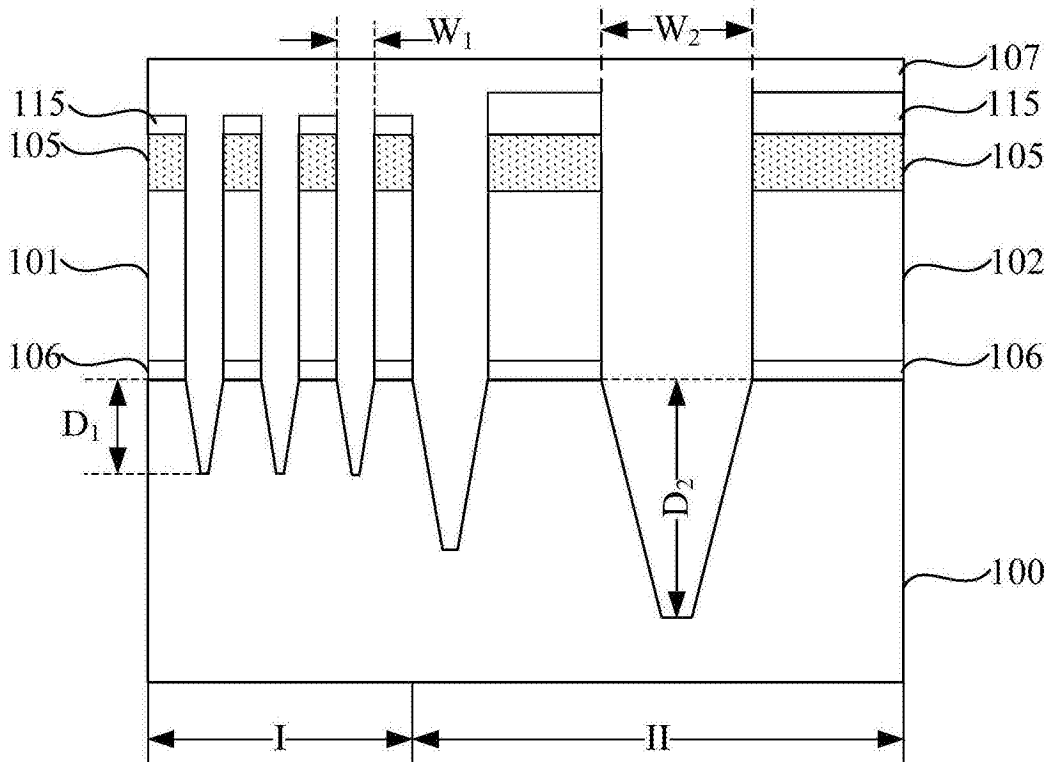


图10



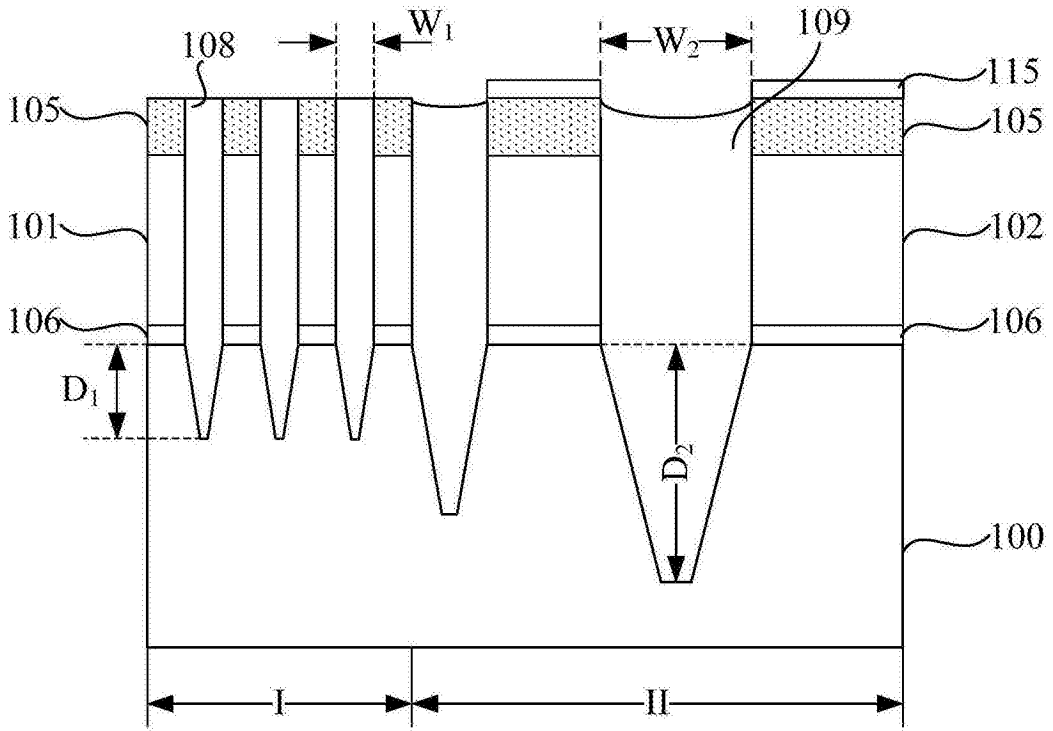


图11

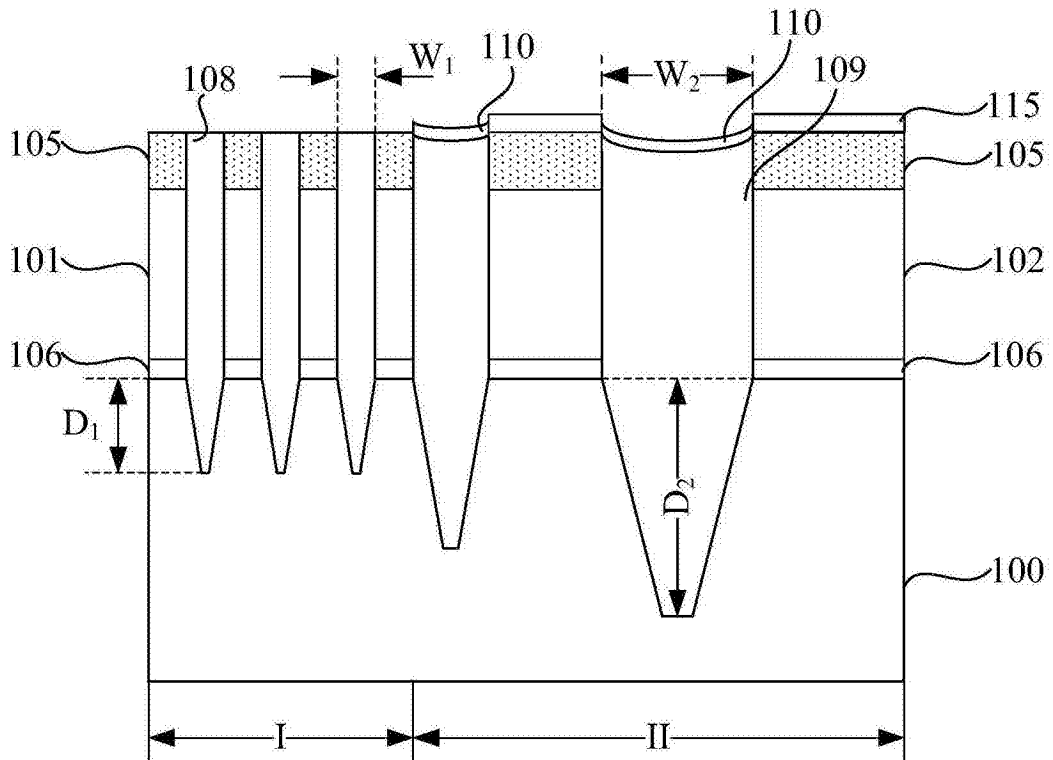


图12

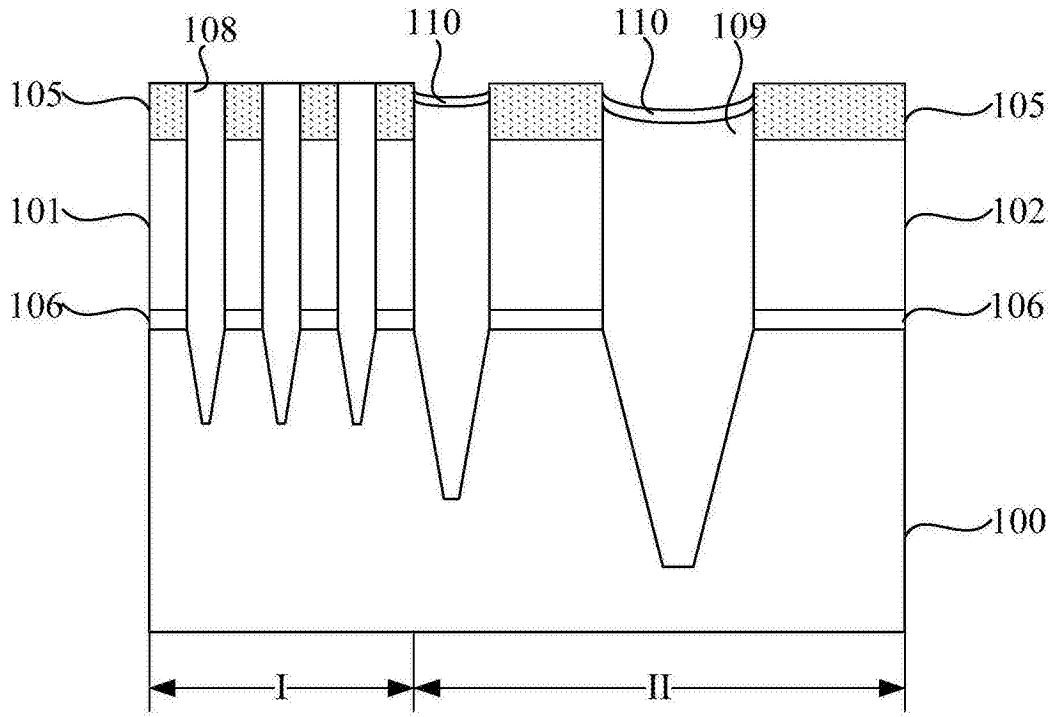


图13

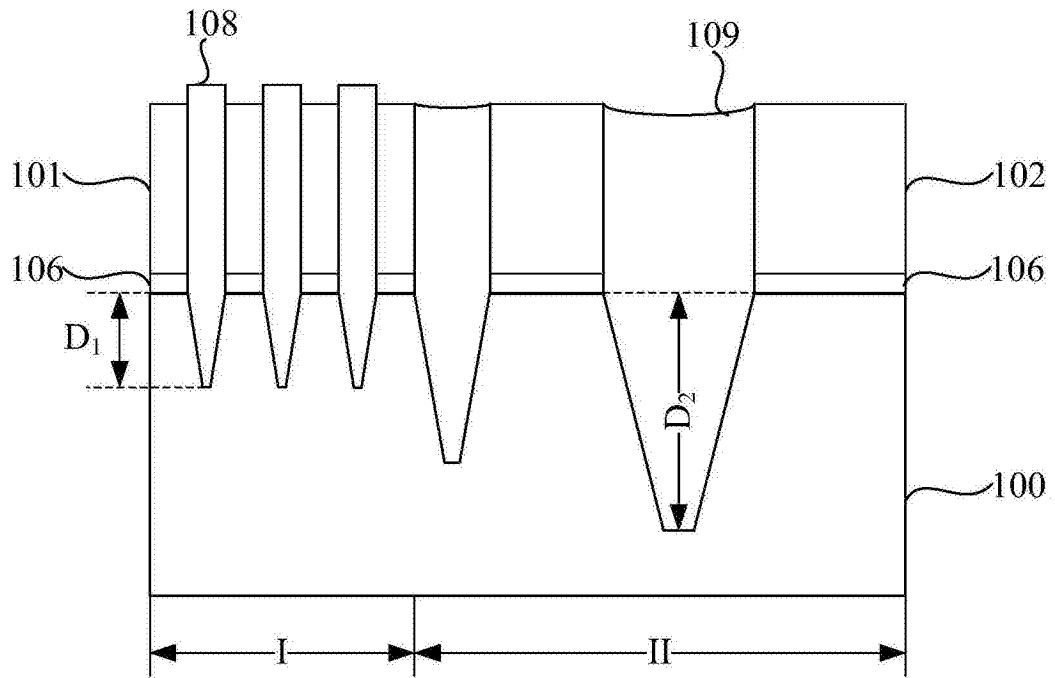


图14

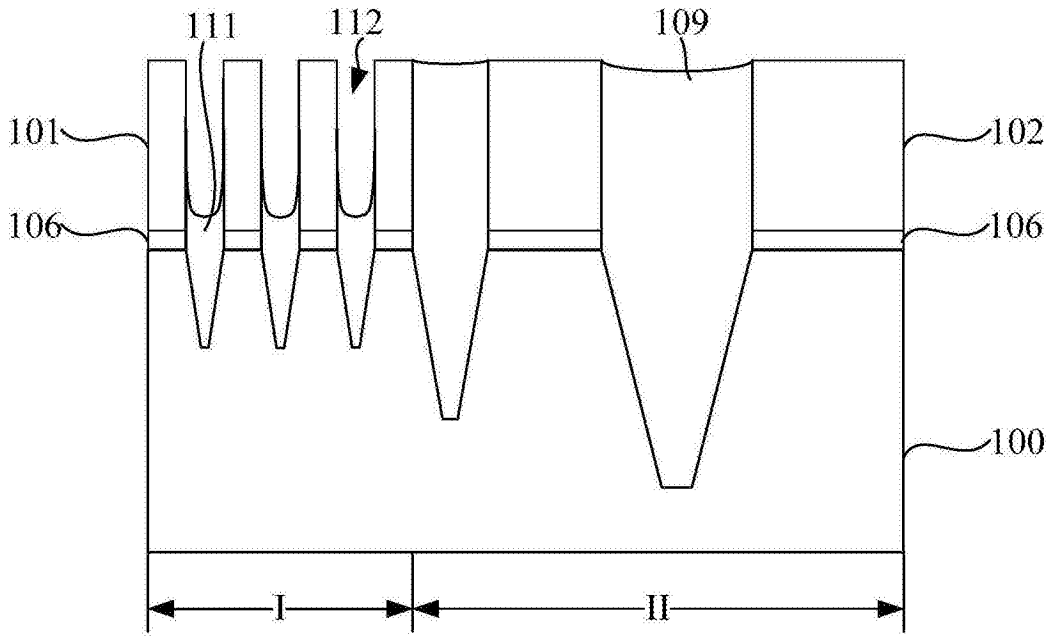


图15

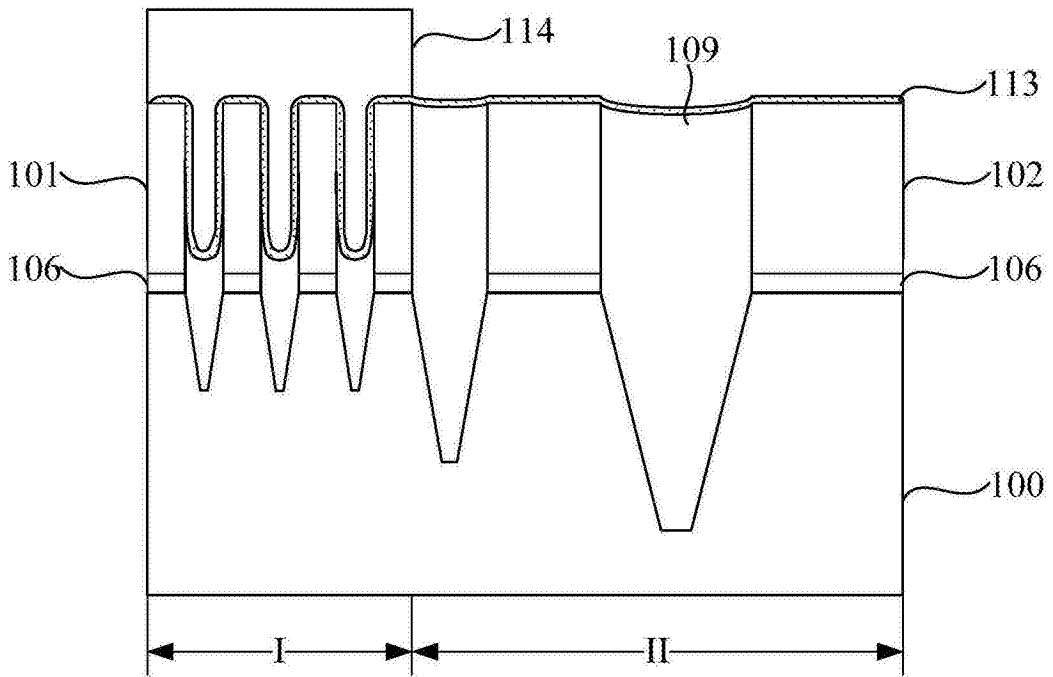


图16