

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5214219号
(P5214219)

(45) 発行日 平成25年6月19日(2013.6.19)

(24) 登録日 平成25年3月8日(2013.3.8)

(51) Int.Cl. F 1
HO2M 3/07 (2006.01) HO2M 3/07

請求項の数 10 (全 22 頁)

(21) 出願番号	特願2007-294666 (P2007-294666)	(73) 特許権者	000116024
(22) 出願日	平成19年11月13日(2007.11.13)		ローム株式会社
(65) 公開番号	特開2009-124824 (P2009-124824A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成21年6月4日(2009.6.4)	(74) 代理人	100105924
審査請求日	平成22年11月10日(2010.11.10)		弁理士 森下 賢樹
		(72) 発明者	大山 学
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		(72) 発明者	内本 大介
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	武市 匡紘

最終頁に続く

(54) 【発明の名称】 チャージポンプ回路ならびにその制御回路

(57) 【特許請求の範囲】

【請求項 1】

フライングキャパシタと出力キャパシタとを有するチャージポンプ回路の制御回路であって、

第 1 入力電圧が印加される第 1 入力端子と前記フライングキャパシタの一端の間に設けられた第 1 スイッチと、

前記フライングキャパシタの他端と固定電圧端子の間に設けられた第 2 スイッチと、

第 2 入力電圧が印加される第 2 入力端子と前記フライングキャパシタの前記他端の間に設けられた第 3 スイッチと、

前記フライングキャパシタの前記一端と前記出力キャパシタの一端の間に設けられた第 4 スイッチと、

パルス信号のハイ期間に応じた期間、前記第 1、第 2 スイッチの第 1 ペア、または前記第 3、第 4 スイッチの第 2 ペアのいずれか一方をオンし、そのロー期間に応じた期間、他方のペアをオンするドライバと、

を備え、

前記ドライバは、前記チャージポンプ回路の起動開始から所定のプリチャージ期間の間、前記第 1、第 4 スイッチをオンして前記出力キャパシタを充電し、その後、前記パルス信号にもとづいて、前記第 1、第 2 ペアを交互にオン、オフさせることを特徴とする制御回路。

【請求項 2】

10

20

前記第 1 入力電圧が前記第 2 入力電圧より高いとき、

前記ドライバは、前記プリチャージ期間の間、前記第 1、第 4 スイッチに加えて前記第 3 スイッチをオンし、前記第 2 スイッチをオフすることにより、前記フライングキャパシタを前記第 1 入力電圧と前記第 2 入力電圧の差電圧で充電することを特徴とする請求項 1 に記載の制御回路。

【請求項 3】

前記第 1 入力端子と前記第 2 入力端子が共通に接続され、前記第 1 入力電圧と前記第 2 入力電圧が等しいとき、

前記ドライバは、前記プリチャージ期間の間、前記第 2 スイッチをオフすることを特徴とする請求項 1 に記載の制御回路。

10

【請求項 4】

前記チャージポンプ回路の出力電圧に応じた帰還電圧が所定の基準電圧と一致するようにデューティ比が調節されるパルス信号を生成するパルス変調器をさらに備え、

前記プリチャージ期間の終了後、前記パルス変調器は、前記基準電圧を時間とともに上昇させ、前記ドライバは前記パルス信号にもとづいて前記第 1 スイッチから前記第 4 スイッチを駆動することを特徴とする請求項 1 から 3 のいずれかに記載の制御回路。

【請求項 5】

前記第 1 入力端子から前記出力キャパシタに至る経路上に設けられ、オン抵抗が切りかえ可能な入力スイッチをさらに備え、

前記ドライバは、前記チャージポンプ回路の起動開始から所定のソフトスタート期間、前記入力スイッチをオン抵抗が高い状態にてオンし、その後、前記入力スイッチのオン抵抗を低い状態に切りかえることを特徴とする請求項 1 から 3 のいずれかに記載の制御回路。

20

【請求項 6】

前記入力スイッチは、前記第 1 スイッチと前記第 1 入力端子の間に設けられることを特徴とする請求項 5 に記載の制御回路。

【請求項 7】

前記入力スイッチは、並列に接続された複数の MOSFET を含み、前記複数の MOSFET のオン、オフの組み合わせによって、オン抵抗が切りかえられることを特徴とする請求項 5 に記載の制御回路。

30

【請求項 8】

前記第 1、第 4 スイッチは MOSFET であり、前記入力スイッチの前記複数の MOSFET それぞれのボディダイオードは、前記第 1、第 4 スイッチのボディダイオードと反対向きに設けられることを特徴とする請求項 7 に記載の制御回路。

【請求項 9】

前記パルス変調器は、周期が一定でパルス幅が変化するパルス幅変調を行うことを特徴とする請求項 4 に記載の制御回路。

【請求項 10】

フライングキャパシタと、

出力キャパシタと、

前記フライングキャパシタおよび前記出力キャパシタの充放電状態を制御する請求項 1 から 3 のいずれかに記載の制御回路と、

40

を備えることを特徴とするチャージポンプ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャージポンプ回路に関する。

【背景技術】

【0002】

近年の携帯電話、PDA (Personal Digital Assistants

50

)などの電子機器には、液晶のバックライトに用いられるLED(Light Emitting Diode)のように、電池電圧よりも高い駆動電圧を必要とするデバイスが搭載される。たとえばこれらの小型情報端末では、Liイオン電池が多く用いられ、その出力電圧は通常3.5V程度であり、満充電時においても4.2V程度であるところ、LEDはその駆動電圧として電池電圧よりも高い電圧を必要とする。このように、電池電圧よりも高い電圧が必要とされる場合、チャージポンプ回路やスイッチングレギュレータを用いて電池電圧を昇圧し、LEDを駆動するために必要な電圧を得ている。

【0003】

チャージポンプ回路は、入力電圧に所定の昇圧率を乗じた出力電圧を生成する。たとえば電池電圧が3V、昇圧率が2倍の場合、出力電圧は6Vに固定される。したがって、負荷回路が6Vより低い駆動電圧を必要とする場合、チャージポンプ回路の入力側または出力側にパワートランジスタを挿入してレギュレータを構成し、そのオン抵抗を調節することにより、出力電圧を調節する必要があった。たとえば特許文献1には関連技術が記載される。

10

【特許文献1】特開2000-262043号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者は、チャージポンプ回路のスイッチング素子のオン時間を変調することにより、出力電圧を安定化させるパルス変調方式のチャージポンプ回路について考察した結果、以下の課題を認識するに至った。

20

【0005】

従来のように、チャージポンプ回路と、オン抵抗が調節されるパワートランジスタを利用したレギュレータとを組み合わせた場合、レギュレータの基準電圧を緩やかに変化させることにより、チャージポンプ回路をソフトスタートさせることができる。

【0006】

ところが、レギュレータを用いずに、チャージポンプ回路のスイッチング素子のオン時間をパルス変調によって制御する場合、スイッチング素子がオンすると、例えばオン時間が短かったとしても、電荷量が少ないフライングキャパシタあるいは出力キャパシタに対して大電流(突入電流)が流れてしまう。こうした問題は、パルス変調ではなく固定デューティのチャージポンプ回路にも発生しうる。

30

【0007】

本発明はこうした課題に鑑みてなされたものであり、その目的は、突入電流を抑制したチャージポンプ回路の提供にある。

【課題を解決するための手段】

【0008】

本発明のある態様は、チャージポンプ回路の制御回路に関する。チャージポンプ回路は、フライングキャパシタと出力キャパシタとを有する。制御回路は、第1入力電圧が印加される第1入力端子とフライングキャパシタの一端の間に設けられた第1スイッチと、フライングキャパシタの他端と固定電圧端子の間に設けられた第2スイッチと、第2入力電圧が印加される第2入力端子とフライングキャパシタの他端の間に設けられた第3スイッチと、フライングキャパシタの一端と出力キャパシタの一端の間に設けられた第4スイッチと、パルス信号のハイ期間に応じた期間、第1、第2スイッチの第1ペア、または第3、第4スイッチの第2ペアのいずれか一方をオンし、そのロー期間に応じた期間、他方のペアをオンするドライバと、を備える。ドライバは、チャージポンプ回路の起動開始から所定のプリチャージ期間の間、第1、第4スイッチをオンして出力キャパシタを充電し、その後、パルス信号にもとづいて、第1、第2ペアを交互にオン、オフさせる。

40

【0009】

「デューティ比」とは、パルス信号の周期時間に対するハイ期間の比率をいう。

プリチャージ期間に、第1、第4スイッチがオンすることにより、出力キャパシタが、

50

第1入力電圧により充電される。通常のスイッチング動作では、出力キャパシタには第1入力電圧と第2入力電圧の和電圧が印加されて突入電流が発生するおそれがあるところ、この態様によれば、第1入力電圧がプリチャージ期間の間だけ印加されるため、突入電流を防止できる。

【0010】

第1入力電圧 V_{in1} が第2入力電圧 V_{in2} より高いとき、ドライバは、プリチャージ期間の間、第1、第4スイッチに加えて第3スイッチをオンし、第2スイッチをオフすることにより、フライングキャパシタを第1入力電圧 V_{in1} と第2入力電圧 V_{in2} の差電圧($V_{in1} - V_{in2}$)で充電してもよい。

もし、仮にプリチャージ期間中にフライングキャパシタを第1入力電圧 V_{in1} で充電すると、プリチャージ期間の終了後、通常のスイッチング動作が開始した直後に、出力キャパシタには、 $V_{in1} + V_{in2}$ の大電圧が印加されるところ、この態様によれば、通常のスイッチング動作を開始した直後に出力キャパシタには、電圧($V_{in1} - V_{in2}$) + $V_{in2} = V_{in1}$ が印加されるため、突入電流を好適に防止できる。

【0011】

第1入力端子と第2入力端子が共通に接続され、第1入力電圧と第2入力電圧が等しいとき、ドライバは、プリチャージ期間の間、第2スイッチをオフしてもよい。

この場合、フライングキャパシタがプリチャージ期間中に第1入力電圧で充電されず、通常のスイッチング動作を開始した直後に出力キャパシタには、電圧 V_{in2} が印加されるため、突入電流を好適に防止できる。

【0012】

ある態様の制御回路は、チャージポンプ回路の出力電圧に応じた帰還電圧が所定の基準電圧と一致するようにデューティ比が調節されるパルス信号を生成するパルス変調器をさらに備えてもよい。プリチャージ期間の終了後、パルス変調器は、基準電圧を時間とともに上昇させ、ドライバはパルス信号にもとづいて第1～第4スイッチを駆動してもよい。

基準電圧をソフトスタート電圧として上昇させることにより、プリチャージ期間の終了後に、出力電圧をゆるやかに上昇させることができる。

【0013】

ある態様の制御回路は、第1入力端子から出力キャパシタに至る経路上に設けられ、オン抵抗が切りかえ可能な入力スイッチをさらに備えてもよい。ドライバは、チャージポンプ回路の起動開始から所定のソフトスタート期間の間、入力スイッチをオン抵抗が高い状態にてオンし、その後、入力スイッチのオン抵抗を低い状態に切りかえてもよい。

第1、第4スイッチのオン抵抗が非常に低い場合、プリチャージ期間においても、出力キャパシタに大電流が流れ込むおそれがある。この場合に、入力スイッチを設けて、オン抵抗を高くすることにより、出力キャパシタの流れ込む電流を抑制できる。

【0014】

入力スイッチは、第1スイッチと第1入力端子の間に設けられてもよい。入力スイッチは、第4スイッチとフライングキャパシタの接続点と、第1スイッチの間に設けられてもよい。

この場合、チャージポンプ回路が通常のスイッチング動作を開始した後において、フライングキャパシタに対する充電電流を制御することができる。

【0015】

入力スイッチは、第4スイッチと出力キャパシタの間に設けられてもよい。入力スイッチは、第1スイッチとフライングキャパシタの接続点と、第4スイッチの間に設けられてもよい。

この場合、チャージポンプ回路が通常のスイッチング動作を開始した後において、出力キャパシタに対する充電電流を制御することができる。

【0016】

入力スイッチは、並列に接続された複数のMOSFETを含み、複数のMOSFETのオン、オフの組み合わせによって、オン抵抗が切りかえられてもよい。

【0017】

第1、第4スイッチはMOSFETであり、入力スイッチの複数のMOSFETそれぞれのボディダイオードは、第1、第4スイッチのボディダイオードと反対向きに設けられてもよい。この場合、第1入力端子から出力キャパシタに至るリーク電流を遮断できる。

【0018】

パルス変調器は、周期が一定でパルス幅が変化するパルス幅変調を行ってもよい。

【0019】

本発明の別の態様は、チャージポンプ回路である。このチャージポンプ回路は、フライングキャパシタと、出力キャパシタと、フライングキャパシタおよび出力キャパシタの充放電状態を制御する、上述のいずれかの制御回路と、を備える。

10

【0020】

本発明のさらに別の態様は、フライングキャパシタと出力キャパシタとを有するチャージポンプ回路の制御方法に関する。この方法は、プリチャージステップとスイッチングステップを含む。プリチャージステップは、チャージポンプ回路の起動開始後の所定のプリチャージ期間に、第1入力電圧を利用して出力キャパシタを充電する。スイッチングステップは、第1入力電圧によりフライングキャパシタを充電する充電ステップと、前記フライングキャパシタの一端を前記出力キャパシタに接続し、前記フライングキャパシタの他端に第2入力電圧を印加して、前記出力キャパシタを充電する放電ステップと、を交互に実行する。

【0021】

20

第1入力電圧が前記第2入力電圧より高いとき、プリチャージステップは、フライングキャパシタを第1入力電圧と第2入力電圧の差電圧で充電してもよい。

【0022】

スイッチングステップは、チャージポンプ回路の出力電圧に応じた帰還電圧と所定の基準電圧との誤差を増幅した誤差電圧を生成するステップと、誤差電圧を所定の周期の三角波信号でスライスし、パルス幅変調されたパルス信号を生成するステップと、パルス信号のパルス幅を、所定の範囲に制限するステップと、パルス信号のハイ期間に応じた時間、充電または放電ステップの一方を実行し、ロー期間に応じた時間、他方のステップを実行するステップと、を含んでもよい。

【0023】

30

スイッチングステップは、プリチャージ期間の後、基準電圧を時間とともに上昇させてもよい。

【0024】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【0025】

本発明によれば、チャージポンプ回路の突入電流を抑制できる。

【発明を実施するための最良の形態】

【0026】

40

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0027】

本明細書において、「部材Aが部材Bに接続された状態」とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、

50

あるいは部材Bと部材Cが直接的に接続される場合のほか、電氣的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

【0028】

図1は、本発明の実施の形態に係るチャージポンプ回路120の構成を示す回路図である。チャージポンプ回路120は、第1入力端子122に入力された第1入力電圧 V_{in1} 、第2入力端子123に入力された第2入力電圧 V_{in2} を加算し、出力端子124から出力電圧 V_{out} を出力する。入力電圧 V_{in1} 、 V_{in2} として、図示しない電池から出力される電池電圧や、電源回路から供給される電源電圧 V_{dd} が利用される。本発明は、任意の昇圧率のチャージポンプ回路に適用可能であるが、以下、理解を容易とするため、加算型(昇圧率2倍)のチャージポンプ回路について説明する。

10

【0029】

チャージポンプ回路120は、制御回路100、フライングキャパシタ C_f1 、出力キャパシタ C_o1 、帰還抵抗 R_1 、 R_2 を備える。図1のチャージポンプ回路は、昇圧率が2倍であるため、ひとつのフライングキャパシタ C_f1 とひとつの出力キャパシタ C_o1 を備えるが、別の昇圧率の場合や、複数の出力電圧を生成する場合、フライングキャパシタや出力キャパシタは複数であってもよい。

【0030】

制御回路100は、第1スイッチ群10、第2スイッチ群12、パルス変調器20、ドライバ40、を備え、ひとつの半導体基板上に集積化された機能回路である。第1入力端子102には、第1入力電圧 V_{in1} が印加され、第2入力端子103には第2入力電圧 V_{in2} が印加される。キャパシタ端子104、キャパシタ端子106の間には、フライングキャパシタ C_f1 が接続され、出力端子108と接地間には出力キャパシタ C_o1 が接続される。接地端子110は接地されており、帰還端子112には出力電圧 V_{out} に応じた帰還電圧 V_{fb} が入力される。帰還電圧 V_{fb} は、出力電圧 V_{out} を帰還抵抗 R_1 、帰還抵抗 R_2 によって分圧された電圧である。

20

【0031】

一般に、チャージポンプ回路は、フライングキャパシタを充電する充電期間1と、フライングキャパシタに蓄えられた電荷を利用して出力キャパシタの充電する放電期間2と、を繰り返すことにより、昇圧された電圧を生成する。

【0032】

第1スイッチ群10は、第1入力電圧 V_{in1} を利用してフライングキャパシタ C_f1 を充電する経路に設けられた少なくともひとつのスイッチを含む。第1スイッチ群10およびフライングキャパシタ C_f1 は、第1入力端子122と接地間に直列な経路を形成している。本実施の形態では、第1スイッチ群10は、第1スイッチ SW_1 、第2スイッチ SW_2 を含んでいる。具体的には、第1スイッチ SW_1 は、第1入力端子102とキャパシタ端子104の間に設けられ、第2スイッチ SW_2 は、キャパシタ端子106と接地端子110の間に設けられる。第1スイッチ SW_1 はPチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)であり、第2スイッチ SW_2 はNチャンネルMOSFETである。

30

【0033】

第2スイッチ群12は、充電期間1においてフライングキャパシタ C_f1 に蓄えられた電荷を利用して出力キャパシタ C_o1 を充電する経路に設けられた少なくともひとつのスイッチを含む。本実施の形態では、第2スイッチ群12は第3スイッチ SW_3 、第4スイッチ SW_4 を含んでおり、具体的には、第3スイッチ SW_3 は第1入力端子102とキャパシタ端子106の間に設けられており、第4スイッチ SW_4 はキャパシタ端子104と出力端子108の間に設けられている。第3スイッチ SW_3 、第4スイッチ SW_4 はともにPチャンネルMOSFETである。

40

【0034】

ドライバ40は、レベルシフト回路を含んでおり、第1スイッチ SW_1 ~第4スイッチ SW_4 のゲート電圧を切り換えて、オン、オフを制御する。

50

【0035】

充電期間 1において、第1スイッチSW1、第2スイッチSW2がともにオンすると、フライングキャパシタCf1の一端に第1入力電圧Vin1が印加され、他端が接地され、その結果、フライングキャパシタCf1が第1入力電圧Vin1で充電される。フライングキャパシタCf1の両端の電位差をVとする。

【0036】

放電期間 2において、第3スイッチSW3、第4スイッチSW4がともにオンすると、キャパシタ端子106の電位は、第2入力電圧Vin2と等しくなり、キャパシタ端子104の電位は、 $V_{in2} + V$ となる。キャパシタ端子104の電位が、第4スイッチSW4を介して出力キャパシタCo1に印加されることにより、出力キャパシタCo1が充電される。

10

【0037】

ドライバ40は、充電期間 1と放電期間 2を交互に繰り返し、入力電圧Vinを昇圧する。従来のチャージポンプ回路は、デューティ比が50%のクロック信号のハイレベルとローレベルに、充電期間 1と放電期間 2を割り当てていたため、充電期間 1と放電期間 2は固定されていた。これに対して、本実施の形態に係るチャージポンプ回路120では、充電期間 1と放電期間 2をフィードバックによって調節することを特徴としている。

【0038】

パルス変調器20は、パルス信号Spwm3を生成し、ドライバ40に供給する。ドライバ40は、パルス信号Spwm3のハイ期間THを、充電期間 1または放電期間 2のいずれかが割り当て、ロー期間TLを他方に割り当て、第1スイッチ群10と第2スイッチ群12を交互にオンさせる。

20

【0039】

パルス変調器20には、チャージポンプ回路120の出力電圧Voutに応じた帰還電圧Vfbが入力されている。電圧源21は、基準電圧Vrefを生成する。パルス変調器20は、帰還電圧Vfbが所定の基準電圧Vrefと一致するようにパルス信号Spwm3のデューティ比を調節する。デューティ比とは、ハイ期間THに対する周期時間Tp($= TH + TL$)の比率である。本実施の形態では、パルス変調器20はパルス幅変調を行う。

30

【0040】

ドライバ40は、第1スイッチ群10と第2スイッチ群12とが同時にオンしないように、デッドタイムを設けて、パルス信号Spwm3のポジティブエッジとネガティブエッジの付近において、第1スイッチ群10と第2スイッチ群12が両方オフとなるデッドタイムを設定することが好ましい。デッドタイムの設定方法は、公知の技術を利用すればよい。

【0041】

パルス変調器20は、パルス信号Spwm1のデューティ比を、所定の範囲に制限して調節する。以下、この理由を説明する。

【0042】

パルス信号Spwm3のデューティ比が0%の場合、第1スイッチ群10がオンしないため、第1入力電圧Vin1によるフライングキャパシタCf1の充電が行われない。したがって、出力キャパシタCo1に対する電荷転送が行われず、出力端子124に接続される負荷(不図示)に対する電流供給能力(駆動能力)が低い状態(実質的に0)となる。

40

【0043】

パルス信号Spwm3のデューティ比がある範囲で増大していくと、フライングキャパシタCf1に対する充電期間 1が長くなっていく。それに応じて、充電期間 1にフライングキャパシタCf1に蓄えられる電荷量が増加し、充電期間 1直後のフライングキャパシタCf1の電位差Vが大きくなっていく。

50

【0044】

上述のように、放電期間 2 において出力キャパシタ C_{o1} は、 $V_{in2} + V$ の電圧で充電される。したがって、フライングキャパシタ C_{f1} の電位差 V が大きくなると、放電期間 2 において出力キャパシタ C_{o1} に供給される電荷量が増加する。つまり、パルス信号 S_{pwm3} のデューティ比の増大にともない、負荷に対する電流供給能力が増加していく。

【0045】

パルス信号 S_{pwm3} のデューティ比を大きくしていくと、フライングキャパシタ C_{f1} に対する充電期間 1 は長くなる。ところが、充電期間 1 直後の電位差 V の上限値は、第 1 入力電圧 V_{in1} である。いま、電位差 V が上限値に達したときのデューティ比を $\%$ と書く。パルス信号 S_{pwm3} のデューティ比が $\%$ を超えて増大していくと、充電期間 1 にフライングキャパシタ C_{f1} に供給される電荷量が一定の状態、放電期間 2 が短くなっていく。その結果、デューティ比の増大にともない、放電期間 2 において出力キャパシタ C_{o1} に供給される電荷量が減少していく。つまり、パルス信号 S_{pwm3} のデューティ比が $\%$ を超えて増大するにしがたい、負荷に対する電流供給能力は低下していく。

10

【0046】

パルス信号 S_{pwm3} のデューティ比が 100% となると、フライングキャパシタ C_{f1} から出力キャパシタ C_{o1} に対する電荷転送が行われず、負荷に対する電流供給能力は実質的に 0 となる。

20

【0047】

つまり、チャージポンプ回路 120 の電流供給能力は、デューティ比が 0% と 100% で最低となり、ある値 $\%$ のときに最大となる。言い換えれば、デューティ比には、チャージポンプ回路の電流供給能力に最大値を与える値が存在する。

【0048】

したがって、出力電圧 V_{out} をモニタしておき、出力電圧 V_{out} が低下するとき、すなわち負荷電流が増加するとき、チャージポンプ回路 120 の電流供給能力を増大させ、反対に出力電圧 V_{out} が増大するとき、すなわち負荷電流が減少するとき、チャージポンプ回路 120 の電流供給能力を減少させるようにフィードバックを行うことにより、出力電圧 V_{out} を一定値に保つことができる。

30

【0049】

もし、パルス信号 S_{pwm3} のデューティ比が $\%$ を跨いで変化すると、出力電圧 V_{out} が目標値から離れる方向にフィードバックに係るため、出力電圧 V_{out} が不安定となる。そこで、本実施の形態に係るチャージポンプ回路 120 は、パルス信号 S_{pwm3} のデューティ比を所定の範囲に制限する。

【0050】

このように、本実施の形態に係るチャージポンプ回路 120 では、デューティ比の範囲が制限されたパルス信号 S_{pwm3} にもとづいて第 1 スイッチ群 10、第 2 スイッチ群 12 を制御することにより、出力電圧 V_{out} を安定化することができる。

【0051】

40

従来のチャージポンプ回路は、第 1 入力電圧 $V_{in1} = 10V$ 、第 2 入力電圧 $V_{in2} = 3.5V$ の場合、その和である $13.5V$ の出力電圧 V_{out} のみ出力可能であった。したがって、 $13.5V$ 以下の所望の電圧を得たい場合、チャージポンプ回路の前段または後段にリアレギュレータを設ける必要があり、回路面積が増大していた。これに対して、本実施の形態に係るチャージポンプ回路 120 によれば、レギュレータを設けなくても、出力電圧 V_{out} を所望の値に安定化することができるため、回路面積を小さくできる。

【0052】

また、従来のようにレギュレータを設ける場合、入力電圧が供給される入力端子から負荷に至る経路上に、パワートランジスタが挿入されるため、パワートランジスタの電力損

50

失によって、効率が低下していた。これに対して本実施の形態に係るチャージポンプ回路 120 はパワートランジスタが不要となるため、回路の効率を改善できる。

【0053】

の値は、フライングキャパシタ C_{f1} 、出力キャパシタ C_{o1} の容量値や、パルス信号 S_{pwm3} の周波数（周期時間 T_p ）に依存するが、典型的には 50% である。以下、 $= 50\%$ の場合について説明する。

【0054】

所定の範囲は、

(1) $0\% \sim \text{max}\%$

(2) $\text{min}\% \sim 100\%$

のいずれかに設定することができる。以下、それぞれの範囲におけるフィードバック制御について説明する。

【0055】

(1) 第 1 の制御方法

パルス変調器 20 は、帰還電圧 V_{fb} が低いほどハイ期間 T_H が長くなるようにパルス信号 S_{pwm3} を変調する。このとき、パルス信号 S_{pwm3} のデューティ比に上限値 max を設定し、パルス信号 S_{pwm3} のデューティ比が 0% から上限値 $\text{max}\%$ の範囲で変化するように変調する。

【0056】

max に設定することが望ましい。この場合、デューティ比の $\text{max}\%$ を跨いだ変化を防止できるため、出力電圧 V_{out} を安定化できる。ただし、出力電圧 V_{out} にリップルが生ずることが許容できる場合、 max をより大きく設定してもよい。チャージポンプ回路の効率が最も高くするためには、 $\text{max} = 50\%$ とすることが好ましい。 $= 50\%$ の場合、 max は 0% ~ 50% の間でなるべく大きな値に設定する。

【0057】

$\text{max} = 45\%$ の場合、ハイ期間 T_H は、 $T_p \times (0 \sim 0.45)$ の範囲で変化し、ロー期間 T_L は、 $T_p \times (1 \sim 0.55)$ の範囲で変化する。すなわち、ロー期間 T_L の方が、ハイ期間 T_H よりも長くなるよう制限される。このときドライバ 40 は、パルス信号 S_{pwm3} のハイ期間 T_H に応じた期間、第 1 スイッチ群 10 をオンし、ロー期間 T_L に応じた期間、第 2 スイッチ群 12 をオンすることが好ましい。つまり、第 2 スイッチ群 12 がオンする時間が長くなるようにすることが好ましい。この理由を説明する。

【0058】

いま、出力端子 124 から制御回路 100 側の望んだ容量について考察する。充電期間 1 では、第 4 スイッチ SW_4 がオフするため、出力端子 124 に接続される容量は出力キャパシタ C_{o1} のみである。放電期間 2 では、出力キャパシタ C_{o1} に加えて、フライングキャパシタ C_{f1} が接続される。負荷電流が一定の場合、出力端子 124 に接続される容量が大きい方が、出力電圧 V_{out} の変動は小さくなる。

したがって、パルス信号 S_{pwm3} のハイ期間 T_H に応じた時間を、充電期間 1 に割り当てることにより、放電期間 2 の方が充電期間 1 より長くなるため、出力電圧 V_{out} のリップルを小さくできる。

【0059】

放電期間 2 が長い方が出力電圧 V_{out} のリップルを小さくできるという利点があるが、出力キャパシタ C_{o1} の容量が大きい場合や、リップルが許容できる場合、ハイ期間 T_H を放電期間 2 に割り当ててもよい。

【0060】

図 1 の制御回路 100 は、第 1 の制御方法を実行する構成を示している。パルス変調器 20 は、誤差増幅器 22、オシレータ 24、PWM (Pulse Width Modulation) コンパレータ 26、AND ゲート 30、最小デューティコンパレータ 32、PFM (Pulse Frequency Modulation) コントローラ 34、最大デューティコンパレータ 28 を備える。

【0061】

10

20

30

40

50

誤差増幅器 22 は、帰還電圧 V_{fb} を反転入力端子に、基準電圧 V_{ref} を非反転入力端子に受け、2つの電圧の誤差を増幅する。誤差増幅器 22 の出力を誤差電圧 V_{err} という。オシレータ 24 は、三角波またはのこぎり波の周期電圧 V_{osc} を出力する。PWMコンパレータ 26 は、誤差電圧 V_{err} を非反転入力端子に、周期電圧 V_{osc} を反転入力端子に受ける。PWMコンパレータ 26 は周期電圧 V_{osc} を誤差電圧 V_{err} でスライスし、交点でレベルが変化するパルス信号 S_{pwm1} を出力する。パルス信号 S_{pwm1} のパルス幅は、出力電圧 V_{out} が目標値に近づくように変調されている。

【0062】

最大デューティコンパレータ 28 は、周期電圧 V_{osc} と最大電圧 V_{max} を受ける。最大デューティコンパレータ 28 は、周期電圧 V_{osc} を最大電圧 V_{max} でスライスし、所定のデューティ比を有する最大パルス信号 S_{max} を生成する。最大電圧 V_{max} の値は、最大パルス信号 S_{max} のデューティ比が、上述した の値と一致するように設定される。

10

【0063】

ANDゲート 30 は、PFMコントローラ 34 から出力されるパルス信号 S_{pwm2} と、最大パルス信号 S_{max} を受け、2つの信号の論理積を出力する。ANDゲート 30 の出力、すなわちパルス信号 S_{pwm3} のデューティ比は、パルス信号 S_{pwm1} のデューティ比が $max\%$ 以下のとき、パルス信号 S_{pwm1} のデューティ比と一致し、パルス信号 S_{pwm1} のデューティ比が $max\%$ 以上のとき、 $max\%$ となる。なお、パルス信号 S_{pwm3} のデューティ比を制限するために、別の回路構成を利用してもよく、その形式は限定されない。

20

【0064】

パルス変調器 20 は、パルス信号 S_{pwm1} のデューティ比を、所定の下限値 min と比較し、パルス信号 S_{pwm1} のデューティ比が下限値 min より小さいとき、パルス信号 S_{pwm1} のレベルを固定し、第1スイッチ群 10、第2スイッチ群 12 のスイッチングを停止させる。つまりパルス変調器 20 からはパルスが出力されなくなる。このために、最小デューティコンパレータ 32、PFMコントローラ 34 が設けられている。

【0065】

パルス変調器 20 は、パルス信号 S_{pwm3} のデューティ比が下限値 min より小さいとき、第2スイッチ群 12 がオンするように、パルス信号 S_{pwm3} のレベルを固定することが望ましい。理由は後述する。

30

【0066】

最小デューティコンパレータ 32 は、周期電圧 V_{osc} と最小電圧 V_{min} を受ける。最小デューティコンパレータ 32 は、周期電圧 V_{osc} を最小電圧 V_{min} でスライスし、所定のデューティ比を有する最小パルス信号 S_{min} を生成する。最小電圧 V_{min} の値は、最小パルス信号 S_{min} のデューティ比が 20% 程度となるよう設定する。

【0067】

PFMコントローラ 34 は、パルス信号 S_{pwm1} と最小パルス信号 S_{min} を受け、2つの信号のデューティ比を比較する。そして、パルス信号 S_{pwm1} のデューティ比が最小パルス信号 S_{min} のデューティ比より小さくなると、パルス信号 S_{pwm2} のデューティ比をローレベルに固定する。パルス信号 S_{pwm1} のデューティ比が最小パルス信号 S_{min} のデューティ比より大きい場合、パルス信号 S_{pwm2} はパルス信号 S_{pwm1} と等しくなる。

40

【0068】

なお、ANDゲート 30 と PFMコントローラ 34 の順序は逆としてもよい。

【0069】

以上のように構成されたチャージポンプ回路 120 の動作を説明する。図 2 は、図 1 のチャージポンプ回路 120 の信号波形図である。本明細書に示される波形図は、説明を簡潔にするため、あるいは理解を容易とするために、縦軸および横軸が適宜拡大、縮小されている。

50

【 0 0 7 0 】

負荷電流が増大するにしたがい、出力キャパシタ C_{o1} から負荷に対して電荷が多く供給されるため、出力電圧 V_{out} が低下し、誤差電圧 V_{err} が上昇していく。出力電圧 V_{out} が低いほど、パルス信号 S_{pwm1} のデューティ比は増加していく。ただし、パルス信号 S_{pwm3} のデューティ比は、最大パルス信号 S_{max} のデューティ比 max 以下に制限される。また、パルス信号 S_{pwm1} のデューティ比が最小パルス信号 S_{min} のデューティ比 min より小さくなると、パルス信号 S_{pwm3} がローレベルに固定され、パルスがカットされる。

【 0 0 7 1 】

図 3 (a)、(b) はそれぞれ、通常の負荷時および軽負荷時におけるチャージポンプ回路 1 2 0 の動作波形図である。 10

図 3 (a) に示すように、負荷電流がある程度大きく一定値の場合、フィードバックによってパルス信号 S_{pwm1} のデューティ比が調節される。第 1 スイッチ群 1 0 は、パルス信号 S_{pwm3} がハイレベルとなる充電期間 1 にオンとなり、第 2 スイッチ群 1 2 は、パルス信号 S_{pwm1} がローレベルとなる放電期間 2 にオンとなる。充電期間 1 においては、出力キャパシタ C_{o1} から負荷電流が流れ出るため、出力電圧 V_{out} は低下する。放電期間 2 においては、出力キャパシタ C_{o1} がフライングキャパシタ C_{f1} を用いて充電されるため、出力電圧 V_{out} が上昇する。充電期間 1 と放電期間 2 を繰り返すことにより、出力電圧 V_{out} はわずかに変動しながら目標値付近に安定化される。 20

【 0 0 7 2 】

図 3 (b) は、軽負荷時の動作を示す。軽負荷状態では、パルス信号 S_{pwm1} のデューティ比が最小デューティ比 min より小さくなる。その結果、第 1 スイッチ群 1 0、第 2 スイッチ群 1 2 のスイッチングが停止するため、出力キャパシタ C_{o1} の充電動作が停止する。この間、出力キャパシタ C_{o1} は、小さな負荷電流によって放電されるため、出力電圧 V_{out} は緩やかに低下していく。出力電圧 V_{out} の低下にともなって、誤差電圧 V_{err} が上昇していき、時刻 t_1 にパルス信号 S_{pwm1} のデューティ比が最小デューティ比 min を超えると、パルス信号 S_{pwm3} がハイレベルとなり、充電期間 1 となる。その直後の放電期間 2 において、出力キャパシタ C_{o1} が充電され、出力電圧 V_{out} が上昇する。出力電圧 V_{out} が上昇すると、再び誤差電圧 V_{err} が低下し、デューティ比が最小デューティ比 min より小さくなり、スイッチングが停止する。 30

【 0 0 7 3 】

このように、本実施の形態に係るチャージポンプ回路 1 2 0 では、パルス信号 S_{pwm3} のデューティ比をモニタし、下限値 min より小さなパルスをカットすることにより、軽負荷状態において、間欠モードで動作させることができる。第 1 スイッチ群 1 0、第 2 スイッチ群 1 2 のオン、オフを切り換えるためには、各トランジスタのゲート容量を充放電するための駆動電流が必要であるが、間欠モードで動作させることにより、駆動電流が低減されるため、チャージポンプ回路 1 2 0 の消費電流を低減することができる。 40

【 0 0 7 4 】

さらに、軽負荷時において、パルス信号 S_{pwm3} はローレベルに固定する場合、第 2 スイッチ群 1 2 がオンとなる状態で回路が停止する。したがって、出力端子 1 2 4 には、フライングキャパシタ C_{f1} と出力キャパシタ C_{o1} の合成容量が接続されるため、出力電圧 V_{out} のリップルを小さくすることができる。 40

ただし、本発明はこれに限定されず、軽負荷時にパルス信号 S_{pwm3} をハイレベルに固定してもよい。

【 0 0 7 5 】

なお、図 3 (b) に示される出力電圧 V_{out} のリップルは図 3 (a) のそれより大きい。実際には同程度かそれより小さい。なぜなら、負荷電流が小さい軽負荷時、出力キャパシタ C_{o1} から放電量は小さく、出力電圧 V_{out} の低下量も小さいからである。

【 0 0 7 6 】

以上が、本実施の形態に係るチャージポンプ回路 1 2 0 の動作である。なお、チャージ 50

ポンプ回路120のパルス変調技術は、スイッチングレギュレータのパルス変調技術とは思想が異なっている点に注目すべきである。すなわち、昇圧型のスイッチングレギュレータにおいてパルス幅変調を行う場合、生成されるパルス信号のデューティ比 D_{sr} は、

$$D_{sr} = 1 - V_{in} / V_{out}$$

で与えられる。すなわち、パルス信号のデューティ比が入力電圧 V_{in} と出力電圧の目標値 V_{out} に応じて調節される。

【0077】

これに対して、本実施の形態に係るチャージポンプ回路120のパルス変調では、パルス信号 S_{pwm3} のデューティ比は、負荷電流に応じて決定される点でスイッチングレギュレータのパルス変調とは異なっている。

10

【0078】

また、スイッチングレギュレータでは、デューティ比を増加させるほど、出力電圧 V_{out} が増大する方向にフィードバックがかかるが、チャージポンプ回路では、デューティ比がある境界値を跨ぐと、フィードバックの方向が反転する。このため、本実施の形態に係るチャージポンプ回路120では、パルス信号 S_{pwm3} のデューティ比の範囲に制限を設けている。

【0079】

(2)第2の制御方法

第1の制御方法では、帰還電圧 V_{fb} が低いほどハイ期間 T_H が長くなるようにパルス信号を変調した。これに対して、第2の制御方法では、帰還電圧 V_{fb} が低いほどロー期間 T_L が長くなるようにパルス信号 S_{pwm3} を変調する。さらに、パルス信号 S_{pwm3} のデューティ比に下限値 min を設定し、パルス信号 S_{pwm3} のデューティ比が下限値 $min\%$ から100%の範囲で変化するように変調する。

20

【0080】

このとき、 min に設定することが望ましい。この場合、 min を跨いだ変化を防止できるため、出力電圧 V_{out} を安定化できる。ただし、出力電圧 V_{out} にリップルが生ずることが許容できる場合、 min をより小さくしてもよい。

【0081】

チャージポンプ回路の効率が最も高くするためには、 $min = 50\%$ とすることが好ましい。 $min = 50\%$ の場合、 min は50%~100%の間でなるべく小さな値に設定する。

30

【0082】

$min = 55\%$ の場合、ハイ期間 T_H は、 $T_p \times (0.55 \sim 1)$ の範囲で変化し、ロー期間 T_L は、 $T_p \times (0.45 \sim 0)$ の範囲で変化する。すなわち、ハイ期間 T_H の方が、ロー期間 T_L よりも長くなるように制限される。このときドライバ40は、パルス信号 S_{pwm3} のロー期間 T_L に応じた期間、第1スイッチ群10をオンし、ハイ期間 T_H に応じた期間、第2スイッチ群12をオンすることが好ましい。つまり、第2スイッチ群12がオンする時間が長くなるようにすることが好ましい。これにより出力電圧 V_{out} のリップルを小さくできる。

【0083】

第2の制御方法を実現するためには、図1の制御回路100を変形すればよい。たとえば、誤差増幅器22の反転入力端子に基準電圧 V_{ref} を、非反転入力端子に帰還電圧 V_{fb} を入力してもよい。この場合、負荷電流が小さいほど、すなわち出力電圧 V_{out} が大きいほど、誤差電圧 V_{err} は大きくなり、パルス信号 S_{pwm1} のデューティ比は100%に近づく。その結果、負荷に対する電流供給能力が減少し、適切なフィードバックをかけることができる。負荷電流が増加すると、デューティ比が min に近づいていき、電流供給能力が増加する。

40

【0084】

この場合、最大デューティコンパレータ28によって、デューティ比が min となるパルス信号を生成し、パルス信号 S_{pwm3} のデューティ比が min 以上となるように制限をかければよい。

50

【 0 0 8 5 】

第2の制御方法で、軽負荷時に間欠モードを実現するために、パルス信号 S_{pwm3} のデューティ比に上限値 max を設定し、パルス信号 S_{pwm3} のデューティ比が上限値 max より大きいとき、パルス信号 S_{pwm3} のレベルを固定する。この場合、最小デューティコンパレータ 32 によってデューティ比が max のパルス信号を生成すればよい。

【 0 0 8 6 】

第2の制御方式においても、第1の制御方式と同様の効果を得ることが可能である。

【 0 0 8 7 】

次に、上述したチャージポンプ回路 120 の一部、またはすべての特徴を具備するチャージポンプ回路において、その起動時に出力キャパシタに対して流れ込む突入電流を防止する技術について説明する。

【 0 0 8 8 】

(第1の技術)

ドライバ 40 は、チャージポンプ回路 120 の起動開始から所定のプリチャージ期間の間、上述の充電期間 1 と、放電期間 2 のスイッチング動作を行わず、その代わりに、第1スイッチ $SW1$ 、第4スイッチ $SW4$ をオンとして、出力キャパシタ C_{o1} を充電する。

【 0 0 8 9 】

その後、プリチャージ期間が終了すると、充電期間 1 と放電期間 2 を交互に切りかえ、第1ペア(第1スイッチ $SW1$ 、第2スイッチ $SW2$)および第2ペア(第3スイッチ $SW3$ 、第4スイッチ $SW4$)を交互にオン、オフさせる。

【 0 0 9 0 】

プリチャージ期間を設けることにより、以下の効果が得られる。

もしプリチャージ期間を設けずに、スイッチング動作を開始すると、充電期間 1 にフライングキャパシタ C_{f1} が V に充電され、その後、出力キャパシタ C_{o1} に $V + V_{in2}$ が印加される。起動直後は、出力電圧 V_{out} と基準電圧 V_{ref} の誤差が大きいため、フライングキャパシタ C_{f1} の充電時間は最長となるから、 $V - V_{in1}$ となる可能性がある。そうすると、続く放電期間 2 に、出力キャパシタ C_{o1} には電荷量が 0 の状態で $V_{in1} + V_{in2}$ に近い大電圧が印加され、出力キャパシタ C_{o1} に突入電流が流れるおそれがある。また第4スイッチ $SW4$ がオンした直後、第4スイッチ $SW4$ の一端(フライングキャパシタ C_{f1} 側)に $V_{in1} + V_{in2}$ が、他端(出力キャパシタ側)に $0V$ が印加されるため、第4スイッチ $SW4$ の耐圧を超えるおそれもある。こうした状況は、回路素子の信頼性に影響を及ぼすおそれがある。

【 0 0 9 1 】

これに対して、プリチャージ期間を設け、第1スイッチ $SW1$ 、第4スイッチ $SW4$ をオンすることにより、出力キャパシタ C_{o1} には、起動直後に第1入力電圧 V_{in1} が入力される。したがって、出力キャパシタ C_{o1} に $V_{in1} + V_{in2}$ が印加される状況に比べて突入電流の発生を抑制できる。

【 0 0 9 2 】

プリチャージ期間では、第1スイッチ $SW1$ 、第4スイッチ $SW4$ の両端には、第1入力電圧 V_{in1} が印加される。それぞれのオン抵抗が同程度であれば、第4スイッチ $SW4$ の両端には、 $V_{in1} / 2$ の電圧が印加される。したがって、 $V_{in1} + V_{in2}$ が印加される状況に比べて、素子の信頼性を高めることができる。

【 0 0 9 3 】

(第2の技術)

また、プリチャージ期間において、第2スイッチ $SW2$ 、第3スイッチ $SW3$ を以下の状態とすることが望ましい。

【 0 0 9 4 】

2 - 1 . 第1入力電圧 V_{in1} が第2入力電圧 V_{in2} より高い場合

10

20

30

40

50

この場合、ドライバ40は、プリチャージ期間の間、第1スイッチSW1、第4スイッチSW4に加えて第3スイッチSW3をオンし、第2スイッチSW2をオフする。この状態では、フライングキャパシタCf1は、第1入力電圧Vin1と第2入力電圧Vin2の差電圧(Vin1 - Vin2)で充電される。つまり、 $V = (V_{in1} - V_{in2})$ となる。

【0095】

プリチャージ期間が終了してスイッチング動作が開始され、放電期間2において第3スイッチSW3、第4スイッチSW4がオンとなると、出力キャパシタCo1には、

$$V_{in2} + V = V_{in2} + (V_{in1} - V_{in2}) = V_{in1}$$

の電圧が印加される。つまり、プリチャージ期間からスイッチング動作に移行する際に、出力キャパシタCo1に大電圧が印加されるのを防止できる。

10

【0096】

もし、プリチャージ期間に第3スイッチSW3をオフ、第2スイッチSW2をオンして、フライングキャパシタCf1を第1入力電圧Vin1で充電した場合、 $V = V_{in1}$ となる。したがってスイッチング動作開始後の放電期間2において、出力キャパシタCo1には、

$$V_{in2} + V = V_{in2} + V_{in1}$$

の大電圧が印加されてしまうため好ましくない。

【0097】

2-2. 第1入力電圧Vin1が第2入力電圧Vin2と等しい場合

20

この場合、ドライバ40は、プリチャージ期間の間、第2スイッチSW2をオフする。第3スイッチSW3はオンでもオフでもよい。第2スイッチSW2をオフしておくことにより、フライングキャパシタCf1が第1入力電圧Vin1で充電されないため、スイッチング動作開始直後に、出力キャパシタCo1に大電圧が印加されるのを防止できる。

【0098】

(第3の技術)

第1、第2の技術と組み合わせて、パルス変調器20は、プリチャージ期間の終了後に、基準電圧Vrefを目時間とともに上昇させるソフトスタートを実行することが好ましい。

【0099】

30

第1、第2の技術を組み合わせて、チャージポンプ回路120を起動させた場合の動作について説明する。図4は、図1のチャージポンプ回路120の起動時の動作状態を示すタイムチャートである。

【0100】

時刻t0に、チャージポンプ回路120の起動開始を指示するシーケンス開始信号(以下、SEQ_IN信号)がハイレベルとなる。ドライバ40は、SEQ_IN信号がハイレベルとなると、プリチャージ期間pcの間、第1スイッチSW1、第4スイッチSW4をオンし、出力キャパシタCo1を第1入力電圧Vin1で充電する。その結果、出力電圧Voutが時間とともに増加する。

【0101】

40

プリチャージ期間pc経過後の時刻t1に、ソフトスタート動作に切り替わる。ソフトスタート動作中、ドライバ40はパルス信号Spwm3にもとづいて、充電期間1と放電期間2を交互にスイッチングする。ソフトスタート動作中、電圧源21は基準電圧Vrefを時間とともに緩やかに上昇させる。出力電圧Voutは、フィードバックによって基準電圧Vrefに追従して上昇する。

【0102】

その後、時刻t3に基準電圧Vrefが目標値に達すると、出力電圧Voutは安定する。

【0103】

このように、図1のチャージポンプ回路120によれば、突入電流を抑制しながら、出

50

力電圧 V_{out} を上昇させることができる。

【0104】

(第4の技術)

第4の技術は、上述の第1から第3の技術の少なくともひとつと組み合わせて、あるいは単独で用いることにより、突入電流を効果的に抑制する技術に関する。

図5は、変形例に係るチャージポンプ回路120aの構成を示す回路図である。図5のチャージポンプ回路120aは、図1のチャージポンプ回路120に加えてさらに、入力スイッチ14を備える。ドライバ40は、第1スイッチSW1～第4スイッチSW4に加えて、入力スイッチ14の状態を制御する。

【0105】

入力スイッチ14は、第1入力端子102から出力端子108を経て出力キャパシタC01に至る経路上に設けられ、オン抵抗が切りかえ可能に構成される。図5では、入力スイッチ14は第1スイッチSW1と第1入力端子102の間に設けられる。

【0106】

ドライバ40は、チャージポンプ回路120aの起動開始から所定のソフトスタート期間 s_s の間、入力スイッチ14をオン抵抗が高い状態にてオンし、その後、入力スイッチ14のオン抵抗を低い状態に切りかえる。ソフトスタート期間 s_s はプリチャージ期間 p_c と一致してもよいし、それより長く、あるいは短くてもよい。以下では、 $s_s > p_c$ として説明をする。

【0107】

入力スイッチ14は、並列に接続されたPチャンネルMOSFETの第5スイッチSW5と、PチャンネルMOSFETの第6スイッチSW6を含む。第5スイッチSW5のオン抵抗は高く設計し、第6スイッチSW6のオン抵抗は、通常のスイッチング動作時に損失とならないように十分に小さく設計する。

【0108】

ドライバ40は、ソフトスタート期間 s_s の間、第5スイッチSW5のみをオンする。そして、ソフトスタート期間 s_s の経過後に、第5スイッチSW5に加えて、またはこれに替えて、第6スイッチSW6をオンする。

【0109】

入力スイッチ14を設けることにより、以下の効果を得ることができる。

図1の制御回路100では、プリチャージ期間 s_s に、第1スイッチSW1、第4スイッチSW4をオン状態とした。したがって、仮に第1スイッチSW1、第4スイッチSW4のオン抵抗が非常に小さい場合や、第1入力電圧 V_{in1} が非常に高い場合、出力キャパシタC01に突入電流が流れ込むおそれがある。そこでこのような場合には、入力スイッチ14を設けて、プリチャージ期間 p_c において第1入力端子102から出力端子108に至る経路の抵抗値を高く設定することにより、突入電流を好適に防止することができる。

【0110】

また、 $s_s > p_c$ の場合、ソフトスタート動作に移行した後も、入力スイッチ14のオン抵抗は高く設定される。したがって、出力電圧 V_{out} が低い状態でスイッチング動作が開始しても、突入電流が流れるのを好適に防止できる。その後、ソフトスタート期間 s_s 経過後に入力スイッチ14のオン抵抗が低く設定され、低損失にてスイッチング動作が行われる。

【0111】

図6は、図5の制御回路100aの構成例を示す回路図である。図6の制御回路100aは、電圧源21、ドライバ40の構成のみを詳細に示している。電圧源21は、カウンタ21a、電圧源21bを含む。カウンタ21aは、SEQ_IN信号およびクロックCKを受け、SEQ_IN信号がハイレベルになると、クロックCKを利用してカウント動作を開始し、プリチャージ期間 p_c 、ソフトスタート期間 s_s の測定を行う。

【0112】

10

20

30

40

50

カウンタ 21a は、起動開始からプリチャージ期間 $p c$ 経過後に、チャージ信号（以下、CHG 信号）をハイレベルからローレベルに切りかえる。また、起動開始からソフトスタート期間 $s s$ 経過後の時刻に、ソフトスタート終了信号（以下、SEND 信号）をハイレベルからローレベルに切りかえる。

【0113】

ドライバ 40 は、制御部 42、第 1 ドライバ DRV1 ~ 第 4 ドライバ DRV4 を含む。

制御部 42 は、SEND 信号がハイレベルの期間（ソフトスタート期間 $s s$ ）、第 5 スイッチ SW5 をオン、第 6 スイッチ SW6 をオフする。また、SEND 信号がローレベルの期間、第 5 スイッチ SW5、第 6 スイッチ SW6 を両方オンする。

【0114】

第 1 ドライバ DRV1 ~ 第 4 ドライバ DRV4 は、パルス信号 Spwm3 および CHG 信号を受け、それぞれ第 1 スイッチ SW1 ~ 第 4 スイッチ SW4 を駆動する。具体的には、第 1 ドライバ DRV1、第 3 ドライバ DRV3、第 4 ドライバ DRV4 は、CHG 信号がハイレベルのとき、それぞれ第 1 スイッチ SW1、第 3 スイッチ SW3、第 4 スイッチ SW4 をオンする。第 2 ドライバ DRV2 は、CHG 信号がハイレベルのとき、第 2 スイッチ SW2 をオフする。

【0115】

第 1 ドライバ DRV1 ~ 第 4 ドライバ DRV4 は、CHG 信号がローレベルのとき、パルス信号 Spwm3 にもとづいて、第 1 スイッチ SW1 ~ 第 4 スイッチ SW4 をスイッチングさせる。すなわち、第 1 ドライバ DRV1、第 2 ドライバ DRV2 はそれぞれ、第 1 スイッチ SW1、第 2 スイッチ SW2 を、パルス信号 Spwm3 がローレベルのときオンし、ハイレベルのときオフする。反対に、第 3 ドライバ DRV3、第 4 ドライバ DRV4 はそれぞれ、第 3 スイッチ SW3、第 4 スイッチ SW4 を、パルス信号 Spwm3 がハイレベルのときオンし、ローレベルのときオフする。

【0116】

第 1 スイッチ SW1、第 4 スイッチ SW4 のボディダイオード D1、D4 は、いずれもカソードが出力端子 108 側に、アノードが第 1 入力端子 102 側となる向きで接続される。したがって、図 1 の回路では、第 1 スイッチ SW1、第 4 スイッチ SW4 がオフのときでも、第 1 入力端子 102 から出力端子 108 に対して電流経路が存在してしまう。つまり、第 1 入力電圧 Vin1 が遮断できない場合、リーク電流が発生して電力損失となる。図 6 では、第 5 スイッチ SW5、第 6 スイッチ SW6 はいずれも P チャンネル MOSFET であり、それぞれのボディダイオード D5、D6 は、ボディダイオード D1、D4 と反対向きとなっている。したがって、スイッチ SW1、SW4、SW5、SW6 をオフすれば、第 1 入力端子 102 から出力端子 108 への電流経路を完全に遮断できる。

【0117】

図 7 は、図 6 の制御回路 100a の動作状態を示すタイムチャートである。時刻 t_0 に SEQ_IN 信号がハイレベルとなるとチャージポンプ回路 120 の起動開始が指示される。時刻 t_0 からプリチャージ期間 $p c$ の間、CHG 信号がハイレベルであり、第 1 スイッチ SW1、第 3 スイッチ SW3、第 4 スイッチ SW4 がオンする。また、第 5 スイッチ SW5 がオン、第 6 スイッチ SW6 がオフとなる。その結果、第 1 入力電圧 Vin1 が第 5 スイッチ SW5、第 1 スイッチ SW1、第 4 スイッチ SW4 を介して出力キャパシタ C01 に印加され、出力電圧 Vout が上昇する。

【0118】

時刻 t_1 に CHG 信号がローレベルになると、第 1 スイッチ SW1 ~ 第 4 スイッチ SW4 がスイッチング動作を開始する。時刻 t_1 以降、基準電圧 Vref が緩やかに上昇していき、ソフトスタート動作が行われる。このとき、第 5 スイッチ SW5 のみがオン、第 6 スイッチ SW6 はオフである。つまり、時刻 t_1 ~ t_2 の期間、基準電圧 Vref を緩やかに上昇させるソフトスタート動作を行い、さらに入力スイッチ 14 のオン抵抗を高く設定して、第 1 入力端子 102 からのフライングキャパシタ Cf1 に対する充電能力を制限することにより、出力電圧 Vout を緩やかに立ち上げる。

10

20

30

40

50

【 0 1 1 9 】

時刻 t_2 に $SSEND$ 信号がローレベルとなると、第 6 スイッチ SW_6 がオン状態となり、第 1 入力端子 102 からの電流供給能力が最大となり、負荷を駆動可能な状態となる。その後、時刻 t_3 に SEQ_IN 信号がローレベルとなると、少なくとも第 1 スイッチ SW_1 、第 4 スイッチ SW_4 をオフする。

【 0 1 2 0 】

このように、図 5、図 6 の制御回路 100a によれば、スイッチング素子 ($SW_1 \sim SW_4$) とは別に、第 1 入力端子 102 から出力端子 108 を経て出力キャパシタ Co_1 に至る経路上に、オン抵抗が調節可能なスイッチを設け、起動シーケンスに応じてオン抵抗を切りかえることにより、出力キャパシタ Co_1 やフライングキャパシタ Cf_1 に対する充電能力を制限することができ、突入電流を防止できる。

10

【 0 1 2 1 】

具体的には、入力スイッチ 14 を設ける第 4 の技術によれば、以下の効果が得られる。

【 0 1 2 2 】

(効果 1) 第 4 の技術を、第 1 の技術と組み合わせた場合

チャージポンプ回路 120a の起動開始直後のプリチャージ期間 pc に、第 1 スイッチ SW_1 、第 4 スイッチ SW_4 をオンさせる場合、入力スイッチ 14 のオン抵抗を高く設定することにより、第 1 入力端子 102 から、入力スイッチ 14、第 1 スイッチ SW_1 、第 4 スイッチ SW_4 を介して出力キャパシタ Co_1 に至る充電経路のインピーダンスを高くすることができ、出力キャパシタ Co_1 に突入電流が流れるのを防止できる。

20

【 0 1 2 3 】

(効果 2) 第 4 の技術を、第 1 の技術と組み合わせた場合、あるいは単独で用いた場合

また、第 1 スイッチ SW_1 、第 4 スイッチ SW_4 をオンするプリチャージを行わずに、あるいはプリチャージを行った後に、第 1 スイッチ $SW_1 \sim$ 第 4 スイッチ SW_4 をスイッチング動作させる場合に、入力スイッチ 14 のオン抵抗を高く設定することにより、第 1 入力端子 102 から、入力スイッチ 14、第 1 スイッチ SW_1 を介してフライングキャパシタ Cf_1 に至る充電経路のインピーダンスを高くすることができ、フライングキャパシタ Cf_1 に対する充電電流を制限することができる。その結果、充電期間 1 において、フライングキャパシタ Cf_1 に蓄えられる電荷量を制限できるため、出力電圧 V_{out} を緩やかに立ち上げることができる。

30

【 0 1 2 4 】

(効果 3) 第 4 の技術を第 3 の技術と組み合わせて、入力スイッチ 14 のオン抵抗の制御と併せて、パルス変調器 20 において基準電圧 V_{ref} を緩やかに上昇させるソフトスタートを実行すると、出力電圧 V_{out} を緩やかに上昇させる上で効果的である。

【 0 1 2 5 】

以上、実施の形態にかかるチャージポンプ回路 120 について説明した。上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

【 0 1 2 6 】

図 5、図 6 では、入力スイッチ 14 を第 1 スイッチ SW_1 と第 1 入力端子 102 の間に設ける場合を説明したが、本発明はこれに限定されない。

入力スイッチ 14 は、第 1 入力端子 102 から出力端子 108 に至る経路上に設けられればよいから、以下の変形例が可能である。

変形例 1 . 入力スイッチ 14 は、第 4 スイッチ SW_4 とフライングキャパシタ Cf_1 の接続点 N_1 と、第 1 スイッチ SW_1 の間に設けられてもよい。

変形例 2 . 入力スイッチ 14 は、第 4 スイッチ SW_4 と出力キャパシタ Co_1 の間に設けられてもよい。

変形例 3 . 入力スイッチ 14 は、第 1 スイッチ SW_1 とフライングキャパシタ Cf_1 の接続点 N_1 と、第 4 スイッチ SW_4 の間に設けられてもよい。

40

50

【 0 1 2 7 】

変形例 1 の場合、図 5 や図 6 の場合と同様に、チャージポンプ回路 1 2 0 a が通常のスイッチング動作を開始した後において、フライングキャパシタ C_{f1} に対する充電電流を制御することができる。

【 0 1 2 8 】

変形例 2、3 の場合、チャージポンプ回路 1 2 0 a が通常のスイッチング動作を開始した後において、出力キャパシタ C_{o1} に対する充電電流を制御することができる。

【 0 1 2 9 】

チャージポンプ回路の構成は図 1、図 5、図 6 のトポロジーに限定されない。たとえば、トランジスタのスイッチに代えてダイオードを用いてもよい。また、実施の形態では、2つの入力電圧を加算する加算型チャージポンプ回路について説明したが、昇圧率 2 倍のチャージポンプ回路であってもよい。第 1 入力端子 1 0 2 と第 2 入力端子 1 0 3 を共通に接続すればよい。

10

【 0 1 3 0 】

また、昇圧率が 1.5 倍、あるいは 4 倍、さらに別のチャージポンプ回路であってもよく、あるいは複数の昇圧率が切り換え可能なチャージポンプ回路であってもよい。さらに、負電圧を生成するための電圧反転型のチャージポンプ回路にも本発明は適用可能である。

【 0 1 3 1 】

実施の形態では、第 1 スイッチ $SW1$ ~ 第 4 スイッチ $SW4$ および入力スイッチ 1 4 が制御回路 1 0 0 に内蔵される場合を説明したが、ディスクリート素子を用いて、制御回路 1 0 0 の外部に設けてもよい。

20

【 0 1 3 2 】

実施の形態では、パルス変調器 2 0 が三角波やのこぎり波をスライスしてパルス信号を生成するパルス幅変調を行う場合を説明したが、変調方法はこれに限定されない。たとえば、パルス周波数変調やパルス密度変調を行ってもよい。すなわち、出力電圧 V_{out} が目標電圧に近づくようにパルス信号のデューティ比を調節し、かつデューティ比を所定の範囲に制限すればよい。

【 0 1 3 3 】

各信号の論理レベルは実施の形態のそれに限定されず、適宜反転することができる。

30

【 0 1 3 4 】

実施の形態にもとづき、特定の語句を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

【 図面の簡単な説明 】

【 0 1 3 5 】

【図 1】本発明の実施の形態に係るチャージポンプ回路の構成を示す回路図である。

【図 2】図 1 のチャージポンプ回路の信号波形図である。

【図 3】図 3 (a)、(b) はそれぞれ、通常の負荷時および軽負荷時における図 1 のチャージポンプ回路の動作波形図である。

40

【図 4】図 1 のチャージポンプ回路の起動時の動作状態を示すタイムチャートである。

【図 5】変形例に係るチャージポンプ回路の構成を示す回路図である。

【図 6】図 5 の制御回路の構成例を示す回路図である。

【図 7】図 6 の制御回路の動作状態を示すタイムチャートである。

【 符号の説明 】

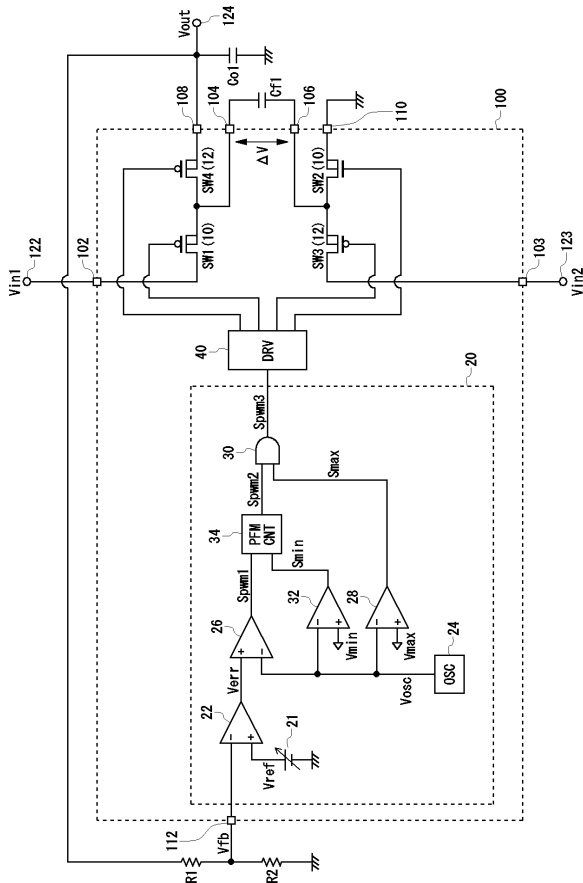
【 0 1 3 6 】

1 0 0 ... 制御回路、1 0 2 ... 第 1 入力端子、1 0 3 ... 第 2 入力端子、1 0 4 ... キャパシタ端子、1 0 6 ... キャパシタ端子、1 0 8 ... 出力端子、1 1 0 ... 接地端子、1 1 2 ... 帰還端子、1 2 0 ... チャージポンプ回路、1 2 2 ... 第 1 入力端子、1 2 3 ... 第 2 入力端子、1 2 4 ... 出力端子、 C_{f1} ... フライングキャパシタ、 C_{o1} ... 出力キャパシタ、 $R1$... 帰還抵

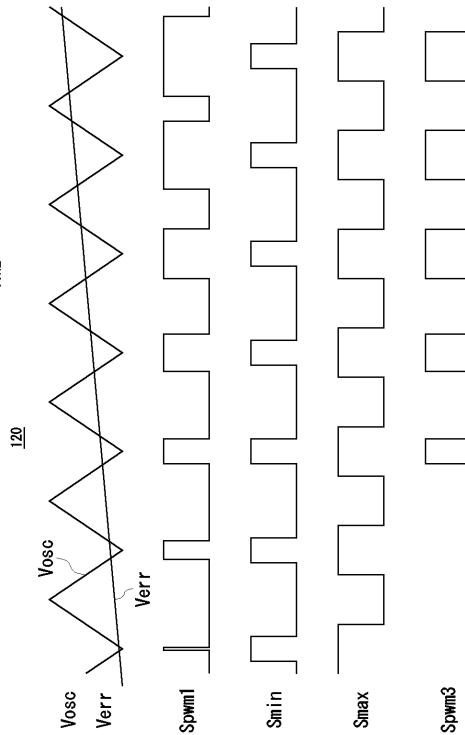
50

抗、R 2 ... 帰還抵抗、1 0 ... 第 1 スイッチ群、1 2 ... 第 2 スイッチ群、1 4 ... 入力スイッチ、S W 1 ... 第 1 スイッチ、S W 2 ... 第 2 スイッチ、S W 3 ... 第 3 スイッチ、S W 4 ... 第 4 スイッチ、S W 5 ... 第 5 スイッチ、S W 6 ... 第 6 スイッチ、2 0 ... パルス変調器、2 1 ... 電圧源、2 1 a ... カウンタ、2 1 b ... 電圧源、2 2 ... 誤差増幅器、2 4 ... オシレータ、2 6 ... PWM コンパレータ、2 8 ... 最大デューティコンパレータ、3 0 ... AND ゲート、3 2 ... 最小デューティコンパレータ、3 4 ... PFM コントローラ、4 0 ... ドライバ、V i n 1 ... 第 1 入力電圧、V i n 2 ... 第 2 入力電圧、V o u t ... 出力電圧。

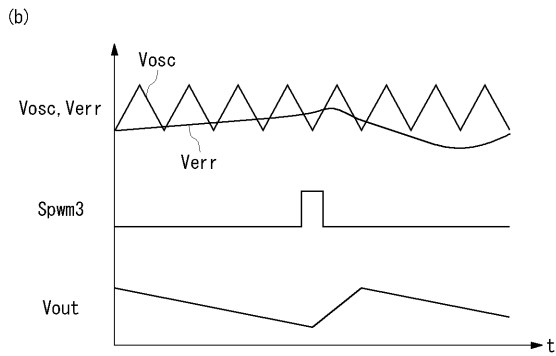
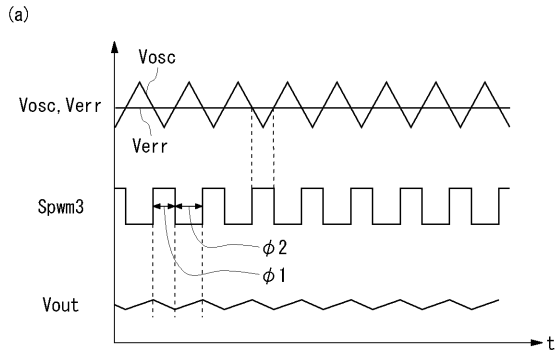
【 図 1 】



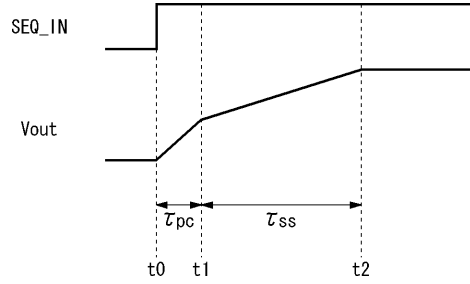
【 図 2 】



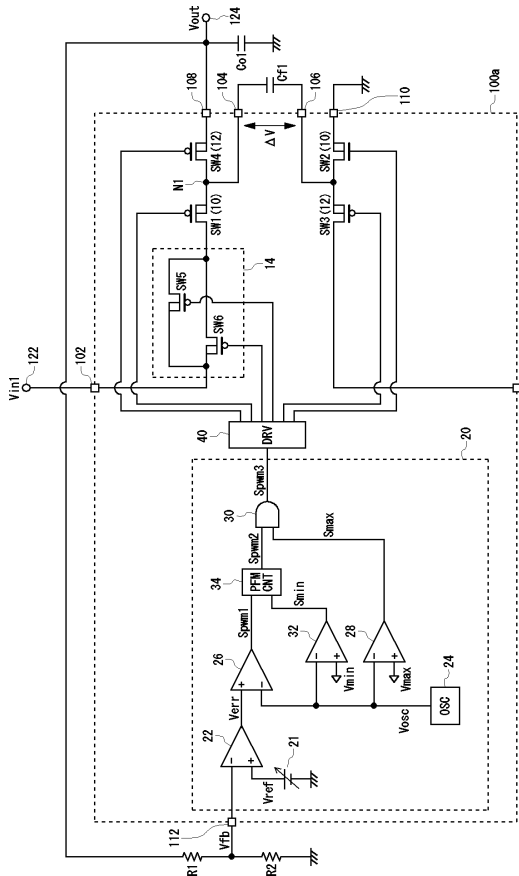
【 図 3 】



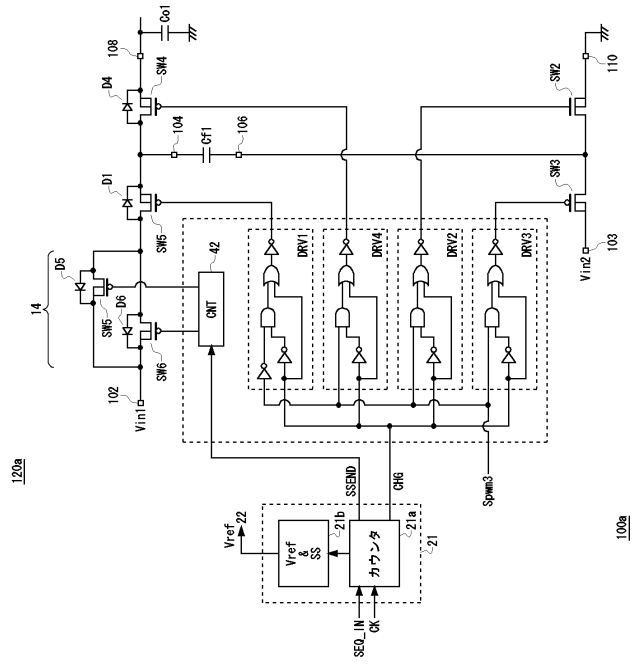
【 図 4 】



【 図 5 】



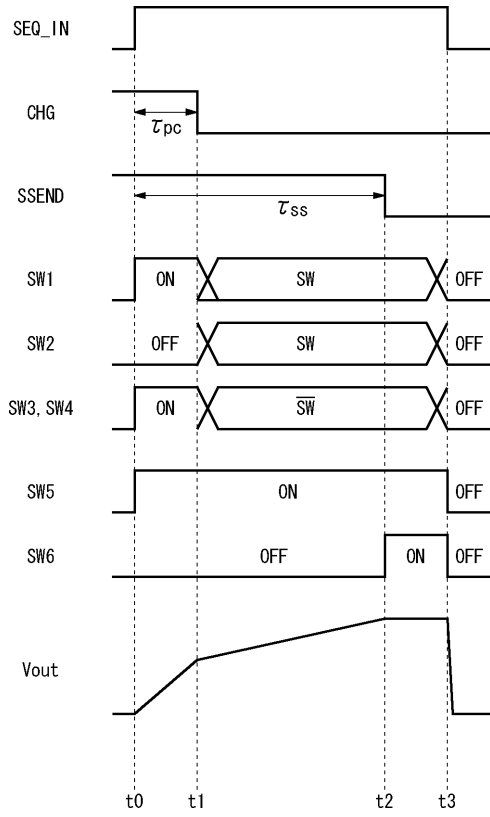
【 図 6 】



120a

100a

【 7 】



フロントページの続き

- (56)参考文献 特開2007-221890(JP,A)
特開2002-369501(JP,A)
特開2009-124825(JP,A)
特開2003-219634(JP,A)
特開2005-057969(JP,A)
特開2005-348561(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/00 - 3/44