



(12)

Patentschrift

(21) Aktenzeichen: **10 2021 106 815.0**
(22) Anmeldetag: **19.03.2021**
(43) Offenlegungstag: **07.07.2022**
(45) Veröffentlichungstag
der Patenterteilung: **01.06.2023**

(51) Int Cl.: **G05F 1/565 (2006.01)**

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:

202110014343.3	06.01.2021	CN
17/193,681	05.03.2021	US

(72) Erfinder:

Jin, Yong-Liang, Hsinchu, TW; Ma, Ya-Qi, Hsinchu, TW; Li, Wei, Hsinchu, TW; Fan, Di, Hsinchu, TW

(73) Patentinhaber:

Taiwan Semiconductor Manufacturing Company, Ltd., Hsinchu, TW; TSMC CHINA COMPANY, LIMITED, Shanghai, CN

(56) Ermittelte Stand der Technik:

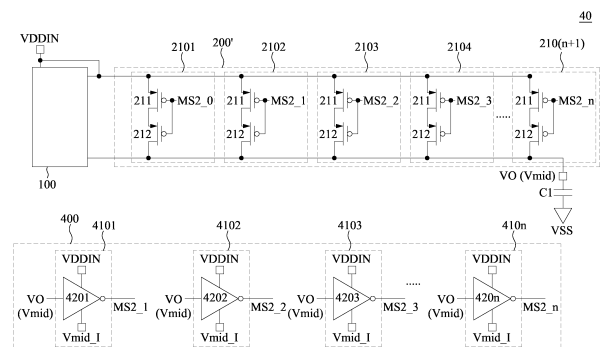
US	9 098 101	B2
US	4 730 122	A
US	5 373 477	A

(74) Vertreter:

BOEHMERT & BOEHMERT Anwaltspartnerschaft mbB - Patentanwälte Rechtsanwälte, 28209 Bremen, DE

(54) Bezeichnung: **STROMVERSORUNGSGENERATOR UND BETRIEBSVERFAHREN DAFÜR**

(57) Hauptanspruch: Vorrichtung, aufweisend:
eine Spannungsreglerschaltung (100), konfiguriert, um eine Ausgangsspannung (VO) an einem Ausgangsanschluss (Z) zu erzeugen;
eine Stromschalterschaltung (200'), die mit der Spannungsreglerschaltung (100) gekoppelt ist;
eine Steuerschaltung (300), konfiguriert, ein erstes Steuersignal (MS2) zu empfangen und ein zweites Steuersignal (MS2') zu erzeugen, das einen ersten Abschnitt aufweist, der zwischen einem ersten Zeitpunkt (T3) und einem zweiten Zeitpunkt (T4), der später als der erste Zeitpunkt (T3) liegt, fortschreitend abfällt,
wobei die Stromschalterschaltung (200') konfiguriert ist, in Reaktion auf das zweite Steuersignal (MS2') zu dem zweiten Zeitpunkt (T4) eingeschaltet zu werden, um die Ausgangsspannung (VO) einzustellen, wenn die Spannungsreglerschaltung (100) ausgeschaltet ist und sich ein logischer Zustand des ersten Steuersignals (MS2) zum ersten Zeitpunkt (T3) ändert,
wobei die Stromschalterschaltung (200') mehrere Umschalterschaltungen (2101, 210n) aufweist, die miteinander parallel zwischen dem Ausgangsanschluss (Z) und einem Spannungsanschluss (VDDIN) geschaltet sind; und
mehrere Inverter (410n), wobei sich die Schwellenspannungen der mehreren Inverter (410n) voneinander unterscheiden.



Beschreibung

QUERVERWEIS

[0001] Diese Anmeldung beansprucht die Priorität der chinesischen Anmeldung mit Seriennummer 202110014343.3, eingereicht am 06. Januar 2021 und durch Verweis in vollem Umfang in diese Offenbarung eingeschlossen.

HINTERGRUND

[0002] In einem Dual-Mode-System, beispielsweise in sicheren digitalen Kartenhosts und einer verringerten Gigabit-Medien-unabhängigen Schnittstelle (RGMI), muss der Eingangs-Ausgangs-Puffer Energiemodi unterstützen, die mit zwei verschiedenen Spannungen arbeiten, wie etwa 3,3 Volt und 1,8 Volt. In einigen Ansätzen wird die Mid-Bias-Versorgung verwendet, um die Sicherheit der Schaltung zu gewährleisten. Beim Umschalten zwischen den Betriebsmodi beeinträchtigt das Auftreten von Spitzenströmen jedoch die Zuverlässigkeit der Stromversorgungsgeneratoren.

[0003] Stand der Technik zum Gegenstand der Erfindung ist beispielsweise zu finden in US 9 098 101 B2, US 5 373 477 A und US 4 730 122 A.

[0004] Die Erfindung sieht eine Vorrichtung gemäß Anspruch 1, eine Vorrichtung gemäß Anspruch 12 und ein Verfahren gemäß Anspruch 16 vor. Ausgestaltungen sind in den abhängigen Ansprüchen angegeben.

Figurenliste

[0005] Aspekte dieser Offenbarung lassen sich am besten anhand der folgenden detaillierten Beschreibung in Verbindung mit den beiliegenden Figuren verstehen. Es ist zu beachten, dass gemäß der branchenüblichen Praxis verschiedene Merkmale nicht maßstabsgetreu dargestellt sind. Tatsächlich können die Abmessungen der verschiedenen Merkmale zugunsten einer klaren Erläuterung willkürlich vergrößert oder verringert sein.

Fig. 1 ist ein schematisches Diagramm eines Stromversorgungsgenerators nach einigen Ausführungsformen.

Fig. 2 ist ein detailliertes schematisches Diagramm des Stromversorgungsgenerators, der dem aus **Fig. 1** entspricht, nach einigen Ausführungsformen.

Fig. 3A ist ein schematisches Wellenformdiagramm einer Versorgungsspannung und einer Ausgangsspannung im Stromversorgungsgenerator von **Fig. 1** nach verschiedenen Ausführungsformen.

Fig. 3B ist ein schematisches Wellenformdiagramm eines Steuersignals und einer Ausgangsspannung im Stromversorgungsgenerator von **Fig. 1** nach verschiedenen Ausführungsformen.

Fig. 3C ist ein schematisches Wellenformdiagramm eines Spitzenstroms im Stromversorgungsgenerator von **Fig. 1** nach verschiedenen Ausführungsformen.

Fig. 4 ist ein detailliertes schematisches Diagramm eines Stromversorgungsgenerators, der dem aus **Fig. 1** entspricht, nach einer anderen Ausführungsform.

Fig. 5A ist ein schematisches Wellenformdiagramm einer Versorgungsspannung und einer Ausgangsspannung im Stromversorgungsgenerator von **Fig. 4** nach verschiedenen Ausführungsformen.

Fig. 5B ist ein schematisches Wellenformdiagramm von Steuersignalen und einer Ausgangsspannung im Stromversorgungsgenerator von **Fig. 4** nach verschiedenen Ausführungsformen.

Fig. 5C ist ein schematisches Wellenformdiagramm eines Spitzenstroms im Stromversorgungsgenerator von **Fig. 4** nach verschiedenen Ausführungsformen.

Fig. 6 ist ein detailliertes schematisches Diagramm einer Erkennungsschaltung, die der aus **Fig. 4** entspricht, nach einigen Ausführungsformen.

Fig. 7 ist ein detailliertes schematisches Diagramm einer Erkennungsschaltung, die der aus **Fig. 4** entspricht, nach einer anderen Ausführungsform.

Fig. 8 ist ein detailliertes schematisches Diagramm eines Stromversorgungsgenerators, der dem aus **Fig. 1** entspricht, nach einer anderen Ausführungsform.

Fig. 9A ist ein Layoutdiagramm einer Stromschalterschaltung, die der aus **Fig. 2** entspricht, nach einigen Ausführungsformen.

Fig. 9B ist ein Layoutdiagramm einer Stromschalterschaltung, die der aus **Fig. 4** entspricht, nach einigen Ausführungsformen.

Fig. 10 ist ein Ablaufdiagramm eines Verfahrens für den Betrieb eines Stromversorgungsgenerators nach einigen Ausführungsformen.

AUSFÜHRLICHE BESCHREIBUNG

[0006] Die folgende Offenbarung stellt viele verschiedene Ausführungsformen oder Beispiele zur Umsetzung verschiedener Merkmale des dargeleg-

ten Inhalts bereit. Spezifische Beispiele von Komponenten und Anordnungen sind nachfolgend beschrieben, um diese Offenbarung zu vereinfachen. Diese sind natürlich nur Beispiele, die nicht als einschränkend zu verstehen sind. Beispielsweise kann das Bilden eines ersten Elements oder eines zweiten Elements in der folgenden Beschreibung Ausführungsformen umfassen, bei denen das erste und das zweite Element in direktem Kontakt gebildet sind, und es kann außerdem Ausführungsformen umfassen, in denen weitere Elemente zwischen dem ersten und dem zweiten Element gebildet sein können, sodass das erste und das zweite Element nicht in direktem Kontakt stehen müssen. Weiterhin kann diese Offenbarung Referenzziffern und/oder -buchstaben der verschiedenen Beispiele wiederholen. Diese Wiederholung dient der Einfachheit und Klarheit und diktiert nicht für sich eine Beziehung zwischen den verschiedenen besprochenen Ausführungsformen und/oder Konfigurationen.

[0007] Die in den Vorgaben verwendeten Begriffe haben allgemein ihre gewöhnlichen Bedeutungen aus dem Fachgebiet und in dem spezifischen Kontext, in dem jeder Begriff verwendet wird. Die Verwendung der Beispiele in dieser Vorgabe, einschließlich Beispielen von hierin erklärten Begriffen, ist rein illustrativ und grenzt in keiner Weise den Umfang und die Bedeutung der Offenbarung oder eines beispielhaften Begriffs ein. Ähnlich ist diese Offenbarung nicht auf verschiedene Ausführungsformen beschränkt, die in dieser Vorgabe genannt sind.

[0008] Wie hierin verwendet, sind die Begriffe „umfassend“, „einschließlich“, „aufweisend“, „enthaltend“, „beinhaltend“ und dergleichen mit offenem Ende zu verstehen, d. h. als einschließlich aber nicht beschränkt auf bedeutend.

[0009] Ein Verweis in der Vorgabe auf „eine Ausführungsform“ oder „einige Ausführungsformen“ bedeutet, dass eine bestimmte Funktion, Struktur, Umsetzung oder Eigenschaft, die in Zusammenhang mit der Ausführungsform/den Ausführungsformen beschrieben ist, in mindestens einer Ausführungsform dieser Offenbarung umfasst ist. So beziehen sich Verwendungen der Begriffe „in einer Ausführungsform“ oder „in einigen Ausführungsformen“ an verschiedenen Stellen in dieser Vorgabe nicht notwendigerweise alle auf dieselbe Ausführungsform. Außerdem können die bestimmten Merkmale, Strukturen, Umsetzungen oder Eigenschaften in jeder geeigneten Weise in einer oder mehreren Ausführungsformen kombiniert sein.

[0010] Ferner können räumlich relative Begriffe wie „unter“, „darunter“, „unterer“, „über“, „oberer“ und dergleichen hierin für eine einfachere Beschreibung verwendet werden, um die Beziehung eines Elements oder Merkmals zu einem oder mehreren ande-

ren Element(en) oder Merkmal(en) wie in den Figuren illustriert zu beschreiben. Die räumlich relativen Begriffe sollen zusätzlich zu der Ausrichtung, die in den Figuren dargestellt ist, verschiedene Ausrichtungen der Vorrichtung in der Verwendung oder im Betrieb umfassen. Die Vorrichtung kann anderweitig ausgerichtet sein (um 90 Grad gedreht oder in einer anderen Ausrichtung) und die räumlich relativen Bezeichnungen, die hierin verwendet werden, können ebenfalls entsprechend ausgelegt werden. Wie hierin verwendet, umfasst der Begriff „und/oder“ sämtliche Kombinationen von einem oder mehreren der assoziierten aufgeführten Punkte.

[0011] Wie hierin verwendet, bezieht sich „um“, „etwa“, „ungefähr“ oder „im Wesentlichen“ allgemein auf einen ungefähren Wert eines bestimmten Werts oder Bereichs, in dem er variiert wird, abhängig von verschiedenen Techniken, auf die er sich bezieht und deren Umfang durch Fachleute auf dem Gebiet, auf den er sich bezieht, so umfassend wie möglich ausgelegt werden sollte, um alle solche Modifikationen und ähnliche Strukturen zu umfassen. In einigen Ausführungsformen bedeutet es allgemein innerhalb von 20 Prozent, vorzugsweise innerhalb von 10 Prozent, und noch bevorzugter innerhalb von 5 Prozent um einen bestimmten Wert oder Bereich. Numerische Mengen, die hierin angegeben sind, sind ungefähre Angaben. Das bedeutet, dass der Begriff „um“, „etwa“, „ungefähr“ oder „im Wesentlichen“ oder andere ungefähre Werte impliziert werden können, wenn sie nicht ausdrücklich genannt sind.

[0012] Verwiesen wird nun auf **Fig. 1**. **Fig. 1** ist ein schematisches Diagramm eines Stromversorgungsgenerators 10 nach einigen Ausführungsformen. Wie in **Fig. 1** gezeigt ist, umfasst der Stromversorgungsgenerator 10 eine Spannungsreglerschaltung 100, eine Stromschalterschaltung 200 und eine Steuerungschaltung 300. Die Spannungsreglerschaltung 100 und die Stromschalterschaltung 200 sind am Ausgangsanschluss Z gekoppelt. In einigen Ausführungsformen erzeugen die Spannungsreglerschaltung 100 und die Stromschalterschaltung 200 das Ausgangssignal VO am Ausgangsanschluss Z. Die Stromschalterschaltung 200 ist ferner mit der Steuerungschaltung 300 gekoppelt. In einigen Ausführungsformen arbeitet die Stromschalterschaltung 200 in Reaktion auf Steuersignale von der Steuerungschaltung 300, oder sie arbeitet mit der Steuerungschaltung 300 zusammen, um das Ausgangssignal VO zu erzeugen.

[0013] Verwiesen wird nun auf **Fig. 2**. **Fig. 2** ist ein detailliertes schematisches Diagramm des Stromversorgungsgenerators 10, der dem aus **Fig. 1** entspricht, nach einigen Ausführungsformen. Mit Verweis auf die Ausführungsformen aus **Fig. 1** sind gleiche Elemente in **Fig. 2** für ein einfacheres Verständnis mit denselben Referenzziffern bezeichnet.

[0014] In einigen Ausführungsformen umfasst der Stromversorgungsgenerator 10 ferner eine Auswahl-schaltung 20. Die Auswahl-schaltung 20 ist so konfiguriert, dass sie in Reaktion auf das Steuersignal MS Steuersignale MS1 und MS2 erzeugt, die unterschiedliche logische Werte aufweisen. Wenn z. B. das Steuersignal MS den logischen Wert 1 aufweist (d. h. ein logischer Zustand ist hoch), weist das Steuersignal MS1 den logischen Wert 1 auf und das Steuersignal MS2 weist den logischen Wert 0 auf (d. h. ein logischer Zustand ist tief). Analog dazu weist das Steuersignal MS1 den logischen Wert 1 auf und das Steuersignal MS2 weist den logischen Wert 1 auf, wenn das Steuersignal MS den logischen Wert 0 aufweist.

[0015] In einigen Ausführungsformen weist der Stromversorgungsgenerator 10 Modi mit unterschiedlichen Betriebsspannungen auf. In einem ersten Spannungsmodus (d. h. unter einer Übersteuerungsbedingung) beträgt die Versorgungsspannung VDDIN z. B. 3,3 Volt. Die Spannungsreglerschaltung 100 wird in Reaktion auf das Steuersignal MS1 mit dem logischen Wert 0 aktiviert und gibt das Ausgangssignal VO aus; dabei wird die Stromschalterschaltung 200 in Reaktion auf das Steuersignal MS2 mit dem logischen Wert 1 ausgeschaltet, um die Schaltung zu schützen. Außerdem beträgt die Versorgungsspannung VDDIN in einem zweiten Spannungsmodus z. B. 1,8 Volt. Zuerst bleibt die Spannungsreglerschaltung 100 in Reaktion auf das Steuersignal MS1 mit dem logischen Wert 0 aktiviert, und die Stromschalterschaltung 200 wird in Reaktion auf das Steuersignal MS2 mit dem logischen Wert 1 ausgeschaltet. Nachfolgend wechselt der logische Zustand des Steuersignals MS vom logischen Wert 0 zum logischen Wert 1, und die Steuersignale MS1 und MS2 weisen entsprechend den logischen Wert 1 bzw. den logischen Wert 0 auf. Daher wird die Spannungsreglerschaltung 100 ausgeschaltet und die Stromschalterschaltung 200 wird aktiviert, um das Ausgangssignal VO auszugeben. Die detaillierten Konfigurationen der Operationen des Stromversorgungsgenerators 10 werden in den folgenden Abschnitten besprochen. Die oben angegebenen Werte der Versorgungsspannung VDDIN dienen illustrativen Zwecken und sind nicht so konfiguriert, dass sie die Ausführungsformen dieser Offenbarung einschränken. Ein gewöhnlicher Fachmann kann den Wert der Versorgungsspannung VDDIN auf Grundlage der tatsächlichen Praxis manipulieren.

[0016] Wie in **Fig. 2** gezeigt, umfasst die Spannungsreglerschaltung 100 einen Verstärker 110, Widerstandseinheiten 121 bis 124 und (P-) Transistoren 131 bis 132. Für die Anschlussbeziehung werden die Widerstandseinheiten 121 bis 122 zwischen dem Versorgungsspannungsanschluss VDDIN und dem Versorgungsspannungsanschluss VSS in Reihe geschaltet. Der Versorgungsspannungsan-

schluss VDDIN wird als Bereitstellung der Versorgungsspannung VDDIN bezeichnet, der Versorgungsspannungsanschluss VSS als Bereitstellung der Versorgungsspannung VSS. Die Widerstandseinheiten 123 bis 124 sind mit dem Versorgungsspannungsanschluss VSS und dem Ausgangsanschluss Z in Reihe geschaltet. Ein Eingangsanschluss (mit „+“ bezeichnet) des Verstärkers 110 empfängt eine Referenzspannung Vref von einem Knoten zwischen den Widerstandseinheiten 121 bis 122, und ein anderer Eingangsanschluss (mit „-“ bezeichnet) des Verstärkers 110 empfängt eine Rückkopplungsspannung Vfb von einem Knoten zwischen den Widerstandseinheiten 123 bis 124. Der Verstärker 110 ist zwischen den Versorgungsspannungsanschluss VDDIN und den Versorgungsspannungsanschluss VSS gekoppelt und wird von den Versorgungsspannungen VDDIN und VSS angesteuert. In einigen Ausführungsformen gibt der Verstärker 110 in Reaktion auf das Steuersignal MS1 ein Signal Vd an das Gate des Transistors 132 aus. Die Transistoren 131 bis 132 sind zwischen dem Versorgungsspannungsanschluss VDDIN und dem Ausgangsanschluss Z in Reihe geschaltet. Das Gate des Transistors 131 empfängt das Ausgangssignal VO mit einer Ausgangsspannung Vmid. Genauer gesagt ist die Source des Transistors 131 mit der Versorgungsspannungsklemme VDDIN gekoppelt, der Drain des Transistors 131 ist mit der Source des Transistors 132 gekoppelt, und der Drain des Transistors 132 ist mit dem Ausgangsanschluss Z gekoppelt, wobei eine in dem Stromversorgungsgenerator 10 umfasste kapazitive Einheit C1 zwischen dem Ausgangsanschluss Z und dem Versorgungsspannungsanschluss VSS gekoppelt ist.

[0017] In einigen Ausführungsformen ist die Spannungsreglerschaltung 100 durch einen Low-Dropout-Regler und der Verstärker 110 durch einen Fehlerverstärker umgesetzt.

[0018] Für die Operation wird die Spannungsreglerschaltung 100 aktiviert und die Stromschalterschaltung 200 wird ausgeschaltet, wenn das Steuersignal MS1 den logischen Wert 0 und das Steuersignal MS2 den logischen Wert 1 aufweist. Der Verstärker 110 vergleicht in Reaktion auf das Steuersignal MS1 die Rückkopplungsspannung Vfb mit der Referenzspannung Vref. Eine Abweichung zwischen der Rückkopplungsspannung Vfb und der Referenzspannung Vref wird durch den Verstärker 110 verstärkt und das Signal Vd wird ausgegeben. Das Signal Vd steuert eine Gatespannung des Transistors 132. Es steuert und stabilisiert ferner das Ausgangssignal VO und dessen Ausgangsspannung Vmid. Wenn z. B. die Ausgangsspannung Vmid sinkt, steigt die Abweichung zwischen der Referenzspannung Vref und der Rückkopplungsspannung Vfb an, der Verstärker 110 gibt das Signal Vd aus, um die Spannung am Transistor 132 zu verringern, und die Aus-

gangsspannung V_{mid} steigt infolgedessen. Wenn die Ausgangsspannung V_{mid} jedoch einen erforderlichen Einstellwert überschreitet, gibt der Verstärker 110 das Signal V_d aus, um die Spannung am Transistor 132 anzuheben, und die Ausgangsspannung V_{mid} sinkt entsprechend.

[0019] In einigen Ausführungsformen wird im ersten Spannungsmodus (d. h., wenn die Versorgungsspannung VDDIN etwa 3,3 Volt beträgt), wenn die Spannungsreglerschaltung 100 gerade eingeschaltet wird und beginnt, das Ausgangssignal VO auszugeben, das Ausgangssignal VO geladen, bis die Ausgangsspannung V_{mid} etwa der Hälfte der Versorgungsspannung VDDIN ($VDDIN/2$) entspricht. Nachfolgend regelt die Spannungsreglerschaltung 100 die Spannung weiter. In einigen Ausführungsformen liegt die Versorgungsspannung VDDIN im Bereich von etwa 2,7 Volt bis etwa 3,3 Volt, die Ausgangsspannung V_{mid} im Bereich von etwa 1,35 Volt bis 1,65 Volt.

[0020] Weiter mit Verweis auf **Fig. 2** umfasst die Stromschalterschaltung 200 Transistoren 211 bis 212. Die Transistoren 211 bis 212 sind in Reihe miteinander zwischen der Versorgungsspannungsklemme VDDIN und dem Ausgangsanschluss Z gekoppelt. Genauer gesagt ist die Source des Transistors 211 mit dem Versorgungsspannungsanschluss VDDIN gekoppelt. Der Drain des Transistors 211 ist mit der Source des Transistors 212 gekoppelt. Die Source des Transistors 212 ist mit dem Ausgangsanschluss Z gekoppelt. Die Gates der Transistoren 211 bis 212 sind mit der Steuerschaltung 300 gekoppelt.

[0021] In einigen Ausführungsformen sind die Transistoren 211 bis 212 P-Transistoren. In verschiedenen Ausführungsformen sind die Transistoren 211 bis 212 Metalloxidhalbleiter-Feldeffekttransistoren (MOSFET).

[0022] Die Steuerschaltung 300 umfasst eine Widerstandseinheit 311 und eine kapazitive Einheit C2. Wie in **Fig. 2** gezeigt, weist die Widerstandseinheit 311 einen ersten Anschluss auf, der so konfiguriert ist, dass er das Steuersignal MS2 empfängt und an seinem zweiten Anschluss ein Steuersignal MS2' ausgibt. Die kapazitive Einheit C2 ist zwischen dem zweiten Anschluss der Widerstandseinheit 311 und dem Versorgungsspannungsanschluss VSS geschaltet. Die Gates der Transistoren 211 bis 212 sind mit dem zweiten Anschluss der Widerstandseinheit 311 gekoppelt. Alternativ dazu ist die Stromschalterschaltung 200 mit der Widerstandseinheit C2 und der ohmschen Einheit 311 am zweiten Anschluss der ohmschen Einheit 311 gekoppelt.

[0023] In einigen Ausführungsformen ist die Widerstandseinheit 311 durch eine Widerstandseinheit von

einer Million Ohm ($M\Omega$) umgesetzt. Die kapazitive Einheit C2 ist durch eine kapazitive Einheit von Picofarad (pF) umgesetzt. Im Vergleich zur kapazitiven Einheit C2 ist die kapazitive Einheit C1 durch eine kapazitive Einheit von Mikrofarad (μF) umgesetzt.

[0024] Die detaillierten Konfigurationen der Operation der Stromschalterschaltung 200 und der Steuerschaltung 300 werden mit Verweis auf **Fig. 3A** bis **Fig. 3C** besprochen. **Fig. 3A** ist ein schematisches Wellenformdiagramm der Versorgungsspannung VDDIN und der Ausgangsspannung im Stromversorgungsgenerator 10 von **Fig. 1** nach verschiedenen Ausführungsformen. **Fig. 3B** ist ein schematisches Wellenformdiagramm des Steuersignals MS2 und einer Ausgangsspannung im Stromversorgungsgenerator 10 von **Fig. 1** nach verschiedenen Ausführungsformen. **Fig. 3C** ist ein schematisches Wellenformdiagramm eines Spitzenstroms I_r im Stromversorgungsgenerator 10 von **Fig. 1** nach verschiedenen Ausführungsformen.

[0025] Es wird auf **Fig. 2** und **Fig. 3A** bis **Fig. 3B** verwiesen. Im zweiten Spannungsmodus (d. h., wenn die Versorgungsspannung VDDIN gleich 1,8 Volt ist) steigt die Versorgungsspannung VDDIN fortschreitend an, wie in **Fig. 3A** gezeigt ist, und erreicht zum Zeitpunkt T1 ca. 1,8 Volt. Die Spannungsreglerschaltung 100 wird aktiviert und lädt den Ausgangsanschluss Z. Dabei ist das Steuersignal MS2' zum Zeitpunkt T1 wie in **Fig. 3B** gezeigt etwa 1,8 Volt (d. h. logischer Wert 1). So werden die Transistoren 211 bis 212 in der Stromschalterschaltung 200 ausgeschaltet.

[0026] Zum Zeitpunkt T2 ist die Ausgangsspannung V_{mid} auf etwa 0,9 Volt stabilisiert, wie in **Fig. 3A** gezeigt. Anders ausgedrückt, entspricht die Ausgangsspannung V_{mid} der halben Versorgungsspannung VDDIN ($VDDIN/2$).

[0027] Nachfolgend ändert sich zum Zeitpunkt T3 der logische Zustand des Steuersignals MS auf den logischen Wert 1, und die Spannungsreglerschaltung 100 wird in Reaktion auf das auf den logischen Wert 1 geänderte Steuersignal MS1 entsprechend ausgeschaltet, während das Steuersignal MS2 entsprechend auf den logischen Wert 0 geändert wird. Gleichzeitig beginnt aufgrund der Widerstandseinheit 311 und der kapazitiven Einheit C2 in der Steuerschaltung 300 wie in **Fig. 3B** gezeigt ein Spannungspegel des Steuersignals MS2' zwischen der Zeit T3 und der Zeit T4 fortschreitend zu sinken. Alternativ dazu ist die Steuerschaltung 300 so konfiguriert, dass er eine Zeitdifferenz zwischen den Zeitpunkten T3 und T4 einführt, sodass das Steuersignal MS2' mit der Dauer der Zeitdifferenz langsam abfällt.

[0028] Zum Zeitpunkt T4 beginnt das Einschalten der Transistoren 211 bis 212, sodass sie die Versor-

gungsspannung VDDIN an den Ausgangsanschluss Z übertragen, um die Ausgangsspannung Vmid zu laden, da die Differenz zwischen dem verringerten Spannungspegel des Steuersignals MS2' (d. h. der Gatespannung der Transistoren 211 bis 212) und der Versorgungsspannung VDDIN größer als die Schwellenspannung der Transistoren 211 bis 212 ist. Da die Transistoren 211 bis 212 eingeschaltet sind, tritt am Ausgangsanschluss Zein Spitzenstrom Ir auf. Da außerdem der Spannungspegel des Steuersignals MS2' mit geringer Geschwindigkeit abfällt, sind die Transistoren 211 bis 212 zum Zeitpunkt T4 gerade eingeschaltet und bieten keine intensive Ansteuerungsfähigkeit, da die Ausgangsspannung Vmid nicht schnell ansteigt.

[0029] Außerdem sinkt der Spannungspegel des Steuersignals MS2' zum Zeitpunkt T5 weiter auf etwa 0 Volt wie in **Fig. 3B**. Es werden leitfähige Kanäle des Transistors 211 bis 212 erzeugt und die Ansteuerungsfähigkeit wird entsprechend erhöht. Wie in **Fig. 3A** wird die Ausgangsspannung Vmid auf ein Niveau der Versorgungsspannung VDDIN geladen. In einigen Ausführungsformen liegt während des zweiten Spannungsmodus, wenn die Versorgungsspannung VDDIN im Bereich von etwa 1,62 Volt bis etwa 1,98 Volt liegt, die Ausgangsspannung Vmid im Bereich von etwa 1,62 Volt bis etwa 1,98 Volt.

[0030] Bei einigen Ansätzen werden Komponenten, die der Stromschalterschaltung 200 dieser Offenbarung entsprechen, schnell eingeschaltet. Dadurch entsteht ein signifikanter Spitzenstrom am Ausgangsanschluss, beispielsweise mit etwa 300 mA. Bei der Konfiguration dieser Offenbarung, die in **Fig. 3C** gezeigt ist, wird die Stromschalterschaltung 200 in Reaktion auf das Steuersignal von der Steuerungschaltung 300 langsam eingeschaltet. Der Spitzenstrom am Ausgangsanschluss Z sinkt um etwa 33 %, beispielsweise um etwa 200 mA.

[0031] Die Konfigurationen aus **Fig. 1** bis **Fig. 3C** sind zu illustrativen Zwecken angegeben. Verschiedene Umsetzungen liegen im betrachteten Umfang dieser Offenbarung. In einigen Ausführungsformen umfasst die Stromschalterschaltung 200 beispielsweise nur einen einzelnen Transistor statt zwei Transistoren.

[0032] Verwiesen wird nun auf **Fig. 4**. **Fig. 4** ist ein detailliertes schematisches Diagramm eines Stromversorgungsgenerators 40, der dem aus **Fig. 1** entspricht, nach einer anderen Ausführungsform. Mit Verweis auf die Ausführungsformen aus **Fig. 1** bis **Fig. 3C** sind gleiche Elemente in **Fig. 4** für ein einfacheres Verständnis mit denselben Referenzziffern bezeichnet. Die spezifischen Operationen ähnlicher Elemente, die in den obigen Abschnitten bereits aus-

föhrlich besprochen wurden, werden hier um der Kürze Willen weggelassen.

[0033] Im Vergleich mit **Fig. 2**, umfasst der Stromversorgungsgenerator 40 anstelle der Stromschalterschaltung 200 eine Stromschalterschaltung 200' und eine Erkennungsschaltung 400. Ähnlich ist die Stromschalterschaltung 200' zwischen dem Versorgungsspannungsanschluss VDDIN und dem Ausgangsanschluss Z gekoppelt.

[0034] Wie in **Fig. 4** gezeigt ist, umfasst die Stromschalterschaltung 200' ferner mehrere Umschalterschaltungen 2101 bis 210(n+1). In einigen Ausführungsformen sind die Umschalterschaltungen 2101 bis 210(n+1) beispielsweise mit Verweis auf die in Reihe geschalteten Transistoren 211 bis 212 in der Stromschalterschaltung 200 konfiguriert. Die Umschalterschaltungen 2101 bis 210(n+1) sind parallel zwischen dem Versorgungsspannungsanschluss VDDIN und dem Ausgangsanschluss Z geschaltet. Jede der Umschalterschaltungen 2101 bis 210(n+1) umfasst die miteinander in Reihe geschalteten Transistoren 211 bis 212.

[0035] Die Umschalterschaltungen 2101 bis 210(n+1) werden in Reaktion auf die Steuersignale MS2_0 bis MS2_n ein- oder ausgeschaltet. In einigen Ausführungsformen ist das Steuersignal MS2_0 beispielsweise mit Verweis auf das Steuersignal MS2 in **Fig. 2** konfiguriert. So werden die Transistoren 211 bis 212 der Umschalterschaltung 2101 in Reaktion auf das Steuersignal MS2 eingeschaltet.

[0036] Nachfolgend umfasst die Erkennungsschaltung 400 wie in **Fig. 4** gezeigt mehrere der Invertereinheiten 4101 bis 410n. In einigen Ausführungsformen umfasst die Invertereinheit 4101 bis 410n die Inverter 4201 bis 420n. Die Inverter 4201 bis 420n arbeiten mit der Versorgungsspannung VDDIN und der Spannung Vmid_I zusammen. Bei den in **Fig. 4** gezeigten Ausführungsformen weist die Spannung Vmid_I einen Spannungspegel der Versorgungsspannung VSS auf.

[0037] Illustrativ ist jeder Inverter 4201 bis 420n so konfiguriert, dass er auf Grundlage der Ausgangsspannung Vmid eines der Steuersignale MS2_1 bis MS2_n erzeugt, um die Transistoren 211 bis 212 in einem der restlichen Umschalterschaltungen 2102 bis 210(n+1) in den Umschalterschaltungen 2101 bis 210(n+1) einzuschalten. Beispielsweise erzeugt der Inverter 4201 wie in **Fig. 4** gezeigt das Steuersignal MS2_1 in Reaktion auf das Ausgangssignal VO mit der Ausgangsspannung Vmid, die Gates der Transistoren 211 bis 212 in der Umschalterschaltung 2102 sind miteinander gekoppelt, und die Transistoren 211 bis 212 werden in Reaktion auf das Steuersignal MS2_1 ein- oder ausgeschaltet. Die Konfigurationen der Umschalterschaltungen 2102 bis 210(n+1) sind

ähnlich wie die der Umschalterschaltung 2102 und des Steuersignals MS2_1. Daher wird hier auf sich wiederholende Beschreibungen verzichtet.

[0038] In einigen Ausführungsformen sind die Schwellenspannungen der Inverter 4201 bis 420n voneinander unterschiedlich. Alternativ dazu erzeugen die Inverter 4201 bis 420n zu unterschiedlichen Zeitpunkten die Steuersignale MS2_1 bis MS2_n mit dem logischen Zustand zum Einschalten der Transistoren 211 bis 212. Die Operation des Stromversorgungsgenerators 40 wird in den folgenden Abschnitten mit Verweis auf **Fig. 5A** bis **Fig. 5C** besprochen.

[0039] Verwiesen wird nun auf **Fig. 5A** bis **Fig. 5C**. **Fig. 5A** ist ein schematisches Wellenformdiagramm der Versorgungsspannung VDDIN und der Ausgangsspannung im Stromversorgungsgenerator 40 von **Fig. 4** nach verschiedenen Ausführungsformen. **Fig. 5B** ist ein schematisches Wellenformdiagramm der Steuersignale MS2_0 bis MS2_3 und einer Ausgangsspannung im Stromversorgungsgenerator 40 von **Fig. 4** nach verschiedenen Ausführungsformen. **Fig. 5C** ist ein schematisches Wellenformdiagramm des Spitzenstroms Ir im Stromversorgungsgenerator 40 von **Fig. 4** nach verschiedenen Ausführungsformen. Zur Illustration der Operation des Stromversorgungsgenerators 40 werden der Einfachheit halber nur die Steuersignale MS2_0 bis MS2_3 verwendet. Die Konfigurationen des Steuersignals MS2_0 bis MS2_n sind ähnlich wie die des Steuersignals MS2_0 bis MS2_3. Daher wird hier auf sich wiederholende Beschreibungen verzichtet.

[0040] Vor Zeitpunkt T1 wurde der Ausgangsanschluss Z auf einen Spannungspegel geladen, der der Hälfte der Versorgungsspannung VDDIN entspricht, wie in **Fig. 5A** gezeigt.

[0041] Dann ändert sich zum Zeitpunkt T1 der logische Zustand des Steuersignals MS auf den logischen Wert 1, die Spannungsreglerschaltung 100 wird entsprechend ausgeschaltet in Reaktion darauf, dass das Steuersignal MS1 den logischen Wert 1 annimmt. Das Steuersignal MS2_0 wird zur logischen 0, wie in **Fig. 5B** gezeigt. Dabei beginnt das Einschalten der Umschalterschaltung 2101 in **Fig. 4**, um die Ausgangsklemme Z zu laden. Da die Umschalterschaltung 2101 eingeschaltet ist, tritt der Spitzenstrom Ir am Ausgangsanschluss Z auf.

[0042] Zum Zeitpunkt T2 wird in einigen Ausführungsformen die hochgezogene Ausgangsspannung Vmid an die Erkennungsschaltung 400 zurückgeführt. Wenn die Ausgangsspannung Vmid größer als die Schwellenspannung des Inverters 4201 ist, ist der Inverter 4201 so konfiguriert, dass er das Ausgangssignal VO mit dem logischen Wert 1 invertiert, um das Steuersignal MS2_1 mit dem logischen Wert 0 auszugeben. Alternativ dazu wechselt der logische

Zustand des Steuersignals MS2_1 vom logischen Wert 1 zum logischen Wert 0. Entsprechend beginnt das Einschalten der Umschalterschaltung 2102 in **Fig. 4**, um den Ausgangsanschluss Z zu laden. Da die Umschalterschaltung 2102 eingeschaltet ist, steigt der Spitzenstrom Ir an, wie in **Fig. 5C** gezeigt.

[0043] Ähnlich wird zum Zeitpunkt T3 die hochgezogene Ausgangsspannung Vmid ständig an die Erkennungsschaltung 400 zurückgeführt. Wenn die Ausgangsspannung Vmid größer als die Schwellenspannung des Inverters 4202 ist, ist der Inverter 4202 so konfiguriert, dass er das Ausgangssignal VO mit dem logischen Wert 1 invertiert, um das Steuersignal MS2_2 mit dem logischen Wert 0 auszugeben. Alternativ dazu wechselt der logische Zustand des Steuersignals MS2_2 vom logischen Wert 1 zum logischen Wert 0. Entsprechend beginnt das Einschalten der Umschalterschaltung 2103 in **Fig. 4**, um den Ausgangsanschluss Z zu laden. Da die Umschalterschaltung 2103 eingeschaltet ist, steigt der Spitzenstrom Ir an, wie in **Fig. 5C** gezeigt. Auf Grundlage des obigen ist in einigen Ausführungsformen die Schwellenspannung des Inverters 4202 größer als die des Inverters 4201.

[0044] Nachfolgend wird zum Zeitpunkt T4 die hochgezogene Ausgangsspannung Vmid ständig an die Erkennungsschaltung 400 zurückgeführt. Wenn die Ausgangsspannung Vmid größer als die Schwellenspannung des Inverters 4203 ist, ist der Inverter 4203 so konfiguriert, dass er das Ausgangssignal VO mit dem logischen Wert 1 invertiert, um das Steuersignal MS2_3 mit dem logischen Wert 0 auszugeben. Alternativ dazu wechselt der logische Zustand des Steuersignals MS2_3 vom logischen Wert 1 zum logischen Wert 0. Entsprechend beginnt das Einschalten der Umschalterschaltung 2104 in **Fig. 4**, um den Ausgangsanschluss Z zu laden. Da die Umschalterschaltung 2104 eingeschaltet ist, steigt der Spitzenstrom Ir an, wie in **Fig. 5C** gezeigt. Auf Grundlage des obigen ist in einigen Ausführungsformen die Schwellenspannung des Inverters 4203 größer als die der Inverter 4201 bis 4202.

[0045] In einigen Ansätzen treten, wie oben erwähnt, massive Spitzenströme von beispielsweise etwa 300 mA am Ausgangsanschluss auf. Andererseits sinkt bei den Konfigurationen dieser Offenbarung, die in **Fig. 5C** gezeigt sind, da die Stromschalterschaltung 200 in Reaktion auf die Steuersignale von der Erkennungsschaltung 400 schrittweise eingeschaltet wird, der Spitzenstrom am Ausgangsanschluss Z um etwa 50%, beispielsweise auf etwa 150 mA.

[0046] Die Konfigurationen aus **Fig. 4** bis **Fig. 5C** sind zu illustrativen Zwecken angegeben. Verschiedene Umsetzungen liegen im betrachteten Umfang dieser Offenbarung. In einigen Ausführungsformen

umfasst der Stromversorgungsgenerator 40 beispielsweise die Steuerschaltung 300 in **Fig. 2**, und die Steuersignale MS2_1 bis MS2_n werden in die Widerstandseinheit 311 der Steuerschaltung 300 und dann in die Umschalterschaltungen 2102 bis 210(n+1) eingegeben.

[0047] In einigen Ausführungsformen wird die Erkennungsschaltung 400 als Steuerschaltung bezeichnet und erzeugt in Reaktion auf das Ausgangssignal VO die Steuersignale MS2_1 bis MS2_n für die Schaltungen 2102 bis 210(n+1), wobei, wenn die Spannungsreglerschaltung 100 von **Fig. 4** zum Zeitpunkt T1 in **Fig. 5C** ausgeschaltet wird, die Erkennungsschaltung 400 eine der Schaltungen 2102 bis 210(n+1) durch das Steuersignal MS2_1 bis MS2_n zu einem vom Zeitpunkt T1 unterschiedlichen Zeitpunkt einschaltet.

[0048] Der Inverter 4202 der Erkennungsschaltung 400 ist z. B. so konfiguriert, dass er das Ausgangssignal VO empfängt und das Steuersignal MS2_2 erzeugt. Dann werden die Transistoren 211 bis 212 der Umschalterschaltung 2103 in Reaktion auf das Steuersignal MS2_2 eingeschaltet, um die Ausgangsspannung Vmid hochzuziehen.

[0049] In Fortsetzung der oben genannten Ausführungsformen ist der Inverter 4202 der Erkennungsschaltung 400 so konfiguriert, dass er die hochgezogene Ausgangsspannung Vmid empfängt und das Steuersignal MS2_3 erzeugt. Ferner werden die Transistoren 211 bis 212 der Umschalterschaltung 2104 in Reaktion auf das Steuersignal MS2_3 eingeschaltet, um die Ausgangsspannung Vmid hochzuziehen.

[0050] Verwiesen wird nun auf **Fig. 6**. **Fig. 6** ist ein detailliertes schematisches Diagramm einer Erkennungsschaltung, 400 die der aus **Fig. 4** entspricht, nach einigen Ausführungsformen. Mit Verweis auf die Ausführungsformen aus **Fig. 1** bis **Fig. 5C** sind gleiche Elemente in **Fig. 6** für ein einfacheres Verständnis mit denselben Referenzziffern bezeichnet.

[0051] Wie in **Fig. 6**, die Invertereinheit 4101 entsprechend derjenigen von **Fig. 4** umfasst die Transistoren 4201a bis 4201b, wobei der Transistor 4201a ein P-Transistor und der Transistor 4201b ein N-Transistor ist. Die Gates der Transistoren 4201a bis 4201b sind miteinander gekoppelt und erhalten die Ausgangsspannung Vmid. Die Source des Transistors 4201a ist mit dem Versorgungsanschluss VDDIN gekoppelt, und sein Drain ist mit dem Drain des Transistors 4201b gekoppelt. Die Source des Transistors 4201b ist mit dem Spannungsanschluss Vmid_I gekoppelt (d. h. sie liefert die Spannung Vmid_I). Die Invertereinheit 4101 gibt das Steuersignal MS2_1 an den Drains der Transistoren 4201a bis 4201b aus. Die Konfigurationen der

Invertereinheiten 4102 bis 410n sind ähnlich wie die der Invertereinheit 4101 und des Transistors 4201a bis 4201b. Daher wird hier auf sich wiederholende Beschreibungen verzichtet.

[0052] In einigen Ausführungsformen sind die Transistoren 4201a bis 4201b durch mehrere P-Transistoren oder N-Transistoren umgesetzt. Die Schwellenspannung des Inverters 4201 wird durch Nutzung eines anderen Verhältnisses von P-Transistoren und N-Transistoren in den Invertereinheiten oder indem die P-Transistoren und die N-Transistoren in verschiedenen Fertigungsprozessen hergestellt werden, manipuliert. Die Konfigurationen der Invertereinheit 4102 bis 410n sind ähnlich wie die der Invertereinheit 4101 und des Transistors 4201a bis 4201b. Daher wird hier auf sich wiederholende Beschreibungen verzichtet.

[0053] Verwiesen wird nun auf **Fig. 7**. **Fig. 7** ist ein detailliertes schematisches Diagramm einer Erkennungsschaltung, 400 die der aus **Fig. 4** entspricht, nach einer anderen Ausführungsform. Mit Verweis auf die Ausführungsformen aus **Fig. 1** bis **Fig. 6** sind gleiche Elemente in **Fig. 7** für ein einfacheres Verständnis mit denselben Referenzziffern bezeichnet.

[0054] In einigen Ausführungsformen umfasst die Invertereinheit 4101', die der Invertereinheit 4101 aus **Fig. 4** entspricht, einen Schmitt-Trigger-Inverter mit den Transistoren 4201a' bis 4201f'. Die Transistoren 4201a' bis 4201b' und 42010' sind P-Transistoren, und die Transistoren 4201c' bis 4201d' und 4201f' sind N-Transistoren. Speziell sind die Transistoren 4201a' bis 4201d' zwischen dem Versorgungsanschluss VDDIN und dem Spannungsanschluss Vmid_I in Reihe geschaltet, und ihre Gates sind miteinander gekoppelt und so konfiguriert, dass sie die Ausgangsspannung Vmid empfangen. Die Source des Transistors 42010' ist zwischen die Transistoren 4201a' bis 4201b' gekoppelt, das Gate desselben ist mit dem Spannungsanschluss Vmid_I gekoppelt. Die Gates der Transistoren 4201e' und 4201f' sind mit den Transistoren 4201b' bis 42010' gekoppelt und geben das Steuersignal MS2_1 aus. Die Source des Transistors 4201f' ist zwischen die Transistoren 4201c' bis 4201d' gekoppelt, und dessen Drain ist mit dem Versorgungsanschluss VDDIN gekoppelt. Die Konfigurationen der Invertereinheiten 4101 bis 410n sind ähnlich wie die der Invertereinheit 4101 und der Transistoren 4201a bis 4201f'. Daher wird hier auf sich wiederholende Beschreibungen verzichtet.

[0055] In einigen Ausführungsformen sind die Schwellenspannungen der Inverter in den Invertereinheiten 4101' bis 410n' voneinander unterschiedlich.

[0056] In einigen Ausführungsformen ist die Spannung V_{mid_I} während des ersten Spannungsmodus (d. h., die Versorgungsspannung V_{DDIN} ist gleich etwa 3,3 Volt) gleich der Ausgangsspannung V_{mid} . So weisen die Steuersignale $MS2_1$ bis $MS2_n$ ständig einen hohen logischen Wert (d. h. den logischen Wert 1) auf und alle Umschaltschaltungen 2102 bis 210(n+1) sind ausgeschaltet. Umgekehrt ist im zweiten Spannungsmodus (d. h. die Versorgungsspannung V_{DDIN} ist gleich ca. 1,8 Volt) die Spannung V_{mid_I} gleich der Versorgungsspannung V_{SS} oder einer Massespannung.

[0057] Die Konfigurationen aus **Fig. 6** bis **Fig. 7** sind illustrativ bereitgestellt. Verschiedene Umsetzungen fallen in den betrachteten Umfang dieser Offenbarung. In einigen Ausführungsformen werden beispielsweise Inverter (nicht wie in den Ausführungsformen in **Fig. 6** bis **Fig. 7**) mit unterschiedlichen Schwellenspannungen sind in der Erkennungsschaltung 400 umgesetzt.

[0058] Verwiesen wird nun auf **Fig. 8**. **Fig. 8** ist ein detailliertes schematisches Diagramm eines Stromversorgungsgenerators 80, der dem aus **Fig. 1** entspricht, nach einer anderen Ausführungsform. Mit Verweis auf die Ausführungsformen aus **Fig. 1** bis **Fig. 7** sind gleiche Elemente in **Fig. 8** für ein einfacheres Verständnis mit denselben Referenzziffern bezeichnet.

[0059] Im Vergleich mit **Fig. 4** sind die Transistoren 211 bis 212 in der Umschaltschaltung 2101 mit der in **Fig. 2** konfigurierten Steuerschaltung 300 gekoppelt, statt dass Gates der Transistoren 211 bis 212 in der Umschaltschaltung 2101b das Steuersignal $MS2_0$ (d. h. das Steuersignal $MS2$ in **Fig. 2**) empfangen. Wie in **Fig. 8** gezeigt ist, empfängt die Widerstandseinheit 311 in der Steuerschaltung 300 das Steuersignal $MS2_0$ und gibt das Steuersignal $MS2_0'$ an einem seiner Anschlüsse aus. So werden die Transistoren 211 bis 212 der Umschaltschaltung 2101 in Reaktion auf das Steuersignal $MS2_0$ langsam eingeschaltet'. Der Spitzenstrom am Ausgangsanschluss Z sinkt.

[0060] Die Konfigurationen aus **Fig. 8** sind zu illustrativen Zwecken angegeben. Verschiedene Umsetzungen liegen im betrachteten Umfang dieser Offenbarung. In einigen Ausführungsformen wird beispielsweise eines der Steuersignale $MS2_1$ bis $MS2_n$, das mindestens einer der Schaltungen 2101 bis 210(n+1) entspricht, vor der Eingabe in die Schaltungen 2101 bis 210(n+1) in eine Steuerschaltung eingegeben, die wie die Steuerschaltung 300 konfiguriert ist.

[0061] Verwiesen wird nun auf **Fig. 9A** bis **Fig. 9B**. **Fig. 9A** ist ein Layoutdiagramm einer Stromschalterschaltung, die der aus **Fig. 2** entspricht, nach einigen

Ausführungsformen. **Fig. 9B** ist ein Layoutdiagramm einer Stromschalterschaltung, die der aus **Fig. 4** entspricht, nach einigen Ausführungsformen.

[0062] In einigen Ausführungsformen entspricht das Layoutdiagramm der Stromschalterschaltung 200 in **Fig. 9A** den Transistoren 211 bis 212 in einer einzelnen Umschaltschaltung aus **Fig. 2**. In einigen Ausführungsformen umfassen die Transistoren 211 bis 212 Poly-Silizium-Gatestrukturen (PO-Strukturen), die ihr Gate realisieren, und die Transistoren 211 bis 212 sind in N+-Implantationsregionen (NP) angeordnet.

[0063] In einigen Ausführungsformen entspricht das Layoutdiagramm der Stromschalterschaltung 200' in **Fig. 9B** den Transistoren 211 bis 212 in vier Umschaltschaltungen (beispielsweise den Umschaltschaltungen 2101 bis 2104) aus **Fig. 4**. In einigen Ausführungsformen ist jede der vier Umschaltschaltungen in einer Region im Layoutdiagramm angeordnet, wobei die Region eine Länge L und eine Breite W aufweist. In einigen Ausführungsformen liegt das Verhältnis der Breite W und der Länge L im Bereich von etwa 0,3 bis etwa 0,8.

[0064] In einigen Ausführungsformen ist die Abweichung zwischen einer Fläche im Layoutdiagramm, die von Transistoren belegt wird, die einer einzelnen Umschaltschaltung entsprechen, und einer Fläche im Layoutdiagramm, die von Transistoren belegt wird, die mehreren Umschaltschaltungen entsprechen, kleiner als 1 %.

[0065] Die Konfigurationen aus **Fig. 9A** bis **Fig. 9B** sind zu illustrativen Zwecken angegeben. Verschiedene Umsetzungen liegen im betrachteten Umfang dieser Offenbarung. In einigen Ausführungsformen ist beispielsweise ein Bereich im Layoutdiagramm, der von Transistoren belegt ist, die allen Schaltungen in **Fig. 4** entspricht, gleich wie ein Bereich im Layoutdiagramm, der von Transistoren belegt ist, die der einzelnen Umschaltschaltung in **Fig. 2** entspricht.

[0066] Verwiesen wird nun auf **Fig. 10**. **Fig. 10** ist ein Ablaufdiagramm eines Verfahrens 1000 für den Betrieb eines Stromversorgungsgenerators 10, 40 oder 80 nach einigen Ausführungsformen. Es versteht sich, dass weitere Operationen vor, während und nach den Prozessen bereitgestellt werden können, die in **Fig. 10**, gezeigt sind, und einige der nachfolgend beschriebenen Operationen können für weitere Ausführungsformen des Verfahrens ersetzt oder eliminiert werden. Die Reihenfolge der Operationen/-Prozesse kann austauschbar sein. In den verschiedenen Ansichten und illustrativen Ausführungsformen sind gleiche Bezugszeichen verwendet, um gleiche Elemente zu bezeichnen. Das Verfahren 1000 umfasst die Operationen 1010 bis 1030, die nachfolgend mit Verweis auf den Stromversorgungs-

generator 10 in **Fig. 2** und den Stromversorgungs-generator 80 in **Fig. 8** beschrieben sind.

[0067] In Operation 1010 wechselt in Reaktion darauf, dass das Ausgangssignal VO einen ersten Spannungspegel, beispielsweise die Hälfte der Versorgungsspannung VDDIN, aufweist, der logische Zustand des Steuersignals MS in **Fig. 2** zu einer Übergangszeit des Stromversorgungsgenerators 10 von einem logischen Zustand mit dem logischen Wert 0 zu einem logischen Zustand mit dem logischen Wert 1 wechselt, wobei die Übergangszeit der Zeitpunkt T3 in **Fig. 3A** bis **Fig. 3C** ist, die den Zeitpunkt anzeigen, zu dem die Spannungsreglerschaltung 100 im Stromversorgungsgenerator 10 vom aktivierten zum abgeschalteten Zustand wechselt.

[0068] Im Operation 1020 empfängt ein erster Anschluss der Widerstandseinheit 311 das Steuersignal MS2, das mit dem Steuersignal MS assoziiert ist, wie in **Fig. 2** gezeigt, und ein zweiter Anschluss der Widerstandseinheit 311 erzeugt das Steuersignal MS2', um entsprechend dem Steuersignal MS2' eine Gatespannung der Transistoren 211 bis 212 herunterzuziehen. In einigen Ausführungsformen ist die kapazitive Einheit C2 mit dem zweiten Anschluss der Widerstandseinheit 311 gekoppelt.

[0069] In Operation 1030 wird die Ausgangsspannung der Transistoren 211 bis 212 auf einen zweiten Spannungspegel (z. B. die Versorgungsspannung VDDIN wie in **Fig. 3A** gezeigt) hochgezogen, die sich von dem ersten Spannungspegel (d. h. VDDIN/2) zu einem Einschaltzeitpunkt (d. h. dem Zeitpunkt T4 in **Fig. 3A** bis **Fig. 3C**) der Transistoren 211 bis 212 unterscheidet, wie in **Fig. 2** und **Fig. 3A** gezeigt.

[0070] In einigen Ausführungsformen umfasst das Verfahren 1000 ferner, wie als Zeitpunkt T2 in **Fig. 5A** gezeigt, in Reaktion auf das Ausgangssignal VO, dass ein dritter Spannungspegel (d. h. die Ausgangsspannung Vmid, die kleiner als die Versorgungsspannung VDDIN zu dem Zeitpunkt T2 aus **Fig. 5A** ist), an die Erkennungsschaltung 400 zurückgeführt wird, und die Erkennungsschaltung 400 erzeugt das Steuersignal MS2_1, um die in der Umschalterschaltung 2102 umfassten Transistoren einzuschalten, wie in **Fig. 8** gezeigt. Die Transistoren, die in der Umschalterschaltung 2102 umfasst sind, und die Transistoren, die in der Umschalterschaltung 2101 umfasst sind, sind parallel geschaltet.

[0071] In einigen Ausführungsformen umfasst das Verfahren 1000 ferner in Reaktion auf das Ausgangssignal VO, wie in Zeitpunkt T3 in **Fig. 5A** gezeigt, dass ein vierter Spannungspegel (d. h. die Ausgangsspannung Vmid zum Zeitpunkt T3 in **Fig. 5A**, der zum Zeitpunkt T2 zwischen der Versorgungs-

spannung VDDIN und der Ausgangsspannung Vmid liegt), an die Erkennungsschaltung 400 zurückgeführt wird, und die Erkennungsschaltung 400 das Steuersignal MS2_2 erzeugt, um die in der Umschalterschaltung 2103 umfassten Transistoren einzuschalten, wie in **Fig. 8** gezeigt. Die Transistoren in der Umschalterschaltung 2103 und die Transistoren in der Umschalterschaltung 2101 bis 2102 sind parallel geschaltet. In einigen Ausführungsformen ist der logische Zustand der Steuersignale MS2_1 bis MS2_2, die den logischen Wert 0 aufweisen, anders als dem logischen Zustand, der der Ausgangsspannung Vmid entspricht und den logischen Wert 1 hat.

[0072] In einigen Ausführungsformen umfasst das Verfahren 1000 ferner das Erkennen des Ausgangssignals VO durch die Erkennungsschaltung 400, um mehrere Steuersignale MS2_1 bis MS2_n zu erzeugen, und in Reaktion auf das Steuersignal MS2_1 der Steuersignale MS2_1 bis MS2_n das Einschalten einer der Umschalterschaltungen 2102 bis 210(n+1), beispielsweise der Umschalterschaltung 2102. Die Umschalterschaltungen 2102 bis 210(n+1) sind parallel zu den in der Umschalterschaltung 2101 umfassten Transistoren 211 bis 212 geschaltet. Das Verfahren 1000 umfasst ferner in Reaktion auf den Rest (d. h. die Steuersignale MS2_2-MS2_n) der Steuersignale MS2_1 bis MS2_n das Abschalten des Rests (d. h. der Umschalterschaltungen 2103-210(n+1)) der Umschalterschaltungen 2102 bis 210(n+1).

[0073] Wie oben beschrieben, umfasst der Stromversorgungs-generator Steuerschaltungen, durch die eine Zeitdifferenz zwischen einer Übergangszeit des Stromversorgungsgenerators und einer Einschaltzeit einer darin befindlichen Stromschalterschaltung bereitgestellt wird, und sie bewirkt, dass die Stromschalterschaltung langsam eingeschaltet wird. So sinkt der beim Einschalten der Stromschalterschaltung erzeugte Spitzenstrom massiv ab.

[0074] In einigen Ausführungsformen umfasst eine Vorrichtung eine Spannungsreglerschaltung, eine Stromschalterschaltung und eine Steuerschaltung. Die Spannungsreglerschaltung erzeugt eine Ausgangsspannung an einem Ausgangsanschluss. Die Stromschalterschaltung ist mit der Spannungsreglerschaltung gekoppelt. Die Steuerschaltung empfängt ein erstes Steuersignal und erzeugt ein zweites Steuersignal, das einen ersten Abschnitt umfasst, der zwischen einem ersten Zeitpunkt und einem zweiten Zeitpunkt, der später als der erste Zeitpunkt liegt, fortschreitend abfällt. Wenn die Spannungsreglerschaltung ausgeschaltet ist und sich ein logischer Zustand des ersten Steuersignals zum ersten Zeitpunkt ändert, wird die Stromschalterschaltung zum zweiten Zeitpunkt in Reaktion auf das zweite Steuersignal eingeschaltet, um die Ausgangsspannung zu einem zweiten Zeitpunkt einzustellen. In einigen Ausführungsformen umfasst die Steuerschaltung

eine Widerstandseinheit und eine kapazitive Einheit. Die Widerstandseinheit weist einen ersten Anschluss zum Empfang des ersten Steuersignals und einen zweiten Anschluss zur Ausgabe des zweiten Steuersignals auf. Die kapazitive Einheit ist zwischen dem zweiten Anschluss der Widerstandseinheit und einem Spannungsanschluss gekoppelt. Die Stromschalterschaltung ist mit der Widerstandseinheit und der kapazitiven Einheit am zweiten Anschluss der Widerstandseinheit gekoppelt. In einigen Ausführungsformen umfasst die Stromschalterschaltung mehrere P-Transistoren, die zwischen dem Ausgangsanschluss und einem ersten Spannungsanschluss miteinander in Reihe geschaltet sind. Die Steuerschaltung umfasst eine Widerstandseinheit und eine kapazitive Einheit. Die Widerstandseinheit überträgt in Reaktion auf das erste Steuersignal das zweite Steuersignal an die Gates der P-Transistoren. Die kapazitive Einheit ist zwischen den Gates der P-Transistoren und einem zweiten Spannungsanschluss gekoppelt, der sich von dem ersten Spannungsanschluss unterscheidet. In einigen Ausführungsformen umfasst die Stromschalterschaltung mehrere Umschalterschaltungen. Jeder der Umschalterschaltungen umfasst mehrere in Reihe geschaltete Transistoren. Die Umschalterschaltungen sind parallel zwischen dem Ausgangsanschluss und einem Spannungsanschluss miteinander geschaltet. Die Transistoren in einer der Umschalterschaltungen werden in Reaktion auf das zweite Steuersignal eingeschaltet. In einigen Ausführungsformen umfasst die Vorrichtung ferner mehrere Inverter. Jeder der Inverter erzeugt auf Grundlage der Ausgangsspannung ein drittes Steuersignal zum Einschalten der Transistoren, die in den anderen Umschalterschaltungen umfasst sind. Die Schwellenspannungen der Inverter unterscheiden sich voneinander. In einigen Ausführungsformen umfasst die Vorrichtung ferner eine Erkennungsschaltung. Die Erkennungsschaltung erzeugt abhängig von der Ausgangsspannung mehrere dritte Steuersignale zum Einschalten der anderen Umschalterschaltungen. In einigen Ausführungsformen umfasst die Erkennungsschaltung einen ersten Schmitt-Trigger-Inverter und einen zweiten Schmitt-Trigger-Inverter. Der erste Schmitt-Trigger-Inverter erzeugt in Reaktion auf die Ausgangsspannung, die einen ersten Spannungspegel aufweist, ein erstes Signal der dritten Steuersignale, um einer ersten Schaltung der anderen in den Umschalterschaltungen einzuschalten. Der zweite Schmitt-Trigger-Inverter erzeugt in Reaktion darauf, dass die Ausgangsspannung einen zweiten Spannungspegel aufweist, der sich vom ersten Pegel unterscheidet, ein zweites Signal der dritten Steuersignale, um eine zweite Schaltung der anderen in den Umschalterschaltungen einzuschalten. In einigen Ausführungsformen umfasst die Stromschalterschaltung eine erste Reihe von Transistoren und eine zweite Reihe von Transistoren, die miteinander parallel zwischen dem Ausgangsanschluss und einem Spannungsan-

schluss geschaltet sind. Die erste Reihe von Transistoren wird in Reaktion auf das zweite Steuersignal zum zweiten Zeitpunkt eingeschaltet, um die Ausgangsspannung hochzuziehen. Die Vorrichtung umfasst ferner eine Erkennungsschaltung. Die Erkennungsschaltung erkennt die hochgezogene Ausgangsspannung und erzeugt ein drittes Steuersignal, um die zweite Reihe von Transistoren einzuschalten. In einigen Ausführungsformen umfasst die Steuerschaltung eine Widerstandseinheit und eine kapazitive Einheit. Die Widerstandseinheit weist einen ersten Anschluss zum Empfang des ersten Steuersignals und einen zweiten Anschluss zur Ausgabe des zweiten Steuersignals auf. Die kapazitive Einheit ist zwischen dem zweiten Anschluss der Widerstandseinheit und einem Spannungsanschluss gekoppelt. Die Gates der zweiten Transistorreihe sind an den zweiten Anschluss der Widerstandseinheit gekoppelt. In einigen Ausführungsformen ist die Stromschalterschaltung zwischen dem Ausgangsanschluss und einem Spannungsanschluss gekoppelt, der eine Versorgungsspannung bereitstellt. Das zweite Steuersignal umfasst ferner einen zweiten Abschnitt, der zwischen dem zweiten Zeitpunkt und einem dritten Zeitpunkt fortschreitend abfällt, wobei ein Spannungspegel der Ausgangsspannung zum dritten Zeitpunkt gleich einem Spannungspegel der Versorgungsspannung ist. In einigen Ausführungsformen weist das zweite Steuersignal zum dritten Zeitpunkt einen Massespannungspegel auf.

[0075] Außerdem wird eine Vorrichtung offenbart, die eine Auswahlerschaltung, eine Spannungsreglerschaltung, eine ersten Umschalterschaltung, mehrere zweite Umschalterschaltungen und eine Erkennungsschaltung umfasst. Die Auswahlerschaltung erzeugt ein erstes Steuersignal und ein zweites Steuersignal, die unterschiedliche logische Werte aufweisen. Die Spannungsreglerschaltung ist zwischen einem ersten Spannungsanschluss und einem zweiten Spannungsanschluss gekoppelt und erzeugt in Reaktion auf das erste Steuersignal ein Ausgangssignal an einem Ausgangsanschluss. Die erste Umschalterschaltung und mehrere zweite Umschalterschaltungen sind parallel zwischen dem Ausgangsanschluss und dem ersten Spannungsanschluss miteinander geschaltet. Die erste Umschalterschaltung gibt in Reaktion auf das zweite Steuersignal eine erste Spannung, die von dem ersten Spannungsanschluss bereitgestellt wird, an den Ausgangsanschluss ab. Die Erkennungsschaltung erzeugt in Reaktion auf das Ausgangssignal mehrere dritte Steuersignale zum Einschalten der zweiten Umschalterschaltungen. In einigen Ausführungsformen umfasst mindestens einer der zweiten Umschalterschaltungen mehrere miteinander in Reihe geschaltete Transistoren. Gates der Transistoren sind so konfiguriert, dass sie die dritten Steuersignale empfangen. In einigen Ausführungsformen umfasst die Erkennungsschaltung einen ersten Inverter und einen zweiten Inverter.

Der erste Inverter erzeugt ein erstes Signal der dritten Steuersignale, um eine erste Schaltung der zweiten Umschalterschaltungen zu einem ersten Zeitpunkt einzuschalten. Der zweite Inverter erzeugt ein zweites Signal der dritten Steuersignale, um eine zweite Schaltung der zweiten Umschalterschaltungen, der sich von der ersten Schaltung unterscheidet, zu einem zweiten Zeitpunkt einzuschalten, der sich vom ersten Zeitpunkt unterscheidet. In einigen Ausführungsformen umfasst die Erkennungsschaltung mehrere Inverter. Jeder der Inverter erzeugt auf Grundlage des Ausgangssignals eines der dritten Steuersignale, um einen der zweiten Umschalterschaltungen einzuschalten. Die Schwellenspannungen der Inverter unterscheiden sich voneinander. In einigen Ausführungsformen sind die Inverter Schmitt-Trigger-Inverter und arbeiten mit der ersten Spannung und einer zweiten Spannung. Wenn die erste Spannung einen ersten Spannungspegel aufweist, wird die zweite Spannung von dem zweiten Spannungsanschluss bereitgestellt. Wenn die erste Spannung einen zweiten Spannungspegel aufweist, der größer ist als die erste Spannung, wird die zweite Spannung von dem ersten Spannungsanschluss bereitgestellt.

[0076] Ebenfalls offenbart ist ein Verfahren, das die folgenden Operationen umfasst: Änderung eines logischen Zustands eines ersten Steuersignals von einem ersten logischen Zustand zu einem zweiten logischen Zustand zu einer Übergangszeit eines Stromversorgungsgenerators in Reaktion darauf, dass eine Ausgangsspannung einen ersten Spannungspegel aufweist; Empfangen eines zweiten Steuersignals, das mit dem ersten Steuersignal assoziiert ist, an einem ersten Anschluss einer Widerstandseinheit und Erzeugen eines dritten Steuersignals an einem zweiten Anschluss der Widerstandseinheit, um eine Gatespannung mindestens eines ersten Transistors nach dem dritten Steuersignal herunterzuziehen, wobei eine kapazitive Einheit mit dem zweiten Anschluss der Widerstandseinheit gekoppelt ist; und Hochziehen der Ausgangsspannung durch den mindestens einen ersten Transistor, sodass sie zu einem Einschaltzeitpunkt des mindestens einen ersten Transistors einen zweiten Spannungspegel aufweist, der sich von dem ersten Spannungspegel unterscheidet. In einigen Ausführungsformen umfasst das Verfahren ferner die folgenden Operationen: Erzeugen eines vierten Steuersignals durch eine Erkennungsschaltung, um mindestens einen zweiten Transistor einzuschalten, der parallel zu dem mindestens einen ersten Transistor geschaltet ist, in Reaktion darauf, dass die Ausgangsspannung einen dritten Spannungspegel aufweist, der kleiner als der zweite Spannungspegel ist und zu einer Erkennungsschaltung zurückgeführt wird. In einigen Ausführungsformen umfasst das Verfahren ferner folgende Operationen: Erzeugen eines fünften Steuersignals durch die Erkennungsschal-

tung, um mindestens einen dritten Transistor einzuschalten, der parallel zu dem mindestens einen ersten Transistor und dem mindestens einen zweiten Transistor geschaltet ist, in Reaktion auf die Ausgangsspannung, die einen vierten Spannungspegel zwischen dem zweiten Spannungspegel und dem dritten Spannungspegel aufweist. Die logischen Zustände des vierten Steuersignals und des fünften Steuersignals unterscheiden sich von einem logischen Zustand, der der Ausgangsspannung entspricht. In einigen Ausführungsformen umfasst das Verfahren ferner die Operationen des Erkennens der Ausgangsspannung durch eine Erkennungsschaltung, um mehrere vierte Steuersignale zu erzeugen; und des Einschaltens einer ersten Schaltung von mehreren Umschalterschaltungen, die parallel zu dem mindestens einen ersten Transistor geschaltet sind, in Reaktion auf ein erstes Signal der vierten Steuersignale, und des Ausschaltens der anderen Umschalterschaltungen in Reaktion auf die anderen der vierten Steuersignale.

[0077] Obiges beschreibt Merkmale mehrerer Ausführungsformen, mit denen Fachleute auf dem Gebiet die Aspekte dieser Offenbarung besser verstehen. Fachleute auf dem Gebiet sollten verstehen, dass sie diese Offenbarung leicht als Grundlage für das Design oder die Änderung anderer Prozesse und Strukturen verwenden können, um dieselben Zwecke auszuführen und/oder dieselben Vorteile der hierin eingeführten Ausführungsformen zu erreichen. Fachleute auf dem Gebiet sollten außerdem verstehen, dass solche entsprechenden Konstruktionen nicht vom Geist und Umfang dieser Offenbarung abweichen und dass sie verschiedene Änderungen, Ersetzungen und Abänderungen hieran vornehmen können, ohne vom Geist und Umfang dieser Offenbarung abzuweichen.

Patentansprüche

1. Vorrichtung, aufweisend:
eine Spannungsreglerschaltung (100), konfiguriert, um eine Ausgangsspannung (VO) an einem Ausgangsanschluss (Z) zu erzeugen;
eine Stromschalterschaltung (200'), die mit der Spannungsreglerschaltung (100) gekoppelt ist;
eine Steuerschaltung (300), konfiguriert, ein erstes Steuersignal (MS2) zu empfangen und ein zweites Steuersignal (MS2') zu erzeugen, das einen ersten Abschnitt aufweist,
der zwischen einem ersten Zeitpunkt (T3) und einem zweiten Zeitpunkt (T4), der später als der erste Zeitpunkt (T3) liegt, fortschreitend abfällt, wobei die Stromschalterschaltung (200') konfiguriert ist, in Reaktion auf das zweite Steuersignal (MS2') zu dem zweiten Zeitpunkt (T4) eingeschaltet zu werden, um die Ausgangsspannung (VO) einzustellen, wenn die Spannungsreglerschaltung (100) ausgeschaltet ist und sich ein logischer Zustand des ers-

ten Steuersignals (MS2) zum ersten Zeitpunkt (T3) ändert,
wobei die Stromschalterschaltung (200') mehrere Umschalterschaltungen (2101, 210n) aufweist, die miteinander parallel zwischen dem Ausgangsanschluss (Z) und einem Spannungsanschluss (VDDIN) geschaltet sind; und mehrere Inverter (410n), wobei sich die Schwellenspannungen der mehreren Inverter (410n) voneinander unterscheiden.

2. Vorrichtung nach Anspruch 1, die Steuerungschaltung (300) aufweisend:
eine Widerstandseinheit (311), die einen ersten Anschluss zum Empfangen des ersten Steuersignals (MS2) und einen zweiten Anschluss zum Ausgeben des zweiten Steuersignals (MS2') aufweist; und
eine kapazitive Einheit (C2), die zwischen den zweiten Anschluss der Widerstandseinheit (311) und einen Spannungsanschluss (VSS) gekoppelt ist, wobei die Stromschalterschaltung (200') mit der Widerstandseinheit (311) und der kapazitiven Einheit (C2) an dem zweiten Anschluss der Widerstandseinheit (311) gekoppelt ist.

3. Vorrichtung nach Anspruch 1 oder 2, wobei die Stromschalterschaltung (200') aufweist:
mehrere P-Transistoren (211, 212), die zwischen dem Ausgangsanschluss (Z) und einem ersten Spannungsanschluss (VDDIN) miteinander in Reihe geschaltet sind;
wobei die Steuerungschaltung (300) aufweist:
eine Widerstandseinheit (311), die so konfiguriert ist, dass sie in Reaktion auf das erste Steuersignal (MS2) das zweite Steuersignal (MS2') an die Gates der mehreren P-Transistoren (211, 212) überträgt; und
eine kapazitive Einheit (C2), die zwischen den Gates der mehreren P-Transistoren (211, 212) und einem zweiten Spannungsanschluss (VSS), der sich von dem ersten Spannungsanschluss (VDDIN) unterscheidet, gekoppelt ist.

4. Vorrichtung nach einem der Ansprüche 1 bis 3, wobei die mehreren Umschalterschaltungen (2101, 210n) jeweils mehrere in Reihe geschaltete Transistoren (211, 212) aufweisen, wobei die mehreren Transistoren (211, 212) in einer der mehreren Umschalterschaltungen (2101) so konfiguriert sind, dass sie in Reaktion auf das zweite Steuersignal (MS2') eingeschaltet werden.

5. Vorrichtung nach Anspruch 4, wobei die mehreren Inverter (410n) jeweils so konfiguriert sind, dass sie auf Grundlage der Ausgangsspannung (VO) ein drittes Steuersignal (MS2_n) erzeugen, um die mehreren Transistoren (211, 212), die in einem der anderen der mehreren Umschalterschaltungen (210n) umfasst sind, einzuschalten.

6. Vorrichtung nach Anspruch 4 oder 5, ferner aufweisend:
eine Erkennungsschaltung (400), konfiguriert, der Ausgangsspannung (VO) entsprechend mehrere dritte Steuersignale (MS2_n) zum Einschalten der anderen der mehreren Umschalterschaltungen (210n) zu erzeugen.

7. Vorrichtung nach Anspruch 6, die Erkennungsschaltung (400) aufweisend:
einen ersten Schmitt-Trigger-Inverter, konfiguriert, in Reaktion auf die Ausgangsspannung (VO), die einen ersten Spannungspegel aufweist, ein erstes Signal aus den mehreren dritten Steuersignalen (MS2_n) zu erzeugen, um eine erste Schaltung der anderen in den mehreren Umschalterschaltungen (210n) einzuschalten; und
einen zweiten Schmitt-Trigger-Inverter, konfiguriert, in Reaktion auf die Ausgangsspannung (VO), die einen zweiten Spannungspegel aufweist, der sich von dem ersten Pegel unterscheidet, ein zweites Signal der mehreren dritten Steuersignalen (MS2_n) zu erzeugen, um eine zweite Schaltung der anderen in den mehreren Umschalterschaltungen (210n) einzuschalten.

8. Vorrichtung nach einem der Ansprüche 1 bis 7, wobei die Stromschalterschaltung (200') aufweist:
eine erste Reihe von Transistoren (211, 212) und eine zweite Reihe von Transistoren (211, 212), die miteinander parallel zwischen dem Ausgangsanschluss (Z) und einem Spannungsanschluss (VDDIN) geschaltet sind, wobei die erste Reihe von Transistoren (211, 212) so konfiguriert ist, dass sie in Reaktion auf das zweite Steuersignal (MS2') zum zweiten Zeitpunkt (T4) eingeschaltet wird, um die Ausgangsspannung (VO) hochzuziehen;
wobei die Vorrichtung ferner aufweist:
eine Erkennungsschaltung (400), konfiguriert, die hochgezogene Ausgangsspannung zu erkennen und ein drittes Steuersignal (MS2_n) zu erzeugen, um die zweite Reihe von Transistoren (211, 212) einzuschalten.

9. Vorrichtung nach Anspruch 8, die Steuerungschaltung aufweisend:
eine Widerstandseinheit (311), die einen ersten Anschluss zum Empfangen des ersten Steuersignals (MS2) und einen zweiten Anschluss zum Ausgeben des zweiten Steuersignals (MS2') aufweist; und
eine kapazitive Einheit (C2), die zwischen dem zweiten Anschluss der Widerstandseinheit (311) und einem Spannungsanschluss (VSS) gekoppelt ist, wobei die Gates der zweiten Reihe von Transistoren (211, 212) an dem zweiten Anschluss der Widerstandseinheit (311) gekoppelt sind.

10. Vorrichtung nach einem der Ansprüche 1 bis 9, wobei die Stromschalterschaltung (200') zwi-

schen dem Ausgangsanschluss (Z) und einem Spannungsanschluss (VDDIN), der eine Versorgungsspannung bereitstellt, gekoppelt ist, wobei das zweite Steuersignal (MS2') ferner einen zweiten Abschnitt aufweist, der zwischen dem zweiten Zeitpunkt (T4) und einem dritten Zeitpunkt (T5) fortschreitend abfällt, wobei ein Spannungspegel der Ausgangsspannung (VO) zum dritten Zeitpunkt (T5) gleich einem Spannungspegel der Versorgungsspannung (VDDIN) ist.

11. Vorrichtung nach Anspruch 10, wobei das zweite Steuersignal (MS2') zum dritten Zeitpunkt (T5) einen Massespannungspegel aufweist.

12. Vorrichtung, aufweisend:
eine Auswahlerschaltung (20), konfiguriert, ein erstes Steuersignal (MS1) und ein zweites Steuersignal (MS2) zu erzeugen, die unterschiedliche logische Werte aufweisen;
eine Spannungsreglerschaltung (100), die zwischen einem ersten Spannungsanschluss (VDDIN) und einem zweiten Spannungsanschluss (VSS) gekoppelt ist und konfiguriert ist, in Reaktion auf das erste Steuersignal (MS1) ein Ausgangssignal (VO) an einem Ausgangsanschluss (Z) zu erzeugen;
eine erste Umschaltschaltung (2101) und mehrere zweite Umschaltschaltungen (210n), die miteinander parallel zwischen dem Ausgangsanschluss (Z) und dem ersten Spannungsanschluss (VDDIN) geschaltet sind, wobei die erste Umschaltschaltung (2101) konfiguriert ist, in Reaktion auf das zweite Steuersignal (MS2) eine erste Spannung, die von dem ersten Spannungsanschluss (VDDIN) bereitgestellt wird, an den Ausgangsanschluss (Z) weiterzuleiten; und
eine Erkennungsschaltung (400), konfiguriert, in Reaktion auf das Ausgangssignal (VO) mehrere dritte Steuersignale (MS2_n) zu erzeugen, um die mehreren zweiten Umschaltschaltungen (210n) einzuschalten, wobei die Erkennungsschaltung (400) aufweist:
mehrere Inverter (410n), jeweils konfiguriert, auf Grundlage des Ausgangssignals (VO) eines der mehreren dritten Steuersignale (MS2_n) zu erzeugen, um eine der mehreren zweiten Umschaltschaltungen (210n) einzuschalten, wobei sich die Schwellenspannungen der mehreren Inverter (410n) voneinander unterscheiden.

13. Vorrichtung nach Anspruch 12, wobei mindestens einer der mehreren zweiten Umschaltschaltungen (210n) aufweist:
mehrere Transistoren (211, 212), die miteinander in Reihe geschaltet sind, wobei die Gates der mehreren Transistoren (211, 212) konfiguriert sind, sodass sie die mehreren dritten Steuersignale (MS2_n) empfangen.

14. Vorrichtung nach Anspruch 12 oder 13, wobei die Erkennungsschaltung (400) aufweist:
einen ersten Inverter (4101), konfiguriert, ein erstes Signal der mehreren dritten Steuersignale (MS2_n) zu erzeugen, um eine erste Schaltung der mehreren zweiten Umschaltschaltungen (210n) zu einem ersten Zeitpunkt einzuschalten; und
einen zweiten Inverter (4102), konfiguriert, ein zweites Signal der mehreren dritten Steuersignale (MS2_n) zu erzeugen, um eine zweite Schaltung der mehreren zweiten Umschaltschaltungen (210n), die sich von der ersten Schaltung unterscheidet, zu einem zweiten Zeitpunkt einzuschalten, der sich von dem ersten Zeitpunkt unterscheidet.

15. Vorrichtung nach einem der Ansprüche 12 bis 14, wobei die mehreren Inverter (410n) Schmitt-Trigger-Inverter sind und konfiguriert sind, sodass sie mit der ersten Spannung und einer zweiten Spannung arbeiten;
wobei, wenn die erste Spannung einen ersten Spannungspegel aufweist, die zweite Spannung von dem zweiten Spannungsanschluss bereitgestellt wird, und
wenn die erste Spannung einen zweiten Spannungspegel aufweist, der größer als die erste Spannung ist, die zweite Spannung von dem ersten Spannungsanschluss bereitgestellt wird.

16. Verfahren, umfassend:
in Reaktion auf eine Ausgangsspannung (VO), die einen ersten Spannungspegel aufweist, Änderung eines logischen Zustands eines ersten Steuersignals (MS1) von einem ersten logischen Zustand zu einer Übergangszeit eines Stromversorgungsgenerators (10,40);
Empfangen eines zweiten Steuersignals (MS2), das mit dem ersten Steuersignal (MS1) assoziiert ist, an einem ersten Anschluss einer Widerstandseinheit (311) und Erzeugen eines dritten Steuersignals (MS2') an einem zweiten Anschluss der Widerstandseinheit (311), um eine Gatespannung mindestens eines ersten Transistors (211, 212) gemäß dem dritten Steuersignal (MS2') herunterzuziehen, wobei eine kapazitive Einheit (C2) mit dem zweiten Anschluss der Widerstandseinheit (311) gekoppelt ist;
Hochziehen der Ausgangsspannung (VO) durch den mindestens einen ersten Transistor (211, 212), um einen zweiten, sich von dem ersten Spannungspegel unterscheidenden Spannungspegel zu einem Einschaltzeitpunkt des mindestens einen ersten Transistors (211, 212) aufzuweisen; und
in Reaktion darauf, dass die Ausgangsspannung (VO) einen dritten Spannungspegel aufweist, der kleiner als der zweite Spannungspegel ist und zu einer Erkennungsschaltung (400) zurückgeführt wird, Erzeugen eines vierten Steuersignals (MS2_n) durch die Erkennungsschaltung (400), um

mindestens einen zweiten Transistor (211, 212) einzuschalten, der parallel zu dem mindestens einen ersten Transistor (211, 212) geschaltet ist.

17. Verfahren nach Anspruch 16, ferner umfassend:

in Reaktion auf die Ausgangsspannung (VO), die einen vierten Spannungspegel zwischen dem zweiten Spannungspegel und dem dritten Spannungspegel aufweist, Erzeugen eines fünften Steuersignals (MS2_n) durch die Erkennungsschaltung (400), um mindestens einen dritten Transistor (211, 212) einzuschalten, der parallel zu dem mindestens einen ersten Transistor (211, 212) und dem mindestens einen zweiten Transistor (211, 212) geschaltet ist, wobei sich die logischen Zustände des vierten Steuersignals (MS2_n) und des fünften Steuersignals (MS2_n) von einem logischen Zustand unterscheiden, der der Ausgangsspannung (VO) entspricht.

18. Verfahren nach einem der Ansprüche 16 oder 17, ferner umfassend:

Erkennen der Ausgangsspannung (VO) durch eine Erkennungsschaltung (400), um mehrere vierte Steuersignale (MS2_n) zu erzeugen; und
in Reaktion auf ein erstes Signal der mehreren vierten Steuersignalen (MS2_n), Einschalten einer ersten Schaltung mehrerer Umschaltaltungen (210n), die parallel zu dem mindestens einen ersten Transistor (211, 212) gekoppelt sind, und
in Reaktion auf die anderen der mehreren vierten Steuersignale (MS2_n), Ausschalten der anderen der mehreren Umschaltaltungen (210n).

Es folgen 10 Seiten Zeichnungen

Anhängende Zeichnungen

10

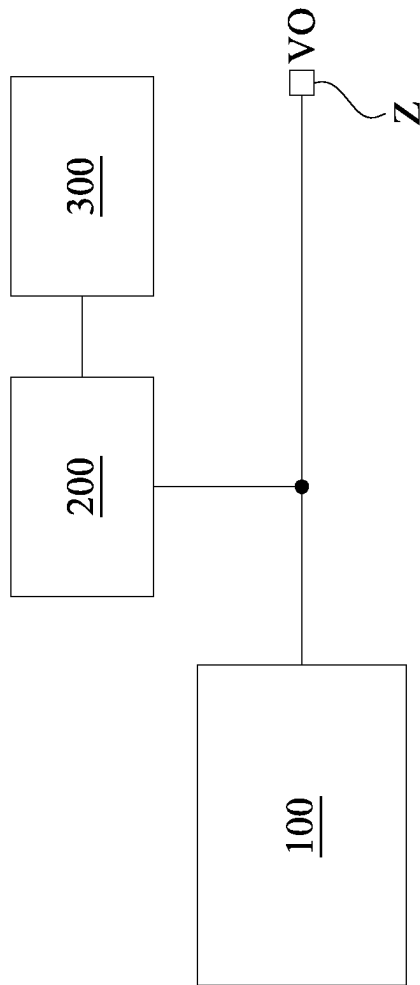


FIG. 1

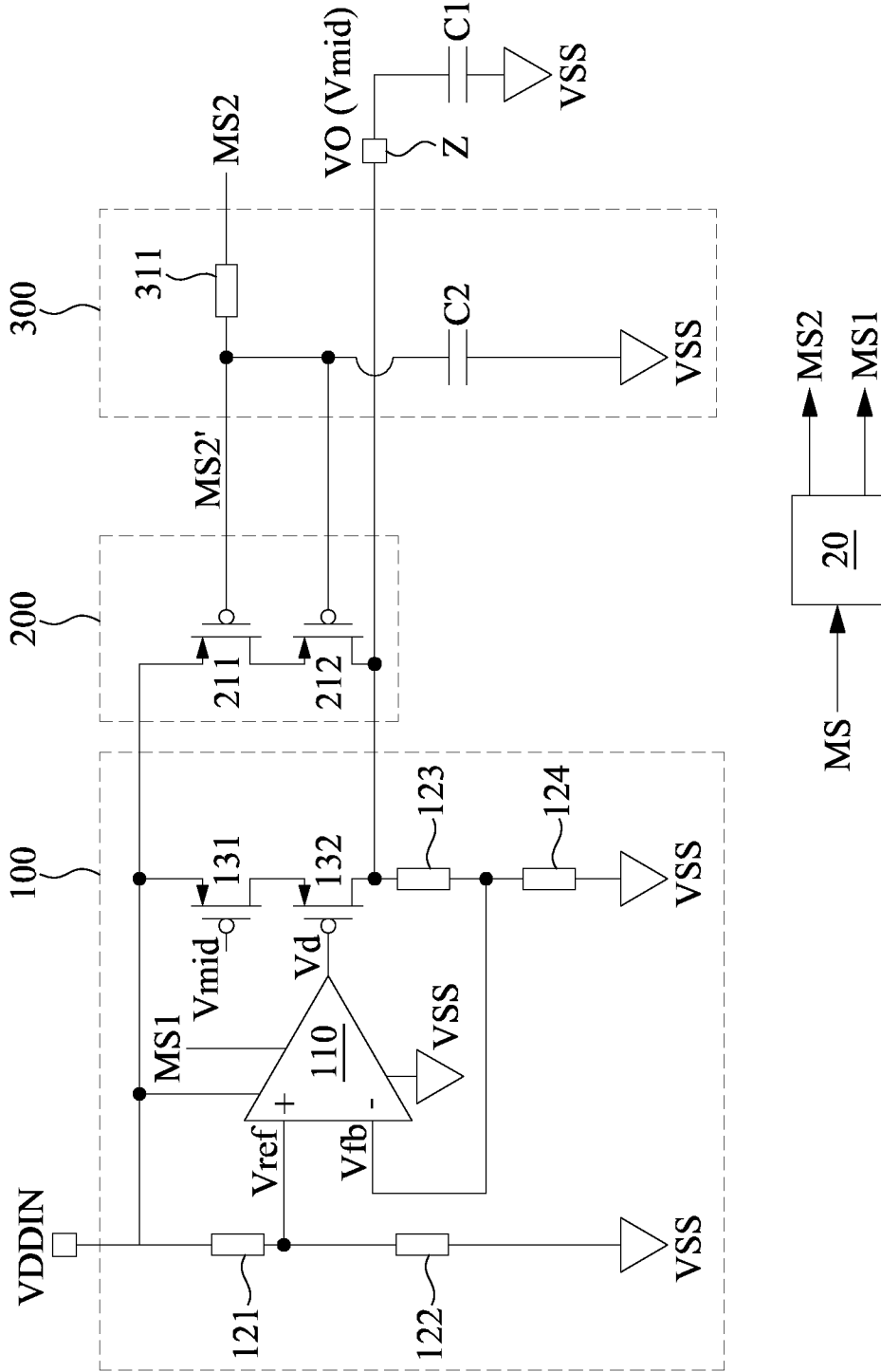


FIG. 2

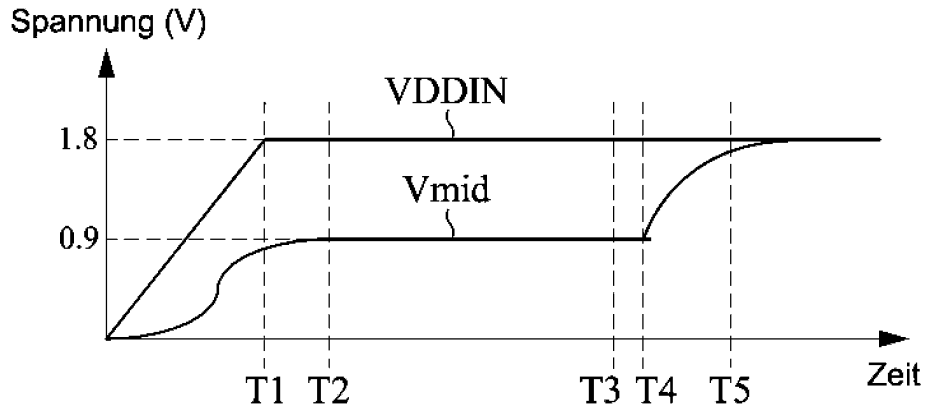


FIG. 3A

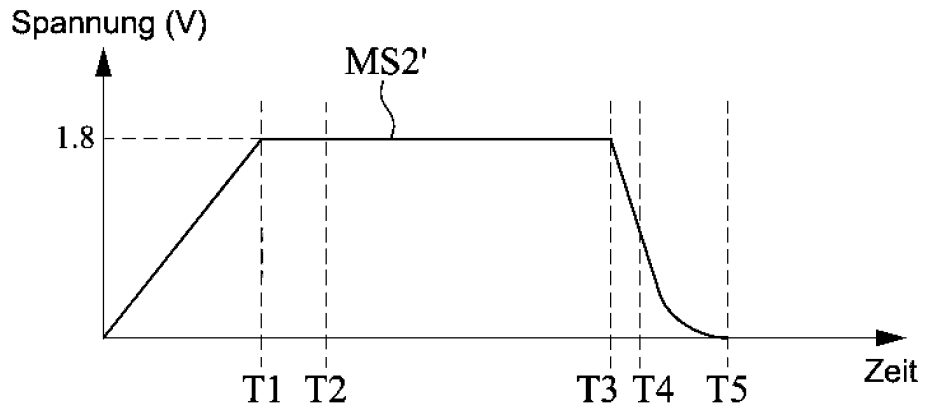


FIG. 3B

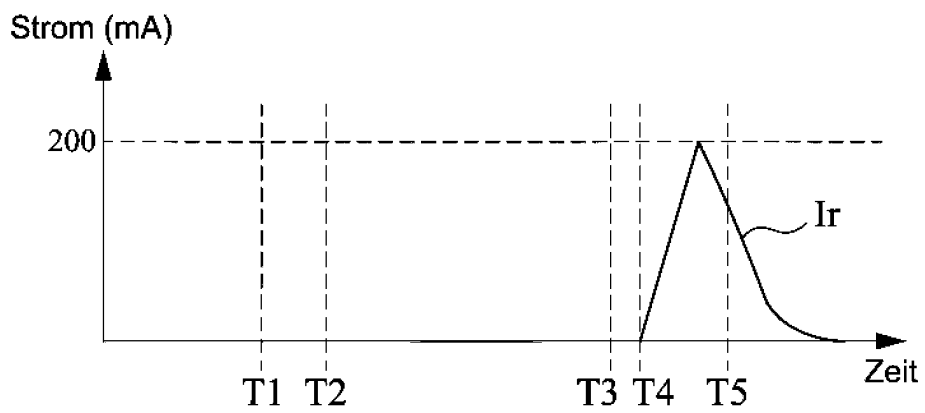


FIG. 3C

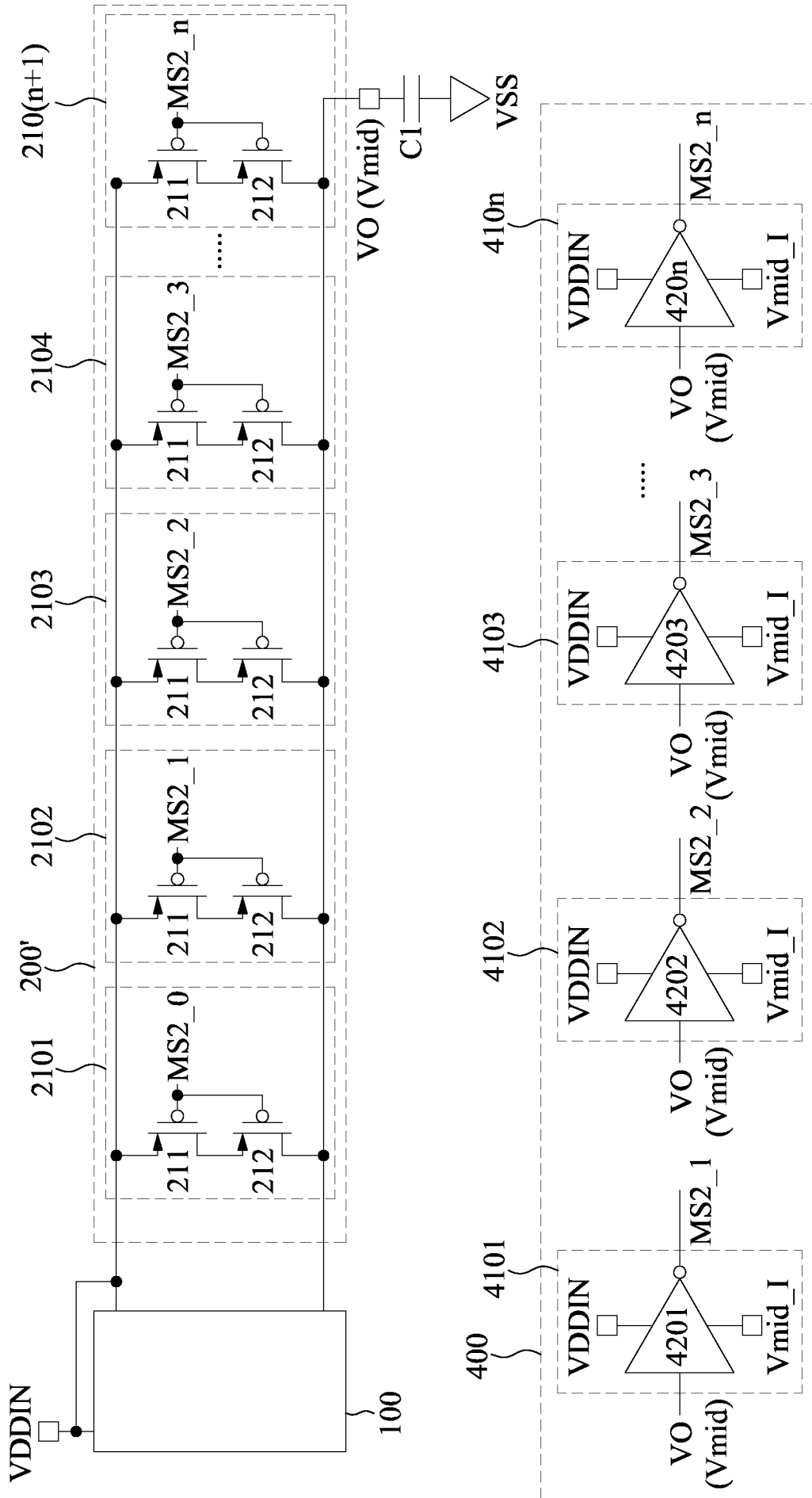


FIG. 4

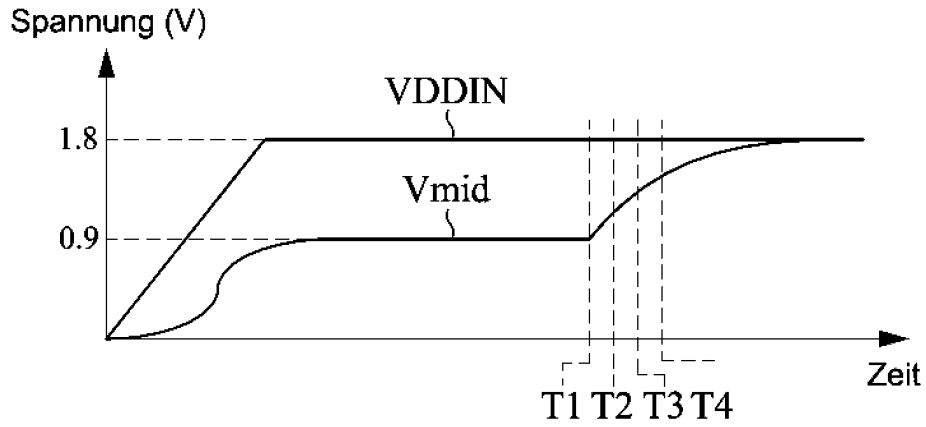


FIG. 5A

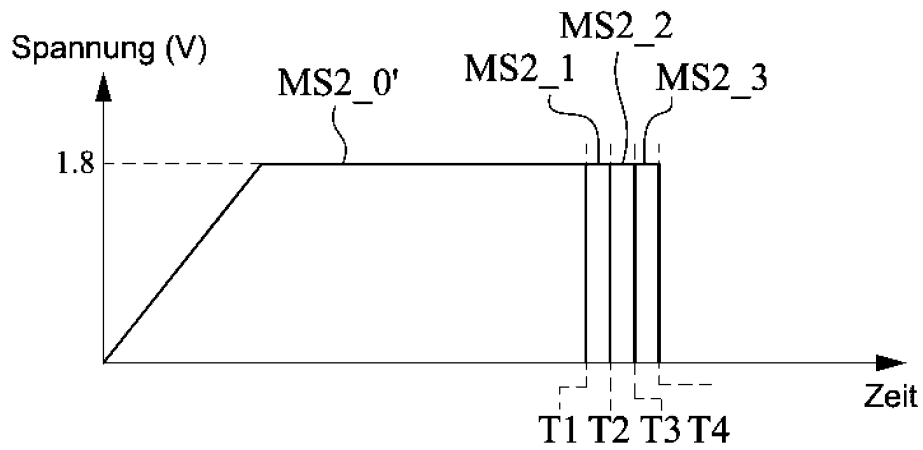


FIG. 5B

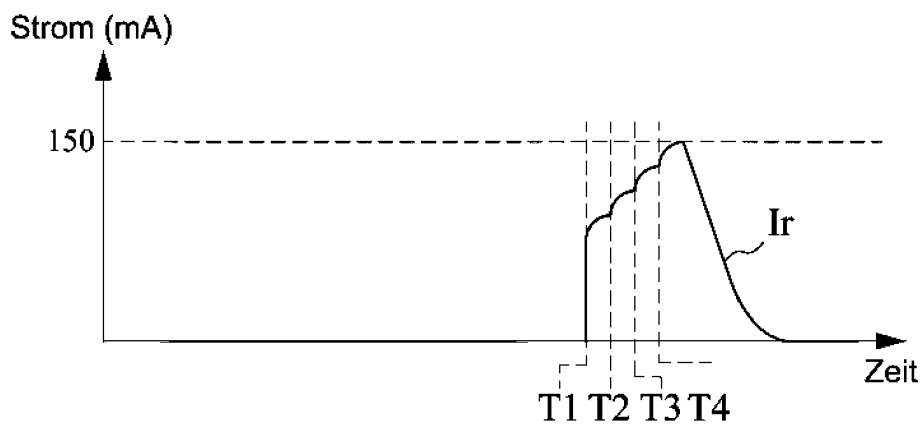


FIG. 5C

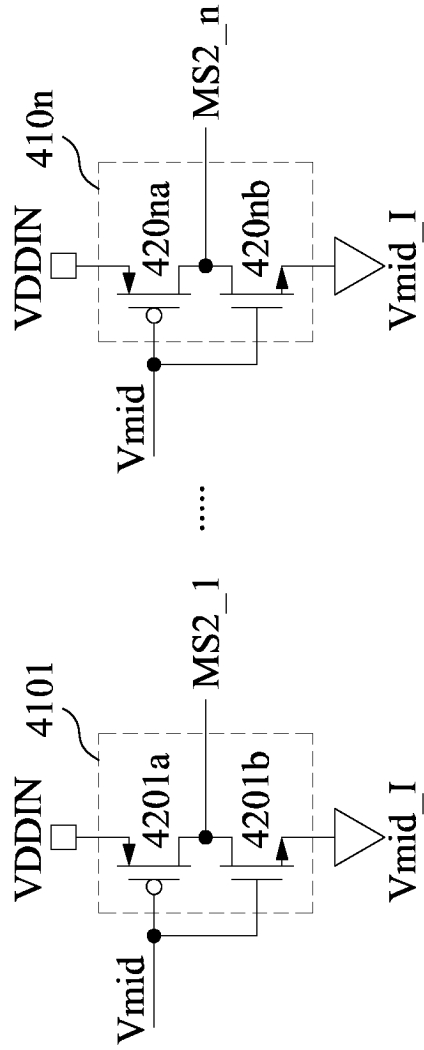


FIG. 6

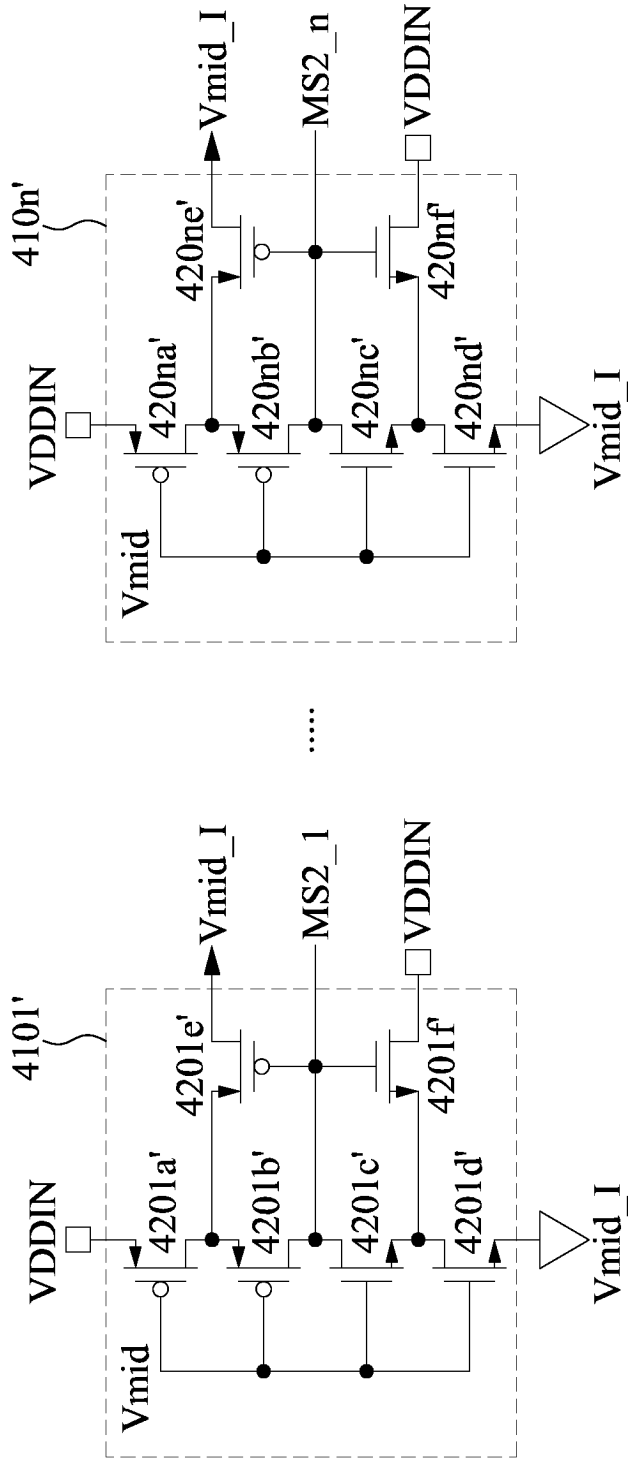


FIG. 7

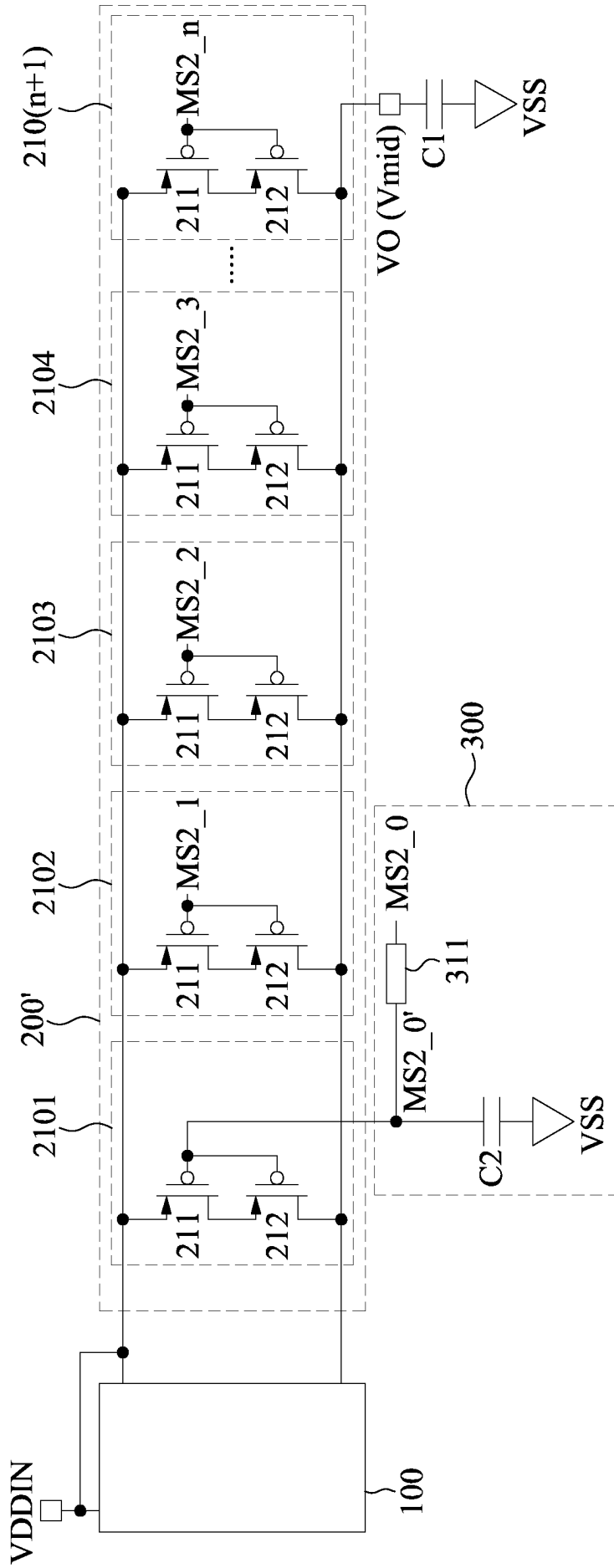


FIG. 8

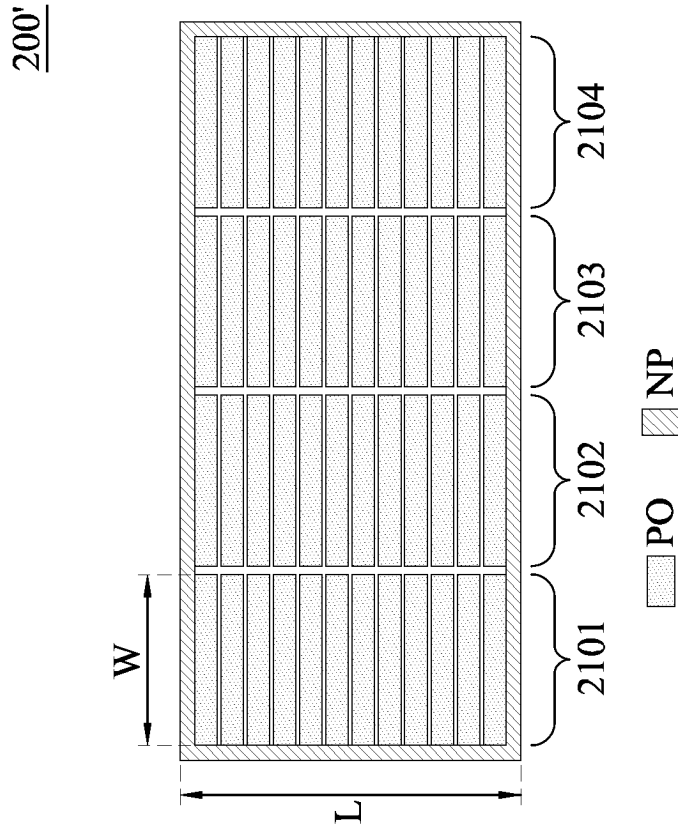


FIG. 9A

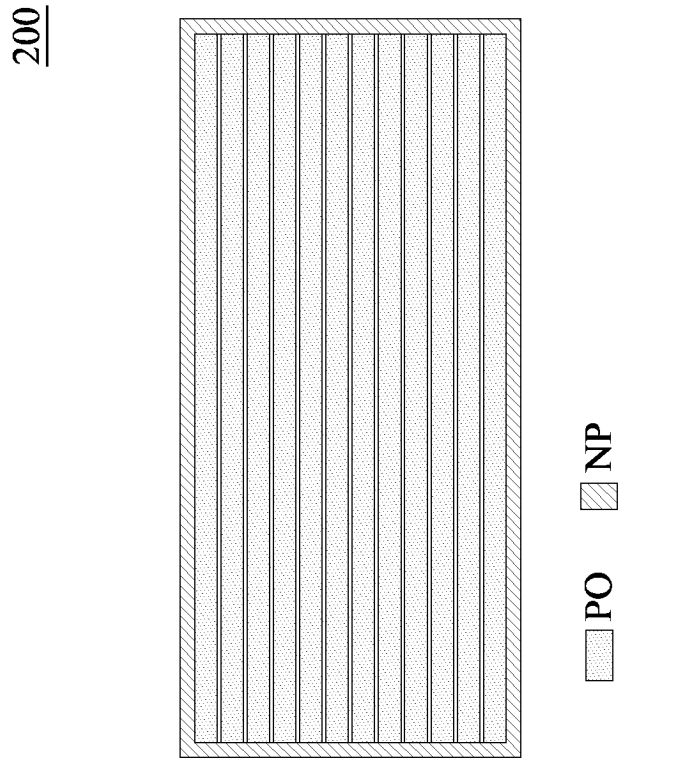


FIG. 9B

1000

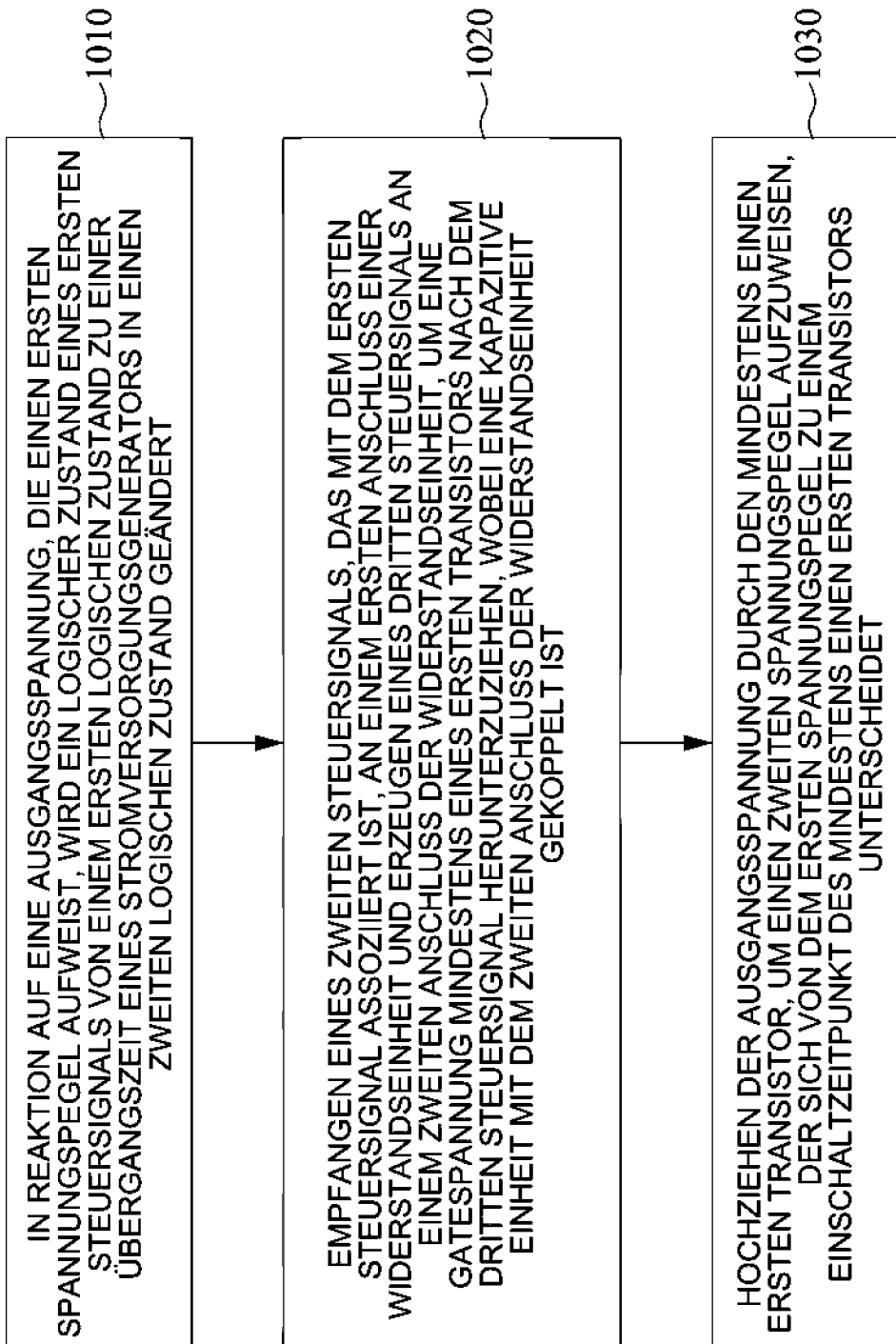


FIG. 10