



(12)发明专利

(10)授权公告号 CN 104242940 B

(45)授权公告日 2017. 10. 27

(21)申请号 201310347707.5

(22)申请日 2013.08.09

(65)同一申请的已公布的文献号  
申请公布号 CN 104242940 A

(43)申请公布日 2014.12.24

(73)专利权人 西安电子科技大学  
地址 710071 陕西省西安市太白南路2号

(72)发明人 朱樟明 邱政 沈易 杨银堂  
丁瑞雪

(74)专利代理机构 北京银龙知识产权代理有限公司 11243  
代理人 许静 安利霞

(51)Int. Cl.  
H03M 1/38(2006.01)

(56)对比文件

CN 102045067 A, 2011.05.04,  
CN 102386923 A, 2012.03.21,  
Chun-Cheng Liu 等. A 10-bit 50-MS/s  
SAR ADC With a Monotonic Capacitor  
Switching Procedure.《IEEE JOURNAL OF  
Solid-State Circuits》.2010, 第45卷(第4期),  
第731-740页.

审查员 张昕

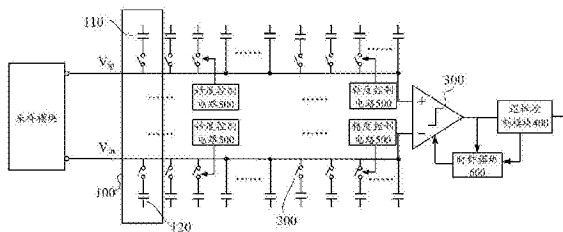
权利要求书2页 说明书7页 附图5页

(54)发明名称

一种宽工作电压的可配置异步逐次逼近型  
模数转换器

(57)摘要

本发明公开一种宽工作电压的可配置异步逐次逼近型模数转换器,其中:电容单元包括与第一上极板连接的上排电容和与第二上极板连接的下排电容;采样模块产生第一输入信号以及第二输入信号;比较器第一输入端通过第一上极板接入第一输入信号,其第二输入端通过第二上极板接入第二输入信号;逻辑控制模块根据比较器输出的比较结果,按照预设规则控制上排电容和下排电容在各自上极板处的电压;至少一个电容单元,其上排电容和下排电容分别通过各自的精度控制开关与对应的上极板连接;每个精度控制开关对应连接有精度控制电路;精度控制电路根据外部控制信号导通/断开其所连接的精度控制开关。本方案的模数转换器工作精度可调,适用性高。



1. 一种宽工作电压的可配置异步逐次逼近型模数转换器,包括:由多个电容单元构成的电容阵列、采样模块、比较器和逻辑控制模块;其中,所述电容单元包括与第一上极板连接的上排电容和与第二上极板连接的下排电容;所述采样模块用于产生第一输入信号以及第二输入信号;所述比较器的第一输入端通过第一上极板接入第一输入信号,所述比较器的第二输入端通过第二上极板接入第二输入信号;所述逻辑控制模块用于根据比较器输出的比较结果,按照预设规则控制上排电容和下排电容在各自上极板处的电压;其特征在于,

至少有一个电容单元,其上排电容和下排电容分别通过各自的精度控制开关与对应的上极板连接;每个精度控制开关对应连接有精度控制电路;所述精度控制电路用于根据外部控制信号导通/断开其所连接的精度控制开关;

其中,所述精度控制电路包括:多个串联的升压电路、NMOS管N1、N2以及PMOS管P1;其中不少于一个升压电路与短路开关并联,且首位升压电路的输入端接入外部脉冲信号;

N1的栅极与源极均与末位升压电路的输出端连接,用于接入放大后的外部脉冲信号;P1的源极与N1的漏极连接;N2和P1的栅极相互连接,共同作为所述精度控制电路的输入端接入外部控制信号;N2和P1的漏极相互连接,共同作为所述精度控制电路输出端,并与所述精度控制开关连接。

2. 根据权利要求1所述的模数转换器,其特征在于,还包括:

时钟模块,用于控制所述比较器的工作频率,其包括选择器以及多条并联且延时时间各不相同的延时电路;

其中,每个延时电路的输入端均与比较器的输出端连接;所述选择器的输入端与所述延时电路的输出端连接,其控制端接入外部选择信号,其输出端与所述比较器的控制端连接。

3. 根据权利要求2所述的模数转换器,其特征在于,所述电容阵列由第一电容器子阵列以及第二电容器子阵列组成;其中,第一电容器子阵列以及第二电容器子阵列均包括:

8位顺序排列的电容单元;其中,在同一电容单元内,其上排电容与下排电容相同;且第6位电容单元、第7位电容单元和第8位电容单元中的上排电容和下排电容均通过各自的精度控制开关与对应的上极板连接;且第1位电容单元的上排电容与下排电容的均为单位电容,其余电容单元的上排电容与下排电容的电容大小为: $2^{K-2} \times C$ ,K为电容单元的位数, $K \geq 2$ ;C为单位电容的大小。

4. 根据权利要求3所述的模数转换器,其特征在于,在所述采样模块进行采样时,所述逻辑控制模块用于:

控制所有上排电容的上极板和所有下排电容的上极板接入共模电压 $V_{CM}$ ;

控制采样模块产生第一输入信号以及第二输入信号;

判断比较器的比较结果;

若所述第一输入端的输出小于所述第二输入端的输出时,将第一电容器子阵列的所有上排电容的上极板接入地电压GND,其所有下排电容的上极板接入高电压 $V_{REF}$ ;

若所述第一输入端的输出大于所述第二输入端的输出时,将第一电容器子阵列的所有上排电容的上极板接入地电压 $V_{REF}$ ,其所有下排电容的上极板接入高电压GND。

5. 根据权利要求4所述的模数转换器,其特征在于,在所述采样阶段结束后,所述逻辑控制模块用于:

在所述第一电容器子阵列中选取一个最低位电容单元作为第一目标电容单元,在所述第二电容器子阵列中选取一个最高位电容单元作为第二目标电容单元;

判断比较器的比较结果;若所述第一输入端的输出小于所述第二输入端的输出时,将第一目标电容单元的上排电容的上极板接 $V_{CM}$ ,其下排电容的上极板接 $V_{REF}$ ;若所述第一输入端的输出大于所述第二输入端的输出时,将第二目标电容单元的上排电容的上极板接GND,其下排电容的上极板接 $V_{REF}$ ;

判断当前第二目标电容单元是否为所述第二电容器子阵列中的最高位;

若第二目标电容单元是所述第二电容器子阵列中的最高位,则结束工作;

若第二目标电容单元不是所述第二电容器子阵列中的最高位,则在所述第一电容器子阵列中,将当前第一目标电容单元的上一有效位的电容单元作为新的第一目标电容单元,并在所述第二电容器子阵列中,将当前第二目标电容单元的下一有效位的电容单元作为新的第二目标电容单元,之后重新判断比较器的比较结果。

6. 根据权利要求5所述的模数转换器,其特征在于,逻辑控制模块具体包括:10个串联的逻辑控制子模块,每个逻辑控制子模块均包括:

NMOS管N3、N4、N5、N6、N7、N8、N9、N10、N11、N12;

PMOS管P2、P3、P4、P5、P6、P7、P8;

第一反向器以及第二反向器;

其中,P2源极接电源 $V_{DD}$ ;N3栅极接入所述比较器输出的比较结果,其漏极与P2的漏极连接;N4的漏极与N3的源极连接;N5的栅极分别与P2和N3的漏极连接,其源极接地;P4的栅极接入所述比较器输出的比较结果,其漏极与N5的漏极连接;P3的栅极分别与P2和N3的漏极连接,其漏极与P4的源极连接;P5的源极接电源 $V_{DD}$ ,其漏极与第一反向器的输入端连接;N6的栅极与第一反向器的输出端连接,其漏极分别与P5的漏极和第一反向器的输入端连接;P6的源极接入电源 $V_{DD}$ ,其漏极分别与第一反向器的输入端、P5的漏极和N6的漏极连接;N7的栅极与所述比较器的CMPP口连接,其漏极分别与第一反向器的输入端、P5的漏极、N6的漏极连接以及P6的漏极连接;N8的漏极分别与N6和N7的源极连接;P7的源极接电源 $V_{DD}$ ,其栅极分别与第一反向器的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接;N9的源极与N8的源极连接,其栅极分别与第一反向器的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接;N10的栅极与比较器的CMPN口连接,其源极与N9漏极连接;P8的源极接电源 $V_{DD}$ ;N11的栅极与第二反向器的输出端连接,其源极分别与N10的源极和N9的漏极连接,其漏极与P8的漏极和第二反向器的输入端连接;第二反向器的输入端、N11的漏极、P8的漏极均分别与P6的栅极、N8的栅极、P7的漏极、N10的漏极连接;N12的漏极分别与N8和N9的源极连接,其源极接地;

其中,在所述10个串联的逻辑控制子模块中,每个非末位的逻辑控制子模块中的P2栅极和N4栅极连接,且P2栅极和N4栅极的连接电路还与其后一位逻辑控制子模块中的P4的漏极、N5的漏极、P5的栅极、P8的栅极连接;且首位的逻辑控制子模块的P2栅极和N4栅极与所述采样模块的输出端连接。

## 一种宽工作电压的可配置异步逐次逼近型模数转换器

### 技术领域

[0001] 本发明涉及模数转换领域,提供一种宽工作电压的可配置异步逐次逼近型模数转换器。

### 背景技术

[0002] 在低功耗、性能可调的设备,如传感器网络、医疗可植入元件等,通常需要不同规格参数的模数转换器实现模拟信号到数字信号的转换。例如:对温度监控需要低采样率、高精度的模数转换器;图像处理需要采用高采样率、低精度的模数转换器;能量获取芯片中需要工作在低电源电压下的模数转换器。目前,逐次逼近型模数转换器由于其高速、结构简单、面积小、功耗利用率高被广泛应用于各种低功耗系统中,因此针对逐次逼近型模数转换器的低功耗、低压、宽工作范围的设计显得尤其重要。

### 发明内容

[0003] 本发明要解决的技术问题是提供一种能够调节工作精度的模数转换器。

[0004] 为解决上述技术问题,本发明的实施例提供一种宽工作电压的可配置异步逐次逼近型模数转换器,包括:由多个电容单元构成的电容阵列、采样模块、比较器和逻辑控制模块;其中,所述电容单元包括与第一上极板连接的上排电容和与第二上极板连接的下排电容;所述采样模块用于产生第一输入信号以及第二输入信号;所述比较器的第一输入端通过第一上极板接入第一输入信号,所述比较器的第二输入端通过第二上极板接入第二输入信号;所述逻辑控制模块用于根据比较器输出的比较结果,按照预设规则控制上排电容和下排电容在各自上极板处的电压;其中,

[0005] 至少有一个电容单元,其上排电容和下排电容分别通过各自的精度控制开关与对应的上极板连接;每个精度控制开关对应连接有精度控制电路;所述精度控制电路用于根据外部控制信号导通/断开其所连接的精度控制开关。

[0006] 其中,所述精度控制电路包括:多个串联的升压电路、NMOS管N1、N2以及PMOS管P1;其中

[0007] 不少于一个升压电路与短路开关并联,且首位升压电路的输入端接入外部脉冲信号;

[0008] N1的栅极与源极均与末位升压电路的输出端连接,用于接入放大后的外部脉冲信号;P1的源极与N1的漏极连接;N2和P1的栅极相互连接,共同作为所述精度控制电路的输入端接入外部控制信号;N2和P1的漏极相互连接,共同作为所述精度控制电路输出端,并与所述精度控制开关连接。

[0009] 其中,所述模数转换器还包括:

[0010] 时钟模块,用于控制所述比较器的工作频率,其包括选择器以及多条并联且延时时间各不相同的延时电路;

[0011] 其中,每个延时电路的输入端均与比较器的输出端连接;所述选择器的输入端与

所述延时电路的输出端连接,其控制端接入外部选择信号,其输出端与所述比较器的控制端连接。

[0012] 其中,所述电容阵列由第一电容子阵列以及第二电容子阵列组成;其中,第一电容子阵列以及第二电容子阵列均包括:

[0013] 8位顺序排列的电容单元;其中,在同一电容单元内,其上排电容与下排电容相同;且第6位电容单元、第7位电容单元和第8位电容单元中的上排电容和下排电容均通过各自的精度控制开关与对应的上极板连接;且第1位电容单元的上排电容与下排电容的均为单位电容,其余电容单元的上排电容与下排电容的电容大小为: $2^{K-2} \times C$ ,K为电容单元的位数, $K \geq 2$ ;C为单位电容的大小。

[0014] 其中,在所述采样模块进行采样时,所述逻辑控制模块用于:

[0015] 控制所有上排电容的上极板和所有下排电容的上极板接入共模电压 $V_{CM}$ ;

[0016] 控制采样模块产生第一输入信号以及第二输入信号;

[0017] 判断比较器的比较结果;

[0018] 若所述第一输入端的输出小于所述第二输入端的输出时,将第一电容子阵列的所有上排电容的上极板接入地电压GND,其所有下排电容的上极板接入高电压 $V_{REF}$ ;

[0019] 若所述第一输入端的输出大于所述第二输入端的输出时,将第一电容子阵列的所有上排电容的上极板接入地电压 $V_{REF}$ ,其所有下排电容的上极板接入高电压GND。

[0020] 其中,在所述采样阶段结束后,所述逻辑控制模块用于:

[0021] 在所述第一电容子阵列中选取一个最低位电容单元作为第一目标电容单元,在所述第二电容子阵列中选取一个最高位电容单元作为第二目标电容单元;

[0022] 判断比较器的比较结果;若所述第一输入端的输出小于所述第二输入端的输出时,将第一目标电容单元的上排电容的上极板接 $V_{CM}$ ,其下排电容的上极板接 $V_{REF}$ ;若所述第一输入端的输出大于所述第二输入端的输出时,将第二目标电容单元的上排电容的上极板接GND,其下排电容的上极板接 $V_{REF}$ ;

[0023] 判断当前第二目标电容单元是否为所述第二电容子阵列中的最高位;

[0024] 若第二目标电容单元是所述第二电容子阵列中的最高位,则结束工作;

[0025] 若第二目标电容单元不是所述第二电容子阵列中的最高位,则在所述第一电容子阵列中,将当前第一目标电容单元的上一有效位的电容单元作为新的第一目标电容单元,并在所述第二电容子阵列中,将当前第二目标电容单元的下一有效位的电容单元作为新的第二目标电容单元,之后重新判断比较器的比较结果。

[0026] 其中,逻辑控制模块具体包括:10个串联的逻辑控制子模块,每个逻辑控制子模块均包括:

[0027] NMOS管N3、N4、N5、N6、N7、N8、N9、N10、N11、N12;

[0028] PMOS管P2、P3、P4、P5、P6、P7、P8;

[0029] 第一反向器以及第二反向器;

[0030] 其中,P2源极接电源 $V_{DD}$ ;N3栅极接入所述比较器输出的比较结果,其漏极与P2的漏极连接;N4的漏极与N3的源极连接;N5的栅极分别与P2和N3的漏极连接,其源极接地;P4的栅极接入所述比较器输出的比较结果,其漏极与N5的漏极连接;P3的栅极分别与P2和N3的漏极连接,其漏极与P4的源极连接;P5的源极接电源 $V_{DD}$ ,其漏极与第一反向器的输入端连

接;N6的栅极与第一反向器的输出端连接,其漏极分别与P5的漏极和第一反向器的输入端连接;P6的源极接入电源 $V_{DD}$ ,其漏极分别与第一反向器的输入端、P5的漏极和N6的漏极连接;N7的栅极与所述比较器的CMPP口连接,其漏极分别与第一反向器的输入端、P5的漏极、N6的漏极连接以及P6的漏极连接;N8的漏极分别与N6和N7的源极连接;P7的源极接电源 $V_{DD}$ ,其栅极分别与第一反向器的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接;N9的源极与N8的源极连接,其栅极分别与第一反向器的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接;N10的栅极与比较器的CMPN口连接,其源极与N9漏极连接;P8的源极接电源 $V_{DD}$ ;N11的栅极与第二反向器的输出端连接,其源极分别与N10的源极和N9的漏极连接,其漏极与P8的漏极和第二反向器的输入端连接;第二反向器的输入端、N11的漏极、P8的漏极均分别与P6的栅极、N8的栅极、P7的漏极、N10的漏极连接;N12的漏极分别与N8和N9的源极连接,其源极接地;

[0031] 其中,在所述10个串联的逻辑控制子模块中,每个非末位的逻辑控制子模块中的P2栅极和N4栅极连接,且P2栅极和N4栅极的连接电路还与其后一位逻辑控制子模块中的P4的漏极、N5的漏极、P5的栅极、P8的栅极连接;且首位的逻辑控制子模块的P2栅极和N4栅极与所述采样模块的输出端连接。

[0032] 本发明的方案具有以下有益效果:

[0033] 本发明的模数转换器,可通过精度控制电路配置电容单元的数量,从而改变模数转换器的工作精度,因此适用性更强,应用范围更广阔。

## 附图说明

[0034] 图1为本发明中宽工作电压的可配置异步逐次逼近型模数转换器的结构示意图;

[0035] 图2为本发明中精度控制电路的结构示意图;

[0036] 图3为本发明中时钟模块的结构示意图;

[0037] 图4为本发明提供的一种电容阵列的结构示意图;

[0038] 图5-7为本发明中模数转换器在不同转换精度状态下,电容阵列的结构示意图;

[0039] 图8为本发明中逻辑控制子模块的电路结构图;

[0040] 图9为本发明中逻辑控制模块的电路连接图。

## 具体实施方式

[0041] 为使本发明要解决的技术问题、技术方案和优点更加清楚,下面将结合附图及具体实施例进行详细描述。

[0042] 如图1所示,一种宽工作电压的可配置异步逐次逼近型模数转换器,包括:由多个电容单元100构成的电容阵列、采样模块200、比较器300和逻辑控制模块400;其中,所述电容单元100包括与第一上极板连接的上排电容110和与第二上极板连接的下排电容120;所述采样模块用于产生第一输入信号以及第二输入信号;所述比较器300的第一输入端通过第一上极板接入第一输入信号,所述比较器300的第二输入端通过第二上极板接入第二输入信号;所述逻辑控制模块400用于根据比较器300的输出的比较结果,按照预设规则控制上排电容110和下排电容120在各自上极板处的电压;其中,

[0043] 至少有一个电容单元100,其上排电容110和下排电容120分别通过各自的精度控

制开关200与对应的上极板连接;每个精度控制开关200对应连接有精度控制电路500;所述精度控制电路500用于根据外部控制信号导通/断开其所连接的精度控制开关200。

[0044] 本发明的模数转换器,可通过精度控制电路500配置电容单元100的数量,从而改变模数转换器的工作精度,因此适用性更强,应用范围更广阔。

[0045] 具体地,如图2所示,在本发明的上述实施例中,所述精度控制电路500包括:多个串联的升压电路520、NMOS管N1、N2以及PMOS管P1;其中

[0046] 不少于一个升压电路520与短路开关510并联,且首位升压电路520的输入端接入外部脉冲信号;

[0047] N1的栅极与源极均与末位升压电路520的输出端连接,用于接入放大后的外部脉冲信号;P1的源极与N1的漏极连接;N2和P1的栅极相互连接,共同作为所述精度控制电路500的输入端接入外部控制信号;N2和P1的漏极相互连接,共同作为所述精度控制电路500输出端,并与所述精度控制开关200连接。

[0048] 本实施例考虑到引入精度控制开关200会对模数转换器带来非线性误差,因此需要引入外部脉冲信号对N1的栅压进行升压,而升压的大小取决于模数转换器的工作电压,即模数转换器的工作电压越大,对N1栅极的升压幅度要求越小,反之对N1栅极的升压幅度要求越大。因此本实施例设置多个升压电路520,不少于一个升压电路520与短路开关510并联,可通过导通短路开关510使对应的升压电路520短路,从而可以控制外部脉冲信号的升压幅度,使模数转换器能够适应更多的工作电压。需要指出的升压电路520为电路领域常用电路,其具体结构不唯一,在此不做赘述。

[0049] 此外,如图1所示,为了使模数转换器能够拥有多种工作频率,在本发明的上述实施例中,所述模数转换器还包括:时钟模块,用于控制所述比较器300的工作频率,其中如图3所示,比较器300包括选择器620以及多条并联且延时时间各不相同的延时电路;

[0050] 其中,每个延时电路的输入端均与比较器300的输出端连接;所述选择器620的输入端与所述延时电路的输出端连接,其控制端接入外部选择信号,其输出端与所述比较器300的控制端连接。

[0051] 本实施例中的选择器620可以根据外部输入的选择信号选择合适的延时电路对比较结果Valid进行延时,使其到达逻辑控制模块400的时间得到有效控制,从而改变模数转换器的工作频率。具体地,每条延时电路包含不同数量延时单元610,从而提供多种延时时间,其中的延时单元610为电路领域常用元件,其电路结构不唯一,在此不做赘述。

[0052] 此外,本发明的上述实施例中,还提供了一种具体的电容阵列结构,所述电容阵列由第一电容器阵列1以及第二电容器阵列2组成;其中,第一电容器阵列以及第二电容器阵列均包括:

[0053] 8位顺序排列的电容单元100(即C1-C8);其中,在同一电容单元100内,其上排电容110与下排电容120相同;且第6位电容单元100、第7位电容单元100和第8位电容单元100中的上排电容110和下排电容120均通过各自的精度控制开关200与对应的上极板连接(其中用于控制精度控制开关200的精度控制电路500组成精度控制电路500阵列3);且第1位电容单元100的上排电容110与下排电容120的均为单位电容,其余电容单元100的上排电容110与下排电容120的电容大小为: $2^{K-2} \times C$ ,K为电容单元100的位数, $K \geq 2$ ;C为单位电容的大小。

[0054] 其中,在所述采样模块进行采样时,所述逻辑控制模块400用于:

- [0055] 控制所有上排电容110的上极板和所有下排电容120的上极板接入共模电压 $V_{CM}$ ;
- [0056] 控制采样模块产生第一输入信号以及第二输入信号;
- [0057] 判断比较器300的比较结果Valid;
- [0058] 若所述第一输入端的输出小于所述第二输入端的输出时,将第一电容器子阵列1的所有上排电容110的上极板接入地电压GND,其所有下排电容120的上极板接入高电压 $V_{REF}$ ;
- [0059] 若所述第一输入端的输出大于所述第二输入端的输出时,将第一电容器子阵列1的所有上排电容110的上极板接入地电压 $V_{REF}$ ,其所有下排电容120的上极板接入高电压GND。
- [0060] 其中,在所述采样阶段结束后,所述逻辑控制模块400用于:
- [0061] 在所述第一电容器子阵列1中选取一个最低位电容单元100作为第一目标电容单元100,在所述第二电容器子阵列2中选取一个最高位电容单元100作为第二目标电容单元100;
- [0062] 判断比较器300的比较结果Valid;若所述第一输入端的输出小于所述第二输入端的输出时,将第一目标电容单元100的上排电容110的上极板接 $V_{CM}$ ,其下排电容120的上极板接 $V_{REF}$ ;若所述第一输入端的输出大于所述第二输入端的输出时,将第二目标电容单元100的上排电容110的上极板接GND,其下排电容120的上极板接 $V_{REF}$ ;
- [0063] 判断当前第二目标电容单元100是否为所述第二电容器子阵列2中的最高位;
- [0064] 若第二目标电容单元100是所述第二电容器子阵列2中的最高位,则结束工作;
- [0065] 若第二目标电容单元100不是所述第二电容器子阵列2中的最高位,则在所述第一电容器子阵列1中,将当前第一目标电容单元100的上一有效位的电容单元100作为新的第一目标电容单元100,并在所述第二电容器子阵列2中,将当前第二目标电容单元100的下一有效位的电容单元100作为新的第二目标电容单元100,之后重新判断比较器300的比较结果Valid。
- [0066] 本实施例的逻辑控制模块400通过预设规则实现了7-10位工作精度的逐次逼近型模数转换器,其中,图5-图7分别给出了9位、8位、7位工作模式下模数转换器工作的原理图。
- [0067] 如图5所示,精度控制开关200中的 $\phi_1$ 均关断,其中第二电容器子阵列2中的电容单元 $C_1-C_7$ 组成了模数转换器前7位的电容阵列,而整个第一电容器子阵列1单独组成模数转换器的第8位电容阵列,从而使得模数转换器有9位转换精度;同理,如图6所示,8位工作模式时,精度控制开关200中的 $\phi_1$ 、 $\phi_2$ 断开,第二电容器子阵列2中的电容单元 $C_1-C_6$ 组成了模数转换器前6位的电容阵列,而整个第一电容器子阵列1单独组成模数转换器的第7位电容阵列,从而使得模数转换器有8位转换精度;而7位工作模式下,如图7所示,精度控制开关200中的 $\phi_1$ 、 $\phi_2$ 、 $\phi_3$ 均断开,其原理不再赘述。
- [0068] 此外,针对上述电容阵列结构,本发明还提供了一种低功耗的逻辑控制模块400,其包括10个串联的逻辑控制子模块,在模数转换器处于最大精度时,即所有精度控制开关200闭合状态,此时根据上文提到的预设规则可将第一电容器子阵列1作为模数转换器最高位电容阵列(第9位),第二电容器子阵列2中的电容单元分别作为模数转换器第1位-第8位电容阵列,而逻辑控制子模块的前9位正好对应控制模数转换器的9位电容阵列的上极板电压,而第10位逻辑控制子模块输出最终转换的信号,当模数转换器处于9位精度时,相应一个逻辑控制子模块停止工作,其它情况再次不做赘述。
- [0069] 其中,如图8所示,每个逻辑控制子模块均包括:
- [0070] NMOS管N3、N4、N5、N6、N7、N8、N9、N10、N11、N12;



[0071] PMOS管P2、P3、P4、P5、P6、P7、P8；

[0072] 第一反向器F1以及第二反向器F2；

[0073] 其中，P2源极接电源V<sub>DD</sub>；N3栅极(O点)接入所述比较器300输出的比较结果Valid，其漏极与P2的漏极连接；N4的漏极与N3的源极连接；N5的栅极分别与P2和N3的漏极连接，其源极接地；P4的栅极接入所述比较器300输出的比较结果Valid，其漏极接地，其漏极与N5的漏极连接；P3的栅极分别与P2和N3的漏极连接，其漏极与P4的源极连接；P5的源极接电源V<sub>DD</sub>，其漏极与第一反向器F1的输入端连接；N6的栅极与第一反向器F1的输出端连接，其漏极分别与P5的漏极和第一反向器F1的输入端连接；P6的源极接入电源V<sub>DD</sub>，其漏极分别与第一反向器F1的输入端、P5的漏极和N6的漏极连接；N7的栅极(V点)与所述比较器300的CMPP口连接，其漏极分别与第一反向器F1的输入端、P5的漏极、N6的漏极连接以及P6的漏极连接；N8的漏极分别与N6和N7的源极连接；P7的源极接电源V<sub>DD</sub>，其栅极分别与第一反向器F1的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接；N9的源极与N8的源极连接，其栅极分别与第一反向器F1的输入端、P5的漏极、N6的漏极连接、P6的漏极以及N7的漏极连接；N10的栅极与比较器300的CMPN口连接(U点)，其源极与N9漏极连接；P8的源极接电源V<sub>DD</sub>；N11的栅极与第二反向器F2的输出端连接，其源极分别与N10的源极和N9的漏极连接，其漏极与P8的漏极和第二反向器F2的输入端连接；第二反向器F2的输入端、N11的漏极、P8的漏极均分别与P6的栅极、N8的栅极、P7的漏极、N10的漏极连接；N12的漏极分别与N8和N9的源极连接，其源极接地；

[0074] 其中，在所述10个串联的逻辑控制子模块中，每个非末位的逻辑控制子模块中的P2栅极和N4栅极连接(即图8中的D点)，且P2栅极和N4栅极的连接电路还与其后一位逻辑控制子模块中的P4的漏极、N5的漏极、P5的栅极、P8的栅极(即图8中的Q点)连接；且首位的逻辑控制子模块的P2栅极和N4栅极与所述采样模块的输出端连接。

[0075] 如图8和图9所示，当采样模块输出高电平的采样信号(即第一输入信号以及第二输入信号)，此时首位逻辑控制子模块D点处为高电平，N4管导通，同时比较器输出的比较结果Valid为低信号，因此Clk点位置的信号被拉低，P3和P4均导通，Q点信号拉高。此时，N12导通，N7管和N10管对比较器CMPP输出的信号和CMPN输出的信号进行采样(CMPP、CMPN的即二进制比较结果0、1)，P6、N8、P7、N9管形成的正反馈结构将采样的结果锁存在P点和N点位置上(每位逻辑控制子模块的P点和N点输出的信号用于控制其所对应的上排/下排电容在上极板处的电压，且还用于作为模数转换器的输出)。由于采用了锁存结构，P点和N点能够在很长的时间内储存电荷，从而使得模数转换器能够在低电源电压、低采样率下正常工作。加之动态电路自身的特点，电路没有任何静态功耗，使该逻辑控制子模块非常适合用于低功耗的电路。其中，第二位的逻辑控制子模块中的D点与首位逻辑控制子模块中的Q点连接，接入高电平信号，依此类推，直至末位逻辑控制子模块中的D也同样接入高电平信号，并由其Q点输出最终信号。

[0076] 当采样模块停止输采样信号时，首位逻辑控制子模块的D点处于为低电平，P2导通。此时比较器输出的比较结果Valid为高信号，因此Clk点位置的信号被拉高，N5管导通，致使Q点信号被拉低，使得P5和P8导通，此时P点和N点被锁定在低电平。与此同时，N12始终保持关断状态，从电源V<sub>DD</sub>到地没有电流通路，因此电路没有任何静态功耗。

[0077] 综上所述，本发明的实施例能够对模数转换器的转换精度、工作频率实现控制，并

且适用于不同工作电流,因此应用范围更加广阔;进一步地,由于采用本实施例的逻辑控制子模块可以有效减小模数转换器的消耗。

[0078] 以上所述是本发明的优选实施方式,应当指出,对于本技术领域的普通技术人员来说,在不脱离本发明所述原理的前提下,还可以作出若干改进和润饰,这些改进和润饰也应视为本发明的保护范围。

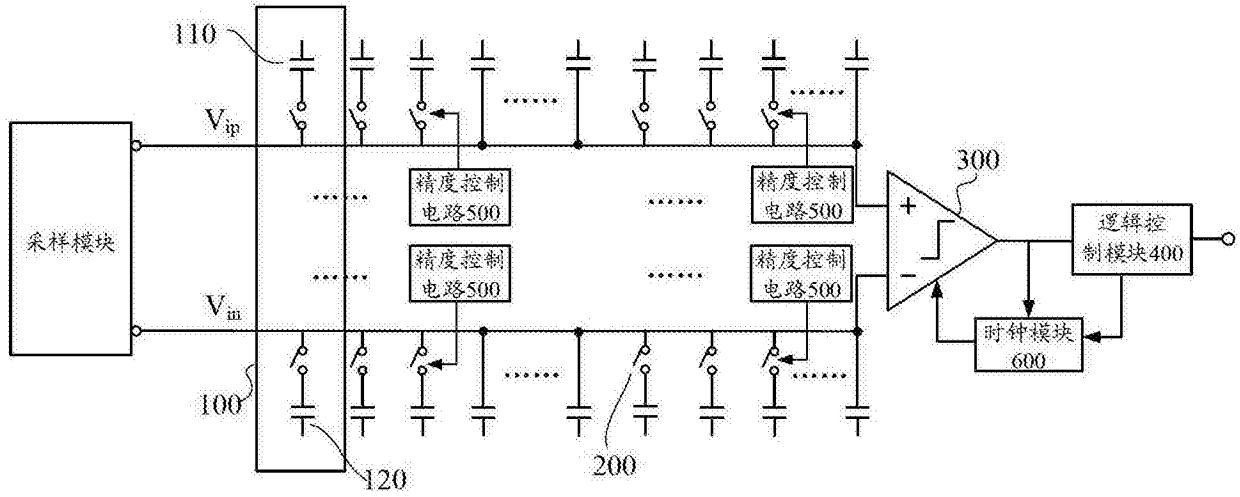


图1

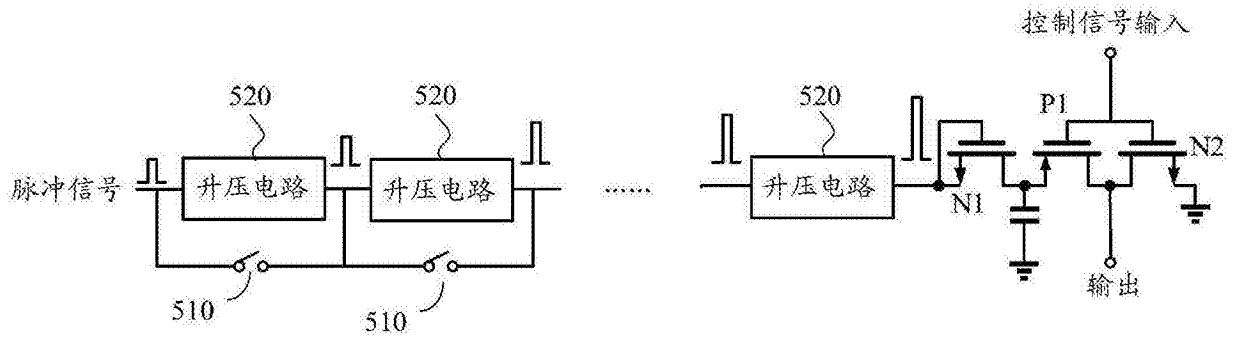


图2

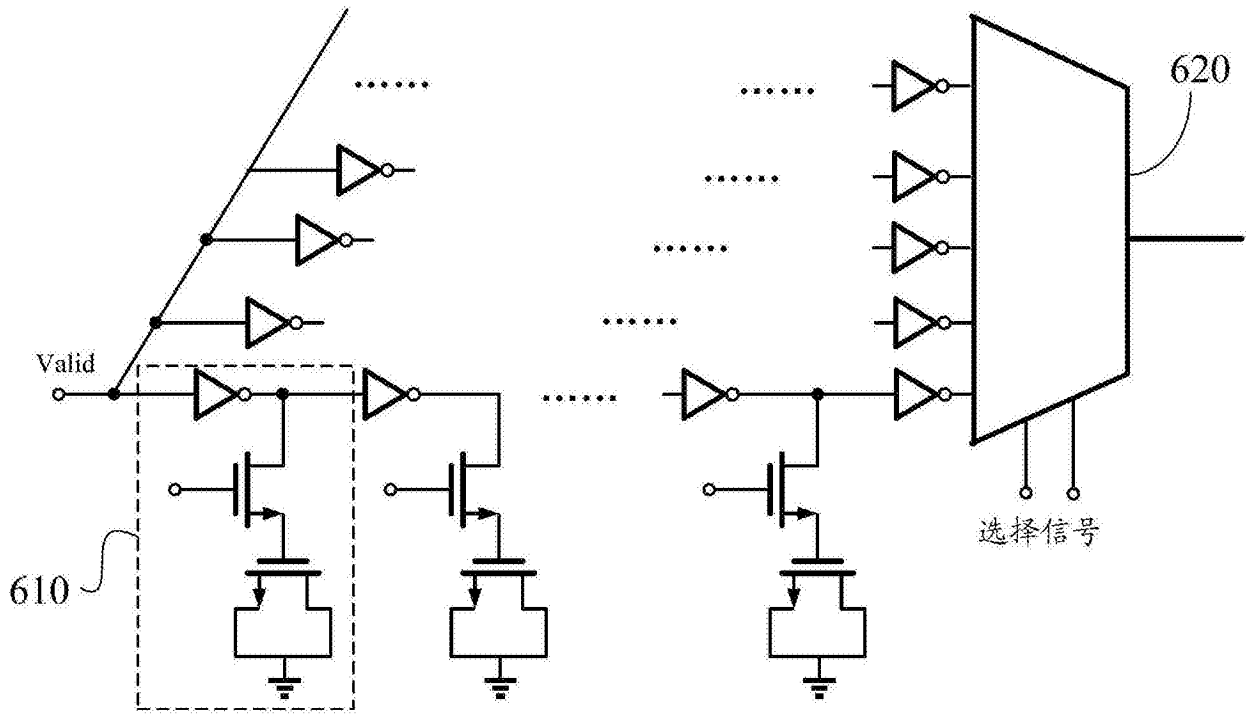


图3

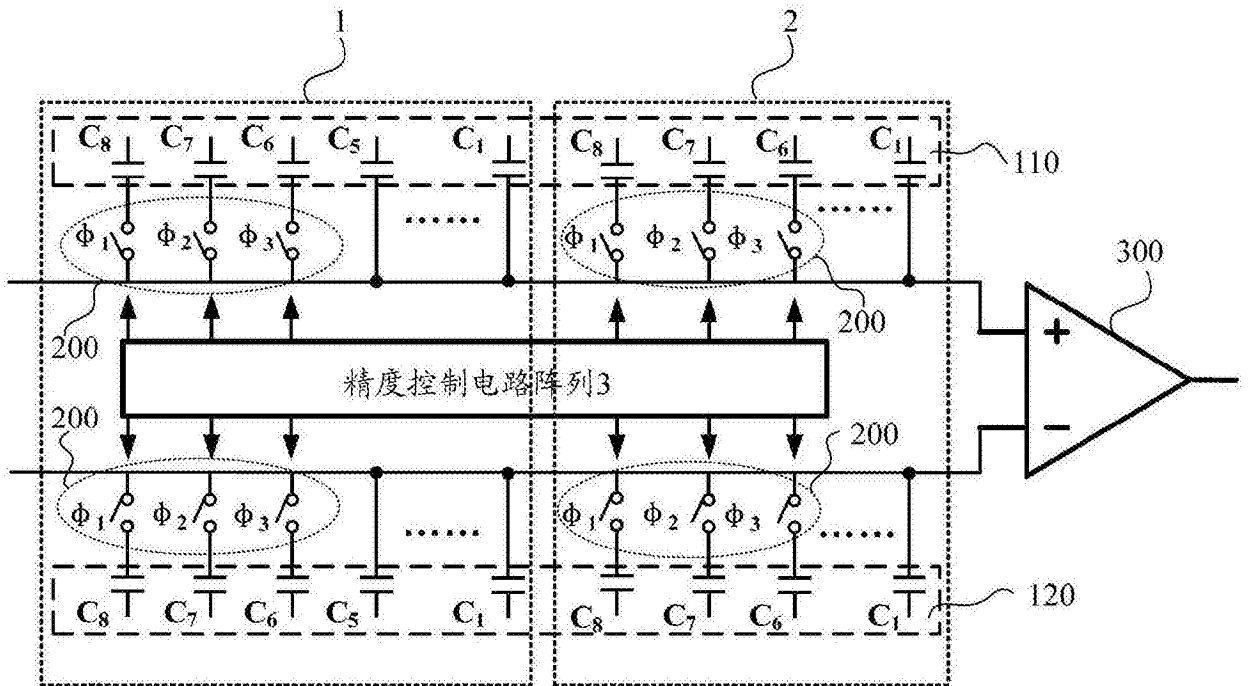


图4

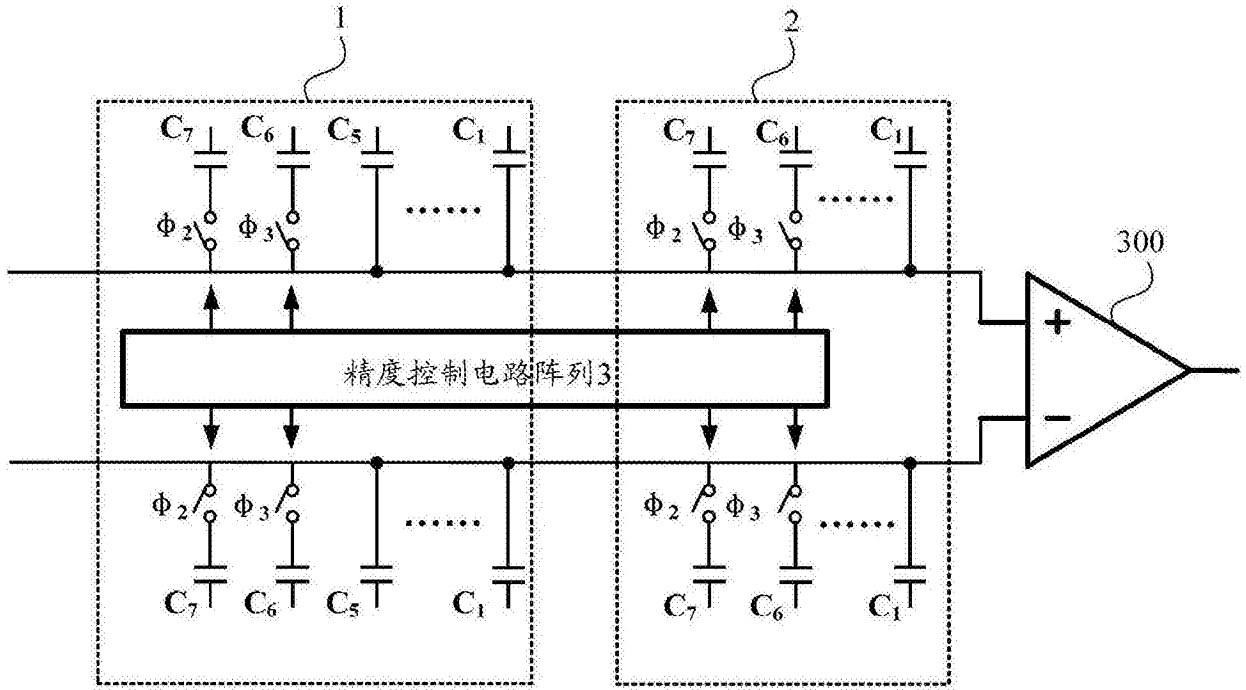


图5

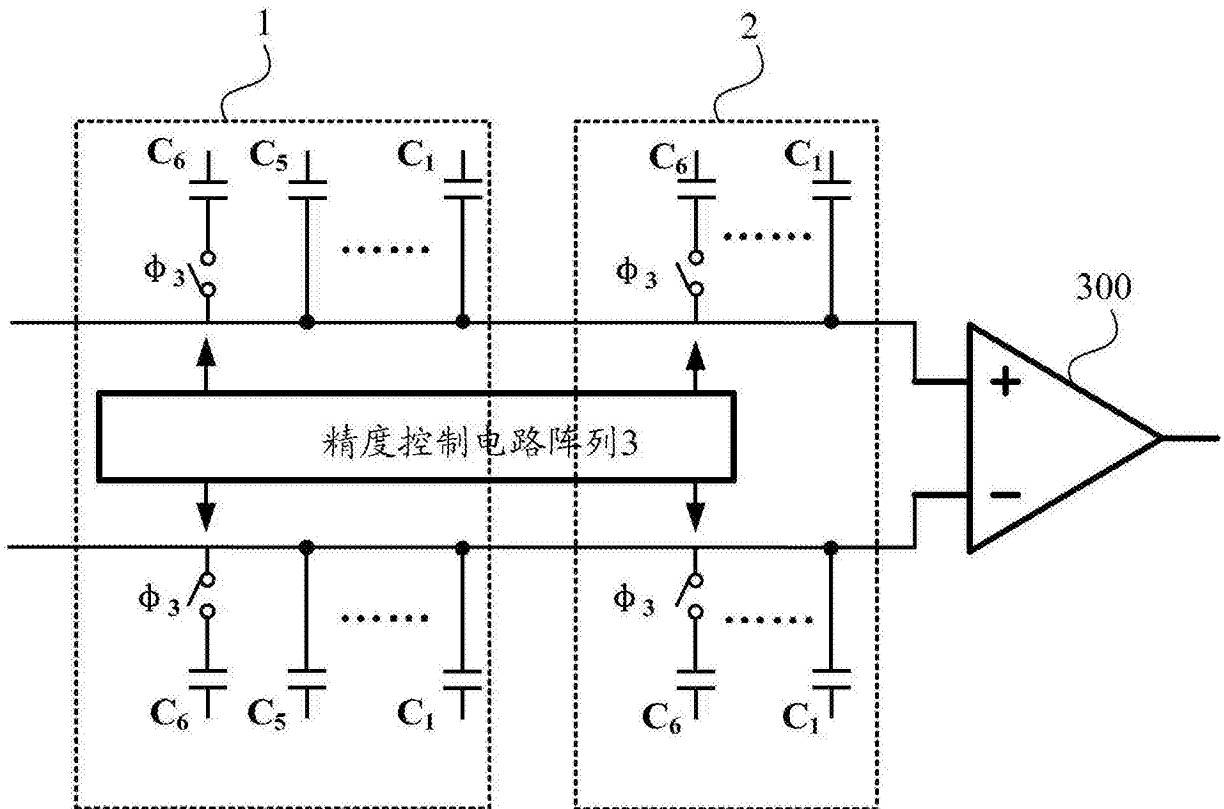


图6

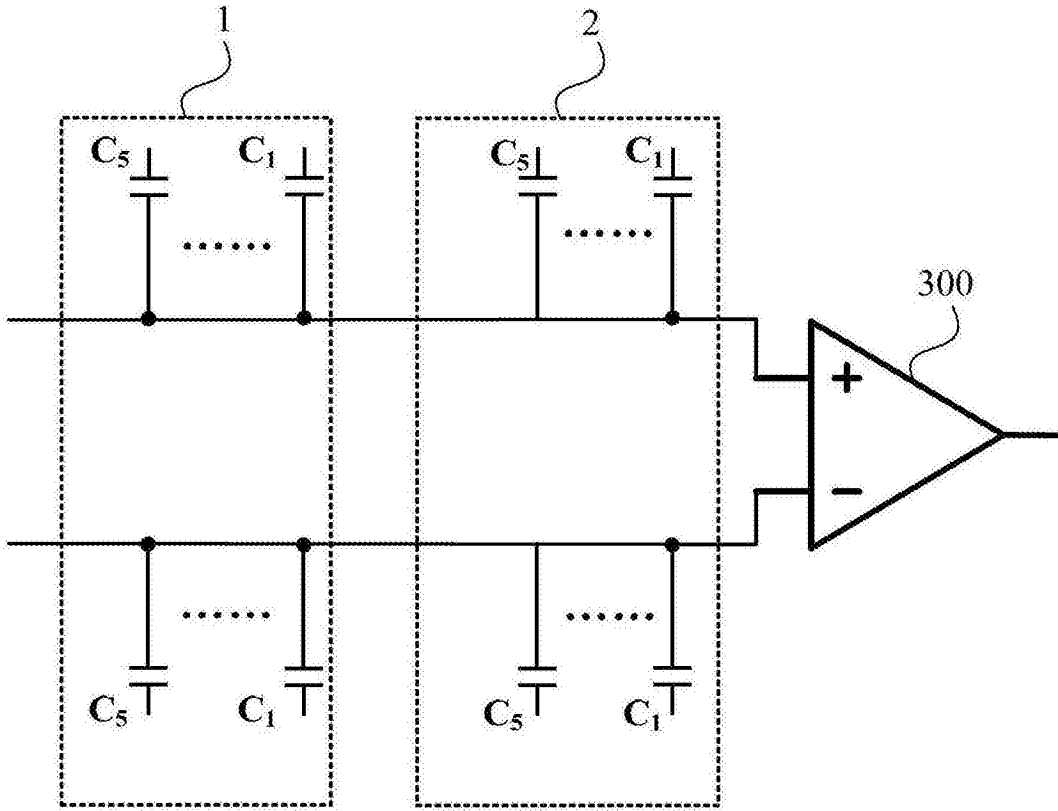


图7

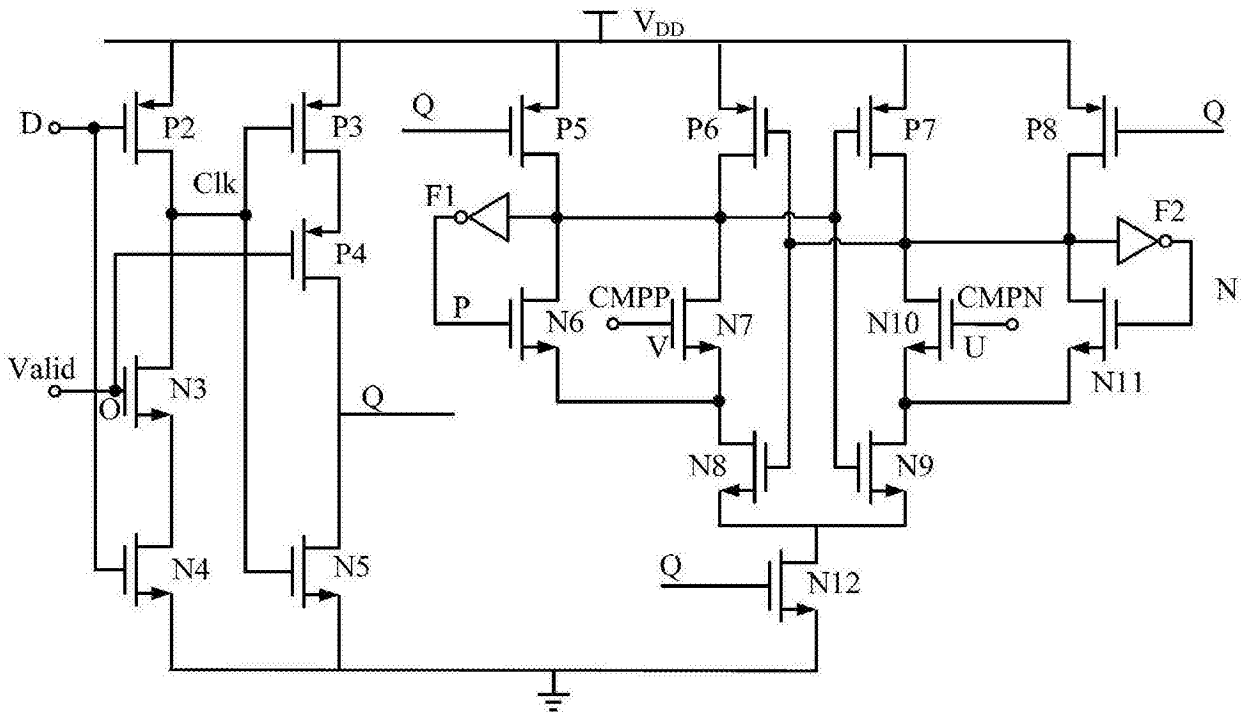


图8

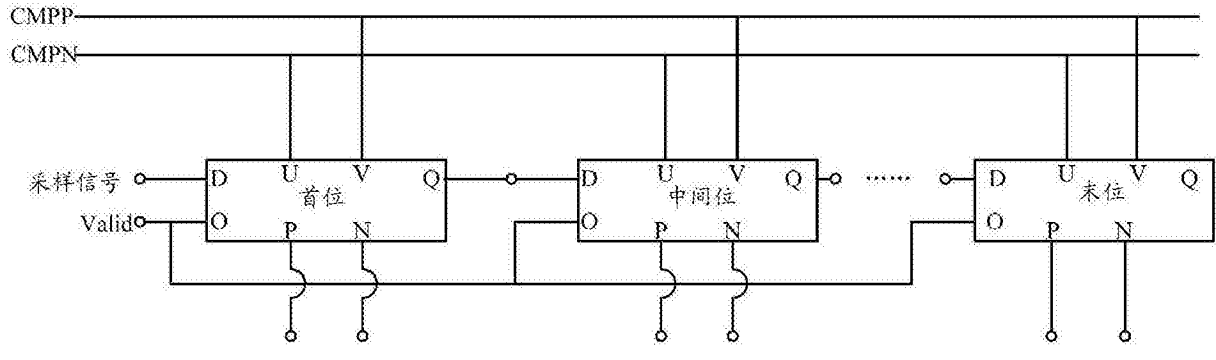


图9