

특허청구의 범위

청구항 1

기관과;

상기 기관 상에 일 방향으로 형성된 게이트 배선과;

상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하는 데이터 배선과;

상기 게이트 배선에서 연장된 게이트 전극과, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 순수 및 불순물 비정질 실리콘층 상의 소스전극과, 상기 소스 전극과 이격되며 상기 게이트 전극에 전 부분이 가려지도록 형성된 드레인 전극을 포함하는 박막트랜지스터와;

상기 드레인 전극과 접촉하면서 상기 화소 영역에 구성된 화소 전극

을 포함하는 박막트랜지스터 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 화소 전극과 상기 드레인 전극을 연결하는 화소 인출부를 더욱 포함하는 박막트랜지스터 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 화소 인출부는 상기 화소 전극과 동일층에서 투명한 도전성 물질로 형성되는 박막트랜지스터 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 소스 전극은 U자 형상으로 형성되는 박막트랜지스터 액정표시장치.

청구항 5

제 1 항에 있어서,

상기 드레인 전극은 상기 소스 전극과 이격되며, 그 내부에 둘러싸여 아일랜드 형상으로 형성되는 박막트랜지스터 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 소스 전극과 드레인 전극이 이격된 사이 구간의 하부에 구성된 불순물 비정질 실리콘층이 제거되어 순수 비정질 실리콘층이 노출되게 형성된 박막트랜지스터 액정표시장치.

청구항 7

기관을 준비하는 단계와;

상기 기관 상에 게이트 전극과, 게이트 배선을 형성하는 제 1 마스크 공정 단계와;

상기 게이트 전극과 게이트 배선 상에 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층과, 소스 및 드레인 금속층을 차례로 형성하는 단계와;

상기 순수 및 불순물 비정질 실리콘층과, 소스 및 드레인 금속층을 일괄적으로 패터닝하여, 상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층과, 그 상부에 소스 전극과, 상기 소스 전극과 이격되며 상기 게

트 전극에 전부분이 가려지도록 형성된 드레인 전극과, 데이터 배선을 형성하는 제 2 마스크 공정 단계와;

상기 소스 및 드레인 전극 상에 보호막을 형성하는 단계와;

상기 보호막을 패터하여 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀을 형성하는 제 3 마스크 공정 단계와;

상기 보호막 상에 투명한 도전성 금속층을 적층한 후, 이를 패터하여 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 제 4 마스크 공정 단계

를 포함하는 박막트랜지스터 액정표시장치 제조방법.

청구항 8

제 7 항에 있어서,

상기 제 2 마스크 공정 단계는

상기 순수 및 불순물 비정질 실리콘층과 소스 및 드레인 금속층을 형성한 기판 상에 감광층을 형성하는 단계와;

상기 감광층 상부에서, 상기 소스 및 드레인 전극이 형성될 양측 부분에 차단부가 대응되고, 상기 양측 차단부 사이에 반투과부가 대응되고, 이를 제외한 부분은 투과부가 대응되도록, 상기 감광층 상부에 마스크를 위치시키는 단계와;

상기 마스크의 상부에서 빛을 조사하는 노광 공정 후, 현상 공정 단계를 통해 상기 차단부의 감광층은 그대로 존재하게 되며, 상기 반투과부의 감광층은 일부가 제거되어 높이가 낮아진 상태가 되고, 상기 투과부의 감광층은 완전히 제거되는 단계와;

상기 남겨진 감광층을 식각 마스크로 이용하여, 상기 투과부에 대응하는 소스 및 드레인 금속층과 순수 및 불순물 비정질 실리콘층을 식각하는 단계와;

상기 남겨진 감광층을 에칭하는 공정을 진행하여, 상기 차단부의 감광층은 일부가 제거되고, 상기 반투과부의 감광층은 완전히 제거되는 단계와;

상기 남겨진 감광층을 식각 마스크로 이용하여, 상기 반투과부에 대응하는 소스 및 드레인 금속층과 불순물 비정질 실리콘층을 식각하는 단계와;

상기 남겨진 감광층을 스트립 공정으로 제거하여, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 순수 및 불순물 비정질 실리콘층 상부에서 상기 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 이와는 이격되고 상기 게이트 전극에 전부분이 가려지는 드레인 전극을 형성하는 단계

를 포함하는 박막트랜지스터 액정표시장치 제조방법.

청구항 9

제 7 항에 있어서,

상기 소스 전극과 드레인 전극을 이격한 사이 구간의 하부에 형성된 불순물 비정질 실리콘층을 제거하여 순수 비정질 실리콘층을 노출하는 단계를 포함하는 박막트랜지스터 액정표시장치 제조방법.

청구항 10

제 7 항에 있어서,

상기 소스 전극은 U자 형상으로 형성하고, 이와는 이격된 드레인 전극은 상기 U자 형상의 내부에서 이에 둘러싸여 아일랜드 형상으로 형성하는 박막트랜지스터 액정표시장치 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 박막트랜지스터 액정표시장치에 관한 것으로, 특히 액정표시 패널의 화상 불량의 원인으로 작용하는 박막트랜지스터 광 누설 전류(photo current leakage)의 발생을 감소시켜, 화상 특성을 개선하는 것에 관한 것이다.
- <15> 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- <16> 또한, 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 두 기판 사이에 충전된 액정으로 이루어지며, 이러한 액정표시장치는 공통전극과 화소전극 간의 상하로 걸리는 수직전계에 의해 구동시키는 방식이며 투과율과 개구율 등의 특성이 우수하다.
- <17> 이하, 첨부한 도면을 참조하여 종래의 박막트랜지스터 액정표시장치에 대해 설명한다.
- <18> 도 1은 종래의 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도이다.
- <19> 도시한 바와 같이, 기판(10) 상에 일 방향으로 구성된 게이트 배선(20)과, 상기 게이트 배선(20)과 수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(30)이 구성된다.
- <20> 상기 게이트 배선(20)에서 연장된 게이트 전극(25)과, 상기 게이트 전극(25) 상의 순수 비정질 실리콘층(45) 및 불순물 비정질 실리콘층(미도시)과, 상기 순수 및 불순물 비정질 실리콘층 상의 소스 전극(32)과, 이와는 이격된 드레인 전극(34)을 포함하는 박막트랜지스터(T)가 구성된다.
- <21> 이때, 상기 소스 전극(32)은 데이터 배선(30)에서 연장된 데이터 연결배선(31)과 연결되어 U자 형상으로 구성되며, 상기 드레인 전극(34)은 소스 전극(32)과 이격되어 그 내부에 둘러싸여 I자 형상으로 구성된다.
- <22> 또한, 상기 화소 영역(P)에 대응하여 드레인 콘택홀(CH1)을 통해 드레인 전극(34)과 연결된 화소 전극(60)이 구성된다.
- <23> 이하, 첨부한 도면을 참조하여 종래의 박막트랜지스터 액정표시장치의 제조방법에 대해 상세히 설명한다.
- <24> 도 2a 내지 도 2g는 도 1의 II-II선을 따라 절단한 공정 단면도로, 스위칭 영역에 대해서만 도시하였다.
- <25> 도 2a는 제 1 마스크 공정을 나타낸 단면도이다.
- <26> 도시한 바와 같이, 기판(10) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착한 후 이를 패터닝하여, 상기 기판(10) 상에 일 방향으로 구성된 게이트 배선(도 1의 20)과, 상기 게이트 배선에서 연장된 게이트 전극(25)이 형성된다.
- <27> 이어, 상기 게이트 전극(25)과, 게이트 배선(도 1의 20)이 형성된 기판(10) 상에 산화실리콘(SiO₂)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(50)이 형성된다.
- <28> 도 2b 내지 도 2d는 제 2 마스크 공정을 나타낸 단면도이다.
- <29> 도 2b에 도시한 바와 같이, 상기 게이트 절연막(50)이 형성된 기판(10) 상에 순수 비정질 실리콘층(45)과, 불순물 비정질 실리콘층(46)을 차례로 형성한다.
- <30> 이어, 상기 순수 및 불순물 비정질 실리콘층(45, 46)을 형성한 기판(10) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 도전성 금속 그룹 중 선택된 하나로 소스 및 드레인 금속층(75)을 형성한다.
- <31> 다음으로, 상기 순수 및 불순물 비정질 실리콘층(45, 46)과, 소스 및 드레인 금속층(75)을 형성한 기판

(10) 상에 감광층(85)을 도포하고, 이와 이격된 상부로 하프톤 마스크(M)를 위치시킨다.

- <32> 이때, 상기 하프톤 마스크(M)는 투과부(C1), 반투과부(C2) 및 차단부(C3)로 구성된 마스크로, 상기 감광층(85)이 포지티브(positive) 특성을 갖는다고 가정할 때, 상기 마스크(M)의 상부에서 빛을 조사하여 하부의 감광층(85)을 노광 및 현상 공정을 진행하면, 상기 마스크(M)의 차단부(C3)에 대응하는 부분의 감광층(85)은 그대로 존재하며, 반투과부(C2)에 대응하는 부분의 감광층(85)은 표면으로부터 일부가 제거되어 높이가 낮아진 상태가 되고, 투과부(C1)에 대응하는 부분의 감광층(85)은 완전히 제거된다.
- <33> 여기서, 상기 반투과부(C2)의 양측에 차단부(C3)가 위치하도록 하고, 그 외의 영역은 투과부(C1)를 위치시킨다.
- <34> 도 2c에 도시한 바와 같이, 전술한 공정을 진행하면, 상기 차단부(C3)에 대응한 감광층(85)은 그대로 존재하게 되고, 상기 반투과부(C2)에 대응한 감광층(85)은 표면으로부터 일부가 제거되어 높이가 낮아진 상태가 되며, 투과부(C1)에 대응하는 부분의 감광층(85)은 완전히 제거된다.
- <35> 이어, 상기 남겨진 감광층(85)을 식각 마스크로 이용하여 식각 공정을 진행하면, 상기 남겨진 감광층(85)을 제외한 부분의 소스 및 드레인 금속층(75)과, 순수 및 불순물 비정질 실리콘층(45, 46)이 모두 제거된다.
- <36> 도 2d에 도시한 바와 같이, 상기 남겨진 감광층(85)을 애싱하는 공정을 진행하면, 상기 차단부(C3)에 대응한 감광층(85)은 높이가 낮아진 상태가 되고, 상기 반투과부(C2)에 대응한 감광층(85)은 완전히 제거된다.
- <37> 이때, 상기 남겨진 감광층(85)을 애싱하는 과정에서 좌우측 끝단(f)에 위치한 감광층(85)의 일부가 제거된다.
- <38> 도 2e에 도시한 바와 같이, 상기 남겨진 감광층(도 2d의 85)을 식각 마스크로 이용하여 식각 공정을 진행하면, 상기 반투과부(C2)에 대응한 불순물 비정질 실리콘층(46)과, 소스 및 드레인 금속층(75)이 제거된다.
- <39> 이어, 상기 남겨진 감광층(85)을 스트립 공정으로 제거하면, 상기 게이트 전극(25)과, 그 상부의 순수 및 불순물 비정질 실리콘층(45, 46)과, 상기 순수 및 불순물 비정질 실리콘층(45, 46) 상의 소스 및 드레인 전극(32, 34)을 포함하는 박막트랜지스터(T)가 구성된다.
- <40> 이때, 상기 소스 전극(32)은 데이터 배선(도 1의 30)에서 연장된 데이터 연결배선(도 1의 31)과 연결되어 U자 형상으로 형성되며, 상기 드레인 전극(34)은 상기 소스 전극(32)의 내부에서 이에 둘러싸여 I자 형상으로 형성되고, 상기 소스 및 드레인 전극(32, 34)을 이격한 사이 구간의 하부에 위치한 불순물 비정질 실리콘층(46)이 제거되어 순수 비정질 실리콘층(45)이 노출된다.
- <41> 이때, 전술한 공정 중 상기 좌우측 끝단의 노출된 부분(f)이 같이 식각되어 상기 소스 및 드레인 전극(32, 34)과, 데이터 배선(도 1의 30)과, 그 하부의 불순물 비정질 실리콘층(46) 하부의 순수 비정질 실리콘층(45)의 일부가 외부로 돌출되며, 상기 소스 및 드레인 전극(32, 34)을 이격한 사이 구간의 하부로 노출된 순수 비정질 실리콘층(45)이 박막트랜지스터(T)의 채널 영역(CA1)이 된다.
- <42> 따라서, 상기 박막트랜지스터(T)의 게이트 전극(25)에 주사신호가 인가되면, 액티브층(45)에 전자가 이동할 수 있는 채널이 형성되어 소스 전극(32)의 데이터 신호가 액티브층(45)을 통해 드레인 전극(34)에 전달된다.
- <43> 도 2f는 제 3 마스크 공정을 나타낸 단면도이다.
- <44> 도시한 바와 같이, 상기 소스 및 드레인 전극(32, 34)이 형성된 기판(10) 상에 산화실리콘(SiO₂)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 보호막(90)이 형성된다.
- <45> 이어, 상기 보호막(90)을 패터닝하여, 상기 드레인 전극(34)의 일부가 노출되는 드레인 콘택홀(CH1)이 형성된다.
- <46> 도 2g는 제 4 마스크 공정을 나타낸 단면도이다.
- <47> 도시한 바와 같이, 상기 드레인 콘택홀(CH1)이 형성된 보호막(90) 상에 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속을 증착한 후 이를 패터닝하여, 상기 화소 영역(도 1의 P)에 대응하여 상기 드레인 콘택홀(CH1)을 경유하여 드레인 전극(34)과 연결된 화소 전극(60)이 형성된다.

- <48> 따라서, 전술한 공정을 통해 종래의 박막트랜지스터 액정표시장치를 4 마스크 공정으로 제작할 수 있다.
- <49> 그러나, 종래의 수평구조의 4 마스크 공정의 경우 드레인 전극의 주변부로 액티브층이 돌출되어 구성되고, 돌출된 액티브층이 외부광에 노출되면서 광 누설전류를 발생시키는 문제를 야기하였다.
- <50> 도 3은 도 1의 A 부분을 확대한 도면으로, 이를 참조하여 상세히 설명한다.
- <51> 도시한 바와 같이, 기판(10) 상에 게이트 배선(도 1의 20)에서 연장된 게이트 전극(25)이 구성되어 있으며, 상기 게이트 전극(25) 상에 순수 비정질 실리콘층(45)과 불순물 비정질 실리콘층(미도시)이 구성되고, 상기 순수 및 불순물 비정질 실리콘층 상에 데이터 배선(도 1의 30)에서 연장된 데이터 연결배선(31)과 연결된 소스 전극(32)과, 상기 소스 전극(32)과 이격된 드레인 전극(34)이 구성되며, 상기 드레인 전극(34)과 연결된 화소 전극(60)이 구성되어 있다.
- <52> 이때, 상기 소스 전극(32)은 U자 형상으로 구성되며, 상기 소스 전극(32)과 이격되어 그 내부에 둘러싸여 I자 형상으로 드레인 전극(34)이 구성된다.
- <53> 여기서, 전술한 4 마스크 공정은 순수 비정질 실리콘층(45) 및 불순물 비정질 실리콘층(미도시)과, 소스 및 드레인 전극(32, 34)이 하나의 마스크 공정으로 진행된다.
- <54> 전술한 바와 같이, 상기 마스크 공정은 하프톤 마스크 공정으로, 상기 공정을 진행하면, 소스 및 드레인 전극(32, 34) 하부에 위치한 순수 비정질 실리콘층(45)이 그 외부로 돌출 구성되며, 상기 소스 전극(32)과 드레인 전극(34)을 이격한 하부로 불순물 비정질 실리콘층(46)이 제거되어 순수 비정질 실리콘층(45)이 노출된다.
- <55> 여기서, 상기 소스 및 드레인 전극(32, 34)을 이격한 하부의 순수 비정질 실리콘층(45)이 박막트랜지스터(T)의 채널 영역(CA1)이 된다.
- <56> 이때, 상기 소스 전극(32)의 일부를 표시한 E 부분에서는 상기 소스 전극(32) 하부에 구성된 순수 비정질 실리콘층(45)이 그 하부의 게이트 전극(25)에 의해 가려지지만, 드레인 전극(34)의 일부를 표시한 F 부분에서는 상기 드레인 전극(34) 하부에 게이트 전극(25)이 존재하지 않는 구조이다.
- <57> 또한, 상기 드레인 연결배선(31)은 상기 채널 영역(CA1)과 멀리 떨어져 있음에 반해, F 부분은 채널 영역(CA1)에 인접해 있어 이 부분이 외부광(미도시)에 노출되었을 경우, 상기 채널 영역(CA1)에 직접적으로 영향을 미치게 된다.
- <58> 이 외에도, 상기 소스 및 드레인 전극(32, 34)은 반사율이 뛰어난 도전성 금속으로 형성되기 때문에, 상기 F 부분에서 드레인 전극(34)에 의해 간접적으로 반사된 외부광(미도시)이 채널 영역(CA1)에 위치한 액티브층(45)에 조사되어 악영향을 미칠 수 있다.
- <59> 따라서, 종래의 액정표시장치에서는 기판과 이격된 하부에 위치한 백라이트로부터 외부광이 입사되면, 소스 전극은 그 하부에 위치한 게이트 전극이 실딩(shielding) 역할을 하게 되지만, 드레인 전극은 그 하부에 위치한 순수 비정질 실리콘층이 외부광에 그대로 노출되며, 노출된 빛이 상기 순수 비정질 실리콘층에 조사되면서 활성화 및 비활성화를 반복하게 됨으로 인해 광 누설 전류(photo current leakage)를 유발시켜, 화상 불량이 발생하는 문제점을 야기하였다.

발명이 이루고자 하는 기술적 과제

- <60> 따라서, 전술한 바와 같은 문제점을 해결하기 위한 목적으로 안출된 것으로, 본 발명에 따른 박막트랜지스터 액정표시장치는 드레인 전극 하부의 액티브층이 게이트 전극의 외부로 노출되지 않도록 구성하는 것을 특징으로 하며, 이로써 화상 특성에 불량요인으로 작용하는 광 누설 전류를 감소시켜, 고화질의 액정표시장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

- <61> 본 발명에 따른 박막트랜지스터 액정표시장치는 기판과, 상기 기판 상에 일 방향으로 형성된 게이트 배선과, 상기 게이트 배선과 수직하게 교차하여 화소 영역을 정의하는 데이터 배선과;
- <62> 상기 게이트 배선에서 연장된 게이트 전극과, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층

과, 상기 순수 및 불순물 비정질 실리콘층 상의 소스전극과, 상기 소스 전극과 이격되며 상기 게이트 전극에 전 부분이 가려지도록 형성된 드레인 전극을 포함하는 박막트랜지스터와;

- <63> 상기 드레인 전극과 접촉하면서 상기 화소 영역에 구성된 화소 전극을 포함하는 것을 특징으로 한다.
- <64> 여기서, 상기 화소 전극과 상기 드레인 전극을 연결하는 화소 인출부를 더욱 포함하며, 상기 화소 인출부는 상기 화소 전극과 동일층에서 투명한 도전성 물질로 형성된다.
- <65> 또한, 상기 소스 전극은 U자 형상으로 형성되고, 상기 드레인 전극은 상기 소스 전극과 이격되며, 그 내부에 둘러싸여 아일랜드 형상으로 형성된다.
- <66> 상기 소스 전극과 드레인 전극이 이격된 사이 구간의 하부에 구성된 불순물 비정질 실리콘층이 제거되어 순수 비정질 실리콘층이 노출되게 형성된다.
- <67> 본 발명에 따른 박막트랜지스터 액정표시장치 제조방법은 기판을 준비하는 단계와, 상기 기판 상에 게이트 전극과, 게이트 배선을 형성하는 제 1 마스크 공정 단계와;
- <68> 상기 게이트 전극과 게이트 배선 상에 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층과, 소스 및 드레인 금속층을 차례로 형성하는 단계와, 상기 순수 및 불순물 비정질 실리콘층과, 소스 및 드레인 금속층을 일괄적으로 패터닝하여, 상기 게이트 절연막 상에 순수 및 불순물 비정질 실리콘층과, 그 상부에 소스 전극과, 상기 소스 전극과 이격되며 상기 게이트 전극에 전 부분이 가려지도록 형성된 드레인 전극과, 데이터 배선을 형성하는 제 2 마스크 공정 단계와;
- <69> 상기 소스 및 드레인 전극 상에 보호막을 형성하는 단계와, 상기 보호막을 패터닝하여 상기 드레인 전극의 일부를 노출하는 드레인 콘택홀을 형성하는 제 3 마스크 공정 단계와;
- <70> 상기 보호막 상에 투명한 도전성 금속층을 적층한 후, 이를 패터닝하여 상기 드레인 전극과 접촉하는 화소 전극을 형성하는 제 4 마스크 공정 단계를 포함하는 것을 특징으로 한다.
- <71> 여기서, 상기 제 2 마스크 공정 단계는, 상기 순수 및 불순물 비정질 실리콘층과 소스 및 드레인 금속층을 형성한 기판 상에 감광층을 형성하는 단계와;
- <72> 상기 감광층 상부에서, 상기 소스 및 드레인 전극이 형성될 양측 부분에 차단부가 대응되고, 상기 양측 차단부 사이에 반투과부가 대응되고, 이를 제외한 부분은 투과부가 대응되도록, 상기 감광층 상부에 마스크를 위치시키는 단계와;
- <73> 상기 마스크의 상부에서 빛을 조사하는 노광 공정 후, 현상 공정 단계를 통해 상기 차단부의 감광층은 그대로 존재하게 되며, 상기 반투과부의 감광층은 일부가 제거되어 높이가 낮아진 상태가 되고, 상기 투과부의 감광층은 완전히 제거되는 단계와;
- <74> 상기 남겨진 감광층을 식각 마스크로 이용하여, 상기 투과부에 대응하는 소스 및 드레인 금속층과 순수 및 불순물 비정질 실리콘층을 식각하는 단계와, 상기 남겨진 감광층을 애싱하는 공정을 진행하여, 상기 차단부의 감광층은 일부가 제거되고, 상기 반투과부의 감광층은 완전히 제거되는 단계와;
- <75> 상기 남겨진 감광층을 식각 마스크로 이용하여, 상기 반투과부에 대응하는 소스 및 드레인 금속층과 불순물 비정질 실리콘층을 식각하는 단계와;
- <76> 상기 남겨진 감광층을 스트립 공정으로 제거하여, 상기 게이트 전극 상의 순수 및 불순물 비정질 실리콘층과, 상기 순수 및 불순물 비정질 실리콘층 상부에서 상기 데이터 배선과, 상기 데이터 배선에서 연장된 소스 전극과, 이와는 이격되고 상기 게이트 전극에 전 부분이 가려지는 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.
- <77> 또한, 상기 소스 전극과 드레인 전극을 이격한 사이 구간의 하부에 형성된 불순물 비정질 실리콘층을 제거하여 순수 비정질 실리콘층을 노출하는 단계를 포함하며, 상기 소스 전극은 U자 형상으로 형성하고, 이와는 이격된 드레인 전극은 상기 U자 형상의 내부에서 이에 둘러싸여 아일랜드 형상으로 형성한다.
- <78> 이하, 첨부한 도면을 참조하여 본 발명에 따른 박막트랜지스터 액정표시장치에 대해 설명한다.
- <79> 도 4는 본 발명에 따른 박막트랜지스터 액정표시장치의 단위 화소를 나타낸 평면도이다.
- <80> 도시한 바와 같이, 기판(100) 상에 일 방향으로 구성된 게이트 배선(120)과, 상기 게이트 배선(120)과

수직하게 교차하여 화소 영역(P)을 정의하는 데이터 배선(130)을 구성한다.

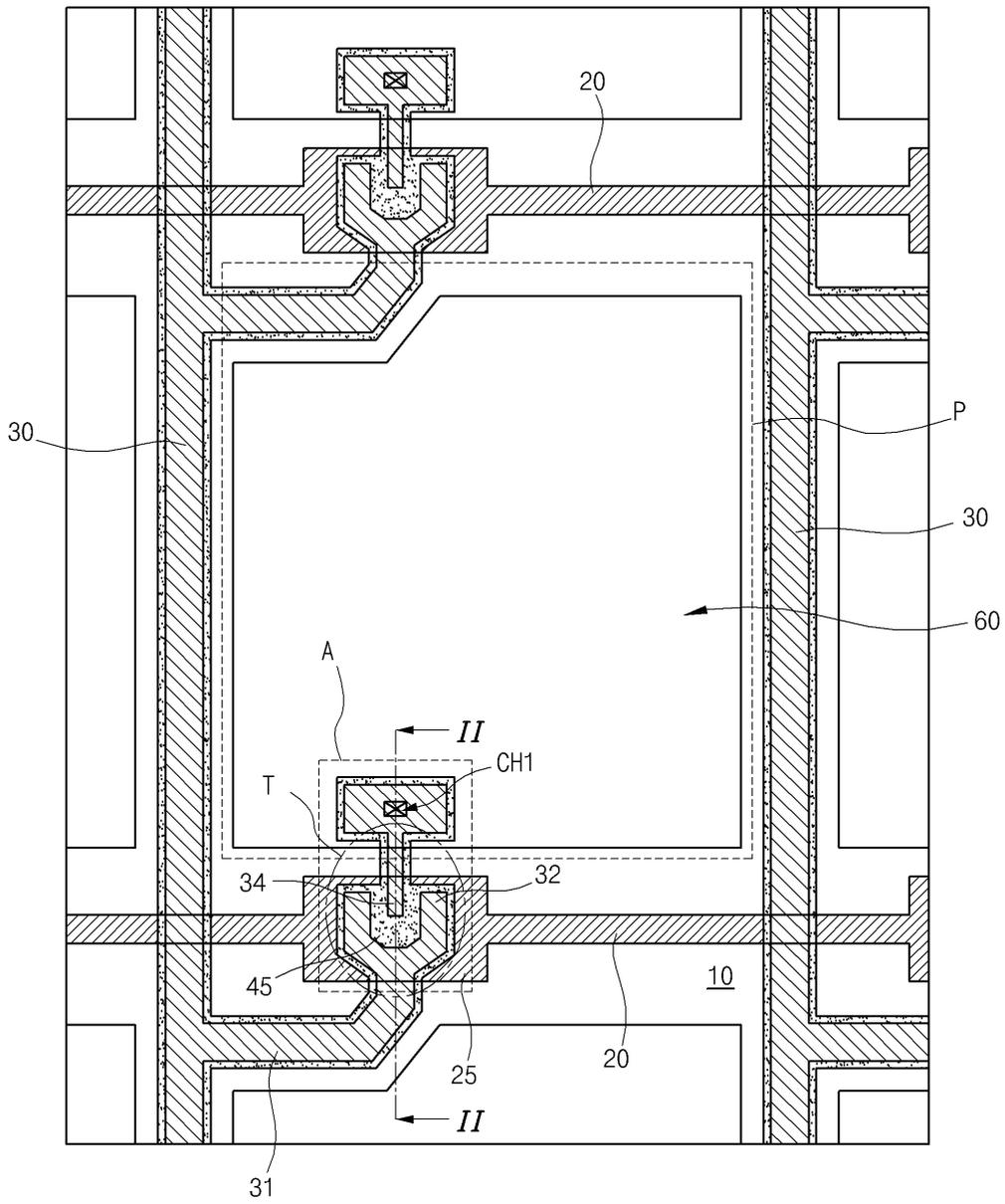
- <81> 상기 게이트 배선(120)에서 연장한 게이트 전극(125)과, 상기 게이트 전극(125) 상의 순수 비정질 실리콘층(145) 및 불순물 비정질 실리콘층(미도시)과, 상기 순수 및 불순물 비정질 실리콘층 상의 소스 전극(132)과, 이와는 이격된 드레인 전극(134)을 포함하는 박막트랜지스터(T)를 구성한다.
- <82> 이때, 상기 소스 전극(132)은 데이터 배선(130)에서 연장된 데이터 연결배선(131)과 연결되어 U자 형상으로 구성하며, 상기 소스 전극(132)과 이격된 드레인 전극(134)은 소스 전극(132)의 내부에서 U자 형상에 둘러싸여 아일랜드 형상으로 구성한다.
- <83> 또한, 상기 화소 영역(P)에 대응하여 화소 전극(160)이 구성되며, 상기 화소 전극(160)은 화소 인출부(160a)를 통해 상기 드레인 전극(134)과 연결된다.
- <84> 여기서, 상기 드레인 전극(134)과 그 하부의 순수 비정질 실리콘층(145) 및 불순물 비정질 실리콘층(미도시)은 그 하부에 위치한 게이트 전극(125)에 의해 전부분이 가려지게 구성하는 것을 특징으로 한다.
- <85> 이와 같은 구성은, 외부로부터 입사된 빛이 상기 게이트 전극으로 인해 드레인 전극 하부의 액티브층에 닿지 않기 때문에 빛에 의한 광 누설 전류(photo current leakage)의 발생을 최소화할 수 있다.
- <86> 이하, 첨부한 도면을 참조하여 본 발명에 따른 박막트랜지스터 액정표시장치의 제조방법에 대해 설명한다.
- <87> 도 5a 내지 도 5g는 도 4의 V-V 선을 따라 절단한 단면도로, 스위칭 영역에 대해서만 도시하였다.
- <88> 도 5a는 제 1 마스크 공정을 나타낸 단면도이다.
- <89> 도시한 바와 같이, 기판(100) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 도전성 금속 그룹 중 선택된 하나 또는 그 이상의 물질을 증착한 후 이를 패터닝하여, 상기 기판(100) 상에 일 방향으로 구성된 게이트 배선(도 4의 120)과, 상기 게이트 배선에서 연장된 게이트 전극(125)을 형성한다.
- <90> 이어, 상기 게이트 전극(125)과, 게이트 배선(도 4의 120)을 형성한 기판(100) 상에 산화실리콘(SiO₂)과 질화실리콘(SiNx)을 포함하는 무기절연물질 그룹 중 선택된 하나로 게이트 절연막(150)을 형성한다.
- <91> 도 5b 내지 도 5e는 제 2 마스크 공정을 나타낸 단면도이다.
- <92> 도 5b에 도시한 바와 같이, 상기 게이트 절연막(150)을 형성한 기판(100) 상에 순수 비정질 실리콘층(145)과, 불순물 비정질 실리콘층(146)을 차례로 형성한다.
- <93> 이어, 상기 순수 및 불순물 비정질 실리콘층(145, 146)을 형성한 기판(100) 상에 알루미늄(Al), 알루미늄 합금(AlNd), 몰리브덴(Mo), 텅스텐(W), 크롬(Cr) 등과 같은 도전성 금속 그룹 중 선택된 하나로 소스 및 드레인 금속층(175)을 형성한다.
- <94> 이어, 상기 순수 및 불순물 비정질 실리콘층(145, 146)과, 소스 및 드레인 금속층(175)을 형성한 기판(100) 상에 감광층(185)을 도포하고, 이와 이격된 상부로 하프톤 마스크(M)를 위치시킨다.
- <95> 이때, 상기 하프톤 마스크(M)는 투과부(C1), 반투과부(C2) 및 차단부(C3)로 구성된 마스크로, 상기 감광층(185)이 포지티브(positive) 특성을 갖는다고 가정할 때, 상기 마스크(M)의 상부에서 빛을 조사하여 하부의 감광층(185)을 노광 및 현상 공정을 진행하면, 상기 마스크(M)의 차단부(C3)에 대응하는 부분의 감광층(185)은 그대로 존재하며, 반투과부(C2)에 대응하는 부분의 감광층(185)은 표면으로부터 일부가 제거되어 높이가 낮아진 상태가 되고, 투과부(C1)에 대응하는 부분의 감광층(185)은 완전히 제거된다.
- <96> 여기서, 상기 반투과부(C2)의 양측에 차단부(C3)가 위치하도록 하고, 그 외의 영역은 투과부(C1)를 위치시킨다.
- <97> 도 5c에 도시한 바와 같이, 전술한 공정을 진행하면, 상기 차단부(C3)에 대응한 감광층(185)은 그대로 존재하게 되고, 상기 반투과부(C2)에 대응한 감광층(185)은 표면으로부터 일부가 제거되어 높이가 낮아진 상태가 되며, 투과부(C1)에 대응하는 부분의 감광층(185)은 완전히 제거된다.
- <98> 이어, 상기 남겨진 감광층(185)을 식각 마스크로 이용하여 식각 공정을 진행하면, 상기 남겨진 감광층(185)을 제외한 부분의 소스 및 드레인 금속층(175)과, 순수 및 불순물 비정질 실리콘층(145, 146)이 모두 제거

된다.

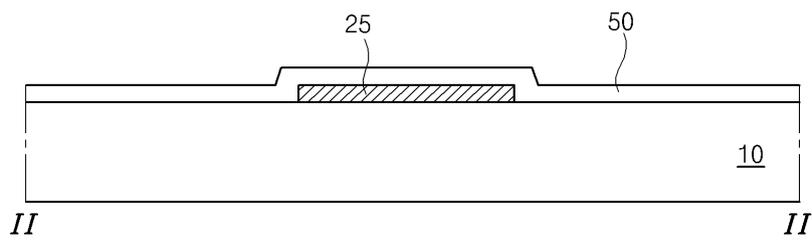
- <99> 도 5d에 도시한 바와 같이, 상기 남겨진 감광층(185)을 애싱하는 공정을 진행하면, 상기 차단부(C3)에 대응한 감광층(185)은 높이가 낮아진 상태가 되고, 상기 반투과부(C2)에 대응한 감광층(185)은 완전히 제거된다.
- <100> 이때, 상기 남겨진 감광층(185)을 애싱하는 과정에서 좌우측 끝단(g)에 위치한 감광층(185)의 일부가 제거된다.
- <101> 도 5e에 도시한 바와 같이, 상기 남겨진 감광층(185)을 식각 마스크로 이용하여 식각 공정을 진행하면, 상기 반투과부(C2)에 대응한 불순물 비정질 실리콘층(146)과, 소스 및 드레인 금속층(175)이 제거된다.
- <102> 이어, 상기 남겨진 감광층(185)을 스트립 공정으로 제거하면, 상기 게이트 전극(125)과, 그 상부의 순수 및 불순물 비정질 실리콘층(145, 146)과, 상기 순수 및 불순물 비정질 실리콘층(145, 146) 상의 소스 및 드레인 전극(132, 134)을 포함하는 박막트랜지스터(T)가 구성된다.
- <103> 이때, 상기 소스 전극(132)은 데이터 배선(도 4의 130)에서 연장된 데이터 연결배선(도 4의 131)과 연결되어 U자 형상으로 형성하며, 상기 드레인 전극(134)은 상기 소스 전극(132)의 내부에서 U자 형상에 둘러싸여 아일랜드 형상으로 형성한다.
- <104> 또한, 상기 소스 및 드레인 전극(132, 134)을 이격한 사이 구간 하부의 불순물 비정질 실리콘층(146)을 제거하여 순수 비정질 실리콘층(145)이 노출되게 형성하는 것은, 상기 소스 및 드레인 전극(132, 134)을 이격한 사이 구간의 하부로 노출된 순수 비정질 실리콘층(145)이 구성된 부분을 박막트랜지스터(T)의 채널 영역(CA2)으로 활용하기 위함이다.
- <105> 이때, 상기 순수 비정질 실리콘층(145)을 노출시키기 위한 식각 공정 중, 상기 남겨진 감광층(185)의 좌우측 끝단으로 노출된 부분(도 5d의 g)이 같이 식각되어, 상기 순수 비정질 실리콘층(145)이 그 상부에 위치한 불순물 비정질 실리콘층(146)과, 소스 및 드레인 전극(132, 134)과, 데이터 배선(도 4의 130) 외부로 일부분이 돌출되어 형성된다.
- <106> 여기서, 상기 드레인 전극(134)과, 그 하부에 위치한 순수 비정질 실리콘층(145)이 게이트 전극(125)에 의해 전부분이 가려지도록 아일랜드 형상으로 형성한다.
- <107> 도 5f는 제 3 마스크 공정을 나타낸 단면도이다.
- <108> 도시한 바와 같이, 상기 소스 및 드레인 전극(132, 134)을 형성한 기판(100) 상에 산화실리콘(SiO₂)과 질화실리콘(SiN_x)을 포함하는 무기절연물질 그룹 중 선택된 하나로 보호막(190)을 형성한다.
- <109> 이어, 상기 보호막(190)을 패터닝하여, 상기 드레인 전극(134)의 일부를 노출시키는 드레인 콘택홀(CH2)을 형성한다.
- <110> 도 5g는 제 4 마스크 공정을 나타낸 단면도이다.
- <111> 도시한 바와 같이, 상기 드레인 콘택홀(CH2)을 형성한 보호막(190) 상에 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 금속을 증착한 후 이를 패터닝하여, 상기 화소 영역(도 4의 P)에 대응하여 상기 드레인 콘택홀(CH2)을 경유하여 드레인 전극(134)과 화소 인출부(160a)를 통해 연결되는 화소 전극(160)을 형성한다.
- <112> 따라서, 전술한 공정을 통해 본 발명에 따른 박막트랜지스터 액정표시장치를 4 마스크 공정으로 제작할 수 있다.
- <113> 도 6은 도 4의 B 부분을 확대한 도면으로, 이를 참조하여 좀 더 상세히 설명한다.
- <114> 도시한 바와 같이, 기판(100) 상에 게이트 배선(도 4의 120)에서 연장된 게이트 전극(125)이 구성되어 있으며, 상기 게이트 전극(125) 상에 데이터 배선(도 4의 130)에서 연장된 데이터 연결배선(131)과 연결된 소스 전극(132)이 구성되고, 상기 소스 전극(132)과 이격하여 드레인 전극(134)이 구성되며, 상기 드레인 전극(134)과 연결된 화소 인출부(160a)를 통해 화소 영역(도 4의 P)에 대응하여 화소 전극(160)이 구성된다.
- <115> 여기서, 전술한 4 마스크 공정은 순수 및 불순물 비정질 실리콘층(145, 미도시)과 소스 및 드레인 전극(132, 134)을 하나의 마스크 공정으로 진행하게 되며, 이때 본 발명에서는 상기 드레인 전극(134)의 전부분을

도면

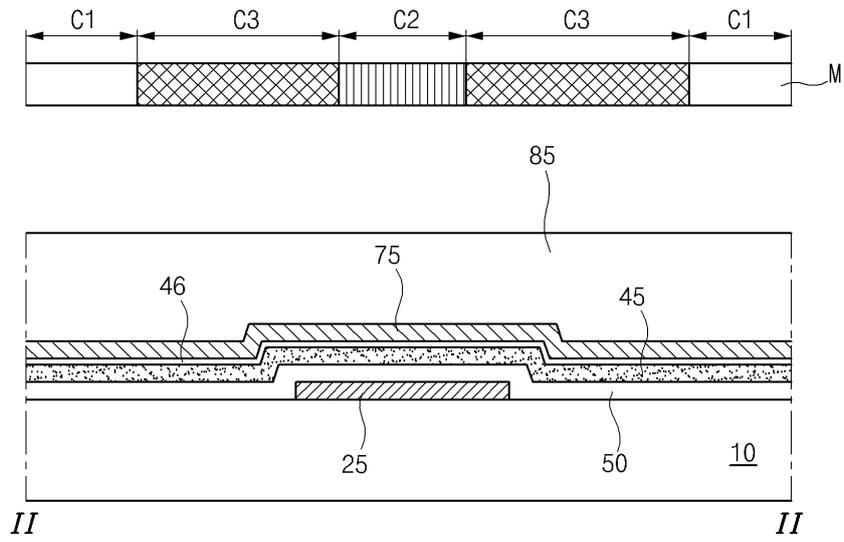
도면1



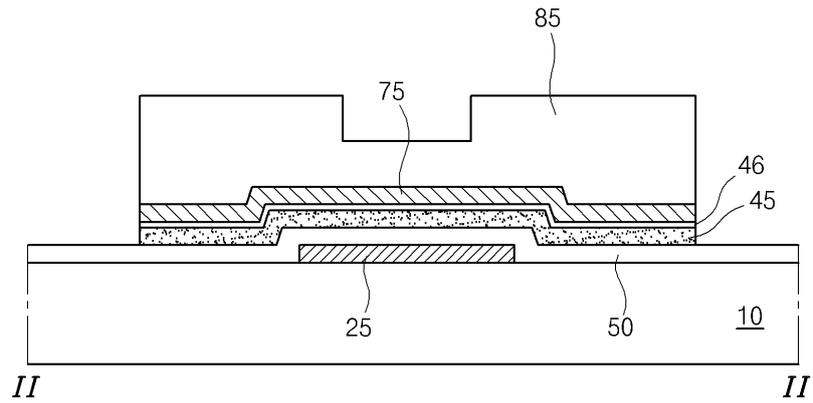
도면2a



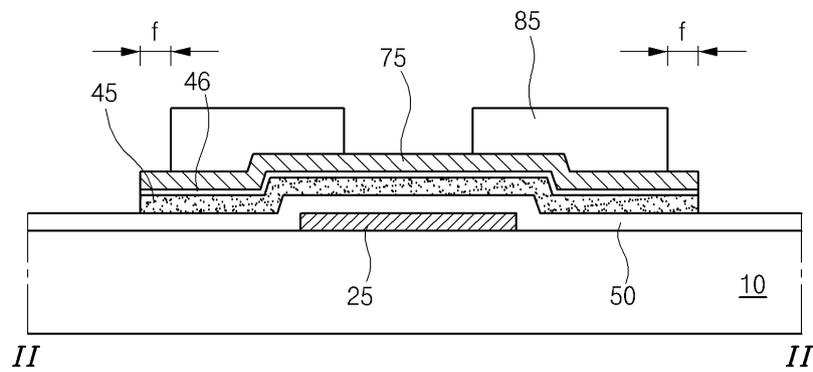
도면2b



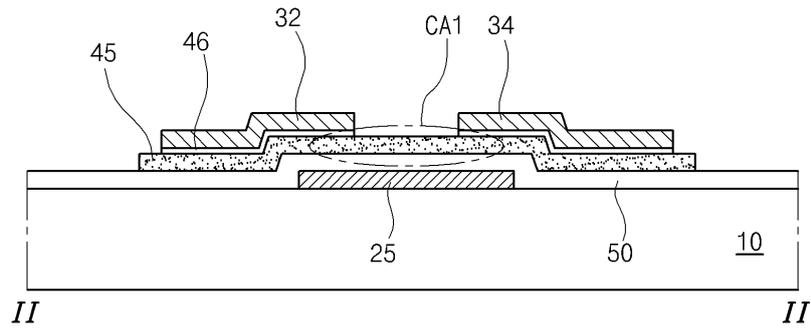
도면2c



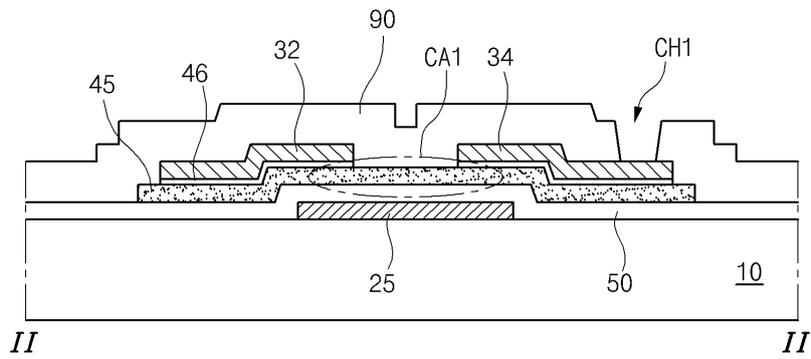
도면2d



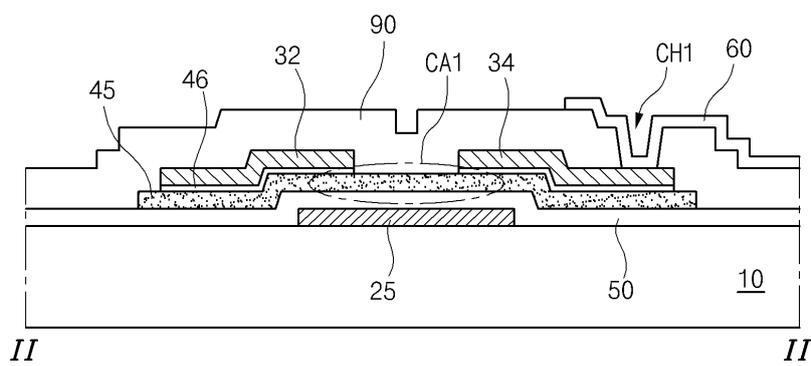
도면2e



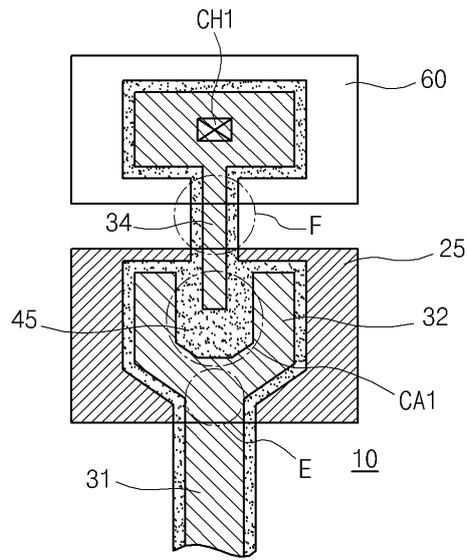
도면2f



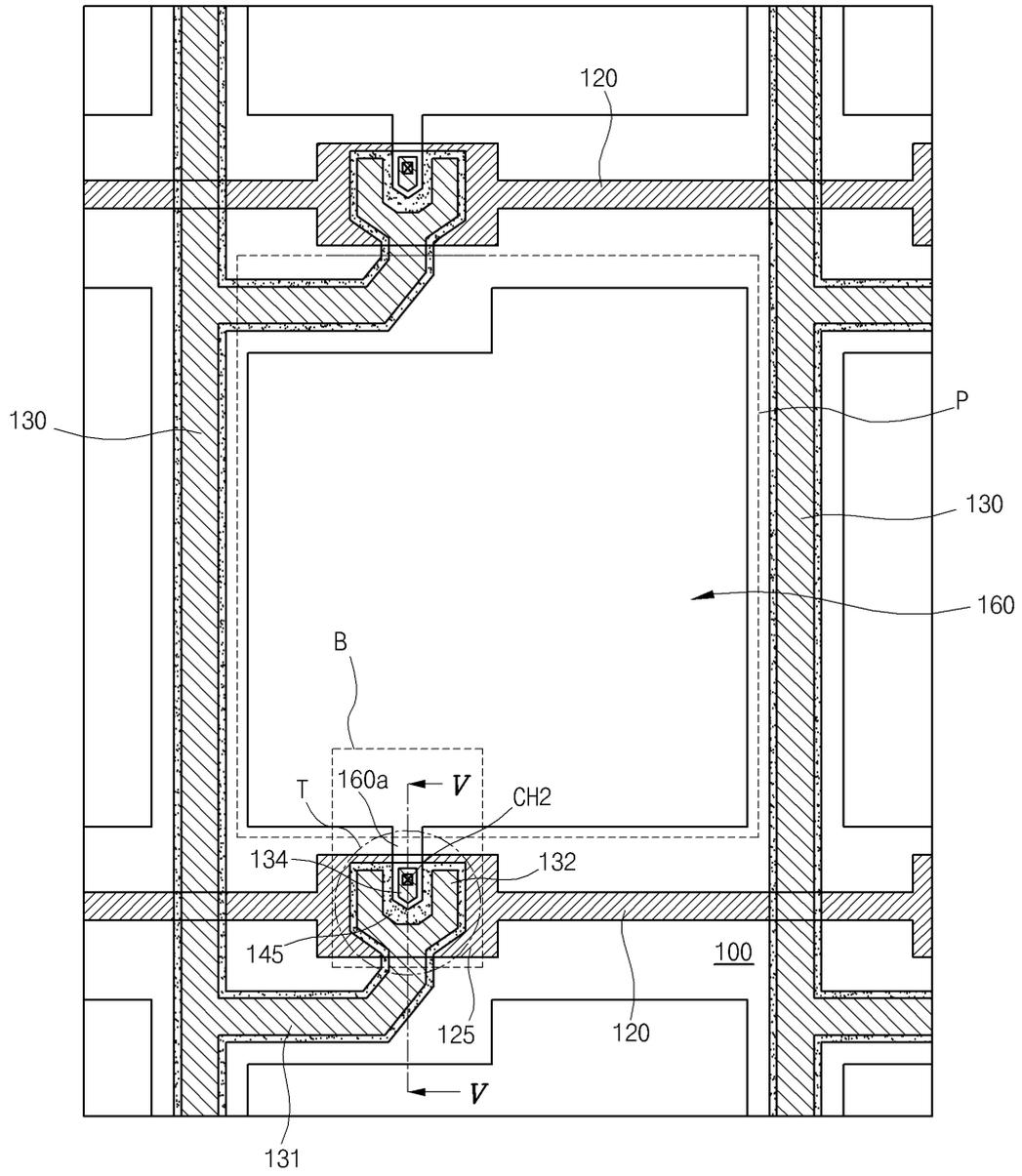
도면2g



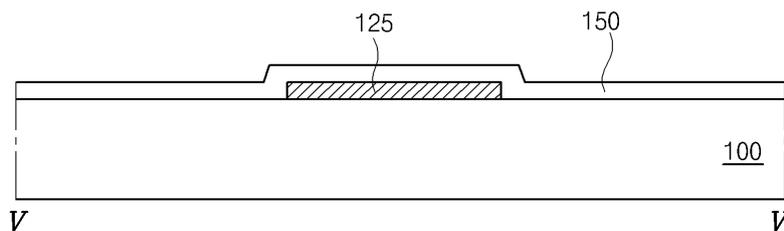
도면3



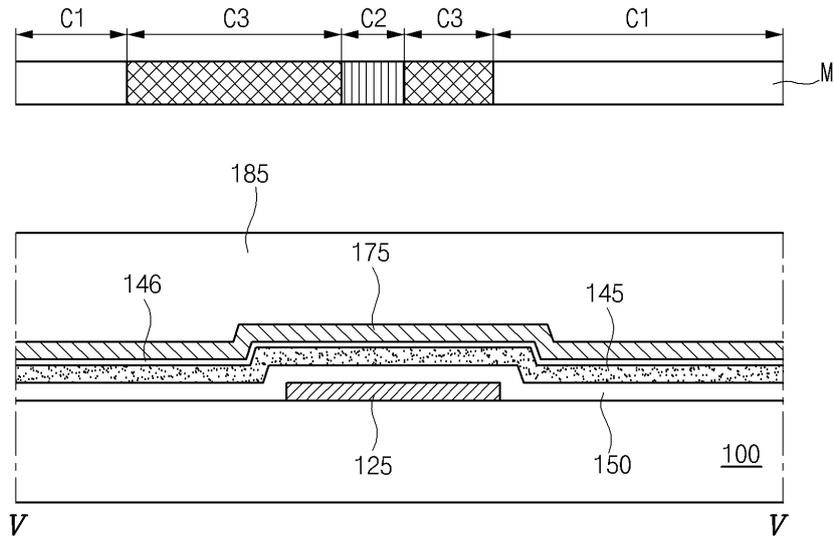
도면4



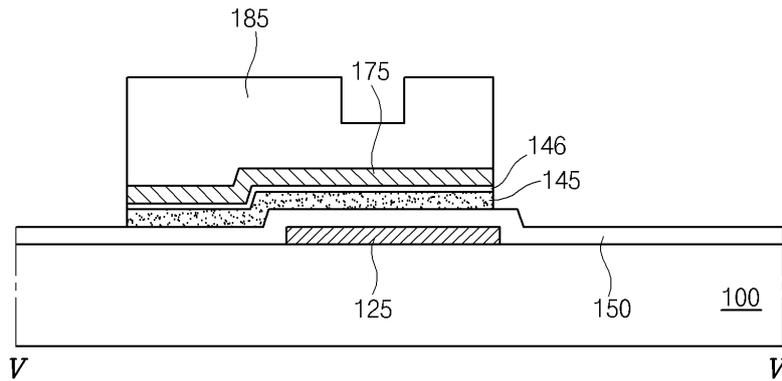
도면5a



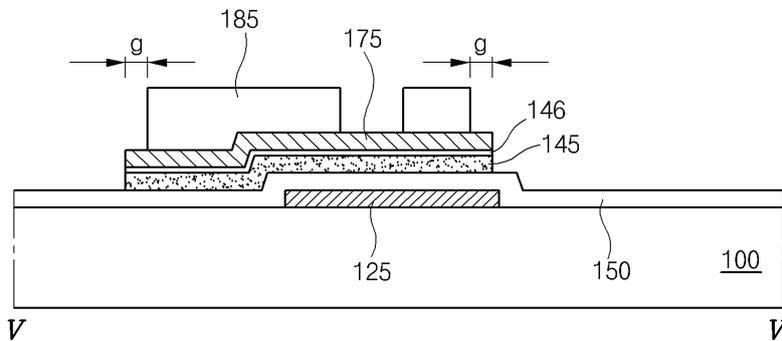
도면5b



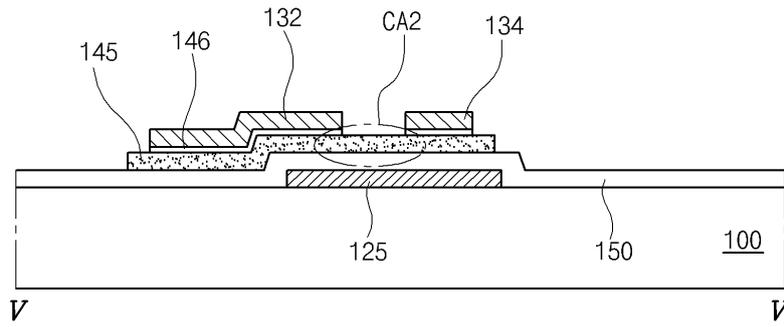
도면5c



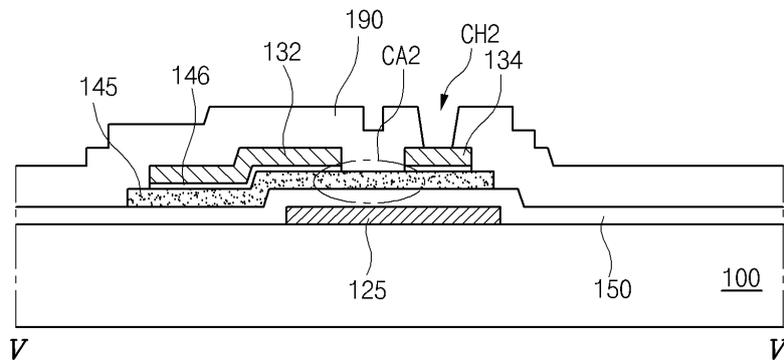
도면5d



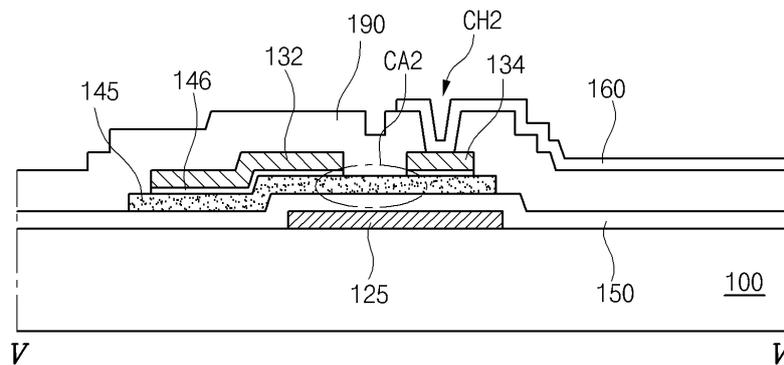
도면5e



도면5f



도면5g



도면6

