



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0128346
(43) 공개일자 2009년12월15일

(51) Int. Cl.
G09G 3/36 (2006.01) G11C 19/28 (2006.01)
H03K 19/00 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2009-0051496
(22) 출원일자 2009년06월10일
심사청구일자 2009년06월10일
(30) 우선권주장
200810114613.2 2008년06월10일 중국(CN)

(71) 출원인
베이징 보에 옵토일렉트로닉스 테크놀로지 컴퍼니
리미티드
중국, 베이징 100176, 비디에이, 지하우안중루 8
호
(72) 발명자
후 밍
중국 베이징 100176 비디에이 지하우안중루 8호
(74) 대리인
리엔특허법인

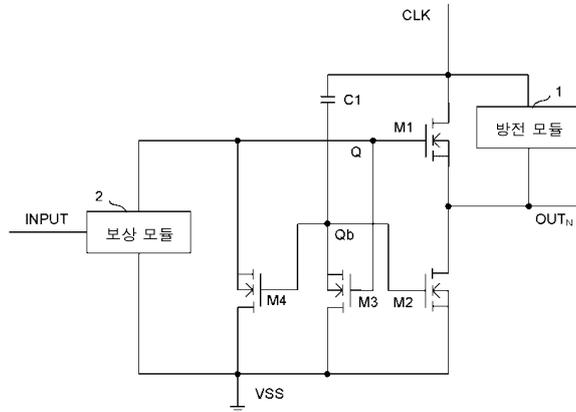
전체 청구항 수 : 총 6 항

(54) 시프트 레지스터 및 그 게이트 구동기

(57) 요약

본 발명은 시프트 레지스터 및 그 게이트 구동장치에 관한 것이다. 시프트 레지스터는, 제1 노드에 게이트가 접속되고, 제1 클럭 신호단에 소스가 접속되며, 자단 출력단에 드레인이 접속되는 제1 박막 트랜지스터와, 제2 노드에 게이트가 접속되고, 자단 출력단에 소스가 접속되며, 로우 레벨 신호단에 드레인이 접속되는 제2 박막 트랜지스터와, 제1 노드에 게이트가 접속되고, 로우 레벨 신호단에 소스가 접속되며, 제2 노드에 드레인이 접속되는 제3 박막 트랜지스터와, 제2 노드에 게이트가 접속되고, 로우 레벨 신호단에 소스가 접속되며, 제1 노드에 드레인이 접속되는 제4 박막 트랜지스터와, 제1 클럭 신호단과 제2 노드의 사이에 접속되는 제1 커패시터와, 클럭 신호단과 자단 출력단의 사이에 접속되는 방전 모듈과, 제1 노드와 로우 레벨 신호단의 사이에 접속되는 보상 모듈을 구비한다. 본 발명은 저비용, 저소비전력, 장수명의 이점에 덧붙여 고안정성, 간섭에 강함, 작은 지연 등의 특징이 있다.

대표도 - 도1



특허청구의 범위

청구항 1

풀 업 노드인 제1 노드에 게이트가 접속되고, 제1 클록 신호단에 소스가 접속되며, 자단(自段) 출력단에 드레인이 접속되는 제1 박막 트랜지스터;

풀 다운 노드인 제2 노드에 게이트가 접속되고, 상기 자단 출력단에 소스가 접속되며, 로우 레벨 신호단에 드레인이 접속되는 제2 박막 트랜지스터;

상기 제1 노드에 게이트가 접속되고, 상기 로우 레벨 신호단에 소스가 접속되며, 상기 제2 노드에 드레인이 접속되는 제3 박막 트랜지스터;

상기 제2 노드에 게이트가 접속되고, 상기 로우 레벨 신호단에 소스가 접속되며, 상기 제1 노드에 드레인이 접속되는 제4 박막 트랜지스터;

상기 제1 클록 신호단과 상기 제2 노드의 사이에 접속되고, 상기 제1 클록 신호단이 하이 레벨이 될 때 상기 제2 노드를 하이 레벨로 하는 제1 커패시터;

상기 제1 클록 신호단과 상기 자단 출력단의 사이에 접속되고, 상기 자단 출력단이 하이 레벨이 되고, 상기 제1 클록 신호단이 로우 레벨이 될 때 상기 자단 출력단을 상기 제1 클록 신호단에 방전시키는 방전 모듈;

상기 제1 노드와 상기 로우 레벨 신호단의 사이에 접속되고, 상기 제1 노드에 보상과 보상 보호를 제공하여 상기 제2 노드를 상기 제1 클록 신호단의 하이 레벨 또는 로우 레벨에 따라 하이 레벨 또는 로우 레벨로 변화시키는 보상 모듈;

을 구비하는 것을 특징으로 하는 시프트 레지스터.

청구항 2

제1항에 있어서,

상기 방전 모듈은 박막 트랜지스터이고, 상기 박막 트랜지스터의 게이트와 소스가 상기 자단 출력단에 함께 접속되며, 상기 박막 트랜지스터의 드레인이 상기 제1 클록 신호단에 접속되는 것을 특징으로 하는 시프트 레지스터.

청구항 3

제1항 또는 제2항에 있어서,

상기 보상 모듈은,

3단 전(前) 시프트 레지스터 입력단에 게이트가 접속되고, 제2 클록 신호단에 소스가 접속되며, 상기 제1 노드에 드레인이 접속되는 제6 박막 트랜지스터;

상기 제2 클록 신호단에 게이트가 접속되고, 타단이 상기 제1 노드에 접속되는 제2 커패시터의 일단에 소스가 접속되며, 상기 로우 레벨 신호단에 드레인이 접속되는 제7 박막 트랜지스터;

전(前)단 시프트 레지스터 입력단에 게이트와 소스가 함께 접속되고, 상기 제7 박막 트랜지스터의 소스에 드레인이 접속되는 제8 박막 트랜지스터;

제3 클록 신호단에 게이트가 접속되고, 상기 제1 노드에 드레인이 접속되는 제9 박막 트랜지스터;

상기 제1 노드에 게이트가 접속되고, 상기 자단 출력단에 드레인이 접속되며, 상기 제9 박막 트랜지스터의 소스에 소스가 접속되는 제10 박막 트랜지스터;

타단이 제2 클록 신호단에 접속되는 제3 커패시터의 일단에 게이트가 접속되고, 상기 제1 노드에 드레인이 접속되며, 상기 로우 레벨 신호단에 소스가 접속되는 제11 박막 트랜지스터;

상기 3단 전 시프트 레지스터 입력단에 게이트가 접속되고, 상기 제11 박막 트랜지스터의 게이트에 드레인이 접속되며, 상기 로우 레벨 신호단에 소스가 접속되는 제12 박막 트랜지스터;

를 구비하는 것을 특징으로 하는 시프트 레지스터.

청구항 4

제1항 또는 제2항에 있어서,

상기 보상 모듈은,

제2 클록 신호단에 게이트가 접속되고, 전(前)단 시프트 레지스터 입력단에 소스가 접속되며, 상기 제1 노드에 드레인이 접속되는 제13 박막 트랜지스터;

후(後)단 시프트 레지스터 입력단에 게이트가 접속되고, 상기 제1 노드에 소스가 접속되며, 상기 로우 레벨 신호단에 드레인이 접속되는 제14 박막 트랜지스터;

상기 제1 노드에 게이트가 접속되고, 상기 제1 클록 신호단에 소스가 접속되며, 드레인이 자단 제어 출력단으로서 출력신호를 전단 시프트 레지스터와 후단 시프트 레지스터에 송신하는 제15 박막 트랜지스터;

상기 제1 박막 트랜지스터의 게이트와 드레인의 사이에 접속되는 제4 커패시터;

를 구비하는 것을 특징으로 하는 시프트 레지스터.

청구항 5

제1항 내지 제3항 중 어느 한 항에 기재되는 시프트 레지스터를 이용하여 시리얼하게 접속된 복수의 시프트 레지스터를 구비하는 게이트 구동기로서,

상기 시프트 레지스터는,

3개의 클록 신호단;

1개의 자단 출력단;

전(前)단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단;

3단 전(前) 시프트 레지스터로부터의 출력신호를 수신하는 3단 전 시프트 레지스터 입력단;을 구비하는 것을 특징으로 하는 게이트 구동기.

청구항 6

제1항, 제2항 또는 제4항 중 어느 한 항에 기재되는 시프트 레지스터를 이용하여 시리얼하게 접속된 복수의 시프트 레지스터를 구비하는 게이트 구동기로서,

상기 시프트 레지스터는,

2개의 클록 신호단;

1개의 자단 출력단;

1개의 자단 제어 출력단;

1개의 전(前)단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단;

1개의 후(後)단 시프트 레지스터로부터의 출력신호를 수신하는 후단 시프트 레지스터 입력단;을 구비하고,

상기 자단 출력단이 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 라인 구동신호를 출력하며,

상기 자단 제어 출력단이 제어신호를 전단 시프트 레지스터와 후단 시프트 레지스터에 출력하는 것을 특징으로 하는 게이트 구동기.

명세서

발명의 상세한 설명

기술분야

<1> 이 발명은 액정 디스플레이의 구동기에 관한 것으로, 특히 시프트 레지스터 및 그 게이트 구동기에 관한 것이다.

배경 기술

<2> 액정 디스플레이(LCD)는 경량, 박형, 낮은 사용전력 등의 특징을 가지고 휴대전화, 디스플레이 및 텔레비전 등의 장치에 널리 사용된다. 액정 디스플레이는 전계를 이용하여 액정의 편향을 제어함으로써 광의 전반(傳搬)을 제어하여 표시 화면을 생성한다. 액정 디스플레이는 주로 수평과 수직의 2개의 방향으로 배열되는 화소 행렬에 의해 구성된다. 화소 행렬의 수평부분은 게이트 라인에 의해 구성되고, 또한 시프트 레지스터에 의해 게이트 구동신호가 제공된다. 화소 행렬의 수직부분은 데이터 라인에 의해 구성되고, 화소 행렬에 데이터 신호를 인가하기 위해 사용된다. 각각 다른 전압을 화소 행렬의 화소 전극과 공통 전극에 인가함으로써, 필요한 전계가 생성된다. 소정의 기간 내 복수의 시프트 레지스터가 각 게이트 라인을 1행째부터 마지막 행째까지 차례대로 스트로브(strobe)하여, 데이터 신호가 데이터 라인을 통해 대응하는 게이트 라인의 화소 전극에 인가되고, 해당 게이트 라인에서의 축적 용량을 대응하는 전압값까지 충전하며, 그리고 다음 주사까지 이 전압값을 유지한다.

<3> 도 8은 종래기술에 관한 게이트 구동기의 구성 개략도이다. 도 8에 나타내는 바와 같이, 종래기술의 게이트 구동기는 시리얼하게 접속된 복수단의 시프트 레지스터(SR₁, SR₂, ..., SR_N, SR_{N+1})를 구비한다. 각 시프트 레지스터의 각각은 제1 클럭 신호단(CLK1), 제2 클럭 신호단(CLK2), 직류 신호단(VDD) 및 로우 레벨 신호단(VSS)에 접속된다. 각 단의 시프트 레지스터의 각각의 출력단은 액정 디스플레이의 게이트 라인에 접속된다. 예를 들면, 1단째의 시프트 레지스터(SR₁)의 출력단(OUT₁)은 액정 디스플레이의 1행째의 게이트 라인에 접속되고, 2단째의 시프트 레지스터(SR₂)의 출력단(OUT₂)은 액정 디스플레이의 2행째의 게이트 라인에 접속된다... 시프트 레지스터 각각은 게이트 구동신호를 생성하여 대응하는 게이트 라인을 차례대로 스트로브하는 것을 담당한다. 그 밖에 1단째의 시프트 레지스터(SR₁)는 시프트 스타트 신호(STV)에도 접속되어, 스타트 신호를 수신한다. 다른 시프트 레지스터의 출력단은, 또한 인접하는 2개의 단의 시프트 레지스터에 동시에 접속된다. 예를 들면, N단째의 시프트 레지스터(SR_N)가 전단의 시프트 레지스터에 송신하는 출력신호는 N-1단째의 시프트 레지스터(SR_{N-1})의 리셋 신호로 하고, N단째의 시프트 레지스터(SR_N)가 후단의 시프트 레지스터에 송신하는 출력신호는 N+1단째의 시프트 레지스터(SR_{N+1})의 스타트 신호로 한다.

<4> 도 9는 종래기술에 관한 시프트 레지스터의 구성 개략도이다. 도 10은 종래기술에 관한 시프트 레지스터의 동작 시퀀스이다. 도 9, 도 10에 나타내는 바와 같이, 종래기술에 관한 시프트 레지스터는 8개의 박막 트랜지스터와 2개의 커패시터를 구비하고, 입력/출력단은 각각 제1 클럭 신호단(CLK1), 제2 클럭 신호단(CLK2)(제2 클럭 신호는 제1 클럭 신호의 반전 신호임), 직류 신호단(VDD), 로우 레벨 신호단(VSS), 전단의 시프트 레지스터로부터 출력신호를 수신하여 스타트 신호로 하는 전단 시프트 레지스터 입력단(INPUT_{N-1}), 후단의 시프트 레지스터로부터 출력신호를 수신하여 리셋 신호로 하는 후단 시프트 레지스터 입력단(INPUT_{N+1}), 게이트 라인에 게이트 구동신호를 출력하는 자단(自段) 출력단(OUT_N)을 구비한다. 종래기술에 관한 상술한 구성이 동작할 때, 제1 노드(Q)가 하이 레벨이 됨과 동시에 제2 노드(Qb)가 로우 레벨이 되면, 하이 레벨인 제1 노드(Q)가 제7 박막 트랜지스터(M7)를 온시키고, 로우 레벨인 제2 노드(Qb)가 제8 박막 트랜지스터(M8)를 오프시켜, 제1 클럭 신호단(CLK1)이 제7 박막 트랜지스터(M7)를 통해 자단 출력단(OUT_N)으로부터 출력된다. 이에 비해, 제1 노드(Q)가 로우 레벨이 됨과 동시에 제2 노드(Qb)가 하이 레벨이 되면, 로우 레벨인 제1 노드(Q)가 제7 박막 트랜지스터(M7)를 오프시키고, 하이 레벨인 제2 노드(Qb)가 제8 박막 트랜지스터(M8)를 온시켜, 로우 레벨 신호단(VSS)에 접속되는 자단 출력단(OUT_N)이 로우 레벨이 되고, 제1 클럭 신호단(CLK1)이 하이 레벨이 되어도 출력할 수 없다. 도 10에서 알 수 있는 바와 같이, 액정 디스플레이가 동작할 때에 각 게이트 라인이 대부분의 시간 동안 스트로브되지 않는 상태가 되고, 즉 자단 출력단(OUT_N)이 대부분의 시간 동안 로우 레벨로 제어될 필요가 있기 때문에, 반드시 제2 노드(Qb)를 다수의 경우에 하이 레벨 상태로 유지한다.

발명의 내용

해결 하고자하는 과제

<5> 그러나, 검토 결과에 나타내는 바와 같이, 하이 레벨이 인가되는 시간이 연장됨에 따라 박막 트랜지스터의 임계

값 전압이 점차 높아지고, 하이 레벨이 박막 트랜지스터의 게이트에 장기적으로 연속하여 인가되는 것은 박막 트랜지스터의 임계값 전압을 향상시킨다. 임계값 전압의 향상은 박막 트랜지스터의 천이율을 점차 열화시켜 박막 트랜지스터의 수명을 단축시킬 뿐만 아니라 동작을 불안정하게 하여 구동기의 정상 동작에 영향을 준다.

<6> 또, 종래기술에 관한 시프트 레지스터의 자단 출력은 동시에 후단의 시프트 레지스터의 입력이 된다. 시프트 레지스터가 게이트 라인을 구동할 때에 지연을 발생시킬 수 있기 때문에, 이러한 지연은 복수의 게이트 라인의 누적을 거쳐 시프트 레지스터의 정상 동작에 영향을 준다. 특히, 시프트 레지스터의 수가 많아질 때, 보다 큰 지연은 나중의 복수단의 시프트 레지스터에 판독/기입의 오류를 일으킨다.

과제 해결수단

<7> 본 발명의 목적은, 종래기술의 하이 레벨을 장기적으로 연속하여 박막 트랜지스터의 게이트에 인가하는 것에 의한 동작의 불안정과 수명 단축 등 기술 결함을 효율적으로 해결할 수 있는 시프트 레지스터 및 그 게이트 구동기를 제공하는 데에 있다.

<8> 상기 목적을 달성하기 위해, 본 발명은, 풀 업 노드인 제1 노드에 게이트가 접속되고, 제1 클록 신호단에 소스가 접속되며, 자단 출력단에 드레인이 접속되는 제1 박막 트랜지스터와, 풀 다운 노드인 제2 노드에 게이트가 접속되고, 자단 출력단에 소스가 접속되며, 로우 레벨 신호단에 드레인이 접속되는 제2 박막 트랜지스터와, 제1 노드에 게이트가 접속되고, 로우 레벨 신호단에 소스가 접속되며, 제2 노드에 드레인이 접속되는 제3 박막 트랜지스터와, 제2 노드에 게이트가 접속되고, 로우 레벨 신호단에 소스가 접속되며, 제1 노드에 드레인이 접속되는 제4 박막 트랜지스터와, 제1 클럭 신호단과 제2 노드의 사이에 접속되고, 제1 클럭 신호단이 하이 레벨이 될 때 제2 노드를 하이 레벨로 하는 제1 커패시터와, 제1 클럭 신호단과 자단 출력단의 사이에 접속되고, 자단 출력단이 하이 레벨이 되고, 제1 클럭 신호단이 로우 레벨이 될 때 자단 출력단을 제1 클럭 신호단에 방전시키는 방전 모듈과, 제1 노드와 로우 레벨 신호단의 사이에 접속되고, 제1 노드에 보상과 보상 보호를 제공하여 제2 노드를 제1 클럭 신호단의 하이 레벨 또는 로우 레벨에 따라 하이 레벨 또는 로우 레벨로 변화시키는 보상 모듈을 구비하는 시프트 레지스터를 제공한다.

<9> 상기 방전 모듈은 박막 트랜지스터이고, 상기 박막 트랜지스터의 게이트와 소스가 자단 출력단에 함께 접속되며, 상기 박막 트랜지스터의 드레인이 제1 클럭 신호단에 접속된다.

<10> 상술한 기술방안에 있어서, 상기 보상 모듈은, 3단 전 시프트 레지스터 입력단에 게이트가 접속되고, 제2 클럭 신호단에 소스가 접속되며, 제1 노드에 드레인이 접속되는 제6 박막 트랜지스터와, 제2 클럭 신호단에 게이트가 접속되고, 타단이 제1 노드에 접속되는 제2 커패시터의 일단에 소스가 접속되며, 로우 레벨 신호단에 드레인이 접속되는 제7 박막 트랜지스터와, 전단 시프트 레지스터 입력단에 게이트와 소스가 함께 접속되고, 제7 박막 트랜지스터의 소스에 드레인이 접속되는 제8 박막 트랜지스터와, 제3 클럭 신호단에 게이트가 접속되고, 제1 노드에 드레인이 접속되는 제9 박막 트랜지스터와, 제1 노드에 게이트가 접속되고, 자단 출력단에 드레인이 접속되며, 제9 박막 트랜지스터의 소스에 소스가 접속되는 제10 박막 트랜지스터와, 타단이 제2 클럭 신호단에 접속되는 제3 커패시터의 일단에 게이트가 접속되고, 제1 노드에 드레인이 접속되며, 로우 레벨 신호단에 소스가 접속되는 제11 박막 트랜지스터와, 3단 전 시프트 레지스터 입력단에 게이트가 접속되고, 제11 박막 트랜지스터의 게이트에 드레인이 접속되며, 로우 레벨 신호단에 소스가 접속되는 제12 박막 트랜지스터를 구비한다.

<11> 상술한 기술방안에 있어서, 상기 보상 모듈은, 제2 클럭 신호단에 게이트가 접속되고, 전단 시프트 레지스터 입력단에 소스가 접속되며, 제1 노드에 드레인이 접속되는 제13 박막 트랜지스터와, 후단 시프트 레지스터 입력단에 게이트가 접속되고, 제1 노드에 소스가 접속되며, 로우 레벨 신호단에 드레인이 접속되는 제14 박막 트랜지스터와, 제1 노드에 게이트가 접속되고, 제1 클럭 신호단에 소스가 접속되며, 드레인이 자단 제어 출력단으로서 출력신호를 전단 시프트 레지스터와 후단 시프트 레지스터에 송신하는 제15 박막 트랜지스터와, 제1 박막 트랜지스터의 게이트와 드레인의 사이에 접속되는 제4 커패시터를 구비한다.

<12> 상기 목적을 달성하기 위해, 본 발명은 시리얼하게 접속된 복수의 시프트 레지스터를 구비하고, 상기 시프트 레지스터는 3개의 클럭 신호단, 1개의 자단 출력단, 전단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단, 3단 전 시프트 레지스터로부터의 출력신호를 수신하는 3단 전 시프트 레지스터 입력단을 구비하는 것을 특징으로 하는 게이트 구동기를 제공한다.

<13> 상기 목적을 달성하기 위해, 본 발명은 시리얼하게 접속된 복수의 시프트 레지스터를 구비하는 게이트 라인 구동장치로서, 상기 시프트 레지스터는 2개의 클럭 신호단, 1개의 자단 출력단, 1개의 자단 제어 출력단, 1개의 전단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단, 1개의 후단 시프트 레지스터

로부터의 출력신호를 수신하는 후단 시프트 레지스터 입력단을 구비하고, 상기 자단 출력단이 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 구동신호를 출력하며, 상기 자단 제어 출력단이 제어신호를 전달 시프트 레지스터와 후단 시프트 레지스터에 출력하는 다른 게이트 구동기를 제공한다.

효 과

- <14> 본 발명은 시프트 레지스터 및 그 게이트 구동기를 제공하여 이하의 특징을 가진다.
- <15> (1)직류 전원을 채용하지 않고 클록 신호만으로 박막 트랜지스터가 구동되기 때문에, 소비전력을 대폭적으로 저감할 수 있다.
- <16> (2)제2 노드가 하이 레벨이 되는 시간을 감소시키고, 풀 다운 노드인 제2 노드가 하이 레벨이 되는 시간을 원래의 시간의 4분의 1 또는 2분의 1로 감소시켜, 즉 하이 레벨을 제2 박막 트랜지스터의 게이트에 인가하는 시간을 감소시켜 제2 박막 트랜지스터의 임계값 전압의 편이를 저감시킨다.
- <17> (3)2개의 박막 트랜지스터를 이용하여 자단 출력단의 로우 레벨을 유지하고, 이와 같이 하여 박막 트랜지스터의 동작시간을 대폭적으로 감소시킬 수 있으며, 더욱이 박막 트랜지스터의 임계값 전압의 시프트를 저감시킨다. 박막 트랜지스터의 게이트의 바이어스 전압의 듀티비가 약 25% 또는 50%이고, 박막 트랜지스터의 게이트의 듀티비가 작을 때 그 임계값 전압이 서서히 회복할 수 있고, 하이 레벨을 인가한 기간이 경과함에 따라 임계값 전압이 증가하지 않을 것이다. 따라서, 박막 트랜지스터에 대한 파괴를 저감하여 박막 트랜지스터의 동작 수명을 연장시킨다.
- <18> (4)제2 노드의 전압에 있어서, 종래기술의 직류 구동 방식이 아니라 용량 구동 방식으로 클록 신호단과 커패시터를 이용하여 제2 노드의 전압을 구동한다. 이와 같이, 박막 트랜지스터는 전하만으로 구동되고, 전하에 의해 박막 트랜지스터를 온시켜 소비전력을 감소시킬 뿐만 아니라 동시에 박막 트랜지스터의 파괴도 감소시킨다.
- <19> (5)박막 트랜지스터를 이용하는 방전 모듈에 의해, 또한 자단 출력단이 하이 레벨이고 클록 신호단이 로우 레벨일 때만 해당 박막 트랜지스터가 동작함으로써, 박막 트랜지스터의 특성을 잘 유지할 수 있고 박막 트랜지스터의 동작 수명을 대폭적으로 연장시킨다.
- <20> (6)보상 모듈에 의해, 게이트 바이어스에 의한 박막 트랜지스터의 임계값 전압의 시프트를 보상한다. 여기서, 박막 트랜지스터의 임계값 전압은 어느 정도의 시프트가 있어도 정상 동작에 영향을 주지 않고 동작 수명을 연장시킨다. 2개의 박막 트랜지스터에 의해 방전 회로를 구성하고, 제1 박막 트랜지스터의 임계값 전압을 기억하여 제1 박막 트랜지스터의 정상 동작을 보증할 수 있다.
- <21> (7)2개의 자단 출력단이 설치되고, 그 중 하나의 자단 출력단이 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 구동신호를 출력하는 것을 담당하고, 다른 자단 출력단이 독립적인 박막 트랜지스터를 이용하여 전단 시프트 레지스터에 전단 시프트 레지스터의 리셋 신호인 출력신호를, 후단 시프트 레지스터에 후단 시프트 레지스터의 초기 신호인 출력신호를 각각 출력하는 것을 담당한다. 이와 같이 하여 종래기술에서 하나의 출력단의 지연에 의해, 나중의 복수단의 시프트 레지스터에 관독/기입의 오류를 일으키는 것을 피할 수 있고 동작의 안정성을 향상시킨다.
- <22> 요컨대, 본 발명에 관한 시프트 레지스터는 저비용, 저소비전력, 장수명의 이점에 덧붙여 고안정성, 간섭에 강함, 작은 지연 등의 특징이 있다.
- <23> 이하, 도면과 실시예를 참조하여 본 발명의 기술방안에 대해 상세하게 설명한다.

발명의 실시를 위한 구체적인 내용

- <24> 도 1은 본 발명에 관한 시프트 레지스터의 구성 개략도이다. 도 1에 나타내는 바와 같이, 본 발명에 관한 시프트 레지스터의 주체는 4개의 박막 트랜지스터, 1개의 커패시터, 1개의 방전 모듈, 1개의 보상 모듈 및 대응하는 입력/출력단을 구비한다. 그 중 제1 박막 트랜지스터(M1)는 풀 업 노드인 제1 노드(Q)에 게이트가 접속되고, 하나의 클록 신호단(CLK)에 소스가 접속되며, 자단 출력단(OUT_N)에 드레인이 접속되고, 자단 출력단(OUT_N)에 하이 레벨 출력을 제공하는 역할을 한다. 제2 박막 트랜지스터(M2)는 풀 다운 노드인 제2 노드(Qb)에 게이트가 접속되고, 자단 출력단(OUT_N)에 소스가 접속되며, 로우 레벨 신호단(VSS)에 드레인이 접속되고, 자단 출력단(OUT_N)을 로우 레벨로 유지하는 역할을 한다. 제3 박막 트랜지스터(M3)는 제1 노드(Q)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제2 노드(Qb)에 드레인이 접속되고, 풀 업 노드인 제1 노드(Q)가 하이 레벨이

될 때 풀 다운 노드인 제2 노드(Qb)를 로우 레벨로 유지하는 역할을 한다. 제4 박막 트랜지스터(M4)는 제2 노드(Qb)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속되고, 제2 노드(Qb)가 하이 레벨이 될 때 제1 노드(Q)를 로우 레벨로 유지하여 제1 박막 트랜지스터(M1)의 게이트를 로우 레벨로 유지하는 역할을 한다. 방전 모듈(1)은 클록 신호단(CLK)과 자단 출력단(OUT_N)의 사이에 접속되고, 방전하는 역할을 한다. 클록 신호단(CLK)이 로우 레벨, 자단 출력단(OUT_N)이 하이 레벨일 때는, 방전 모듈(1)에 의해 클록 신호단(CLK)으로 방전하여 자단 출력단(OUT_N)을 로우 레벨로 유지함과 동시에 자단 출력단(OUT_N)을 로우 레벨로 풀 다운하는 역할을 한다. 제1 커패시터(C1)가 클록 신호단(CLK)과 제2 노드(Qb)의 사이에 접속되고, 클록 신호단(CLK)이 하이 레벨로 변경될 때, 제1 커패시터(C1)에 의해 제2 노드(Qb)를 하이 레벨로 변경하여 제4 박막 트랜지스터(M4)와 제2 박막 트랜지스터(M2)를 온시키고, 제1 노드(Q)와 자단 출력단(OUT_N)을 로우 레벨로 유지한다. 보상 모듈(2)이 제1 노드(Q)와 로우 레벨 신호단(VSS)에 접속됨과 동시에 다른 신호 입력단(INPUT)에 접속되고, 제1 노드에 대해 보상과 보상 보호를 제공하여 클록 신호단의 하이 레벨 또는 로우 레벨에 따라 제2 노드(Qb)를 하이 레벨 또는 로우 레벨로 변경한다.

<25> 도 2는 본 발명에 관한 시프트 레지스터의 제1 실시예의 구성 개략도이다. 본 발명에 관한 시프트 레지스터의 주체는 12개의 수소화 비결정 실리콘(Hydrogenated Amorphous Silicon) 박막 트랜지스터, 3개의 커패시터 및 대응하는 입력/출력단을 구비한다. 12개의 박막 트랜지스터는 각각 제1 박막 트랜지스터(M1), 제2 박막 트랜지스터(M2), 제3 박막 트랜지스터(M3), 제4 박막 트랜지스터(M4), 제5 박막 트랜지스터(M5), 제6 박막 트랜지스터(M6), 제7 박막 트랜지스터(M7), 제8 박막 트랜지스터(M8), 제9 박막 트랜지스터(M9), 제10 박막 트랜지스터(M10), 제11 박막 트랜지스터(M11), 제12 박막 트랜지스터(M12)이다. 3개의 커패시터는 각각 제1 커패시터(C1), 제2 커패시터(C2), 제3 커패시터(C3)이다. 입력/출력단은 로우 레벨 신호단(VSS), 자단 출력단(OUT_N), 전단의 시프트 레지스터로부터 출력신호를 수신하는 전단 입력단, 3단 전의 시프트 레지스터로부터 출력신호를 수신하는 3단 전 입력단 및 3개의 클록 신호단을 구비한다. 3개의 클록 신호는 서로 연속하는 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2), 제3 클록 신호단(CLK3) 및 제4 클록 신호단(CLK4) 중 3개이다.

<26> 도 2에 나타내는 N단계의 시프트 레지스터에 대해, 전단의 시프트 레지스터로부터 출력신호를 수신하는 전단 입력단이 전단 시프트 레지스터 입력단(INPUT_{N-1}), 3단 전의 시프트 레지스터로부터 출력신호를 수신하는 3단 전 입력단이 3단 전 시프트 레지스터 입력단(INPUT_{N-3})이고, 3개의 클록 신호단이 각각 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2) 및 제4 클록 신호단(CLK4)이다. 제1 박막 트랜지스터(M1)는 풀 업 노드인 제1 노드(Q)에 게이트가 접속되고, 제4 클록 신호단(CLK4)에 소스가 접속되며, 자단 출력단(OUT_N)에 드레인이 접속된다. 제2 박막 트랜지스터(M2)는 풀 다운 노드인 제2 노드(Qb)에 게이트가 접속되고, 자단 출력단(OUT_N)에 소스가 접속되며, 로우 레벨 신호단(VSS)에 드레인이 접속된다. 제3 박막 트랜지스터(M3)는 제1 노드(Q)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제2 노드(Qb)에 드레인이 접속된다. 제4 박막 트랜지스터(M4)는 제2 노드(Qb)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속된다. 방전 모듈로 하는 제5 박막 트랜지스터(M5)는 자단 출력단(OUT_N)에 게이트와 소스가 함께 접속되고, 제4 클록 신호단(CLK4)에 드레인이 접속된다. 제6 박막 트랜지스터(M6)는 3단 전 시프트 레지스터 입력단(INPUT_{N-3})에 게이트가 접속되고, 제1 클록 신호단(CLK1)에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속된다. 제7 박막 트랜지스터(M7)는 제1 클록 신호단(CLK1)에 게이트가 접속되고, 제2 커패시터(C2)의 일단에 소스가 접속되며, 로우 레벨 신호단(VSS)에 드레인이 접속된다. 제2 커패시터(C2)의 타단은 제1 노드(Q)에 접속된다. 제8 박막 트랜지스터(M8)는 전단 시프트 레지스터 입력단(INPUT_{N-1})에 게이트와 소스가 함께 접속되고, 제7 박막 트랜지스터(M7)의 소스에 드레인이 접속된다. 제9 박막 트랜지스터(M9)는 제2 클록 신호단(CLK2)에 게이트가 접속되고, 제10 박막 트랜지스터(M10)의 소스에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속된다. 제10 박막 트랜지스터(M10)는 제1 노드(Q)에 게이트가 접속되고, 자단 출력단(OUT_N)에 드레인이 접속되며, 제9 박막 트랜지스터(M9)의 소스에 소스가 접속된다. 제11 박막 트랜지스터(M11)는 제3 커패시터(C3)의 일단에 게이트가 접속되고, 제1 노드(Q)에 드레인이 접속되며, 로우 레벨 신호단(VSS)에 소스가 접속된다. 제3 커패시터(C3)의 타단은 제1 클록 신호단(CLK1)에 접속된다. 제12 박막 트랜지스터(M12)는 3단 전 시프트 레지스터 입력단(INPUT_{N-3})에 게이트가 접속되고, 제11 박막 트랜지스터(M11)의 게이트에 드레인이 접속되며, 로우 레벨 신호단(VSS)에 소스가 접속된다. 제1 커패시터(C1)가 제4 클록 신호단(CLK4)과 제2 노드(Qb)의 사이에 접속되고, 제2 커패시터(C2)가 제1 노드(Q)와 제8 박막 트랜지스터(M8)의 드레인의 사이에 설치되며, 제3 커패시터(C3)가 제1 클록 신호

단(CLK1)과 제11 박막 트랜지스터(M11)의 게이트의 사이에 설치된다. 그 중 제5 박막 트랜지스터(M5)는 본 실시예의 방전 모듈로서 기능하고, 제6 박막 트랜지스터(M6), 제7 박막 트랜지스터(M7), 제8 박막 트랜지스터(M8), 제9 박막 트랜지스터(M9), 제10 박막 트랜지스터(M10), 제11 박막 트랜지스터(M11), 제12 박막 트랜지스터(M12), 제2 커패시터(C2) 및 제3 커패시터(C3)는 본 실시예의 보상 모듈을 구성한다. 실제의 사용중, 본 실시예의 상술한 기술방안은 수소화 비결정 실리콘 박막 트랜지스터뿐만 아니라 다른 박막 트랜지스터에도 적용될 수 있다.

<27> 도 3은 본 발명에 관한 시프트 레지스터의 제1 실시예의 동작 시퀀스도이다. 이하, 본 발명에 관한 실시예의 기술방안을 도 2와 도 3에 함께 시프트 레지스터의 동작 프로세스에 의해 더 설명한다.

<28> 본 실시예의 시프트 레지스터의 동작은 6단계로 나뉘고, 단계마다의 동작 상황은 구체적으로 이하와 같이 나타난다.

<29> 제1 단계(T1)

<30> 본 단계에서, 제4 클록 신호단(CLK4)이 하이 레벨이 됨과 동시에 다른 클록 신호단이 전부 로우 레벨이 된다. 제4 클록 신호단(CLK4)은 제1 커패시터(C1)를 통해 풀 다운 노드인 제2 노드(Qb)를 하이 레벨로 하고, 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)가 온 상태가 되며, 풀 업 노드인 제1 노드(Q)와 자단 출력단(OUT_N)을 로우 레벨 신호단(VSS)에 접속시켜 로우 레벨을 유지한다. 본 단계에서, 다른 박막 트랜지스터는 전부 오프 상태가 된다.

<31> 제2 단계(T2)

<32> 본 단계에서, 제1 클록 신호단(CLK1)이 하이 레벨이 됨과 동시에 다른 클록 신호단이 전부 로우 레벨이 되고, 3단 전 시프트 레지스터 입력단(INPUT_{N-3})이 하이 레벨이 된다. 3단 전 시프트 레지스터 입력단(INPUT_{N-3})의 하이 레벨은 제12 박막 트랜지스터(M12)를 온시키고, 그 드레인이 소스를 통해 로우 레벨 신호단(VSS)에 접속된다. 여기서, 이 때 제1 클록 신호단(CLK1)은 하이 레벨이 되지만, 제11 박막 트랜지스터(M11)의 게이트는 아직 로우 레벨이 되고, 제11 박막 트랜지스터(M11)를 오프 상태로 한다. 이 때, 제4 클록 신호단(CLK4)은 로우 레벨로 변경되기 때문에, 제2 노드(Qb)도 로우 레벨이 되고, 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 오프 상태로 한다. 3단 전 시프트 레지스터 입력단(INPUT_{N-3})이 하이 레벨이 되기 때문에, 제6 박막 트랜지스터(M6)를 온시키고, 하이 레벨인 제1 클록 신호단(CLK1)이 제6 박막 트랜지스터(M6)를 통해 제1 노드(Q)로 하여금 높은 전압을 가지게 하며, 제6 박막 트랜지스터(M6)의 드레인(즉, 제1 노드(Q))에 접속되는 제2 커패시터(C2)의 단자도 보다 높은 전압을 가진다. 제1 노드(Q)가 하이 레벨이 되기 때문에, 제7 박막 트랜지스터(M7)를 온시키고, 제7 박막 트랜지스터(M7)의 소스에 접속되는 제2 커패시터(C2)의 단자도 로우 레벨이 된다.

<33> 제3 단계(T3)

<34> 본 단계에서, 제2 클록 신호단(CLK2)이 하이 레벨이 됨과 동시에 다른 클록 신호단이 전부 로우 레벨이 되고, 제2 클록 신호단(CLK2)의 하이 레벨은 제9 박막 트랜지스터(M9)를 온 상태로 한다. 이 때, 제1 노드(Q)가 하이 레벨이 되기 때문에, 제1 박막 트랜지스터(M1)와 제10 박막 트랜지스터(M10)가 온 상태가 된다. 그리고, 제2 클록 신호단(CLK2), 제9 박막 트랜지스터(M9), 제10 박막 트랜지스터(M10), 제1 노드(Q), 제1 박막 트랜지스터(M1)와 제4 클록 신호단(CLK4)은 제4 클록 신호단(CLK4)으로 방전하는 루프를 구성하고, 제1 노드(Q)의 전압이 제1 박막 트랜지스터(M1)와 제10 박막 트랜지스터(M10)의 임계값이 될 때까지 방전한다. 따라서 제10 박막 트랜지스터(M10)는 제1 박막 트랜지스터(M1)의 임계값 전압을 기억하여 저장시키고, 이 임계값 전압을 유지한다.

<35> 제4 단계(T4)

<36> 본 단계에서, 3개의 클록 신호단이 전부 로우 레벨이 되고, 전단 시프트 레지스터 입력단(INPUT_{N-1})이 하이 레벨이 된다. 전단 시프트 레지스터 입력단(INPUT_{N-1})의 하이 레벨은 제8 박막 트랜지스터(M8)를 온시키기 때문에, 제8 박막 트랜지스터(M8)의 드레인이 하이 레벨이 된다. 제2 커패시터(C2)의 역할로 제1 노드(Q)의 전압은 원래의 임계값 전압에 제8 박막 트랜지스터(M8)가 제공하는 전압을 더한 전압, 즉 하이 레벨이 된다. 제1 노드(Q)의 하이 레벨은 제1 박막 트랜지스터(M1)와 제3 박막 트랜지스터(M3)를 온시켜 제2 노드(Qb)를 로우 레벨 신호단(VSS)에 접속하고 로우 레벨을 유지한다.

<37> 제5 단계(T5)

- <38> 본 단계에서, 제4 클록 신호단(CLK4)이 하이 레벨이 됨과 동시에 다른 클록 신호단이 로우 레벨이 된다. 본 단계에서, 제4 클록 신호단(CLK4)의 하이 레벨은 제1 커패시터(C1)에 의해 제2 노드(Qb)를 하이 레벨로 하는 경향이 있지만, 이 때, 제1 노드(Q)가 하이 레벨로 제1 박막 트랜지스터(M1)와 제3 박막 트랜지스터(M3)를 온 상태로 하여 풀 다운 노드인 제2 노드(Qb)를 로우 레벨 신호단(VSS)에 접속시키기 때문에, 제2 노드(Qb)가 로우 레벨로 풀 다운되어 제2 노드(Qb)의 로우 레벨이 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 오프 상태로 한다. 그리고, 제4 클록 신호단(CLK4)은 제1 박막 트랜지스터(M1)를 통해 출력하고, 자단 출력단(OUT_N)이 하이 레벨이 된다.
- <39> 제6 단계(T6)
- <40> 본 단계에서, 제1 클록 신호단(CLK1)이 하이 레벨이 됨과 동시에 다른 클록 신호단이 로우 레벨이 된다. 이 때, 하이 레벨이 되는 자단 출력단(OUT_N)은 방전 모듈인 제5 박막 트랜지스터(M5)를 온시키고, 자단 출력단(OUT_N)이 로우 레벨이 될 때까지 제5 박막 트랜지스터(M5)를 통해 로우 레벨이 되는 제4 클록 신호단(CLK4)으로 방전한다. 동시에, 제1 클록 신호단(CLK)이 하이 레벨이 되기 때문에, 제7 박막 트랜지스터(M7)와 제11 박막 트랜지스터(M11)가 함께 온된다. 온된 제7 박막 트랜지스터(M7)와 제11 박막 트랜지스터(M11)는 제1 노드(Q)를 로우 레벨 신호단(VSS)에 접속하여 로우 레벨을 유지한다. 그 후, 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2)과 제4 클록 신호단(CLK4)이 어떻게 변화함에도 불구하고 제1 노드(Q)는 계속 로우 레벨을 유지하여 자단 출력단(OUT_N)의 로우 레벨을 유지한다. 동시에, 제2 노드(Qb)의 레벨은 다음 프레임의 초기신호가 올 때까지 제1 커패시터(C1)를 통해 제4 클록 신호단(CLK4)의 레벨과 합치하도록 유지한다. 즉 제4 클록 신호단(CLK4)이 하이 레벨이 될 때는 제2 노드(Qb)의 레벨도 같은 하이 레벨이 되고, 제4 클록 신호단(CLK4)이 로우 레벨이 될 때는 제2 노드(Qb)의 레벨도 같은 로우 레벨이 된다.
- <41> 본 실시예의 시프트 레지스터의 동작 프로세스에서 알 수 있는 바와 같이, 본 실시예의 기술방안에 있어서, 제1 박막 트랜지스터(M1)의 역할은 자단 출력단(OUT_N)에 하이 레벨 출력을 제공하는 것이다. 제2 박막 트랜지스터(M2)의 역할은 자단 출력단(OUT_N)을 로우 레벨로 유지하는 것이다. 제3 박막 트랜지스터(M3)의 역할은 풀 업 노드인 제1 노드(Q)가 하이 레벨이 될 때에 풀 다운 노드인 제2 노드(Qb)를 로우 레벨로 유지하는 것이다. 제4 박막 트랜지스터(M4)의 역할은 제2 노드(Qb)가 하이 레벨이 될 때 제1 노드(Q)를 로우 레벨로 유지하여 제1 박막 트랜지스터(M1)의 게이트를 로우 레벨로 유지하는 것이다. 방전 모듈로 하는 제5 박막 트랜지스터(M5)의 역할은 방전하는 것으로, 제4 클록 신호단(CLK4)이 로우 레벨, 자단 출력단(OUT_N)이 하이 레벨이 될 때, 하이 레벨이 되는 자단 출력단(OUT_N)이 제5 박막 트랜지스터(M5)를 통해 제4 클록 신호단(CLK4)으로 방전하여 자단 출력단(OUT_N)이 로우 레벨로 유지됨과 동시에 자단 출력단(OUT_N)을 로우 레벨로 풀 다운하는 역할을 한다. 제6 박막 트랜지스터(M6)의 주요 역할은 제1 클록 신호단(CLK1)이 하이 레벨이 될 때 제1 노드(Q)에 하나의 보상 전압을 제공하는 것이다. 제7 박막 트랜지스터(M7)의 주요 역할은 제1 클록 신호단(CLK1)이 풀 업 노드인 제1 노드(Q)에 보상 전압을 제공할 때, 제7 박막 트랜지스터(M7)의 소스에 접속하는 제2 커패시터(C2)의 일단을 로우 레벨이 되도록 제어하는 것이다. 제8 박막 트랜지스터(M8)의 주요 역할은 제1 노드(Q)에 하나의 하이 레벨을 제공하는 것이다. 제9 박막 트랜지스터(M9)와 제10 박막 트랜지스터(M10)의 주요 역할은 함께 방전회로를 구성하고, 제10 박막 트랜지스터(M10)에 제1 박막 트랜지스터(M1)의 임계값 전압을 기억하여 저장시키는 것이다. 제11 박막 트랜지스터(M11)의 주요 역할은 동작하지 않을 때에 제1 노드(Q)의 전압을 로우 레벨로 유지하는 것이다. 제12 박막 트랜지스터(M12)의 주요 역할은 제1 클록 신호단(CLK1)이 보상 전압을 제공할 때 제11 박막 트랜지스터(M11)를 오프 상태로 하는 것이다. 제1 커패시터(C1)의 역할은 제4 클록 신호가 하이 레벨이 될 때 제1 커패시터(C1)를 통해 제2 노드(Qb)를 하이 레벨로 하여 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 온시키고, 제1 노드(Q)와 자단 출력단(OUT_N)을 로우 레벨로 유지하는 것이다. 제2 커패시터(C2)의 주요 역할은 보상된 제1 노드(Q)를 하이 레벨로 하여 제1 박막 트랜지스터(M1)와 제3 박막 트랜지스터(M3)를 온시키는 것이다. 제3 커패시터(C3)의 주요 역할은 제1 클록 신호단(CLK1)을 통해 제11 박막 트랜지스터(M11)의 게이트에 하이 레벨을 제공함과 동시에 직류의 발생을 피하여 소비전력을 저감할 수 있다.
- <42> 본 실시예에 관한 시프트 레지스터의 기술방안에 있어서, 시프트 레지스터의 자단 출력단(OUT_N)은 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 구동신호를 출력함과 동시에 다른 2개의 시프트 레지스터로부터 출력신호를 수신한다. 그 중 하나의 출력신호는 전단 시프트 레지스터로부터 출력되고, 자단 시프트 레지스터의 초기신호로서 이용한다. 다른 출력신호는 3단 전 시프트 레지스터로부터 출력되고, 자단 시프트 레

지스터의 보상 신호로서 이용한다. 시프트 레지스터의 동작은 동시에 3개의 클록 신호, 1개의 전단 시프트 레지스터로부터의 초기 신호 및 1개의 3단 전 시프트 레지스터로부터의 보상 신호에 의해 제어된다. 본 실시예에 관한 시프트 레지스터는 직류 전원을 채용하지 않고 클록 신호만으로 구동되기 때문에 소비전력을 대폭적으로 저감할 수 있다. 본 실시예에 관한 시프트 레지스터는 제2 노드(Qb)가 하이 레벨이 되는 시간을 감소시키고, 풀다운 노드인 제2 노드(Qb)가 하이 레벨이 되는 시간을 원래의 시간의 4분의 1로 감소시키며, 즉 하이 레벨을 제2 박막 트랜지스터(M2)의 게이트에 인가하는 시간을 감소시키며 제2 박막 트랜지스터(M2)의 임계값 전압의 편이를 저감한다. 본 실시예에 관한 시프트 레지스터는 제2 박막 트랜지스터(M2)와 제5 박막 트랜지스터(M5)가 함께 자단 출력단(OUT_N)의 로우 레벨을 유지하고, 이와 같이 하여 제2 박막 트랜지스터(M2)의 동작시간을 대폭적으로 감소시킬 수 있으며, 또 제2 박막 트랜지스터(M2)의 임계값 전압의 시프트를 저감한다. 그 중 제2 박막 트랜지스터(M2)의 게이트의 바이어스 전압의 듀티비가 약 25%으로, 박막 트랜지스터의 게이트의 바이어스 전압의 듀티비가 보다 작을 때 그 임계값 전압이 서서히 회복할 수 있고, 하이 레벨을 인가한 기간이 경과함에 따라 그 임계값 전압은 증가하지 않을 것이다. 따라서, 본 실시예가 박막 트랜지스터에 대한 파괴를 저감하여 박막 트랜지스터의 동작 수명을 연장시킨다. 동시에 본 실시예의 제2 노드(Qb)의 전압은 종래기술의 직류 구동 방식이 아니라 용량 구동 방식으로 제4 클록 신호단(CLK4)과 제1 커패시터(C1)를 이용하여 제2 노드(Qb)의 전압을 구동한다. 이와 같이, 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)는 전하만으로 구동되고, 전하에 의해 박막 트랜지스터를 온하여 소비전력을 감소 시킬 뿐만 아니라 동시에 박막 트랜지스터의 파괴도 감소된다. 본 실시예는 아직 하나의 방전 모듈을 제공한다. 해당 방전 모듈은 박막 트랜지스터를 채용하고, 또한 자단 출력단(OUT_N)이 하이 레벨이고 제4 클록 신호단(CLK4)이 로우 레벨일 때만 해당 박막 트랜지스터가 동작한다. 이와 같이 박막 트랜지스터의 특성을 잘 유지할 수 있고, 박막 트랜지스터의 동작 수명을 대폭적으로 연장시킨다. 또, 본 실시예는 보상 모듈에 의해 게이트 바이어스에 의한 박막 트랜지스터의 임계값 전압의 시프트를 보상한다. 여기서, 박막 트랜지스터의 임계값 전압은 어느 정도의 시프트가 있어도 정상 동작에 영향을 주지 않고 동작 수명을 연장시킨다. 그 중 제9 박막 트랜지스터(M9)와 제10 박막 트랜지스터(M10)에 의해 방전회로를 구성하고, 제1 박막 트랜지스터(M1)의 임계값 전압을 기억하여 제1 박막 트랜지스터(M1)의 정상 동작을 보증할 수 있다. 본 실시예는 자단 출력단(OUT_N)이 하이 레벨을 출력할 때만 박막 트랜지스터의 게이트에 바이어스를 가한다. 그러나, 시프트 레지스터의 모든 동작 프로세스에서 자단 출력단(OUT_N)으로부터 하이 레벨을 출력하는 시간은 매우 짧기 때문에, 박막 트랜지스터의 임계값 전압의 시프트에 거의 영향을 주지 않고 박막 트랜지스터가 긴 시간의 동작으로 열화되지 않음을 보증할 수 있다. 요컨대, 본 실시예에 관한 시프트 레지스터는 저비용, 저소비전력, 장수명의 이점에 덧붙여 고안정성, 간섭에 강함 등의 특징이 있다.

<43> 도 4는 본 발명에 관한 시프트 레지스터의 제2 실시예의 구성 개략도이다. 본 실시예의 시프트 레지스터의 주요 구성은 8개의 수소화 비결정 실리콘 박막 트랜지스터, 2개의 커패시터 및 대응하는 입력/출력단을 구비한다. 8개의 박막 트랜지스터는 각각 제1 박막 트랜지스터(M1), 제2 박막 트랜지스터(M2), 제3 박막 트랜지스터(M3), 제4 박막 트랜지스터(M4), 제5 박막 트랜지스터(M5), 제13 박막 트랜지스터(M13), 제14 박막 트랜지스터(M14), 제15 박막 트랜지스터(M15)이다. 2개의 커패시터는 각각 제1 커패시터(C1), 제4 커패시터(C4)이다. 입력/출력단은 로우 레벨 신호단(VSS), 자단 출력단(OUT_N), 자단 제어 출력단(X_N), 전단의 시프트 레지스터로부터 출력신호를 수신하여 스타트 신호로 하는 전단 입력단, 후단의 시프트 레지스터로부터 출력신호를 수신하여 리셋 신호로 하는 후단 입력단 및 2개의 클록 신호단을 구비한다. 2개의 클록 신호단은 차례대로 출력하는 제1 클록 신호단(CLK1)과 제2 클록 신호단(CLK2)이고, 제2 클록 신호가 제1 클록 신호의 반전 신호이다.

<44> 도 4에 나타내는 N단계의 시프트 레지스터에 대해, 전단의 시프트 레지스터로부터 출력신호를 수신하는 전단 입력단이 전단 시프트 레지스터 입력단(INPUT_{N-1}), 후단의 시프트 레지스터로부터 출력신호를 수신하는 후단 입력단이 후단 시프트 레지스터 입력단(INPUT_{N+1})이다. 제1 박막 트랜지스터(M1) 내지 제5 박막 트랜지스터(M5)의 접속 구성은 상술한 본 발명에 관한 시프트 레지스터의 제1 실시예와 기본적으로 같고, 구체적으로 제1 박막 트랜지스터(M1)는 풀 업 노드인 제1 노드(Q)에 게이트가 접속되고, 제1 클록 신호단(CLK1)에 소스가 접속되며, 자단 출력단(OUT_N)에 드레인이 접속된다. 제2 박막 트랜지스터(M2)는 풀 다운 노드인 제2 노드(Qb)에 게이트가 접속되고, 자단 출력단(OUT_N)에 소스가 접속되며, 로우 레벨 신호단(VSS)에 드레인이 접속된다. 제3 박막 트랜지스터(M3)는 제1 노드(Q)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제2 노드(Qb)에 드레인이 접속된다. 제4 박막 트랜지스터(M4)는 제2 노드(Qb)에 게이트가 접속되고, 로우 레벨 신호단(VSS)에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속된다. 방전 모듈로 하는 제5 박막 트랜지스터(M5)는 자단 출력단(OUT_N)

에 게이트와 소스가 함께 접속되고, 제1 클록 신호단(CLK1)에 드레인이 접속된다. 제13 박막 트랜지스터(M13)는 제2 클록 신호단(CLK2)에 게이트가 접속되고, 전단 시프트 레지스터 입력단(INPUT_{N-1})에 소스가 접속되며, 제1 노드(Q)에 드레인이 접속된다. 제14 박막 트랜지스터(M14)는 후단 시프트 레지스터 입력단(INPUT_{N+1})에 게이트가 접속되고, 제1 노드(Q)에 소스가 접속되며, 로우 레벨 신호단(VSS)에 드레인이 접속된다. 제15 박막 트랜지스터(M15)는 제1 노드(Q)에 게이트가 접속되고, 제1 클록 신호단(CLK1)에 소스가 접속되며, 드레인이 자단 제어 출력단(X_N)으로서 리셋 신호인 출력신호를 전단의 시프트 레지스터에서의 제13 박막 트랜지스터(M13)의 소스에 송신하는 반면, 스타트 신호인 출력신호를 후단의 시프트 레지스터에서의 제14 박막 트랜지스터(M14)의 게이트에 송신한다. 제1 커패시터(C1)가 제1 클록 신호단(CLK1)과 제2 노드(Qb)의 사이에 설치되고, 제4 커패시터(C4)가 제1 박막 트랜지스터(M1)의 게이트와 드레인의 사이에(제1 노드(Q)와 자단 출력단(OUT_N)의 사이에) 설치된다. 그 중 제5 박막 트랜지스터(M5)는 본 실시예의 방전 모듈로서 기능하고, 제13 박막 트랜지스터(M13), 제14 박막 트랜지스터(M14), 제15 박막 트랜지스터(M15) 및 제4 커패시터(C4)는 본 실시예의 보상 모듈을 구성한다. 실제의 사용중, 본 실시예의 상술한 기술방안은 수소화 비결정 실리콘 박막 트랜지스터뿐만 아니라 다른 박막 트랜지스터에도 적용될 수 있다.

<45> 도 5는 본 발명에 관한 시프트 레지스터의 제2 실시예의 동작 시퀀스도이다. 이하, 본 발명에 관한 실시예의 기술방안을 도 4와 도 5에 함께 시프트 레지스터의 동작 프로세스에 의해 더 설명한다.

<46> 본 실시예의 시프트 레지스터의 동작은 4단계로 나뉘고, 단계마다의 동작 상황은 구체적으로 이하와 같이 나타난다.

<47> 제1 단계(T1)

<48> 본 단계에서, 제1 클록 신호단(CLK1)이 하이 레벨이 됨과 동시에 제2 클록 신호단(CLK2), 전단 시프트 레지스터 입력단(INPUT_{N-1}), 후단 시프트 레지스터 입력단(INPUT_{N+1})이 전부 로우 레벨이 되기 때문에, 제13 박막 트랜지스터(M13)와 제14 박막 트랜지스터(M14)가 함께 오프 상태가 된다. 제1 커패시터(C1)의 역할로 제1 클록 신호단(CLK1)의 하이 레벨은 풀 다운 노드인 제2 노드(Qb)를 하이 레벨로 순간적으로 변경시켜 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 온시키고, 풀 업 노드인 제1 노드(Q)와 자단 출력단(OUT_N)을 로우 레벨 신호단(VSS)에 접속시켜 로우 레벨로 유지한다. 제1 노드(Q)의 로우 레벨은 제1 박막 트랜지스터(M1), 제3 박막 트랜지스터(M3), 제5 박막 트랜지스터(M5), 제15 박막 트랜지스터(M15)를 오프 상태로 한다.

<49> 제2 단계(T2)

<50> 제1 단계(T1)가 종료된 후에 본 단계에 이를 때, 제1 클록 신호단(CLK1)이 로우 레벨이 되고 제2 클록 신호단(CLK2)이 하이 레벨이 됨과 동시에, 전단 시프트 레지스터 입력단(INPUT_{N-1})이 자단 시프트 레지스터의 초기 신호로 하는 하이 레벨이 되고, 후단 시프트 레지스터 입력단(INPUT_{N+1})이 로우 레벨 상태를 유지한다. 제2 클록 신호단(CLK2)과 전단의 시프트 레지스터 입력단(INPUT_{N-1})이 함께 하이 레벨이 되기 때문에, 온된 제13 박막 트랜지스터(M13)에 의해 전단의 시프트 레지스터 입력단(INPUT_{N-1})이 출력하는 하이 레벨은 제1 노드(Q)를 하이 레벨로 한다. 제1 노드(Q)의 하이 레벨은 제1 박막 트랜지스터(M1), 제3 박막 트랜지스터(M3), 제15 박막 트랜지스터(M15)를 동시에 온시킨다. 제3 박막 트랜지스터(M3)를 온시키는 것은, 풀 다운 노드인 제2 노드(Qb)를 로우 레벨로 하여 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 오프 상태로 한다. 이 때, 제1 박막 트랜지스터(M1)와 제15 박막 트랜지스터(M15)가 온되어 있지만 제1 클록 신호단(CLK1)은 로우 레벨이 되기 때문에, 자단 출력단(OUT_N)과 자단 제어 출력단(X_N)이 출력되지 않는다.

<51> 제3 단계(T3)

<52> 제2 단계(T2)가 종료된 후에 본 단계에 이를 때, 제1 클록 신호단(CLK1)이 하이 레벨이 되고 제2 클록 신호단(CLK2)이 로우 레벨이 됨과 동시에, 전단 시프트 레지스터 입력단(INPUT_{N-1})과 후단 시프트 레지스터 입력단(INPUT_{N+1})이 함께 로우 레벨이 되기 때문에, 제13 박막 트랜지스터(M13)와 제14 박막 트랜지스터(M14)는 오프 상태가 된다. 제1 박막 트랜지스터(M1)의 게이트와 드레인의 사이에 제4 커패시터(C4)가 접속되기 때문에, 부트스트랩(bootstrap) 효과에 의해 제1 클록 신호단(CLK1)의 하이 레벨의 작용으로, 하이 레벨인 제1 노드(Q)를 더 향상시켜 제1 박막 트랜지스터(M1), 제3 박막 트랜지스터(M3)와 제15 박막 트랜지스터(M15)의 온 상태의 유지를 계속한다. 본 단계에서, 제1 클록 신호단(CLK1)의 하이 레벨은 제1 커패시터(C1)를 통해 제2 노드(Qb)를 하이

레벨로 변화시키는 경향이 있지만, 제3 박막 트랜지스터(M3)가 온되어 풀 다운 노드인 제2 노드(Qb)를 로우 레벨 신호단(VSS)에 접속함으로써, 제2 노드(Qb)를 로우 레벨로 풀 다운하여 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)가 오프 상태가 된다. 제1 박막 트랜지스터(M1)가 온되기 때문에, 제1 클록 신호단(CLK1)의 하이 레벨을 제1 박막 트랜지스터(M1)를 통해 자단 출력단(OUT_N)으로부터 출력하고, 하이 레벨인 자단 출력단(OUT_N)이 액정 디스플레이의 제N행째의 게이트 라인을 구동한다. 제15 박막 트랜지스터(M15)가 온되기 때문에, 제1 클록 신호단(CLK1)의 하이 레벨을 제15 박막 트랜지스터(M15)를 통해 자단 제어 출력단(X_N)으로부터 출력하여 전단의 시프트 레지스터에 리셋 신호를, 후단의 시프트 레지스터에 스타트 신호를 출력한다.

<53> 제4 단계(T4)

<54> 제3 단계(T3)가 종료된 후에 본 단계에 이를 때, 제1 클록 신호단(CLK1)이 로우 레벨이 되고 제2 클록 신호단(CLK2)이 하이 레벨이 됨과 동시에, 전단 시프트 레지스터 입력단(INPUT_{N-1})이 로우 레벨이 되고, 후단 시프트 레지스터 입력단(INPUT_{N+1})이 하이 레벨이 된다. 제2 클록 신호단(CLK2)과 후단 시프트 레지스터 입력단(INPUT_{N+1})의 하이 레벨은, 제13 박막 트랜지스터(M13)와 제14 박막 트랜지스터(M14)를 동시에 온 상태로 하여 제1 노드(Q)를 로우 레벨로 한다. 제1 노드(Q)와 제2 노드(Qb)가 동시에 로우 레벨이 되기 때문에 제1 박막 트랜지스터(M1), 제2 박막 트랜지스터(M2), 제3 박막 트랜지스터(M3), 제4 박막 트랜지스터(M4)와 제15 박막 트랜지스터(M15)가 함께 오프 상태가 된다. 제1 클록 신호단(CLK1)이 로우 레벨이 되고 자단 출력단(OUT_N)이 하이 레벨이 되기 때문에, 제5 박막 트랜지스터(M5)를 온 상태로 하여 자단 출력단(OUT_N)이 로우 레벨이 되어 제5 박막 트랜지스터(M5)가 오프 상태가 될 때까지 제5 박막 트랜지스터(M5)를 통해 자단 출력단(OUT_N)을 제1 클록 신호단(CLK1)으로 방전시킨다. 그 후, 제1 클록 신호단(CLK1)과 제2 클록 신호단(CLK2)이 어떻게 변화해도 제1 노드(Q)는 계속 로우 레벨로 유지되어 자단 출력단(OUT_N)의 로우 레벨을 유지한다. 동시에, 다음 프레임의 초기 신호가 올 때까지 제2 노드(Qb)의 레벨은 제1 커패시터(C1)를 통해 제1 클록 신호단(CLK1)의 레벨과 합치하도록 유지한다. 즉 제1 클록 신호단(CLK1)이 하이 레벨이 될 때 제2 노드(Qb)의 레벨도 같은 하이 레벨이 되고, 제1 클록 신호단(CLK1)이 로우 레벨이 될 때 제2 노드(Qb)의 레벨도 같은 로우 레벨이 된다.

<55> 본 실시예의 시프트 레지스터의 동작 프로세스에서 알 수 있는 바와 같이, 본 실시예의 기술방안에 있어서 제1 박막 트랜지스터(M1)의 역할은 자단 출력단(OUT_N)에 하이 레벨 출력을 제공하는 것이다. 제2 박막 트랜지스터(M2)의 역할은 자단 출력단(OUT_N)을 로우 레벨로 유지하는 것이다. 제3 박막 트랜지스터(M3)의 역할은 풀 업 노드인 제1 노드(Q)가 하이 레벨이 될 때에 풀 다운 노드인 제2 노드(Qb)를 로우 레벨로 유지하는 것이다. 제4 박막 트랜지스터(M4)의 역할은 제2 노드(Qb)가 하이 레벨이 될 때 제1 노드(Q)를 로우 레벨로 유지하여 제1 박막 트랜지스터(M1)의 게이트를 로우 레벨로 유지하는 것이다. 방전 모듈로 하는 제5 박막 트랜지스터(M5)의 역할은 방전하는 것이고, 제1 클록 신호단(CLK1)이 로우 레벨, 자단 출력단(OUT_N)이 하이 레벨이 될 때, 하이 레벨이 되는 자단 출력단(OUT_N)이 제5 박막 트랜지스터(M5)를 통해 제1 클록 신호단(CLK1)으로 방전하여 자단 출력단(OUT_N)이 로우 레벨로 유지됨과 동시에 자단 출력단(OUT_N)을 로우 레벨로 풀 다운하는 역할을 한다. 제13 박막 트랜지스터(M13)의 주요 역할은 제2 클록 신호단(CLK2)과 전단 시프트 레지스터 입력단(INPUT_{N-1})이 함께 하이 레벨이 될 때, 전단 시프트 레지스터 입력단(INPUT_{N-1})이 출력하는 하이 레벨은 제13 박막 트랜지스터(M13)를 통해 풀 업 노드인 제1 노드(Q)에 전송하여 제1 노드(Q)를 하이 레벨로 하는 것이다. 제14 박막 트랜지스터(M14)의 역할은 후단 시프트 레지스터 입력단(INPUT_{N+1})이 하이 레벨을 출력할 때 제1 노드(Q)의 전압을 로우 레벨로 하는 것이다. 제15 박막 트랜지스터(M15)의 역할은 제15 박막 트랜지스터(M15)의 드레인을 통해 전단 시프트 레지스터에 전단 시프트 레지스터의 리셋 신호인 출력신호를, 후단 시프트 레지스터에 후단 시프트 레지스터의 스타트 신호인 출력신호를 송신하는 것이다. 제1 커패시터(C1)의 역할은 제1 클록 신호가 하이 레벨이 될 때, 제1 커패시터(C1)를 통해 제2 노드(Qb)를 하이 레벨로 하여 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)를 온시켜 제1 노드(Q)와 자단 출력단(OUT_N)을 로우 레벨로 유지하는 것이다. 제4 커패시터(C4)의 역할은 부트스트랩 효과를 이용하여 제1 노드(Q)의 하이 레벨을 유지하는 것이다.

<56> 본 실시예에 관한 시프트 레지스터의 기술방안에 있어서, 시프트 레지스터의 자단 출력단(OUT_N)은 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 구동신호를 출력함과 동시에, 다른 2개의 시프트 레지스터로부터 출력신호를 수신한다. 그 중 하나의 출력신호는 전단 시프트 레지스터로부터 출력되고, 자단 시프트

레지스터의 초기 신호로서 이용된다. 다른 출력신호는 후단 시프트 레지스터로부터 출력되고, 자단 시프트 레지스터의 리셋 신호로서 이용된다. 시프트 레지스터의 동작은 동시에 2개의 클록 신호, 1개의 전단 시프트 레지스터로부터의 출력신호 및 1개의 후단 시프트 레지스터로부터의 출력신호에 의해 제어된다. 본 실시예에 관한 시프트 레지스터는 직류 전원을 채용하지 않고 클록 신호만으로 구동되기 때문에, 소비전력을 대폭적으로 저감할 수 있다. 본 실시예에 관한 시프트 레지스터는 제2 노드(Qb)가 하이 레벨이 되는 시간을 감소시켜, 풀 다운 노드인 제2 노드(Qb)가 하이 레벨이 되는 시간을 원래의 시간의 2분의 1로 감소시키며, 즉 하이 레벨을 제2 박막 트랜지스터(M2)의 게이트에 인가하는 시간을 저감하여 제2 박막 트랜지스터(M2)의 임계값 전압의 편이를 저감한다. 본 실시예에 관한 시프트 레지스터는 제2 박막 트랜지스터(M2)와 제5 박막 트랜지스터(M5)가 함께 자단 출력단(OUT_N)의 로우 레벨을 유지하고, 이와 같이 하여 제2 박막 트랜지스터(M2)의 동작시간을 대폭적으로 감소시킬 수 있으며, 또 제2 박막 트랜지스터(M2)의 임계값 전압의 시프트를 저감한다. 그 중 제2 박막 트랜지스터(M2)의 게이트의 바이어스 전압의 듀티비가 약 50%으로, 박막 트랜지스터의 게이트의 바이어스 전압의 듀티비가 작을 때 그 임계값 전압이 서서히 회복할 수 있고, 하이 레벨을 인가한 기간이 경과함에 따라 그 임계값 전압은 증가하지 않을 것이다. 따라서, 본 실시예가 박막 트랜지스터에 대한 파괴를 저감하여 박막 트랜지스터의 동작 수명을 연장시킨다. 동시에, 본 실시예의 제2 노드(Qb)의 전압은 종래기술의 직류 구동 방식이 아니라 용량 구동 방식으로 제1 클록 신호단(CLK1)과 제1 커패시터(C1)를 이용하여 제2 노드(Qb)의 전압을 구동한다. 이와 같이, 제2 박막 트랜지스터(M2)와 제4 박막 트랜지스터(M4)는 전하만으로 구동되고, 전하에 의해 박막 트랜지스터를 온하여 소비전력을 감소시킬 뿐만 아니라 동시에 박막 트랜지스터의 파괴도 감소된다. 본 실시예는 아직 하나의 방전 모듈을 제공한다. 해당 방전 모듈은 박막 트랜지스터를 채용하고, 또한 자단 출력단(OUT_N)이 하이 레벨이고 제1 클록 신호단(CLK1)이 로우 레벨일 때만 해당 박막 트랜지스터가 동작한다. 이와 같이 박막 트랜지스터의 특성을 잘 유지할 수 있고, 박막 트랜지스터의 동작 수명을 대폭적으로 연장시킨다. 또, 본 실시예의 시프트 레지스터는 2개의 자단 출력단이 설치되고, 그 중 하나의 자단 출력단이 액정 디스플레이의 대응하는 게이트 라인을 구동하도록 하나의 게이트 구동신호를 출력하는 것을 담당하고, 독립된 박막 트랜지스터를 이용하는 다른 자단 출력단이 전단 시프트 레지스터에 전단 시프트 레지스터의 리셋 신호인 출력신호를, 후단 시프트 레지스터에 후단 시프트 레지스터의 초기 신호인 출력신호를 각각 출력하는 것을 담당한다. 이와 같이, 종래기술의 하나의 출력단의 지연에 의해 나중의 복수단의 시프트 레지스터에 관동/기입의 오류를 일으키는 것을 피할 수 있고 동작의 안정성을 향상시킨다. 그리고, 본 실시예의 기술방안은, 특히 복수의 시프트 레지스터를 포함하는 게이트 구동기에 적용되고, 나중의 복수단의 시프트 레지스터에 관동/기입의 오류를 일으키는 것을 피한다. 본 실시예는, 자단 출력단(OUT_N)이 하이 레벨을 출력할 때만 박막 트랜지스터의 게이트에 바이어스를 가한다. 그러나, 시프트 레지스터의 모든 동작 프로세스에서 자단 출력단(OUT_N)으로부터 하이 레벨을 출력하는 시간은 매우 짧기 때문에, 박막 트랜지스터의 임계값 전압의 시프트에 거의 영향을 주지 않고, 박막 트랜지스터가 긴 시간의 동작으로 열화되지 않음을 보증할 수 있다. 요컨대, 본 실시예에 관한 시프트 레지스터는 저비용, 저소비전력, 장수명의 이점에 덧붙여 고안정성, 작은 지연 등의 특징이 있다.

<57> 본 발명에 관한 제1종의 게이트 구동기는 시리얼하게 접속된 복수의 시프트 레지스터를 구비하고, 또한 시리얼하게 접속된 4개의 시프트 레지스터가 하나의 시프트 레지스터 세트를 구성한다. 각 시프트 레지스터 각각은 3개의 클록 신호를 수신하는 클록 신호단, 게이트 구동신호를 대응하는 게이트 라인에 송신하는 자단 출력단, 자단 시프트 레지스터의 초기 신호로서 전단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단, 자단 시프트 레지스터의 보상 신호로서 3단 전 시프트 레지스터로부터의 출력신호를 수신하는 3단 전 시프트 레지스터 입력단을 구비한다. 또, 시프트 레지스터 각각은 로우 레벨 신호단에 접속된다.

<58> 도 6은 본 발명에 관한 제1종의 게이트 구동기의 구성 개략도이다. 시프트 레지스터 세트의 4개의 시프트 레지스터는 각각 제N-3단계의 시프트 레지스터(SR_{N-3}), 제N-2단계의 시프트 레지스터(SR_{N-2}), N-1단계의 시프트 레지스터(SR_{N-1}) 및 N단계의 시프트 레지스터(SR_N)이다. 각 시프트 레지스터 각각은 도 2에 나타내는 구성을 구비한다. 본 실시예의 게이트 구동기는 클록 신호 발생기에 의해, 연속하는 4개의 클록 신호를 생성하여 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2), 제3 클록 신호단(CLK3) 및 제4 클록 신호단(CLK4)에 각각 제공한다. 각 시프트 레지스터 각각은 4개의 클록 신호단 중 3개의 클록 신호단에 소정의 순서로 접속된다.

<59> N단계의 시프트 레지스터(SR_N)를 예로 하여, 그 입력/출력단은 구체적으로 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2), 제4 클록 신호단(CLK4), 자단 출력단(OUT_N), N-1단계의 시프트 레지스터 출력단(OUT_{N-1})으로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단(INPUT_{N-1}) 및 제N-3단계의 시프트 레지스터 출력단(OUT_{N-3})으

로부터의 출력신호를 수신하는 3단 전 시프트 레지스터 입력단(INPUT_{N-3})이다. 자단 출력단(OUT_N)은 초기 신호로서의 출력신호를 후단(제N+1단계)의 시프트 레지스터에 출력하고, 보상 신호로서의 출력신호를 3단 뒤(제N+3단계)의 시프트 레지스터에 출력한다.

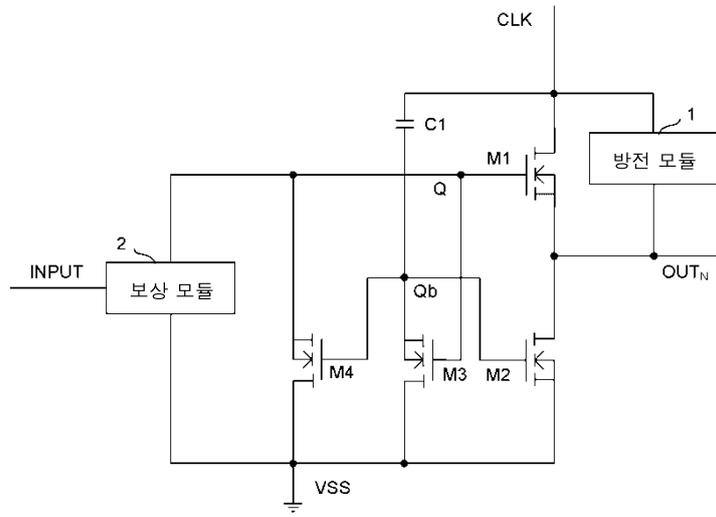
- <60> 본 발명에 관한 제1종의 게이트 구동기의 동작 프로세스에 대해서는 본 발명에 관한 시프트 레지스터의 제1 실시예에서 이미 상세하게 설명하였기 때문에, 여기서 중복 설명을 생략한다.
- <61> 본 발명에 관한 제2종의 게이트 구동기는 시리얼하게 접속된 복수의 시프트 레지스터를 구비하고, 각 시프트 레지스터 각각은 2개의 클록 신호를 수신하는 클록 신호단, 게이트 구동신호를 대응하는 게이트 라인에 송신하는 자단 출력단, 신호를 전단 시프트 레지스터와 후단 시프트 레지스터에 출력하는 자단 제어 출력단, 자단 시프트 레지스터의 초기 신호로서 전단 시프트 레지스터로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단, 자단 시프트 레지스터의 리셋 신호로서 후단 시프트 레지스터로부터의 출력신호를 수신하는 후단 시프트 레지스터 입력단을 구비한다. 또, 시프트 레지스터 각각은 로우 레벨 신호단에 접속된다.
- <62> 도 7은 본 발명에 관한 제2종의 게이트 구동기의 구성 개략도이고, 그 중 N-1단계의 시프트 레지스터(SR_{N-1}), N 단계의 시프트 레지스터(SR_N) 및 N+1단계의 시프트 레지스터(SR_{N+1})를 구비하고, 각 시프트 레지스터 각각은 도 4에 나타내는 구성을 구비한다. 본 실시예의 게이트 구동기는 클록 신호 발생기에 의해, 연속하는 2개의 클록 신호를 생성하여 제1 클록 신호단(CLK1) 및 제2 클록 신호단(CLK2)에 각각 제공한다. 그 중 제2 클록 신호는 제 1 클록 신호의 반전 신호이다.
- <63> N단계의 시프트 레지스터(SR_N)를 예로 하여, 그 입력/출력단은 구체적으로 제1 클록 신호단(CLK1), 제2 클록 신호단(CLK2), 자단 출력단(OUT_N), 자단 제어 출력단(X_N), N-1단계의 시프트 레지스터 출력단(OUT_{N-1})으로부터의 출력신호를 수신하는 전단 시프트 레지스터 입력단(INPUT_{N-1}) 및 N+1단계의 시프트 레지스터 출력단(OUT_{N+1})으로부터의 출력신호를 수신하는 후단 시프트 레지스터 입력단(INPUT_{N+1})이다. 자단 제어 출력단(X_N)은 초기 신호로서의 출력신호를 후단(제N+1단계)의 시프트 레지스터에 출력하고, 리셋 신호로서의 출력신호를 전단(N-1단계)의 시프트 레지스터에 출력한다.
- <64> 본 발명에 관한 제2종의 게이트 구동기의 동작 프로세스에 대해서는 본 발명에 관한 시프트 레지스터의 제2 실시예에서 이미 상세하게 설명하였기 때문에, 여기서 중복 설명을 생략한다.
- <65> 마지막으로 설명해야 할 것은, 이상의 실시형태는 본 발명의 기술적 방안을 설명하기 위한 것으로 제한의 목적은 없다. 상기 최적의 실시형태에 따라 본 발명을 상세하게 설명하였지만, 상기 실시형태에 기재된 기술적 방안을 개정하거나 그 부분적인 기술적 특징을 동등하게 교환하거나 할 수 있고, 그 개정이나 교환은 해당하는 기술적 방안의 본질이 본 발명의 실시형태의 기술적 방안의 취지와 범위를 벗어나는 것으로 이어지지 않음은 당업자가 이해하는 바이다.

도면의 간단한 설명

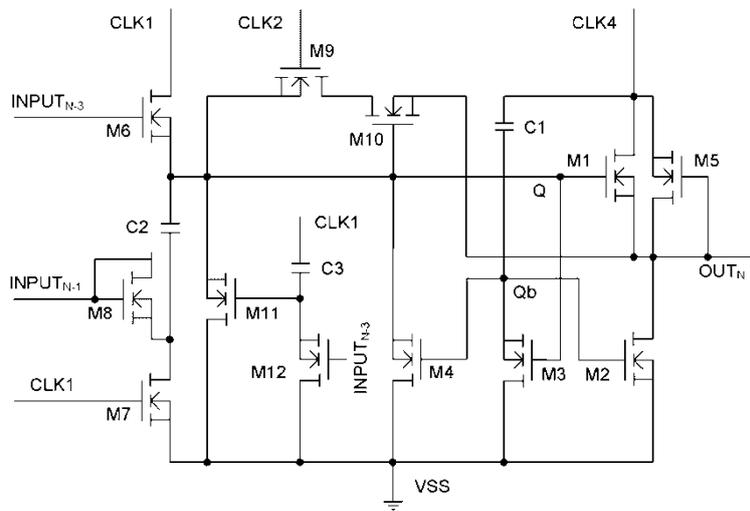
- <66> 도 1은 본 발명에 관한 시프트 레지스터의 구성 개략도이다.
- <67> 도 2는 본 발명에 관한 시프트 레지스터의 제1 실시예의 구성 개략도이다.
- <68> 도 3은 본 발명에 관한 시프트 레지스터의 제1 실시예의 동작 시퀀스도이다.
- <69> 도 4는 본 발명에 관한 시프트 레지스터의 제2 실시예의 구성 개략도이다.
- <70> 도 5는 본 발명에 관한 시프트 레지스터의 제2 실시예의 동작 시퀀스도이다.
- <71> 도 6은 본 발명에 관한 제1종의 게이트 구동기의 구성 개략도이다.
- <72> 도 7은 본 발명에 관한 제2종의 게이트 구동기의 구성 개략도이다.
- <73> 도 8은 종래기술에 관한 게이트 구동기의 구성 개략도이다.
- <74> 도 9는 종래기술에 관한 시프트 레지스터의 구성 개략도이다.
- <75> 도 10은 종래기술에 관한 시프트 레지스터의 동작 시퀀스도이다.

도면

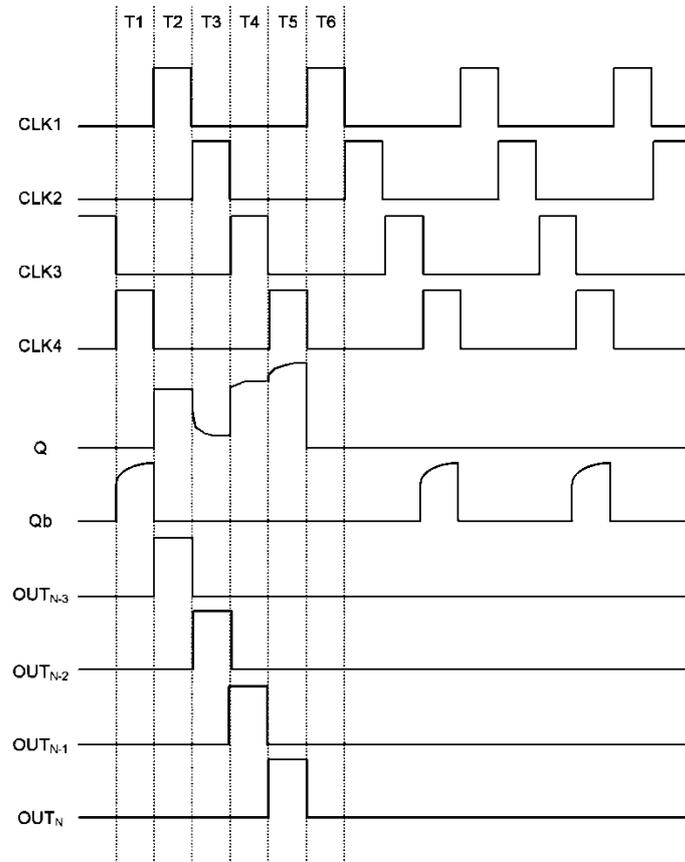
도면1



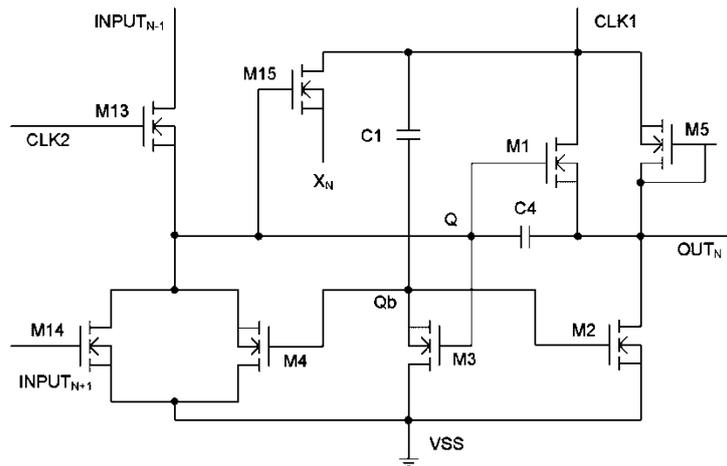
도면2



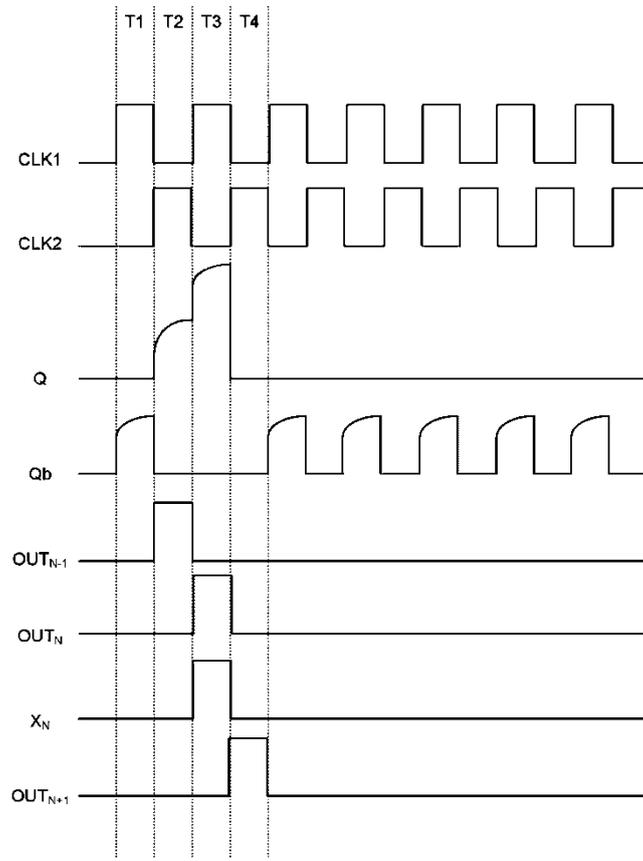
도면3



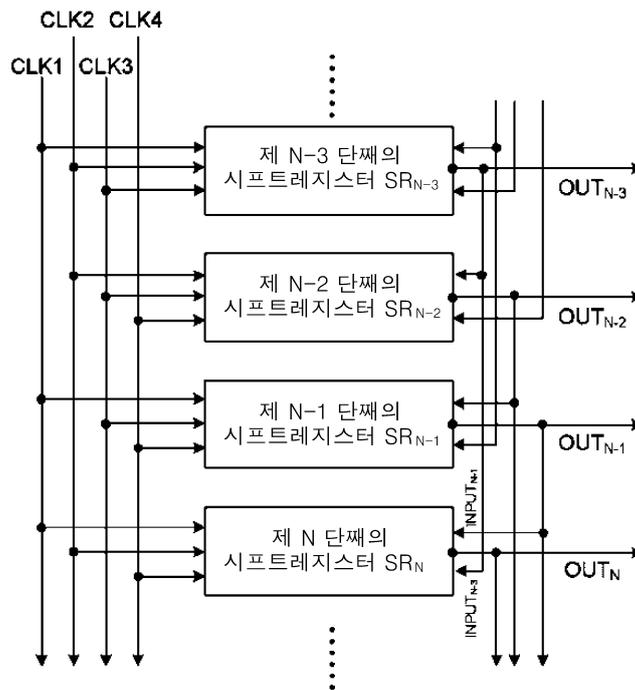
도면4



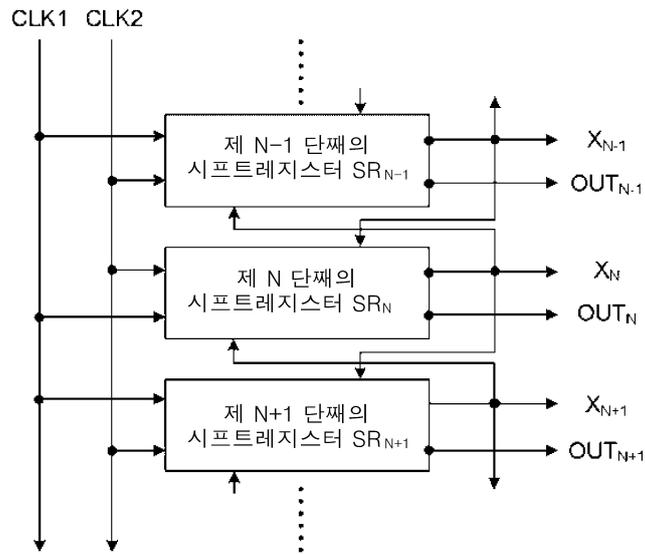
도면5



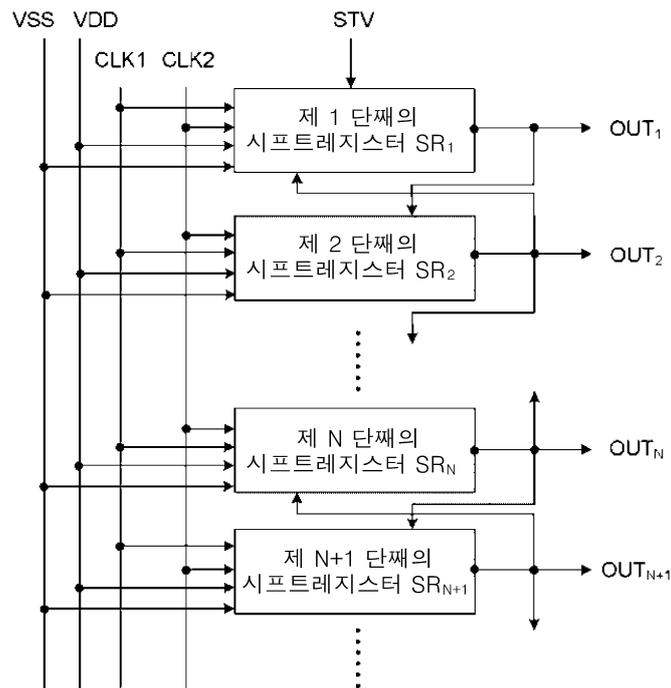
도면6



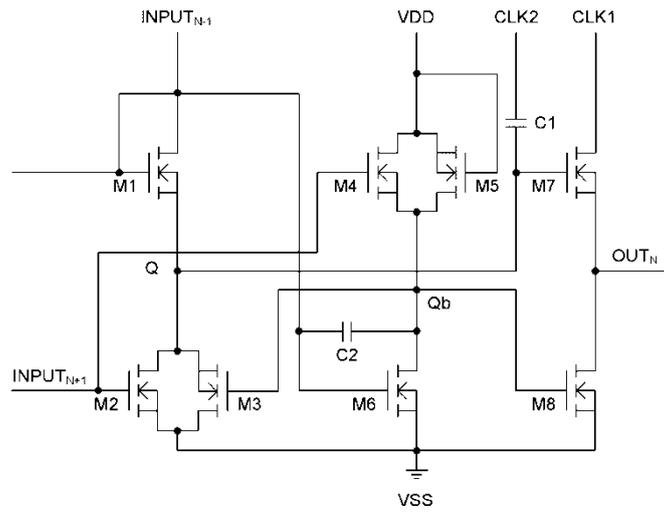
도면7



도면8



도면9



도면10

