



(21)申請案號：098117413

(22)申請日：中華民國 98 (2009) 年 05 月 26 日

(51)Int. Cl. : G02F1/1368 (2006.01)

(71)申請人：友達光電股份有限公司 (中華民國) AU OPTRONICS CORP. (TW)

新竹市新竹科學工業園區力行二路 1 號

(72)發明人：林祥麟 LIN, HSIANG LIN (TW)；林敬桓 LIN, CHING HUAN (TW)；石志鴻 SHIH, CHIH HUNG (TW)；黃偉明 HUANG, WEI MING (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

TW 200624964A

TW 200821721A

US 2008/0239187A1

審查人員：張簡宏偉

申請專利範圍項數：21 項 圖式數：10 共 0 頁

(54)名稱

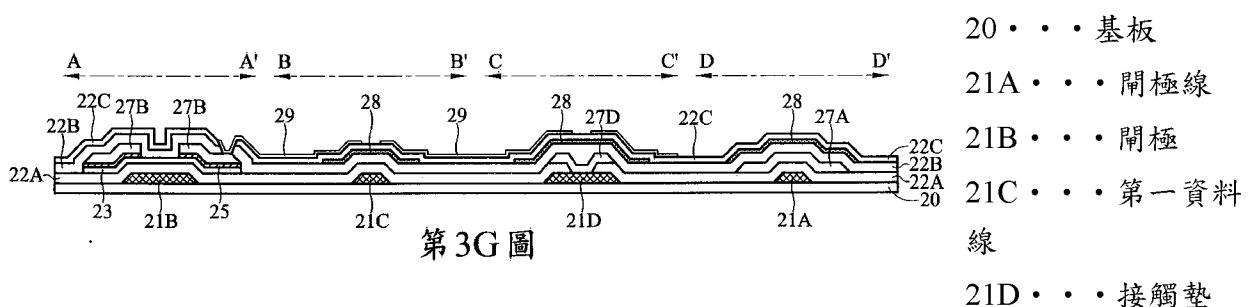
陣列基板及其形成方法

ARRAY SUBSTRATE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

本發明提供一種陣列基板及其形成方法，其資料線係由第一線段及第二線段組成，兩者以接觸墊電性連接。上述之資料線與畫素電極之間夾設一遮蔽電極，且遮蔽電極與資料線之第一線段之間夾設有第一及第二絕緣層。另一方面，資料線之第二線段與閘極線垂直相交的部份夾設有第一絕緣層。藉由上述設計，可減少導電層之間的耦合效應，例如降低資料線和遮蔽電極之寄生電容延遲。同時由於遮蔽電極與資料線之第一線段之間相隔兩層絕緣層，可以減少兩電極層短路的機率，而增加生產時的良率。

Disclosed is about an array substrate and method for manufacturing the same, and its data line is composed of first and second segments connected by a contact pad. The first and second insulation layers are disposed between the first segment of the data line and the shielding electrode. In addition, the first insulation layer is disposed between the second segment of the data line and the gate line in their overlapping area. Accordingly, the coupling effect between the conductive layers can be reduced. For example, the RC delay problem due to capacitance between the shielding electrode and the data line is solved. As a result of the design of the two insulator layers between the first segment of the data line and the shielding electrode, the short circuit defect can also be simultaneously solved and the product yield can be increased.



- 22A . . . 閘極絕緣層
- 22B . . . 絕緣層
- 22C . . . 保護層
- 23 . . . 半導體通道層
- 25 . . . 歐姆接觸層
- 27A . . . 第二資料線
- 27B . . . 源極/汲極
- 27D . . . 第二資料線接觸墊
- 28 . . . 遮蔽電極
- 29 . . . 畫素電極

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：98117413

※ 申請日：98.5.26

※IPC 分類：G02F 1/368 (2006.01)

### 一、發明名稱：

陣列基板及其形成方法/Array substrate and method for manufacturing the same

### 二、中文發明摘要：

本發明提供一種陣列基板及其形成方法，其資料線係由第一線段及第二線段組成，兩者以接觸墊電性連接。上述之資料線與畫素電極之間夾設一遮蔽電極，且遮蔽電極與資料線之第一線段之間夾設有第一及第二絕緣層。另一方面，資料線之第二線段與閘極線垂直相交的部份夾設有第一絕緣層。藉由上述設計，可減少導電層之間的偶合效應，例如降低資料線和遮蔽電極之寄生電容延遲。同時由於遮蔽電極與資料線之第一線段之間相隔兩層絕緣層，可以減少兩電極層短路的機率，而增加生產時的良率。

### 三、英文發明摘要：

Disclosed is about an array substrate and method for manufacturing the same, and its data line is composed of first and second segments connected by a contact pad. The first and second insulation layers are disposed between the first

segment of the data line and the shielding electrode. In addition, the first insulation layer is disposed between the second segment of the data line and the gate line in their overlapping area. Accordingly, the coupling effect between the conductive layers can be reduced. For example, the RC delay problem due to capacitance between the shielding electrode and the data line is solved. As a result of the design of the two insulator layers between the first segment of the data line and the shielding electrode, the short circuit defect can also be simultaneously solved and the product yield can be increased.

## 四、指定代表圖：

(一)本案指定代表圖為：第 3G 圖。

(二)本代表圖之元件符號簡單說明：

20~基板；

21A~閘極線；

21B~閘極；

21C~第一資料線；

21D~接觸墊；

22A~閘極絕緣層；

22B~絕緣層；

22C~保護層；

23~半導體通道層；

25~歐姆接觸層；

27A~第二資料線；

27B~源極/汲極；

27D~第二資料線接觸墊；

28~遮蔽電極；

29~畫素電極。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種顯示器，更特別關於陣列基板結構及其形成方法。

### 【先前技術】

目前的液晶顯示器製造，元件畫素開口率的設計大小直接影響到背光來源的利用率，也影響到面板的顯示亮度。影響開口率設計大小的最主要因素，在於透明導電電極與資料配線(data line)之間的距離，當透明導電電極與資料配線過於接近，其所受的雜散電容 Cpd (capacitance between pixel and data line)會變大。這將導致畫素電極上充飽的電荷在下個訊號轉換前，受到資料配線傳送不同電壓的影響而產生串音效應(cross talk)。

為減少 Cpd 的效應，有一種高開口率的結構為在資料線與畫素電極之間再夾設遮蔽電極，而此遮蔽電極電性連結共通電位(common voltage)，因為遮蔽電極遮蔽掉資料線的電場，所以畫素電極並不會受資料電極訊號的影響，減少了 Cpd 所產生的串音效應。上述結構之上視圖如第 1A 圖所示。在第 1A 圖中，關於電晶體之 A-A'切線及關於資料線之 B-B'切線之剖視結構如第 1B 圖所示。在上述結構中，先在基板 10 上形成閘極線 11 後，以絕緣層 12A 覆蓋上述結構。接著依序形成半導體層 13 及歐姆接觸層 15，再形成金屬圖案作為電晶體之源極/汲極 17A 及資料線 17B，接著形成絕緣層 12B 覆蓋上述結構後，然後形成遮

蔽電極 18 於資料線 17B 上方，用以降低 Cpd 效應。接著形成絕緣層 12C 覆蓋上述結構，並移除部份絕緣層 12B 及 12C 以露出電晶體部分汲極 17A 而形成接觸窗 A。最後形成畫素電極 19 於畫素區之絕緣層 12C 上，且畫素電極 19 經由接觸窗 A 電性連接至控制該畫素區的電晶體之部分汲極 17A。

雖然上述結構可解決 Cpd 的問題，但由於資料線 17B 和遮蔽電極 18，亦稱共通電極(common electrode)之重疊面積增加，兩者之間的電性耦合將使資料線的寄生電容延遲問題惡化。

綜上所述，目前亟需在不大幅更動現有機台及製程的前提下，同時改善 Cpd 及共通電極(common line)與資料線(data line)之間的寄生電容之結構。

#### 【發明內容】

本發明提供一種一種形成陣列基板的方法，包括提供基板；形成第一圖案化導電層於基板上以定義閘極線、閘極、與第一資料線及其一端具第一資料線接觸墊；形成第一絕緣層於第一圖案化導電層上；形成圖案化半導體通道層於閘極上；移除部分第一絕緣層，以露出部份第一資料線接觸墊；形成第二圖案化導電層，以同時定義源極/汲極於半導體通道層上，以及第二資料線及其一端具有第二資料線接觸墊，其中第二資料線跨過閘極線，且第二資料線與閘極線相交處隔有第一絕緣層；形成第二絕緣層覆蓋第二圖案化導電層；形成第三圖案化導電層於第一資料線與

第二資料線上，其中第一資料線與第三圖案化導電層之間隔有第一絕緣層與第二絕緣層；形成第三絕緣層覆蓋第三圖案化導電層、第二資料線、源極/汲極、及第二絕緣層；移除汲極上之部分第二絕緣層及第三絕緣層，露出部份汲極，以形成接觸窗；以及形成畫素電極覆蓋第三絕緣層並經由接觸窗電性連接至露出之部份汲極。

本發明更提供一種陣列基板，包括畫素區位於基板上，係由閘極線與第一資料線及第二資料線定義而成，其中第一資料線之一端與第二資料線電性連接，第二資料線跨過閘極線，且第二資料線與閘極線相交處隔有第一絕緣層；薄膜電晶體，包括閘極連接至閘極線、半導體通道層、以及源極/汲極；第一絕緣層，位於第一資料線及閘極上；第二絕緣層，位於第二資料線、第一絕緣層、源極/汲極、及部份半導體層上，並露出部份汲極；遮避電極，位於第一資料線及/或第二資料線上，其中部分遮蔽電極與第一資料線之間隔有第一絕緣層及第二絕緣層；第三絕緣層，覆蓋遮避電極及第二絕緣層，並露出部分汲極；以及畫素電極，覆蓋畫素區之部分第三絕緣層並電性連接汲極。

#### 【實施方式】

為解決習知技藝的問題，本發明提供一種陣列基板的結構，其上視圖如第 2 圖所示，且第 2 圖中切線 A-A'、B-B'、與 C-C' 之剖視圖均圖示於第 3G 圖中。

為形成上述結構，首先提供基板 20。接著形成圖案化導電層 101 於基板 20 上如第 3A 圖所示，此圖案化導電層



101 定義出閘極線 21A、與閘極線 21A 電性連接之電晶體閘極 21B、第一資料線 21C 及其一端具第一資料線接觸墊 21D，且第一資料線及其一端之第一資料線接觸墊係同時定義完成，且接觸墊亦可因設計不同，而位於資料線的各端。形成第一圖案化導電層 101 的方式包括先於基板 100 上形成第一導電層(未圖示)，並將第一導電層(未圖示)圖案化。上述之基板 20 之材質可為透光材質如玻璃、石英或其它透明材質、不透光材質如陶瓷、晶圓或其它不透明材質、或可撓性材質如塑膠、橡膠、聚酯、聚碳酸酯或其它可撓性材質。圖案化導電層 101 可為金屬如鈦、鈮、銀、金、鉑、銅、鋁、鈾、鈹、鎢、鉻、銻、銻、鈦、鈷、其他合適金屬、或上述合金；金屬氧化物如銦錫氧化物(indium tin oxide, ITO)、銦鋅氧化物(indium zinc oxide, IZO)、或上述之多層結構。

接著如第 3B 圖所示，以閘極絕緣層 22A 覆蓋圖案化導電層 101 後，於閘極 21B 上方之閘極絕緣層 22A 上形成半導體通道層 23。在本發明一實施例中，可視情況需要進一步形成歐姆接觸層 25 於半導體通道層 23 上。閘極絕緣層 22A 之材質可為有機材質如光阻、有機矽化合物、或其它有機材質、無機材質如氮化矽、氧化矽、氮氧化矽、碳氧化矽、碳化矽或其他無機材質、或上述材質之組合。半導體通道層 23 一般為半導體層如非晶矽、多晶矽、微晶矽、單晶矽、或上述材料之組合，其形成方式可為化學氣相沉積法(CVD)、電漿增強化學氣相沉積法(PECVD)、快速

昇溫式化學氣相沉積法(RTCVD)、超高真空化學氣相沉積法(UHV/CVD)、或分子束磊晶成長法(MBE)。歐姆接觸層 25 一般為摻雜矽，可視情況需要選擇 n 型或 p 型摻雜。

另外，形成半導體通道層 23 的方法包括以下步驟。首先，於閘極絕緣層 22A 上形成非晶矽等半導體材料層(未圖示)，並可選擇性進行摻雜製程，以於半導體材料層(未圖示)之上表面形成歐姆接觸材料層(未圖示)，然後，圖案化半導體材料層(未圖示)，以形成位於閘極 21B 上方之半導體通道層 23 及其上表面之歐姆接觸層 25。接下來的說明將以具有歐姆接觸為例來說明。

接著如第 3C 圖所示，移除部份閘極絕緣層 22A，以形成第一接觸窗 B 並露出部分第一資料線一端之接觸墊 21D。移除閘極絕緣層 22A 方式為一般微影製程配合乾蝕刻或濕蝕刻。

接著請參考第 3D 圖及第 2 圖，於閘極絕緣層 22A、半導體通道層 23 以及歐姆接觸層 25 上形成第二圖案化導電層 103。具體而言，形成第二圖案化導電層 103 的方式例如是於閘極絕緣層 22A 以及歐姆接觸層 25 上形成第二導電層(未圖示)，並將第二導電層(未圖示)圖案化，以形成第二圖案化導電層 103。值得注意的是，在第二導電層(未圖示)進行圖案化的同時，部分的歐姆接觸層 25 會一併地被移除。詳言之，在第二導電層(未圖示)被圖案化之後，會形成第二資料線 27A 及其一端具有第二資料線接觸墊 27D、源極與汲極 27B，且第二資料線及其一端之第二資料

線接觸墊係同時定義完成，且接觸墊亦可因設計不同，而位於資料線的各端，而未被源極以及汲極 27B 所覆蓋住的歐姆接觸層 25 會被移除，直到部分的半導體通道層 23 被暴露出來為止。

由第 3D 圖及第 2 圖可知，第二資料線接觸墊 27D 與第一資料線第一資料線第一資料線接觸墊 21D，經由第一接觸窗 B 而電性連接，且第二資料線 27A 並跨過閘極線 21A 以連接另一畫素之第一資料線接觸墊(未圖示)。由第 3D 圖之 D-D' 切線可知，第二資料線 27A 與閘極線相交重疊的部份隔有閘極絕緣層 22A。在這必需說明的是，第一資料線 21C 與第二資料線 27A 之間的長度比例約介於 1:1 至 15:1 之間，且以第一資料線 27A 的長度越長於第二資料線為最佳，例如第一資料線 21C 與第二資料線 27A 之間的長度比介於 13:1 至 15:1 之間。當後續形成之共通電極(或稱遮蔽電極)與第二資料線 27A 之重疊比例比起第一資料線較低時，可有效減少資料線與共通電極之間的寄生電容。上述之第二圖案化導電層 103 可為金屬如鈦、鉭、銀、金、鉑、銅、鋁、鉬、鈳、鎢、鉻、銻、銻、鈳、鈳、或 其它金屬、上述之合金、或上述之多層結構。

接著如第 3E 圖所示，於閘極絕緣層 22A 上形成絕緣層 22B，以覆蓋第二圖案化導電層 103。形成絕緣層 22B 之方法包括先於基板 100 上形成覆蓋於閘極絕緣層 22A 以及第二圖案化導電層 103 上之第二介電層(未圖示)。接下來，形成遮蔽電極 28 於第一資料線 21C、第一資料線接觸墊

21D、及第二資料線 27A 上。形成遮蔽電極 28 的方法包括先形成覆蓋於絕緣層 22B 上之第三層導體層(未圖示)，並將第三導電層(未圖示)圖案化。

絕緣層 22B 之材質選擇及形成方法類似閘極絕緣層 22A，兩者可採用相同或不同材質。在本發明一實施例中，閘極絕緣層 22A 及絕緣層 22B 之總厚度介於  $6000\mu\text{m}$  至  $12000\mu\text{m}$ ，或介於  $4000\mu\text{m}$  至  $7000\mu\text{m}$ 。在本發明另一實施例中，絕緣層 22B 之厚度介於  $1500\mu\text{m}$  至  $6000\mu\text{m}$ ，其中以厚度介於  $3000\mu\text{m}$  至  $4000\mu\text{m}$  較佳。遮蔽電極 28 之材質選擇類似前述之圖案化導電層。遮蔽電極 28 電性連接共通電極，所以兼具共通電極之作用，其共通電位可遮蔽資料線電場並降低 Cpd 效應以改善串音問題。與習知技藝相較，其資料線 17B 及遮蔽電極 18 之間只有單一絕緣層 12B 如第 1B 圖所示。本發明之資料線段的主要部份第一資料線 21C 與遮蔽電極 28 之間隔有閘極絕緣層 22A 及 22B，可減少兩者之間的耦合效應，並降低資料線的寄生電容延遲的問題。另一方面，由於第一資料線 21C 與遮蔽電極 28 之間隔有兩層絕緣層，更可減少兩電極層之間線路短路的機率，進而增加產品良率。

接著如第 3F 圖所示，於遮蔽電極 28 及絕緣層 22B 上形成保護層 22C，接下來移除部份之絕緣層 22B 及其下之保護層 22C，形成第二接觸窗 C 以露出電晶體之部分汲極 27B。保護層 22C 之組成及形成方法類似於閘極絕緣層 22A 及絕緣層 22B，可採用相同或不同之材料。

最後如第 3G 圖所示，於保護層 22C 上形成畫素電極 29，以使畫素電極 29 是藉由第二接觸窗 C 與汲極 27B 電性連接。畫素電極 29 的形成方式可以是於保護層 22C 上形成銦錫氧化物、銦鋅氧化物或是其他材質的透明導體層(未圖示)，並將透明導體層(未圖示)圖案化以形成畫素電極 29。

畫素電極 29 之材質為透明導體層，較佳為銦錫氧化物、銦鋅氧化物、鋁鋅氧化物、鎘錫氧化物、或上述材質之組合。如第 3G 圖之 B-B' 切線所示，畫素電極 29、保護層 22C、與遮蔽電極 28 重疊之部份可構成儲存電容。由於第一資料線 21C 與遮蔽電極 28 之間隔有兩層絕緣層，也就是閘極絕緣層 22A 及絕緣層 22B，除了可以減少導體層之間的偶合效應、串音等問題，例如降低第一資料線 21C 和遮蔽電極 28 之寄生電容延遲、第一資料線 21C 與畫素電極 29 之間串音等問題外，更可減少兩電極層之間線路短路的機率，進而增加產品良率。

雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1A 圖係習知技藝中，陣列基板之上視圖；

第 1B 圖係習知技藝中，陣列基板之剖視圖；

第 2 圖係本發明一實施例中，陣列基板之上視圖；以  
及

第 3A-3G 圖係本發明一實施例中，形成陣列基板之製  
程剖視圖。

**【主要元件符號說明】**

10、20~基板；

11、21A~閘極線；

12A、12B、12C、22B~絕緣層；

13、23~半導體通道層；

15、25~歐姆接觸層；

17A、27B~源極/汲極；

17B~資料線；

18、28~遮蔽電極；

19、29~畫素電極；

21B~閘極；

21C~第一資料線；

21D~第一資料線接觸墊；

22A~閘極絕緣層；

22C~保護層；

27A~第二資料線；

27D~第二資料線接觸墊；

100、200~畫素區；

101~圖案化導電層；

103~第二圖案化導電層；

A~接觸窗；

B~第一接觸窗；

C~第二接觸窗。

## 七、申請專利範圍：

1. 一種形成陣列基板的方法，包括：

提供一基板；

形成一第一圖案化導電層於該基板上以定義一閘極線、一閘極、與一第一資料線及其一端具一第一資料線接觸墊；

形成一第一絕緣層於該第一圖案化導電層上；

形成一圖案化半導體通道層於該閘極上；

移除該部分該第一絕緣層，以露出部份該第一資料線接觸墊；

形成一第二圖案化導電層，以同時定義一源極/汲極於該半導體通道層上，以及一第二資料線及其一端具有第二資料線接觸墊，其中該第二資料線跨過該閘極線，且該第二資料線與該閘極線相交處隔有該第一絕緣層；

形成一第二絕緣層覆蓋該第二圖案化導電層；

形成一第三圖案化導電層於該第一資料線與該第二資料線上，其中該第一資料線與該第三圖案化導電層之間隔有該第一絕緣層與該第二絕緣層；

形成一第三絕緣層覆蓋該第三圖案化導電層、該第二資料線、該源極/汲極、及該第二絕緣層；

移除該汲極上之部分該第二絕緣層及該第三絕緣層，露出部份該汲極，以形成一接觸窗；以及

形成一畫素電極覆蓋該第三絕緣層並經由該接觸窗電性連接至露出之部份汲極。



2.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第一絕緣層與該第二絕緣層包括氮化矽、氧化矽、氮氧化矽、碳化矽、或上述材質之多層結構。

3.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第一絕緣層與該第二絕緣層之組成不同。

4.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第二絕緣層之厚度介於  $1500\mu\text{m}$  至  $6000\mu\text{m}$ 。

5.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第二絕緣層之厚度介於  $3000\mu\text{m}$  至  $4000\mu\text{m}$ 。

6.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第一絕緣層及該第二絕緣層之總厚度介於  $6000\mu\text{m}$  至  $12000\mu\text{m}$ 。

7.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中該第一絕緣層及該第二絕緣層之總厚度介於  $4000\mu\text{m}$  至  $7000\mu\text{m}$ 。

8.如申請專利範圍第 1 項所述之形成陣列基板的方法，更包括形成一歐姆接觸層於該半導體通道層與該源極/汲極之間。

9.如申請專利範圍第 1 項所述之形成陣列基板的方法，其中部分該畫素電極和該第三圖案化導電層重疊。

10.如申請專利範圍第 9 項所述之形成陣列基板的方法，其中該第三圖案化導電層、該第三圖案化導電層上方之該第三絕緣層、及和第三圖案化導電層重疊之部分畫素電極形成一儲存電容。

11. 一種陣列基板，包括：

一基板；

一畫素區位於該基板上，係由一閘極線與一第一資料線及一第二資料線定義而成，其中該第一資料線之一端與該第二資料線電性連接，該第二資料線跨過該閘極線，且該第二資料線與該閘極線相交處隔有一第一絕緣層；

一薄膜電晶體，包括一閘極連接至該閘極線、一半導體通道層、以及一源極/汲極；

該第一絕緣層，位於該第一資料線及該閘極上；

一第二絕緣層，位於該第二資料線、該第一絕緣層、該源極/汲極、及部份該半導體層上，並露出部份該汲極；

一遮蔽電極，位於該第一資料線及/或該第二資料線上，其中部分該遮蔽電極與該第一資料線之間隔有該第一絕緣層及該第二絕緣層；

一第三絕緣層，覆蓋該遮蔽電極及該第二絕緣層，並露出部分該汲極；以及

一畫素電極，覆蓋該畫素區之部分該第三絕緣層並電性連接該汲極。

12. 如申請專利範圍第 11 項所述之陣列基板，其中該第一絕緣層與該第二絕緣層包括氮化矽、氧化矽、氮氧化矽、碳化矽、或上述材質之多層結構。

13. 如申請專利範圍第 11 項所述之陣列基板，其中該第一絕緣層與該第二絕緣層之組成不同。

14. 如申請專利範圍第 11 項所述之陣列基板，其中該第

二絕緣層之厚度介於  $1500\mu\text{m}$  至  $6000\mu\text{m}$ 。

15.如申請專利範圍第 11 項所述之陣列基板，其中該第二絕緣層之厚度介於  $3000\mu\text{m}$  至  $4000\mu\text{m}$ 。

16.如申請專利範圍第 11 項所述之陣列基板，其中該第一絕緣層及該第二絕緣層之總厚度介於  $6000\mu\text{m}$  至  $12000\mu\text{m}$ 。

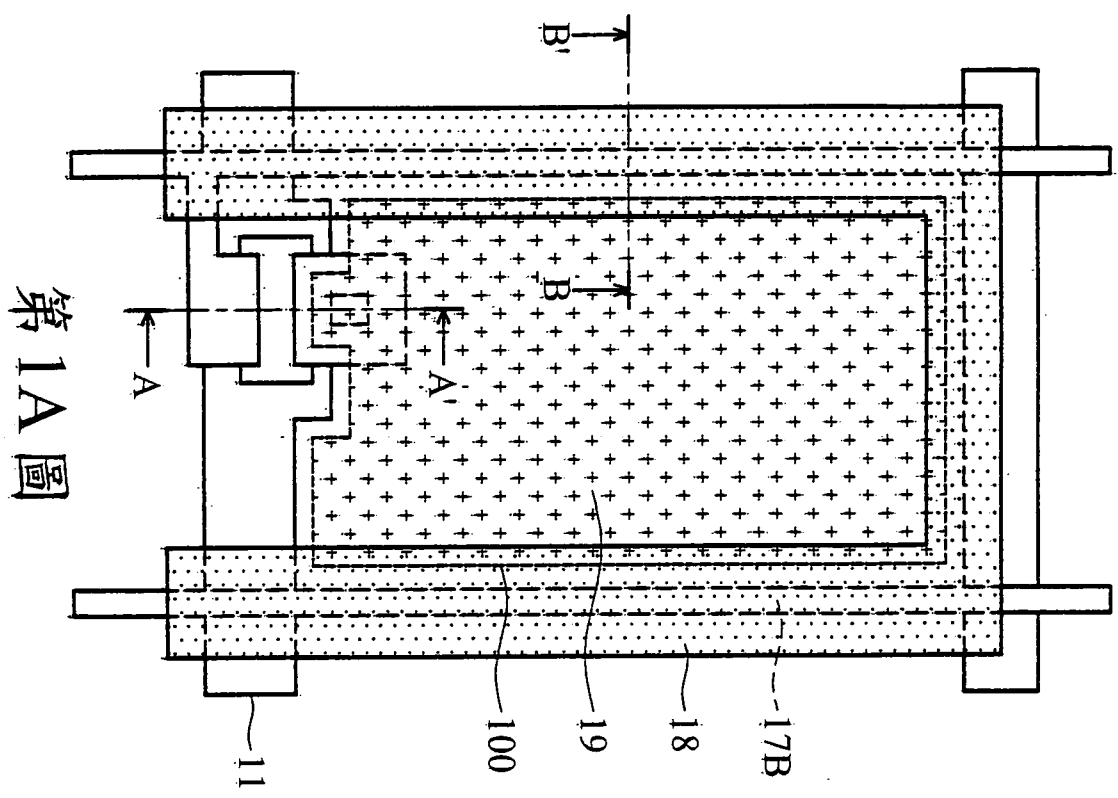
17.如申請專利範圍第 11 項所述之陣列基板，其中該第一絕緣層及該第二絕緣層之總厚度介於  $4000\mu\text{m}$  至  $7000\mu\text{m}$ 。

18.如申請專利範圍第 11 項所述之陣列基板，更包括形成一歐姆接觸層於該半導體通道層與該源極/汲極之間。

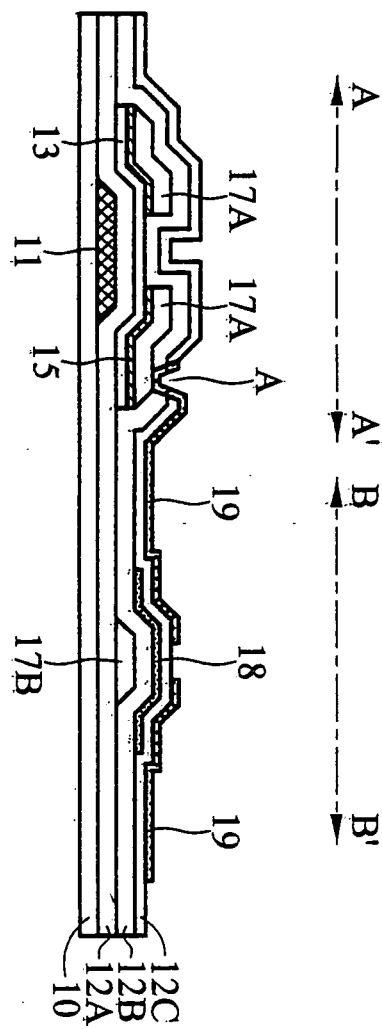
19.如申請專利範圍第 11 項所述之陣列基板，其中部分該畫素電極和該遮蔽電極重疊。

20.如申請專利範圍第 19 項所述之陣列基板，其中該遮蔽電極、該遮蔽電極上方之該第三絕緣層、及和該遮蔽電極重疊之部分畫素電極形成一儲存電容。

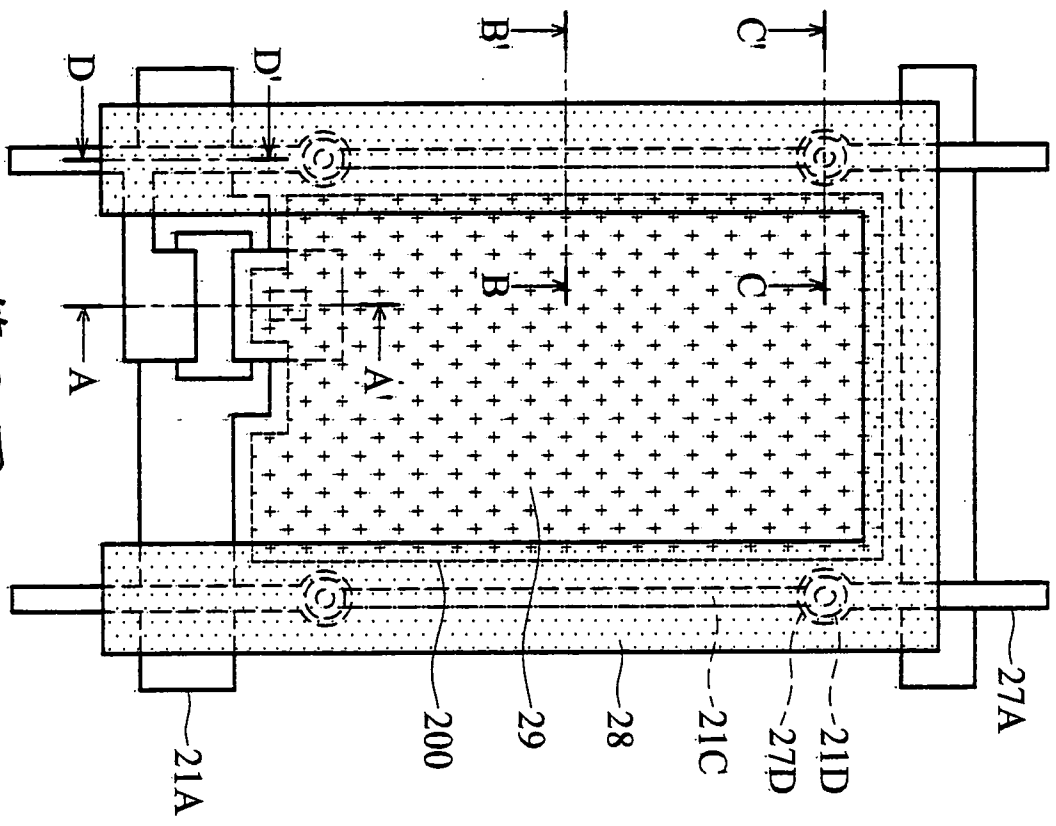
21.如申請專利範圍第 11 項所述之陣列基板，其中部份該遮蔽電極和部分該畫素區重疊。



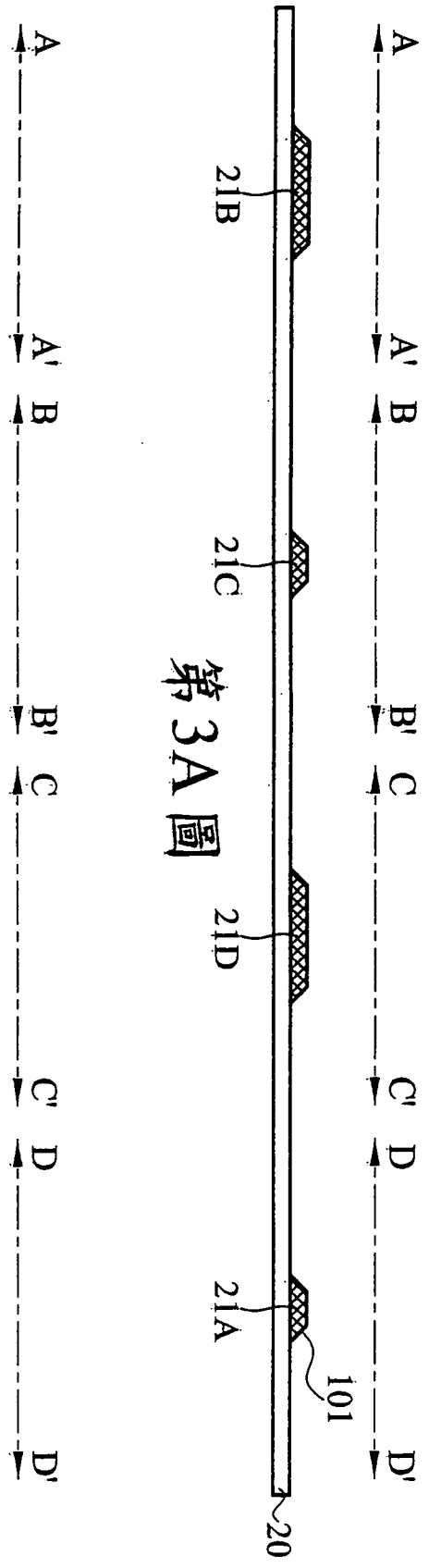
第 1A 圖



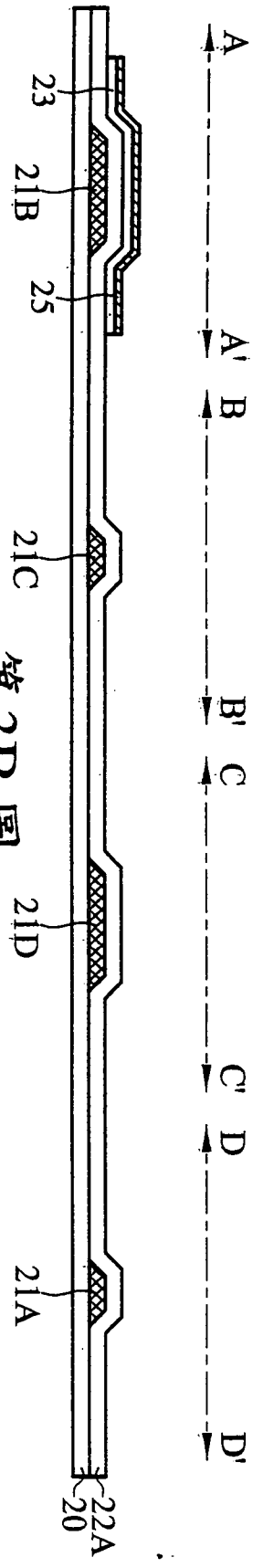
第1B圖



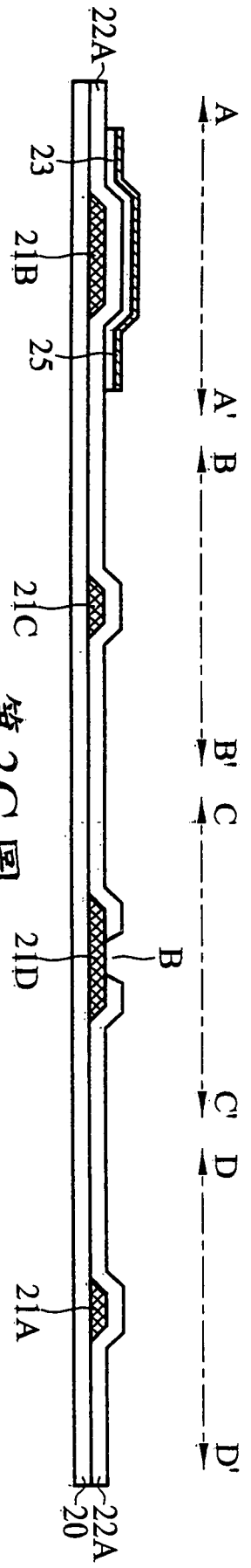
第 2 圖



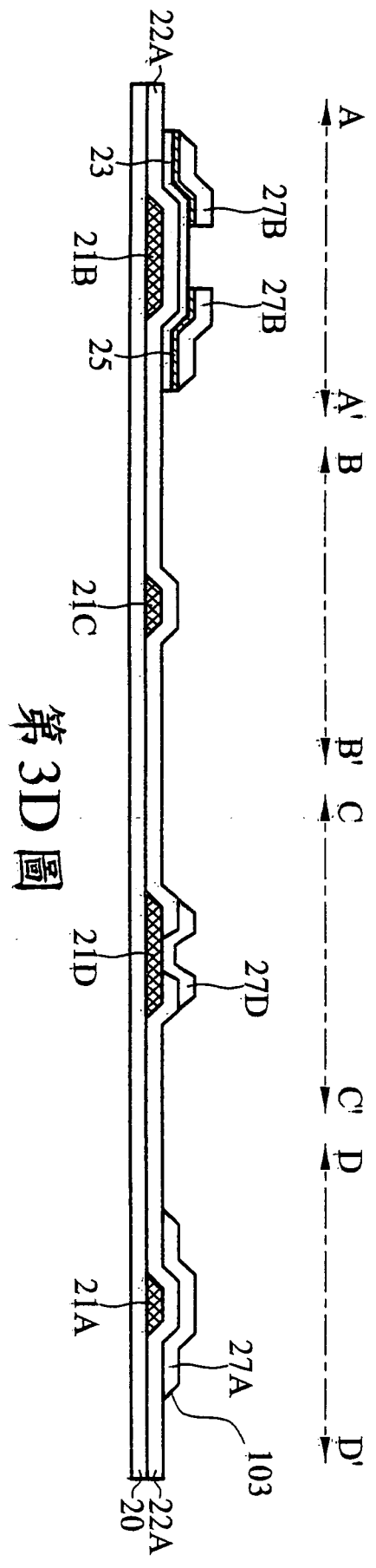
第3A圖



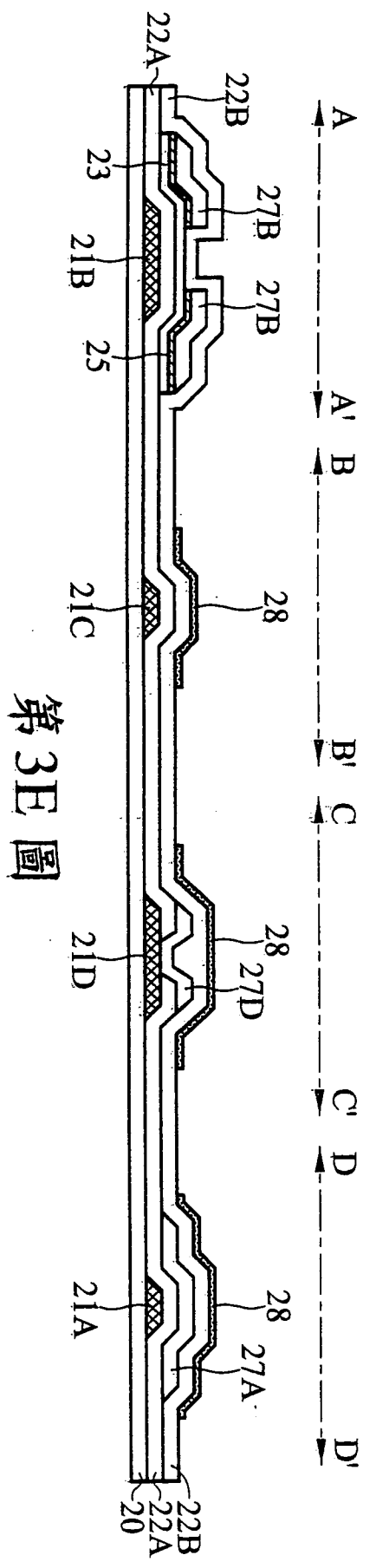
第3B圖



第3C圖

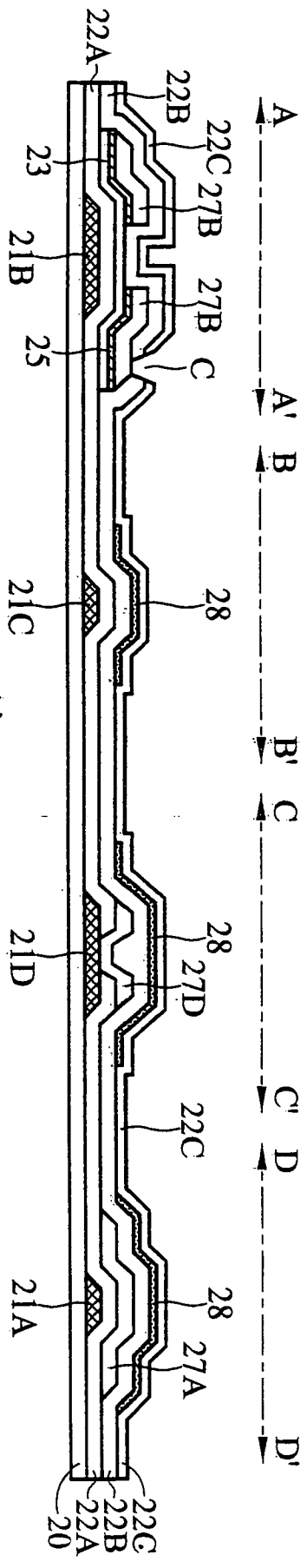


第3D圖

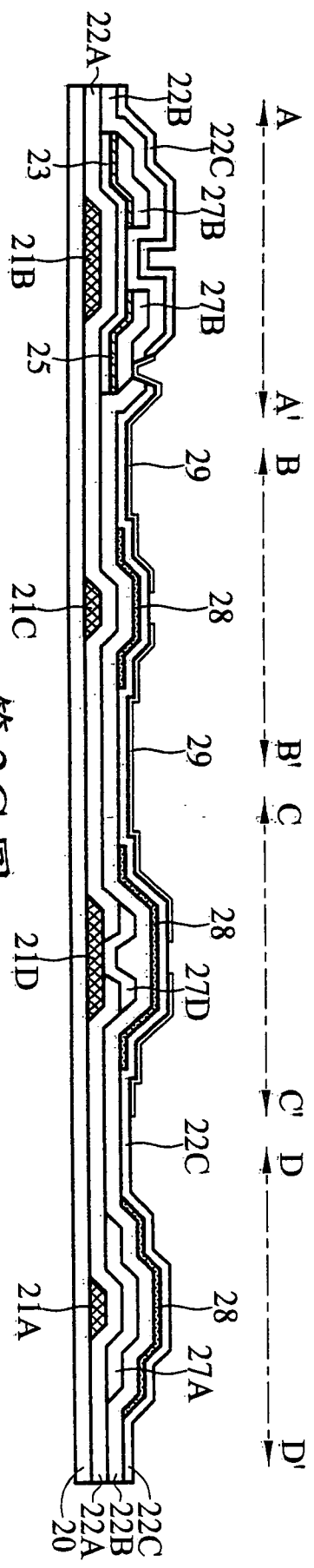


第3E圖





第3F圖



第3G圖