



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년02월26일
 (11) 등록번호 10-1237685
 (24) 등록일자 2013년02월20일

(51) 국제특허분류(Int. Cl.)

H01L 33/64 (2010.01)

(21) 출원번호 10-2011-0028261

(22) 출원일자 2011년03월29일

심사청구일자 2011년03월29일

(65) 공개번호 10-2012-0110419

(43) 공개일자 2012년10월10일

(56) 선행기술조사문헌

KR1020090040374 A*

JP55132083 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자

서기호

경기도 수원시 영통구 청명북로 96-23, 성지빌
 201호 (영통동)

신상현

경기도 수원시 영통구 영통로90번길 4-22, 삼성라
 츠 101동 101호 (망포동)

허철호

부산광역시 남구 오륙도로 85, 오륙도SKVIEW아파
 트 110동 1206호 (용호동)

(74) 대리인

청운특허법인

전체 청구항 수 : 총 14 항

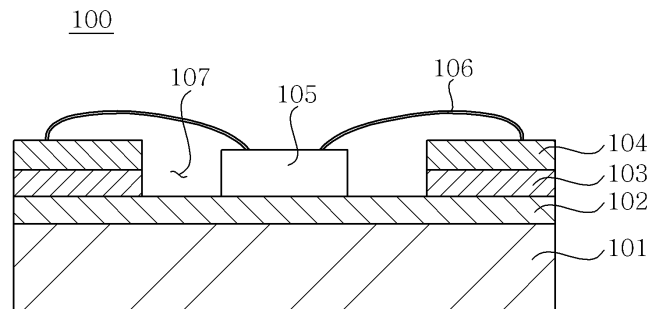
심사관 : 박혜련

(54) 발명의 명칭 **방열 기관 및 그 제조방법**

(57) 요약

방열 기관 및 그 제조방법에 관한 것으로서, 금속 플레이트; 금속 플레이트의 일면 또는 양면에 형성된 산화층; 산화층 상에 형성된 절연층; 및 절연층 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층;을 포함하고, 절연층 및 회로층은 칩을 실장하기 위한 오픈부를 갖고, 칩은 오픈부에 실장되는 것을 특징으로 한다.

대표도 - 도1



특허청구의 범위

청구항 1

금속 플레이트;
 상기 금속 플레이트의 일면 또는 양면에 형성된 산화층;
 상기 금속 플레이트의 일면에 형성된 산화층 상에 형성된 절연층;
 상기 절연층 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층; 및
 상기 산화층과 상기 절연층 사이에 형성된 금속층;을 포함하고,
 상기 절연층 및 상기 회로층은 칩을 실장하기 위한 오픈부를 갖는 방열 기관.

청구항 2

금속 플레이트;
 상기 금속 플레이트의 일면 또는 양면에 형성된 산화층;
 상기 금속 플레이트의 일면에 형성된 산화층 상에 형성된 절연층; 및
 상기 절연층 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층;
 을 포함하고,
 상기 절연층 및 상기 회로층은 칩을 실장하기 위한 오픈부를 가지며,
 상기 금속 플레이트는 복수의 관통 비아홀을 더 포함하고,
 상기 산화층은 상기 금속 플레이트의 상하부인 양면을 포함하여 상기 복수의 관통 비아홀의 내벽에 더 형성되는 경우,
 상기 복수의 관통 비아홀을 도금을 통해 충전하여 생성된 복수의 비아를 포함하여, 상기 산화층이 형성된 상기 금속 플레이트의 상하부에 형성된 금속층;
 을 더 포함하는 방열 기관.

청구항 3

제1항 또는 제2항에 있어서,
 상기 오픈부는 상기 산화층이 노출되도록 형성되며,
 칩은 상기 오픈부를 통해 노출된 상기 산화층 상에 실장되는 방열 기관.

청구항 4

제1항에 있어서,
 상기 오픈부는 상기 금속층이 노출되도록 형성되고,
 칩은 상기 오픈부를 통해 노출된 상기 금속층 상에 실장되는 방열 기관.

청구항 5

삭제

청구항 6

제2항에 있어서,
 상기 금속 플레이트의 상하부에 형성된 금속층 중 칩의 실장면에 형성된 상기 금속층은,

상기 산화층과 상기 절연층 사이에 형성된 방열 기관.

청구항 7

제2항에 있어서,

상기 오픈부는 상기 금속층이 노출되도록 형성되고,

칩은 상기 오픈부를 통해 노출된 상기 금속층의 상부에 실장되는 방열 기관.

청구항 8

제2항에 있어서,

상기 복수의 비아 중 어느 하나는 실장될 칩의 하부에 대응되도록 형성되는 방열 기관.

청구항 9

금속 플레이트를 제공하는 단계;

상기 금속 플레이트의 일면 또는 양면에 양극산화를 수행하여 산화층을 형성하는 단계; 및

상기 금속 플레이트의 일면에 형성된 산화층 상에 칩이 실장될 영역에 오픈부를 갖는 절연층 및 상기 절연층 상에 상기 오픈부에 대응되는 오픈부를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층을 형성하는 단계;

를 포함하고,

상기 산화층을 형성하는 단계 이후 상기 절연층을 형성하는 단계 이전에,

상기 산화층과 상기 절연층 사이에 금속층을 형성하는 단계를

포함하는 방열 기관 제조방법.

청구항 10

금속 플레이트를 제공하는 단계;

상기 금속 플레이트의 일면 또는 양면에 양극산화를 수행하여 산화층을 형성하는 단계; 및

상기 금속 플레이트의 일면에 형성된 산화층 상에 칩이 실장될 영역에 오픈부를 갖는 절연층 및 상기 절연층 상에 상기 오픈부에 대응되는 오픈부를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층을 형성하는 단계;

를 포함하고,

상기 금속 플레이트를 제공하는 단계에서,

상기 금속 플레이트에 복수의 관통 비아홀을 더 형성하고,

상기 산화층을 형성하는 단계에서,

상기 산화층이 상기 복수의 관통 비아홀의 내벽 및 상기 금속 플레이트의 상하부에 형성되도록 형성하는 방열 기관 제조방법.

청구항 11

제9항 또는 제10항에 있어서,

상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 산화층이 노출되도록 형성되며,

칩은 상기 오픈부를 통해 노출된 상기 산화층 상에 실장되는 방열 기관 제조방법.

청구항 12

제9항에 있어서,

상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 금속층이 노출되도록 형성되고,

칩은 상기 오픈부를 통해 노출된 상기 금속층 상에 실장되는 방열 기관 제조방법.

청구항 13

삭제

청구항 14

제10항에 있어서,

상기 산화층을 형성하는 단계 이후 상기 절연층을 형성하는 단계 이전에,

상기 복수의 관통 비아홀을 도금을 통해 충전하여 형성된 복수의 비아를 포함하여, 상기 산화층이 형성된 상기 금속 플레이트의 상하부에 금속층을 형성하는 단계;

를 더 포함하는 방열 기관 제조방법.

청구항 15

제14항에 있어서,

상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 금속층이 노출되도록 형성되며,

칩은 상기 오픈부를 통해 노출된 상기 금속층의 상부에 실장되는 방열 기관 제조방법.

청구항 16

제14항에 있어서,

상기 복수의 비아 중 어느 하나는 실장될 칩의 하부에 대응되도록 형성되는 방열 기관 제조방법.

명세서

기술 분야

[0001] 본 발명은 방열 기관 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 반도체 소자 및 발광다이오드(LED) 산업이 급성장하고 있는데, 특히 조명 LED 시장, 평판 디스플레이 백라이트 유니트용 LED 및 휴대폰용 LED 시장의 확대와 함께 기술적 요구도 높아지고 있다.

[0003] 한편, 고휘도 고효율의 LED가 본래의 성능을 발휘하기 위해서는 많은 양의 발생열을 효과적으로 제거해 줄 방법이 필요하게 된다. 만약, 발생열을 효과적으로 제거해 주지 못하는 경우 발열소자가 탑재된 회로기관의 온도를 상승시켜 발열소자의 동작 불능 및 오동작을 야기할 뿐만 아니라 제품의 신뢰성도 저하시키게 된다.

[0004] 또한, 발광소자에서 방출되는 광파장이 블루-시프트(Blue-shift) 되어 색상품질이 저하되고, 자체 수명도 저하되는 문제점을 갖게 된다.

[0005] 이에 더하여, 종래의 발광소자를 탑재한 인쇄회로기판의 구조는 발광소자에서 발생하는 열을 외부로 방출시키는 경로가 길고, 열을 외부로 전달하는 경로의 재질이 열전도도가 낮은 재료로 이루어졌기 때문에, 발광소자에 대한 열 방출이 효율적이지 못하다는 문제점이 발생하였다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 칩에서 발생하는 열을 외부로 효율적으로 방출할 수 있도록 하는 방열 기관 및 그 제조방법을 제공하는 것이다.

과제의 해결 수단

- [0007] 본 발명은 방열 기관에 관한 것으로서, 금속 플레이트;
- [0008] 상기 금속 플레이트의 일면 또는 양면에 형성된 산화층;
- [0009] 상기 산화층 상에 형성된 절연층; 및
- [0010] 상기 절연층 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층;
- [0011] 을 포함하고,
- [0012] 상기 절연층 및 상기 회로층은 칩을 실장하기 위한 오픈부를 갖는다.

- [0013] 여기에서, 상기 오픈부는 상기 산화층이 노출되도록 형성되며,
- [0014] 칩은 상기 오픈부를 통해 노출된 상기 산화층 상에 실장되는 것이 바람직하다.
- [0015] 또한, 상기 산화층과 상기 절연층 사이에 형성된 금속층;을 더 포함하는 것이 바람직하다.
- [0016] 또한, 상기 오픈부는 상기 금속층이 노출되도록 형성되고,
- [0017] 칩은 상기 오픈부를 통해 노출된 상기 금속층 상에 실장되는 것이 바람직하다.
- [0018] 또한, 상기 금속 플레이트는 복수의 관통 비아홀을 더 포함하고,
- [0019] 상기 산화층은 상기 금속 플레이트의 상하부인 양면을 포함하여 상기 복수의 관통 비아홀의 내벽에 더 형성되는 경우,
- [0020] 상기 복수의 관통 비아홀을 도금을 통해 충전하여 생성된 복수의 비아를 포함하여, 상기 산화층이 형성된 상기 금속 플레이트의 상하부에 형성된 금속층;을 더 포함하는 것이 바람직하다.
- [0021] 또한, 상기 금속 플레이트의 상하부에 형성된 금속층 중 칩의 실장면에 형성된 상기 금속층은,
- [0022] 상기 산화층과 상기 절연층 사이에 형성된 것이 바람직하다.
- [0023] 또한, 상기 오픈부는 상기 금속층이 노출되도록 형성되고,
- [0024] 칩은 상기 오픈부를 통해 노출된 상기 금속층의 상부에 실장되는 것이 바람직하다.
- [0025] 또한, 상기 복수의 비아 중 어느 하나는 실장될 칩의 하부에 대응되도록 형성되는 것이 바람직하다.

- [0026] 다른 본 발명은 방열 기관 제조방법에 관한 것으로서,
- [0027] 금속 플레이트를 제공하는 단계;
- [0028] 상기 금속 플레이트의 일면 또는 양면에 양극산화를 수행하여 산화층을 형성하는 단계; 및
- [0029] 상기 산화층 상에 칩이 실장될 영역에 오픈부를 갖는 절연층 및 상기 절연층 상에 상기 오픈부에 대응되는 오픈부를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층을 형성하는 단계;를 포함한다.

- [0030] 여기에서, 상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 산화층이 노출되도록 형성되며,
- [0031] 칩은 상기 오픈부를 통해 노출된 상기 산화층 상에 실장되는 것이 바람직하다.
- [0032] 또한, 상기 산화층을 형성하는 단계 이후 상기 절연층을 형성하는 단계 이전에,

- [0033] 상기 산화층과 상기 절연층 사이에 금속층을 형성하는 단계;를 더 포함하는 것이 바람직하다.
- [0034] 또한, 상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 금속층이 노출되도록 형성되고,
- [0035] 칩은 상기 오픈부를 통해 노출된 상기 금속층 상에 실장되는 것이 바람직하다.
- [0036] 또한, 상기 금속 플레이트를 제공하는 단계에서,
- [0037] 상기 금속 플레이트에 복수의 관통 비아홀을 더 형성하고,
- [0038] 상기 산화층을 형성하는 단계에서,
- [0039] 상기 산화층이 상기 복수의 관통 비아홀의 내벽 및 상기 금속 플레이트의 상하부에 형성되도록 형성하는 것이 바람직하다.
- [0040] 또한, 상기 산화층을 형성하는 단계 이후 상기 절연층을 형성하는 단계 이전에,
- [0041] 상기 복수의 관통 비아홀을 도금을 통해 충전하여 형성된 복수의 비아를 포함하여, 상기 산화층이 형성된 상기 금속 플레이트의 상하부에 금속층을 형성하는 단계;를 더 포함하는 것이 바람직하다.
- [0042] 또한, 상기 절연층 및 상기 회로층에 형성된 오픈부는 상기 금속층이 노출되도록 형성되며,
- [0043] 칩은 상기 오픈부를 통해 노출된 상기 금속층의 상부에 실장되는 것이 바람직하다.
- [0044] 또한, 상기 복수의 비아 중 어느 하나는 실장될 칩의 하부에 대응되도록 형성되는 것이 바람직하다.
- [0045]
- [0046] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0047] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합되는 의미와 개념으로 해석되어야만 한다.

발명의 효과

- [0048] 본 발명의 방열 기관 및 그 제조방법은 칩에서 발생하는 열이 두께가 얇고 열전도도가 높은 산화층을 통하여 전도되기 때문에, 칩으로부터 발생하는 열을 효율적으로 제거할 수 있다는 효과를 기대할 수 있다.
- [0049] 또한, 본 발명은 칩이 실장될 영역의 하부에 금속층이 형성되기 때문에, 칩의 실장성을 높이고 칩에서 발생하는 열을 횡 방향으로 분산시켜 하부의 산화층을 통해 금속 플레이트로 전도할 수 있으며, 이로 인해 열 전달 속도를 향상시킬 수 있다는 효과를 갖는다.
- [0050] 이에 더하여, 본 발명은 칩이 실장될 영역의 하부에 열전도도가 높은 재질로 이루어진 비아를 형성시켜, 칩에서 발생하는 열이 칩이 실장된 기관 하부에 직접 전도될 수 있도록 하기 때문에, 칩에서 발생하는 열을 효율적으로 제거하고, 이로 인해 칩의 성능, 수명뿐만 아니라 전체적인 패키지의 성능도 향상시킬 수 있다는 장점을 갖는다.

도면의 간단한 설명

- [0051] 도 1은 본 발명에 의한 방열 기관의 제1 실시예를 나타내는 도면,
- 도 2는 본 발명에 의한 방열 기관의 제2 실시예를 나타내는 도면,
- 도 3은 본 발명에 의한 방열 기관의 제3 실시예를 나타내는 도면,
- 도 4 내지 도 11은 도 1의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도,
- 도 12 내지 도 20은 도 2의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도,
- 도 21 내지 도 30은 도 3의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도이다.

발명을 실시하기 위한 구체적인 내용

- [0052] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서에서, 제1, 제2 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다.
- [0053] 본 발명에서 사용되는 용어 "방열 기관"은 발광 다이오드와 같은 칩이 실장될 수 있는 반도체 패키지 기관을 의미하며, "실장면"은 통상 칩이 탑재되는 면을 의미한다.
- [0054] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0055] 한편, 설명의 편의를 위해 방열 기관에 칩이 실장된 상태를 나타내는 도면을 참조하여 설명하기로 한다.
- [0056] **방열 기관- 제1 실시예**
- [0057] 도 1은 본 발명에 의한 방열 기관의 제1 실시예를 나타내는 도면이다.
- [0058] 도 1에서 도시하는 바와 같이, 방열 기관(100)은 금속 플레이트(101), 금속 플레이트(101)의 일면 또는 양면에 형성된 산화층(102), 산화층(102) 상에 형성된 절연층(103) 및 절연층(103) 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 포함하고, 절연층(103) 및 회로층(104)은 칩(105)을 실장하기 위한 오픈부(107)를 갖고, 칩(105)은 오픈부(107)에 실장된다.
- [0059] 상기 금속 플레이트(101)는 알루미늄 또는 알루미늄 합금으로 이루어질 수 있으며, 이에 한정되지는 않는다. 즉, 방열 기관(100)에서 칩 등으로 인해 발생하는 열을 외부로 효율적으로 방출시킬 수 있는 금속 절연 재질이라면, 모두 사용 가능한 것이다.
- [0060] 상기 산화층(102)은 절연층(103)과는 성질이 다른 계면 절연막에 해당하는 것으로, 절연층(103)에 비해 방열 성능이 향상된 재료로 예를 들어, 알루미늄(Al_2O_3)로 이루어질 수 있다.
- [0061] 또한, 산화층(102)은 아노다이징(Anodizing) 공법을 수행하여 형성하는 것이 바람직하며, 이에 한정되지는 않는다.
- [0062] 상기 절연층(103)은 레진, 에폭시, 폴리이미드 계열 등의 재료로 이루어지며, 접착성질을 포함할 수 있다.
- [0063] 한편, 산화층(102)은 낮은 절연저항으로 인해 누설전류가 발생하고 높은 전압이 방열 기관에 인가되는 경우, 산화층(102)이 파괴되면서 금속 플레이트(101)와 회로층(104) 간에 전기적 도통을 발생시킬 수 있다. 절연층(103)은 상술한 문제점을 해결하기 위해 산화층(102)과 회로층(104) 사이에 형성되는 것이며, 이로 인해 산화층에서의 누설전류 방지 및 높은 전압 인가에 대한 대비 효과를 기대할 수 있는 것이다.
- [0064] 상기 회로층(104)을 구성하는 금속의 종류는 전도성을 갖는 것이라면 특별히 한정되지 않으나, 통상 구리 또는 구리 합금을 사용하는 것이 비용적 측면에서 유리하다.

- [0065] 바람직하게는, 칩(105)은 발광 다이오드(Light Emitting Diode : LED)일 수 있으며, 이에 한정되지는 않는다.
- [0066] 예를 들어, 방열 기관은 오픈부에 발광 다이오드와 같은 칩이 실장되어 백라이트 광원, 조명용 광원 또는 통신 장비용 광원 등 다양한 형태로 활용될 수 있다.
- [0067] 바람직하게는, 칩(105)과 접속 패드 간을 전기적으로 연결시키는 와이어(106)를 더 포함할 수 있다.
- [0068] 바람직하게는, 오픈부(107)는 산화층(102)이 노출되도록 형성된다.
- [0069] 또한, 칩(105)은 오픈부(107)를 통해 노출된 산화층(102) 상에 실장된다.
- [0070] 도 1을 참조하면, 칩(105)이 산화층(102)에 직접 접촉되는 구조로 배치되어 있기 때문에, 열을 많이 발생시키는 예를 들어, 발광 다이오드 칩에서 발생하는 열을 외부로 빠르게 전달할 수 있다는 효과를 기대할 수 있는 것이다.
- [0071] 예를 들어, 일반적인 세라믹 필러가 포함된 레지 및 에폭시 계열의 절연층은 2~3W/mk 정도의 열전도율을 갖지만, 아노다이징 공법을 통해 형성된 산화층은 20W/mk 정도의 열전도율을 갖는다. 이에 따라, 칩 하부에 칩과 직접 접촉되도록 형성된 산화층은 칩으로부터 발생된 열을 종래의 절연층에 비해 더욱 효과적으로 방열시킬 수 있다.
- [0072] 또한, 아노다이징 공법으로 형성된 산화층(102)은 5 ~ 60 μ m 정도의 박막이므로 칩에서 발생하는 열을 짧은 경로를 통해 금속 플레이트(101)로 전달할 수 있으며, 이로 인해 열 전달 속도를 비롯하여 열 전달 효율이 향상된다는 효과를 기대할 수 있는 것이다.
- [0073]
- [0074] **방열 기관- 제2 실시예**
- [0075] 이하, 도 2를 참조하여 본 발명에 의한 방열 기관의 제2 실시예를 설명하기로 하기로 한다. 다만, 제2 실시예에 대한 구성 중 제1 실시예의 구성과 동일한 구성에 대한 설명은 생략하고, 상이한 부분에 대해서만 설명하기로 한다.
- [0076] 도 2에서 도시하는 바와 같이, 방열 기관(200)은 도 1의 구성에서 산화층(102)과 절연층(103) 사이에 금속층(201)을 더 포함하는 것을 특징으로 한다.
- [0077] 보다 상세히 설명하면, 방열 기관(200)은 금속 플레이트(101), 금속 플레이트(101)의 일면 또는 양면에 형성된 산화층(102), 산화층(102) 상에 형성된 금속층(201), 금속층(201) 상에 형성된 절연층(103) 및 절연층(103) 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 포함하고, 절연층(103) 및 회로층(104)은 칩(105)을 실장하기 위한 오픈부(107)를 갖고, 칩(105)은 오픈부(107)에 실장된다.
- [0078] 바람직하게는, 상기 절연층(103) 및 회로층(104)에 형성된 칩을 실장하기 위한 오픈부(107)는 금속층(201)이 노출되도록 형성된다.
- [0079] 또한, 칩(105)은 오픈부(107)를 통해 노출된 금속층(201) 상에 실장된다.
- [0080] 상기 금속층(201)은 구리 또는 구리 합금으로 이루어질 수 있으며, 이에 한정되는 것은 아니다.
- [0081] 또한, 금속층(201)은 상부에 실장되는 칩(105)으로부터 발생하는 열이 금속층(201)을 따라 수평방향으로 고르게 퍼진 후 방열 기관(200)의 두께 방향인 수직으로 열 전달이 이루어질 수 있도록 하는 것으로, 방열 기관(200)의 두께 방향인 수직 방향으로만 열전달이 이루어지는 것에 비해, 열 전달 시간 단축을 비롯하여 열 전달 효율을 향상시킬 수 있다는 효과를 기대할 수 있다.

- [0082] 예를 들어, 칩(105)이 금속층(201) 상에 실장되기 때문에, 칩의 실장성을 높일 수 있고, 칩에서 발생하는 열을 횡으로 분산시켜 하부의 산화층(102)을 통해 메탈 플레이트(101)로 빠르게 전달할 수 있게 되는 것이다.
- [0083] 한편, 도시하지 않았지만, 금속층(201)은 시드층 및 상기 시드층 상에 도금공정을 통해 형성된 금속층(201)으로 구성될 수 있다.
- [0084] 바람직하게는, 칩(105)은 발광 다이오드(Light Emitting Diode : LED)일 수 있으며, 이에 한정되지는 않는다.
- [0085] 예를 들어, 방열 기관은 오픈부에 발광 다이오드와 같은 칩이 실장되어 백라이트 광원, 조명용 광원 또는 통신 장비용 광원 등 다양한 형태로 활용될 수 있다.
- [0086] 바람직하게는, 칩(105)과 접속 패드 간을 전기적으로 연결시키는 와이어(106)를 더 포함할 수 있다.
- [0087] **방열 기관- 제3 실시예**
- [0088] 이하, 도 3을 참조하여 본 발명에 의한 방열 기관의 제3 실시예를 설명하기로 하기로 한다. 다만, 제3 실시예에 대한 구성 중 제1 실시예의 구성과 동일한 구성에 대한 설명은 생략하고, 상이한 부분에 대해서만 설명하기로 한다.
- [0089] 도 3에서 도시하는 바와 같이, 방열 기관(300)은 금속 플레이트(101), 금속 플레이트(101)의 일면 또는 양면에 형성된 산화층(301), 산화층(301) 상에 형성된 금속층(302, 303, 304), 금속층(302, 303, 304) 상에 형성된 절연층(103) 및 절연층(103) 상에 형성되어 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 포함하고, 절연층(103) 및 회로층(104)은 칩(105)을 실장하기 위한 오픈부(107)를 갖고, 칩(105)은 오픈부(107)에 실장된다.
- [0090] 바람직하게는, 제3 실시예에서는 금속 플레이트(101)가 복수의 관통 비아홀(110)을 더 포함한다.
- [0091] 또한, 산화층(301)은 상기 금속 플레이트(101)의 양면(도 3의 금속 플레이트의 상하부)뿐만 아니라 복수의 관통 비아홀(110)의 내벽에도 더 형성될 수 있다.
- [0092] 상기 금속층(302, 303, 304)은 복수의 관통 비아홀을 도금을 통해 충전하여 생성된 복수의 비아를 포함하여, 산화층(301)이 형성된 금속 플레이트(101)의 상하부에 형성될 수 있다.
- [0093] 도 3을 참조하면, 도면부호 304의 비아는 산화층(301)이 내벽에 형성된 복수의 관통 비아홀(110)에 도금을 통해 충전하여 형성된 것을 의미하며, 본 발명에서는 설명의 편의를 위해 도면부호 302, 303과 함께 금속층이라고 기재하기로 한다.
- [0094] 한편, 도 3을 참조하면, 복수의 비아 중 어느 하나는 실장될 칩(105)의 하부에 대응되도록 형성될 수 있다.
- [0095] 복수의 비아를 포함하는 금속층(302, 303, 304)은 제2 실시예에서 칩에서 발생하는 열을 수평방향으로 고르게 전달할 수 있는 효과에 더해, 수평 방향으로 고르게 전달된 열이 방열 기관의 두께 방향인 수직 방향으로도 빠르게 전달할 수 있다는 효과를 기대할 수 있다.
- [0096] 또한, 도 3을 참조하면, 비아가 칩의 하부에 대응되는 영역에 형성되기 때문에, 칩에서 발생하는 열을 보다 효율적으로 전달시킬 수 있다는 효과를 갖는다.
- [0097] 예를 들어, 칩(105)에서 발생하는 열이 비아를 통해 금속 플레이트(101) 하부로 직접 전달되는 것이다.

- [0098] 보다 상세히 설명하면, 금속 플레이트(101)가 알루미늄(열전도도 237W/mK) 재질로 구현되고, 금속층(302, 303, 304)이 구리(열전도도 401W/mK)로 구현되는 경우, 칩(105)에서 발생하는 열은 열전도도가 금속 플레이트에 비해 상대적으로 높은 비아(금속층 중 비아(304))를 통해 직접 기판 하부로 전도되는 것이다.
- [0099] 도 3을 참조하면, 금속 플레이트(101)의 상하부에 형성된 금속층(302, 303) 중 칩(105)의 실장면에 형성된 금속층(302)은 산화층(301)과 절연층(103) 사이에 형성된 구조일 수 있다.
- [0100] 바람직하게는, 오픈부(107)는 금속층(302)이 노출되도록 형성된다.
- [0101] 또한, 칩(105)은 오픈부(107)를 통해 노출된 금속층(302)의 상부에 실장될 수 있다.
- [0102] **방열 기관의 제조방법- 제1 실시예**
- [0103] 도 4 내지 도 11은 도 1의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도이다.
- [0104] 먼저, 도 4를 참조하면, 금속 플레이트(101)를 제공한다.
- [0105] 상기 금속 플레이트(101)는 알루미늄 또는 알루미늄 합금으로 이루어질 수 있으며, 이에 한정되지는 않는다. 즉, 방열 기관(100)에서 칩 등으로 인해 발생하는 열 전달을 효율적으로 수행하는 금속 절연 재질이라면, 모두 사용 가능한 것이다.
- [0106] 다음, 도 5를 참조하면, 금속 플레이트(101)의 일면 또는 양면에 양극산화를 수행하여 산화층(102)을 형성한다.
- [0107] 예를 들어, 도 5에서는 금속 플레이트(101)의 일면에 산화층(102)을 형성하는 경우를 도시하였지만, 이에 한정되지 않는다.
- [0108] 상기 산화층(102)은 절연층(103)과는 성질이 다른 계면 절연막에 해당하는 것으로, 절연층(103)에 비해 방열 성능이 향상된 재질로 예를 들어, 알루미늄(Al_2O_3)로 이루어질 수 있다.
- [0109] 또한, 산화층(102)은 아노다이징(Anodizing) 공법을 수행하여 형성하는 것이 바람직하며, 이에 한정되지는 않는다.
- [0110] 다음, 도 6 내지 도 8을 참조하면, 칩(105)이 실장될 영역에 오픈부(107)를 갖는 절연층(103) 및 절연층(103) 상에 상기 오픈부(107)에 대응되는 오픈부(107)를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 형성한다.
- [0111] 상기 절연층(103)은 레진, 에폭시, 폴리이미드 계열 등의 재료로 이루어지며, 접착성질을 포함할 수 있다.
- [0112] 한편, 산화층(102)은 낮은 절연저항으로 인해 누설전류가 발생하고 높은 전압이 방열 기관에 인가되는 경우, 산화층(102)이 파괴되면서 금속 플레이트(101)와 회로층(104) 간에 전기적 도통을 발생시킬 수 있다. 절연층(103)은 상술한 문제점을 해결하기 위해 산화층(102)과 회로층(104) 사이에 형성되는 것이며, 이로 인해 산화층에서의 누설전류 방지 및 높은 전압 인가에 대한 대비 효과를 기대할 수 있는 것이다.
- [0113] 상기 회로층(104)을 구성하는 금속의 종류는 전도성을 갖는 것이라면 특별히 한정되지 않으나, 통상 구리 또는 구리 합금을 사용하는 것이 비용적 측면에서 유리하다.

- [0114] 다음, 도 9 및 도 10을 참조하면, 절연층(103) 및 회로층(104)을 산화층(102) 상에 형성한다.
- [0115] 이때, 도 6 내지 도 10에서 도시하는 바와 같이, 오픈부(107)를 갖는 절연층(103) 및 회로층(104)을 다른 구성과는 별도로 형성한 이후에, 산화층(102) 상에 배치시킨 후 프레스(예를 들어, V-Press) 가공을 통해 접합하는 방법이 가능하지만, 이에 한정되는 것은 아니다.
- [0116] 예를 들어, 산화층(102) 상에 절연층(103) 및 회로층(104)을 형성시킨 후, 오픈부(107)를 형성하는 방법도 가능하다.
- [0117] 한편, 절연층(103) 및 회로층(104)을 별도로 형성하는 경우, 절연층(103) 하부에 산화층(102)이 형성되어 있는 것에 비해 오픈부(107)를 용이하게 형성할 수 있다는 장점이 있다.
- [0118] 다음, 도 11을 참조하면, 오픈부(107)에 칩(105)을 실장하고, 칩(105)과 접속 패드(회로층(104)의 접속 패드) 간을 전기적으로 연결시키는 와이어(106)를 형성한다.
- [0119] 예를 들어, 방열 기관은 오픈부에 발광 다이오드(Light Emitting Diode : LED)와 같은 칩이 실장되어 백라이트 광원, 조명용 광원 또는 통신 장비용 광원 등 다양한 형태로 활용될 수 있는 것이다.
- [0120] 바람직하게는, 상기 절연층(103) 및 회로층(104)에 형성된 오픈부(107)는 산화층(102)이 노출되도록 형성되며, 칩(105)은 오픈부(107)를 통해 노출된 산화층(102) 상에 실장된다.
- [0121] **방열 기관의 제조방법- 제2 실시예**
- [0122] 도 12 내지 도 20은 도 2의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도이다.
- [0123] 이하, 도 12 내지 도 20을 참조하여 본 발명에 의한 제2 실시예의 방열 기관의 제조 방법을 설명하기로 하기로 한다. 다만, 제2 실시예에 대한 구성 중 제1 실시예의 구성과 동일한 구성에 대한 설명은 생략하고, 상이한 부분에 대해서만 설명하기로 한다.
- [0124] 먼저, 도 12를 참조하면, 금속 플레이트(101)를 제공한다.
- [0125] 다음, 도 13을 참조하면, 금속 플레이트(101)의 일면 또는 양면에 양극산화를 수행하여 산화층(102)을 형성한다.
- [0126] 이때, 산화층(102)은 아노다이징(Anodizing) 공법을 수행하여 형성하는 것이 바람직하며, 이에 한정되지는 않는다.
- [0127] 또한, 산화층(102)은 이후 개시하는 절연층(103)과는 성질이 다른 계면 절연막에 해당하는 것으로, 절연층(103)에 비해 방열 성능이 향상된 재질로 예를 들어, 알루미나(Al_2O_3)로 이루어질 수 있다.
- [0128] 다음, 도 14를 참조하면, 산화층(102)을 형성하는 단계 이후에, 산화층(102) 상에 금속층(201)을 형성한다.
- [0129] 이때, 금속층(201)은 스퍼터링, 진공 증착, 화학 기상 증착, 졸겔 도포, 스크린 프린팅, 잉크젯 프린팅, 스프레이, 무전해 도금, 가압 접착 또는 이들의 조합 중 어느 하나의 공정을 통해 형성시킬 수 있다.
- [0130] 상기 금속층(201)은 상부에 실장되는 칩(105)으로부터 발생하는 열이 금속층(201)을 따라 수평방향으로 고르게 퍼진 후 방열 기관(200)의 두께 방향인 수직으로 열 전달이 이루어질 수 있도록 하는 것으로, 방열 기관(200)의 두께 방향인 수직 방향으로만 열전달이 이루어지는 것에 비해, 열 전달 시간 단축을 비롯하여 열 전달 효율을

향상시킬 수 있다는 효과를 기대할 수 있다.

- [0131] 한편, 도시하지 않았지만, 금속층(201)은 시드층 및 상기 시드층 상에 도금공정을 통해 형성된 금속층(201)으로 구성될 수 있다.
- [0132] 다음, 도 15 내지 도 17을 참조하면, 칩(105)이 실장될 영역에 오픈부(107)를 갖는 절연층(103) 및 절연층(103) 상에 상기 오픈부(107)에 대응되는 오픈부(107)를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 형성한다.
- [0133] 상기 절연층(103)은 레진, 에폭시, 폴리이미드 계열 등의 재료로 이루어지며, 접착성질을 포함할 수 있다.
- [0134] 상기 회로층(104)을 구성하는 금속의 종류는 전도성을 갖는 것이라면 특별히 한정되지 않으나, 통상 구리 또는 구리 합금을 사용하는 것이 비용적 측면에서 유리하다.
- [0135] 다음, 도 18 및 도 19를 참조하면, 절연층(103) 및 회로층(104)을 금속층(201) 상에 형성한다.
- [0136] 이때, 도 15 내지 도 19에서 도시하는 바와 같이, 오픈부(107)를 갖는 절연층(103) 및 회로층(104)을 다른 구성과는 별도로 형성한 이후에, 금속층(201) 상에 배치시킨 후 프레스(예를 들어, V-Press) 가공을 통해 접합하는 방법이 가능하며, 이에 한정되는 것은 아니다.
- [0137] 예를 들어, 금속층(201) 상에 절연층(103) 및 회로층(104)을 형성시킨 후, 오픈부(107)를 형성하는 방법도 가능하다.
- [0138] 다음, 도 20을 참조하면, 오픈부(107)에 칩(105)을 실장하고, 칩(105)과 접속 패드(회로층(104)의 접속 패드) 간을 전기적으로 연결시키는 와이어(106)를 형성한다.
- [0139] 예를 들어, 방열 기관은 오픈부에 발광 다이오드(Light Emitting Diode : LED)와 같은 칩이 실장되어 백라이트 광원, 조명용 광원 또는 통신 장비용 광원 등 다양한 형태로 활용될 수 있는 것이다.
- [0140] 바람직하게는, 상기 절연층(103) 및 회로층(104)에 형성된 오픈부(107)는 금속층(201)이 노출되도록 형성되며, 칩(105)은 오픈부(107)를 통해 노출된 금속층(201) 상에 실장된다.
- [0141] **방열 기관의 제조방법- 제3 실시예**
- [0142] 도 21 내지 도 30은 도 3의 방열 기관의 제조 방법을 설명하기 위한 공정 흐름도이다.
- [0143] 이하, 도 21 내지 도 20을 참조하여 본 발명에 의한 제3 실시예의 방열 기관의 제조 방법을 설명하기로 하기로 한다. 다만, 제3 실시예에 대한 구성 중 제1 실시예의 구성과 동일한 구성에 대한 설명은 생략하고, 상이한 부분에 대해서만 설명하기로 한다.
- [0144] 먼저, 도 21 및 도 22를 참조하면, 금속 플레이트(101)를 제공하고, 금속 플레이트(101)에 복수의 관통 비아홀(110)을 형성한다.
- [0145] 이때, 복수의 관통 비아홀(110)은 레이저 가공 또는 기계적 드릴링 가공을 통해 형성될 수 있다.
- [0146] 다음, 도 23을 참조하면, 복수의 관통 비아홀(110)의 내벽 및 금속 플레이트(101)의 상하부에 양극산화를 수행하여 산화층(301)을 형성한다. 즉, 금속 플레이트(101)의 외면에 모두 산화층(301)을 형성하는 것이다.

- [0147] 이때, 산화층(301)은 아노다이징(Anodizing) 공법을 수행하여 형성하는 것이 바람직하며, 이에 한정되지는 않는다.
- [0148] 또한, 산화층(301)은 이후 개시되는 절연층(103)과는 성질이 다른 계면 절연막에 해당하는 것으로, 절연층(103)에 비해 방열 성능이 향상된 재질로 예를 들어, 알루미늄(Al_2O_3)로 이루어질 수 있다.
- [0149] 다음, 도 24를 참조하면, 복수의 관통 비아홀(110)을 도금을 통해 충전하여 형성된 복수의 비아(304)를 포함하여, 산화층(301)이 형성된 금속 플레이트(101)의 상하부에 금속층(302, 303, 304)을 형성한다.
- [0150] 예를 들어, 금속층(302, 303, 304)은 관통 비아홀(110)에 충전된 비아를 포함하여, 금속 플레이트의 상하면에 모두 형성된 구조로, 구리 또는 구리 합금 재질로 이루어질 수 있다.
- [0151] 다음, 도 25 내지 도 27을 참조하면, 칩(105)이 실장될 영역에 오픈부(107)를 갖는 절연층(103) 및 절연층(103) 상에 상기 오픈부(107)에 대응되는 오픈부(107)를 갖으며 접속 패드 및 회로 패턴을 포함하는 회로층(104)을 형성한다.
- [0152] 상기 절연층(103)은 레진, 에폭시, 폴리이미드 계열 등의 재료로 이루어지며, 접착성질을 포함할 수 있다.
- [0153] 상기 회로층(104)을 구성하는 금속의 종류는 전도성을 갖는 것이라면 특별히 한정되지 않으나, 통상 구리 또는 구리 합금을 사용하는 것이 비용적 측면에서 유리하다.
- [0154] 다음, 도 28 및 도 29를 참조하면, 절연층(103) 및 회로층(104)을 금속층(302) 상에 형성한다.
- [0155] 이때, 도 25 내지 도 29에서 도시하는 바와 같이, 오픈부(107)를 갖는 절연층(103) 및 회로층(104)을 다른 구성과는 별도로 형성한 이후에, 금속층(302) 상에 배치시킨 후 프레스(예를 들어, V-Press) 가공을 통해 접합하는 방법이 가능하며, 이에 한정되는 것은 아니다.
- [0156] 예를 들어, 금속층(302) 상에 절연층(103) 및 회로층(104)을 형성시킨 후, 오픈부(107)를 형성하는 방법도 가능하다.
- [0157] 다음, 도 30을 참조하면, 오픈부(107)에 칩(105)을 실장하고, 칩(105)과 접속 패드(회로층(104)의 접속 패드) 간을 전기적으로 연결시키는 와이어(106)를 형성한다.
- [0158] 예를 들어, 방열 기관은 오픈부에 발광 다이오드(Light Emitting Diode : LED)와 같은 칩이 실장되어 백라이트 광원, 조명용 광원 또는 통신 장비용 광원 등 다양한 형태로 활용될 수 있다.
- [0159] 바람직하게는, 도 26 및 도 27에서, 절연층(103) 및 회로층(104)에 형성된 오픈부(107)는 금속층(302)이 노출되도록 형성되며, 도 30에서 도시하는 바와 같이, 칩(105)은 오픈부(107)를 통해 노출된 금속층(302)(실장면의 금속층)의 상부에 실장된다.
- [0160] 한편, 금속층(302, 303, 304)에 포함된 복수의 비아(304) 중 어느 하나는 칩(105)의 하부에 대응되도록 형성된다.
- [0161] 복수의 비아를 포함하는 금속층(302, 303, 304)은 제2 실시예에서 칩에서 발생하는 열을 수평방향으로 고르게 전달될 수 있는 효과에 더해, 수평 방향으로 고르게 전달된 열이 방열 기관의 두께 방향인 수직 방향으로도 빠

르게 전달될 수 있다는 효과를 기대할 수 있다.

[0162] 또한, 도 30을 참조하면, 비아가 칩의 하부에 대응되는 영역에 형성되기 때문에, 칩에서 발생하는 열을 보다 효율적으로 전달시킬 수 있다는 효과를 갖는다.

[0163] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명에 따른 방열 기관 및 그 제조방법은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

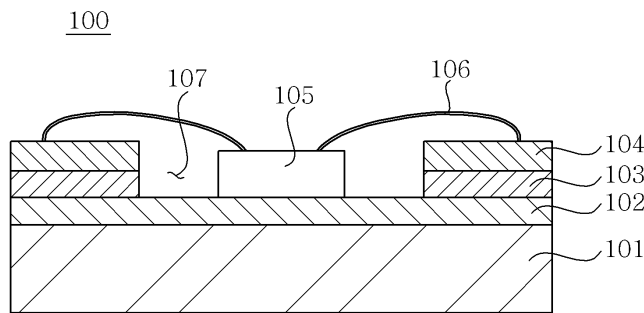
[0164] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속하는 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

부호의 설명

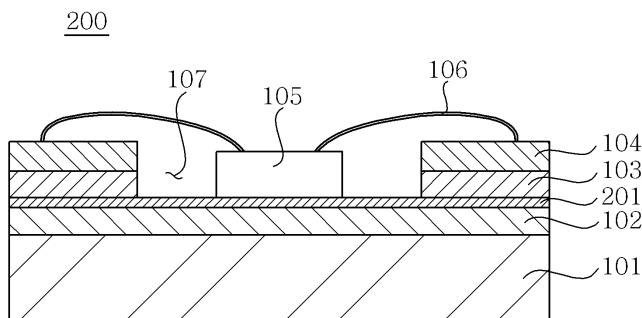
- | | | |
|--------|--------------------------|---------------|
| [0165] | 100, 200, 300 : 방열 기관 | 101 : 금속 플레이트 |
| | 102, 301 : 산화층 | 103 : 절연층 |
| | 104 : 회로층 | 105 : 칩 |
| | 106 : 와이어 | 107 : 오픈부 |
| | 201, 302, 303, 304 : 금속층 | |

도면

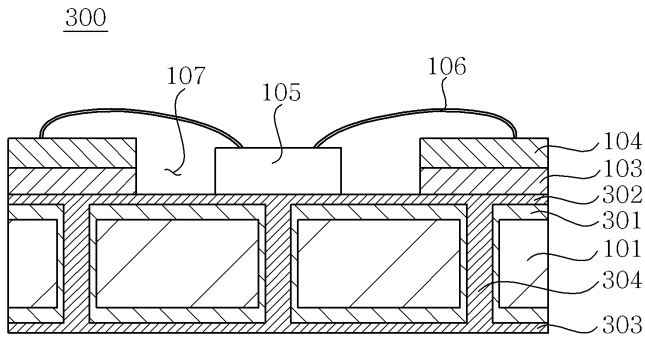
도면1



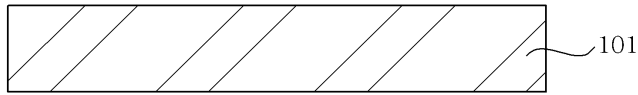
도면2



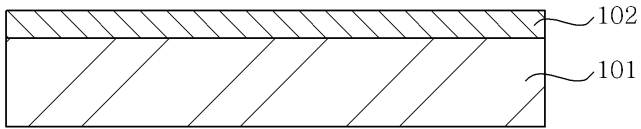
도면3



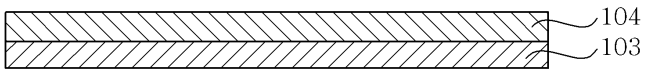
도면4



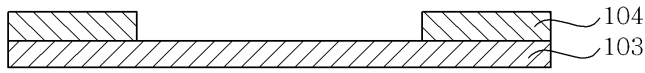
도면5



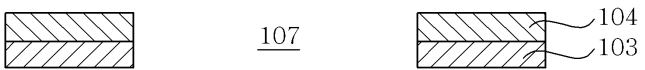
도면6



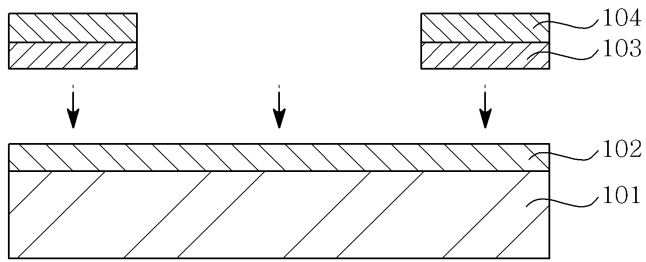
도면7



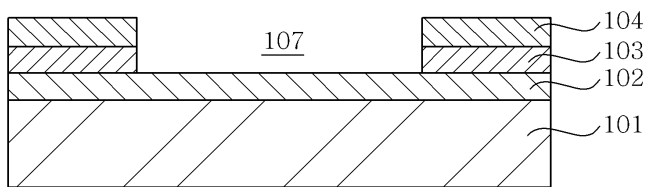
도면8



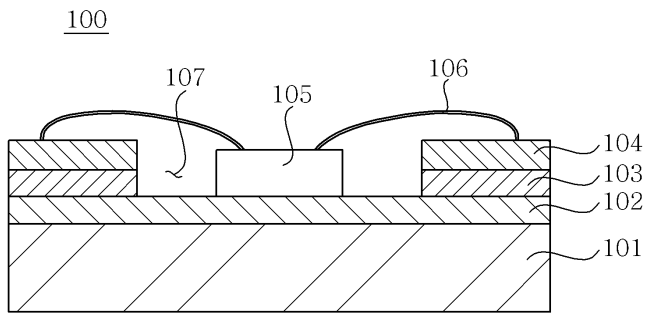
도면9



도면10



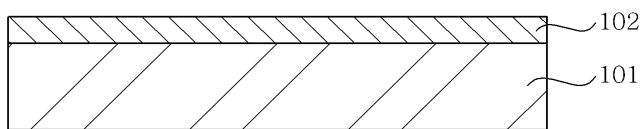
도면11



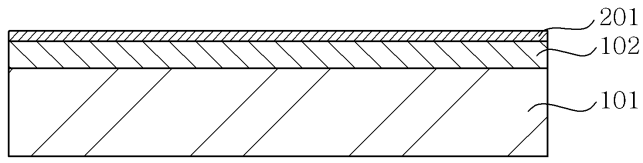
도면12



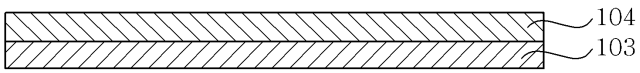
도면13



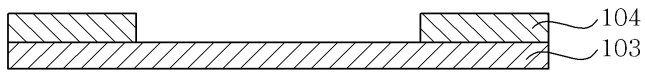
도면14



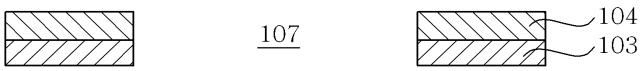
도면15



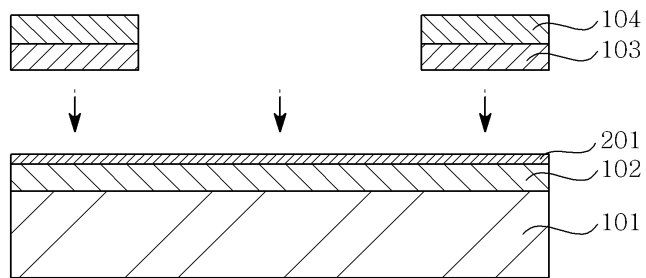
도면16



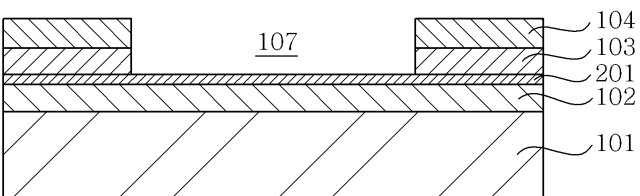
도면17



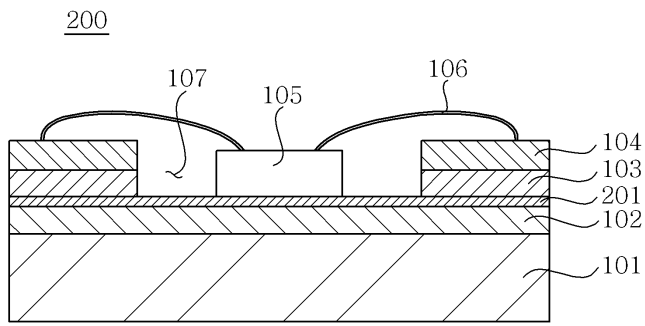
도면18



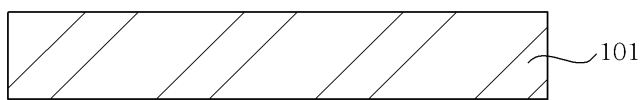
도면19



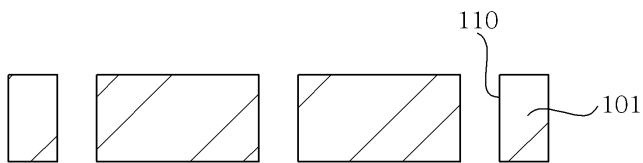
도면20



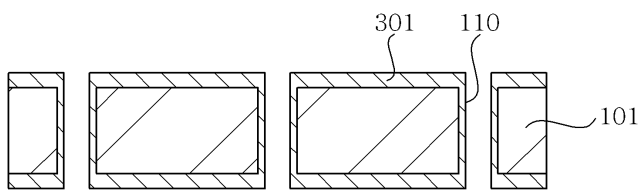
도면21



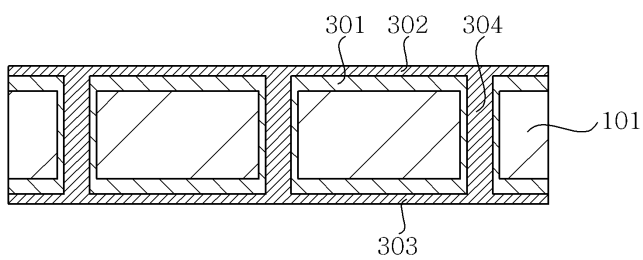
도면22



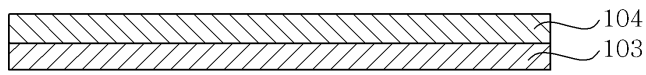
도면23



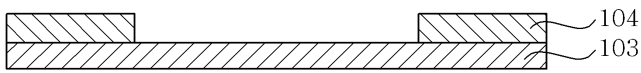
도면24



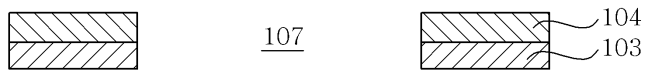
도면25



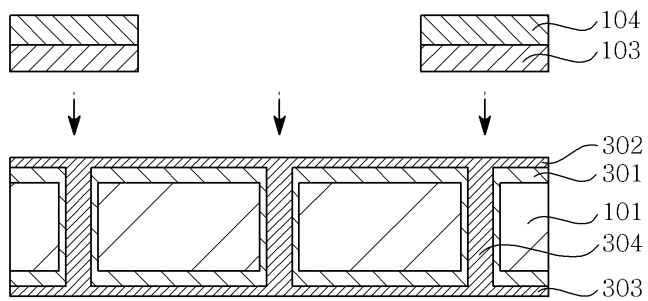
도면26



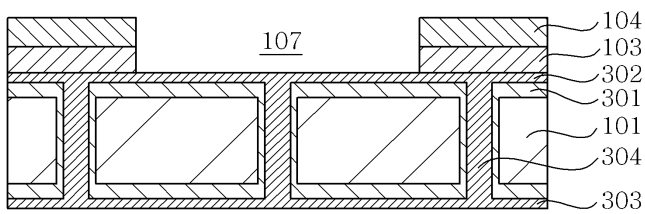
도면27



도면28



도면29



도면30

