

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. <i>H01L 21/336</i> (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년04월05일 10-0568077 2006년03월30일
---	-------------------------------------	--

(21) 출원번호	10-2000-7002649	(65) 공개번호	10-2001-0023944
(22) 출원일자	2000년03월13일	(43) 공개일자	2001년03월26일
번역문 제출일자	2000년03월13일		
(86) 국제출원번호	PCT/JP1997/003328	(87) 국제공개번호	WO 1999/16116
국제출원일자	1997년09월19일	국제공개일자	1999년04월01일

(81) 지정국 국내특허 : 중국, 일본, 대한민국, 미국,

 EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드,

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
 일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

 가부시키가이샤 히타치초에루. 에스. 아이. 시스템즈
 일본국 도오쿄오도 코다이라시쵸 스이혼초 5초메 22반 1고

(72) 발명자 후카다신이치
 일본국도쿄토히노시오치카와946사에키만손101

 하시모토나오타카
 일본국도쿄토코가네이시누쿠이키타마치1-6-23402

 코지마 마사노리
 일본국도쿄토후추시키타야마초2-6히타치초에루니시코쿠분지료나이

 모미지히로시
 일본국도쿄토오메시신마치1109-1히타치신마치료205

 아베히로미
 일본국도쿄토아라카와쿠미나미센쥬5-23-15

 스즈키 마사유키
 일본국도쿄토코쿠분지시히가시코이가쿠보2-33-14-201

(74) 대리인 특허법인 원전

심사관 : 정희환

(54) 반도체장치의 제조방법

요약

소스 및 드레인영역(S, D)형성의 도펀트 이온주입공정을, 웨이퍼영역(3)과의 사이에 p/n접합을 형성하는 1회의 도펀트 이온주입과, 소스·드레인영역(S, D)과 웰영역과의 사이의 p/n접합위치에 영향을 주지 않는 주입깊이가 얇고, 또 주입량이 많은 1회의 도펀트 이온주입으로 나누어 행한다. 그리고, 도펀트의 활성화 열처리를 실시한 후, 소스·드레인영역 표면을 실리사이드화(12)함으로써, 소스·드레인영역(S, D)의 저저항화와 함께 p/n접합리크의 저감을 도모할 수 있다.

명세서

기술분야

본 발명은 반도체 기술분야, 특히 고속동작이 필요한 반도체장치의 제조방법에 관한 것이다.

배경기술

현재, MOSLSI를 구성하는 MOS트랜지스터의 고속동작을 달성하기 위해, 소스 및 드레인전극의 시트저항, 전극과 배선과의 콘택트저항, 소스 및 드레인의 기생용량의 저감이 중요한 과제로 되고 있다.

이 과제에 대하여, 소스 및 드레인 표면을 일괄하여 자기정합적으로 실리사이드화한 구조가 특히 고속동작이 필요한 반도체 장치에 적용되고 있다. 이 구조에서는 각 전극표면이 티탄실리사이드(TiSi₂), 코발트실리사이드(CoSi₂) 등의 저저항 실리사이드에 덮혀 시트저항이 저감되고, 배선과의 콘택트저항도 종래의 금속/반도체 접촉에 비해 대폭으로 저감할 수 있다. 또한, 소스, 드레인의 면적을 저감할 수 있기 때문에 기생용량도 저감할 수 있다. 또한, 소스, 및 드레인표면을 실리사이드화할 때 게이트전극상도 동시에 자기정합적으로 실리사이드화하는 소위 살리사이드(Salicide:Self-aligned silicide)기술도 넓게 사용되고 있다.

이 TiSi₂의 경우, 비교적 비저항이 높은 준안정상(準安定相)(C45구조)과 비교적 비저항이 낮은 안정상(C54구조)으로 구성되어 있다. 준안정상(C45구조)에서 안정상(C54구조)으로의 상전이(相轉移)시키기 위해서는 약 800℃ 정도의 열처리로 달성된다. 하지만, 이 온도는 미세패턴으로 될수록 높게 된다. 결국, 미세패턴(예컨대, 0.2 μ m이하)으로 되면 상전이하기 어렵게 되는, 소위 세션효과가 있는 것이 알려져 있다. 따라서, 0.2 μ m이하의 게이트선폭을 가지는 미세패턴을 달성하기 위해서는 상전이를 위한 열처리온도를 높게 하지 않으면 안된다. 이 때문에, 그 열처리온도에 의한 미세한 소스·드레인 확산층으로의 영향을 미치게 하는 것으로 된다.

또한, 최근의 MOSLSI는 저소비전력화를 위해 상보형 MOS트랜지스터로 구성되어 있다. 이 때문에, 실리사이드층도 N+ 형 단결정실리콘영역(N형 소스·드레인), P+ 형 단결정실리콘영역(P형 소스·드레인), N+ 형 다결정실리콘 게이트전극 및 P+ 형 다결정실리콘 게이트전극과 같이 각종 도펀트(dopant)를 가지는 실리콘상에 형성할 필요가 있다. TiSi₂의 경우, 그 형성온도는 도펀트의 영향이 크다. 일반적으로, N+ 형 실리콘상은 P+ 형 실리콘상에 비해 60%~70%정도의 두께로 된다. 이것은 Ti가 N형 도펀트를 빨아올리고, 그 결과, 실리사이드반응을 저해하는 것에 기인하고 있다.

한편, 상기와 같은 문제점이 있는 TiSi₂를 대신하여 세션효과 및 도펀트의 영향이 작은 CoSi₂가 적용되고 있다.

이 CoSi₂를 적용한 살리사이드 구조의 MOS형 반도체 장치는, 예컨대 특개평 8-186085호 공보 또는 특개평 8-274047호 공보에 언급되어 있다. 이들 양 공보에 의하면, CoSi₂적용에서의 접합리크 전류의 증대, 접합 내압의 열화에 대한 문제 및 그 해결수단이 밝혀져 있다. 우선, 그 문제는 이하에 기인하고 있는 것이다.

코발트막의 스퍼터링형성전에 확산층 표면에 자연산화막이 형성되고, 이와 같은 상태로 코발트막 형성 및 제1 열처리를 행하면 확산층과 CoSi막과의 계면이 균일하게 되지 않고 울퉁불퉁하게 된다. 제2의 열처리에 의해 얻어지는 확산층과 CoSi₂막과의 계면은 확산층과 CoSi막과의 계면의 형상의 영향을 벗어나지 못한다. 또한 CoSi막에서 CoSi₂막으로 변환될 때 체적의 증가가 따르기 때문에, 확산층의 PN접합면이 평탄하지 못한 이 CoSi₂막의 저면과의 간격은 좁게 된다. 이 때문에, 확산층의 접합 리크전류의 증대, 접합내압의 열화가 일어나기 쉽게 된다고 하는 것이다.

그리고, 전자(前者)의 공보에 개시된 발명에 의하면, 진공장치 중에서 수소 플라즈마에 의해 확산층 표면의 자연산화막을 제거한 후, 진공을 파괴하지 않고, 비스·메틸·시클로펜타·디에닐·코발트를 기화시키고, 이 가스를 열분해하는 CVD법에 의해 코발트막을 형성한다는 것이다.

또한, 후자의 공보에 개시된 발명에 의하면, 진공장치 중에서 수소 플라즈마에 의해 확산층 표면의 자연산화막을 제거한 후, 진공을 파괴하지 않고, 비스·헥사플로로·아세틸아세토네이트·코발트의 기화가스를 수소가스로 환원하는 CVD법에 의해 코발트막을 형성한다는 것이다.

CoSi₂의 경우, 상기 공보에 개시되는 것처럼 자연산화막에 기인한 접합 리크전류의 증대, 접합내압의 열화의 문제와는 전혀 별개로, 이하에 설명한 문제점에 기인한 접합 리크전류의 증대, 접합 내압의 열화가 발생하는 것이 본 발명자 등에 의해 밝혀지게 되었다.

소스, 드레인을 CoSi₂화했을 때의, 소스, 드레인/웰 사이의 접합리크 대책의 일환으로서 이온주입조건의 분류(分流)실험을 실시했다. 그 결과, 임플래이션 에너지가 크고, 농도가 진한 p+, n+ 층이 깊숙히 형성되어 있는 시료의 쪽이 접합리크가 많은 것을 알아내었다. 이것은 예상과는 전혀 반대의 결과이다. 해석 결과, 접합리크는 이온주입 결합기인이고, 그 때문에 고에너지(high energy, 고도스(high dose)의 이온주입을 실시한 시료에서 접합리크가 증가한 것이 판명되었다.

즉, 통상의 소스 및 드레인(Si 반도체 영역)상의 실리사이드화기술에 있어서는, 그 Si반도체 영역상에 형성된 금속막과 Si를 반응시켜 실리사이드를 형성하므로, 침상(針狀)으로 이상(異常)성장한 실리사이드나 Si반도체 영역중을 확산한 금속원자가 아래에 형성되어 있는 p/n접합까지 도달하거나, 실리사이드가 횡방향으로 이상성장하여 소자분리영역(LOCOS)의 단부(버즈비크(bird's beak 근방)에서 p/n접합에 도달하거나 하여 접합리크를 증대시킨다. 이 문제는 실리사이드에 CoSi₂를 선택한 경우에 특히 심각하다. 이 이상성장은 소스 및 드레인형성을 위해 기판에 고농도(약 1 × 10E20개/cm²이상)의 이온주입, 그 후의 어닐로도 회복되지 않는 기판으로의 이온 임플래이션 데미지, 소위 잔류결함에 기인하고 있다.

해결책의 하나로서, 소스 및 드레인상에 형성하는 CoSi₂의 막두께를 얇게 하는 것이 고려된다. 이 경우, 접합리크를 저감하는 것은 가능하지만, 소스 및 드레인의 시트저항을 저감한다는 목적을 이룰 수 없다. 또한 CoSi₂의 막두께를 얇게 하면 콘택트구멍 개구 드라이에칭시에 오버에칭으로 CoSi₂막이 깎여, 소멸되어 버려 콘택트저항을 증대시킬 위험성도 있다. 이 때문에, 소스 및 드레인상의 CoSi₂의 막두께를 아주 얇게 할 수는 없다.

따라서, 본 발명은 접합리크전류의 증대, 접합내압의 열화를 억제한 실리사이드 콘택트를 달성하는 반도체장치의 제조방법을 제공하는 것을 목적으로 하고 있다.

또한, 본 발명은 고속동작가능한 미세 배선패턴을 가지는 반도체장치의 제조방법을 제공하는 것을 목적으로 하고 있다.

또, 본 발명은, 고속동작가능한 미세 배선패턴을 가지는 CMOS 반도체장치의 제조방법을 제공하는 것을 목적으로 하고 있다.

그리고, 본 발명의 보다 구체적인 목적은, 소스 및 드레인상에 CoSi₂막을 그 아래의 p/n접합에 접합리크를 증대시키지 않고 형성하는 것에 있다. 특히, 시트저항을 저감하는데 충분한 막두께의 CoSi₂막을 형성한 경우라도 그 아래의 p/n접합에 접합리크를 증대시키지 않고 형성하는 것을 목적으로 한다.

발명의 개시

본 발명은, 반도체본체의 제1 도전형 불순물이 도입된 반도체주면의 소정의 영역에 그 반도체와 PN접합을 구성하는 반도체 영역을 형성하기 위해 그 제1 도전형과는 반대의 제2 도전형 불순물의 이온을 주입하는 제1 공정과, 상기 소정의 영역 표면에 금속·반도체합금층을 소정의 두께로 형성하기 위해 제2 도전형 불순물의 이온을 주입하는 제2 공정과, 그 후 상기 제2 공정이 이루어진 그 소정영역표면에 금속과 반도체를 반응시킨 금속·반도체 합금층을 형성하는 공정으로 이루어진다.

이와 같이 PN접합형성의 이온주입(제1 공정)과 금속·반도체합금층 형성의 이온주입(제2 공정)으로 나누어 이온주입을 실행함으로써, PN접합위치에 가까운 깊은 이온주입영역에서의 잔류결함생성을 억제하고, 또한, 그 영역표면에 위치한 얇은 이온주입영역에서는 시트저항을 저감하는데 충분한 막두께의 금속·반도체합금층을 형성하는 것이 가능하게 된다.

또한, 본 발명은 실리콘으로 이루어지는 제1 도전형의 제1 반도체영역 주면에 그 제1 반도체 영역과 PN접합을 구성하는 제2 반도체 영역을 형성하기 위해 그 제1 도전형과는 반대의 제2 도전형 불순물의 이온주입을 이루는 제1 공정과,

상기 제1 공정이 이루어진 상기 제1 반도체 영역 주면에 실리사이드층을 소정의 두께로 형성하기 위해 제2 도전형불순물의 이온을 소정 도스량으로 주입하는 제2 공정과, 그 후 열처리에 의해 제2 반도체 영역을 형성하는 공정과, 상기 제2 반도체 영역 표면에 금속층을 피복하는 공정과, 열처리에 의해 상기 금속층과 상기 제2 반도체 영역의 실리콘을 반응시켜 금속 실리사이드층을 형성하는 공정으로 이루어진다.

이것에 의해, PN접합위치에 가까운 깊은 이온주입영역에서의 잔류결함생성을 억제하고, 또 그 영역표면에 위치한 얇은 이온주입영역에서는 시트저항을 저감하는데 충분한 막두께의 금속실리사이드층을 형성하는 것이 가능하게 된다. 이 때문에, PN접합리크를 증대시키지 않는 저저항의 금속 실리사이드층을 반도체 영역표면에 형성하는 것이 가능하다.

또한, 본 발명은 실리콘으로 이루어지는 제1 도전형의 제1 반도체 영역주면을 열산화하고, 게이트절연막을 형성하는 공정과, 상기 게이트절연막 상에 다결정실리콘으로 이루어지는 게이트전극을 패턴형성하는 공정과, 상기 게이트전극이 형성되어 있지 않은 상기 제1 반도체 영역 주면부에 제2 도전형불순물의 이온을 주입하는 제1 공정과, 상기 게이트전극의 측벽에 사이드월 스페이서를 형성하는 공정과, 상기 게이트전극 및 상기 사이드월 스페이서가 형성되어 있지 않은 상기 제1 반도체 영역 주면부에, 그 제1 반도체 영역과 PN접합을 구성하는 소스·드레인영역을 형성하기 위해 그 제1 도전형과는 반대의 제2 도전형불순물의 이온을 주입하는 제2 공정과, 상기 제1 반도체 영역주면에 실리사이드층을 소정의 두께로 형성하기 위해 제2 도전형불순물의 이온을 소정 도스량으로 주입하는 제3 공정과, 그 후 열처리에 의해 소스·드레인영역을 형성하는 공정과, 상기 소스·드레인영역 표면 및 게이트전극표면에 금속층을 피복하는 공정과, 열처리에 의해 상기 금속층과 상기 소스·드레인영역 표면 및 게이트전극 표면의 실리콘을 반응시켜 금속실리사이드층을 형성하는 공정으로 이루어진다.

이것에 의해, PN접합위치에 가깝고 깊은 이온주입영역에서의 잔류결함생성을 억제하고, 또 그 영역표면에 위치한 얇은 이온주입영역에서는 시트저항을 저감하는데 충분한 막두께의 금속 실리사이드층을 형성하는 것이 가능하게 된다. 이 때문에, PN접합리크를 증대시키는 일이 없는 저저항의 금속 실리사이드층을 반도체 영역표면, 또 게이트전극 표면에 동시에 형성하는 것이 가능하다. 따라서, 미세 패턴을 가지고, 고속동작에 적합한 MOS반도체 장치가 얻어진다.

또한, 본 발명은 반도체 기판의 주면에 제1 도전형의 제1 웰 및 제2 도전형의 제2 웰을 형성하는 공정과, 제1 웰 및 제2 웰의 각각의 표면에 게이트절연막을 형성하는 공정과, 상기 제1 웰 표면에 형성된 게이트절연막 상에 다결정실리콘으로 이루어지는 제1 게이트전극을, 상기 제2 웰 표면에 형성된 게이트절연막 상에 다결정실리콘으로 이루어지는 제2 게이트전극을 형성하는 공정과, 상기 제1 게이트전극이 형성되어 있지 않은 상기 제1 웰 주면부에 제2 도전형 불순물의 이온주입을 이루는 제1 이온주입공정과, 상기 제2 게이트전극이 형성되어 있지 않은 상기 제2 웰 주면부에 제1 도전형 불순물의 이온주입을 이루는 제2 이온주입공정과, 상기 제1 및 제2 게이트전극의 측벽에 각각 사이드월스페이서를 형성하는 공정과, 상기 제1 게이트전극 및 상기 사이드월스페이서가 형성되어 있지 않은 상기 제1 웰 주면부에, 그 제1 웰과 PN접합을 구성하는 소스·드레인영역을 형성하기 위해 그 제1 도전형과는 반대의 제2 도전형불순물의 이온주입을 이루는 제3 이온주입공정과, 상기 제3 이온주입이 이루어진 상기 제1 웰주면에, 실리사이드층을 소정의 두께로 형성하기 위해 제2 도전형불순물의 이온주입을 이루는 제4 이온주입공정과, 상기 제2 게이트전극 및 상기 사이드월스페이서가 형성되어 있지 않은 상기 제2 웰주면부에 그 제2 웰과 PN접합을 구성하는 소스·드레인영역을 형성하기 위해 제1 도전형불순물의 이온주입을 이루는 제5 이온주입공정과, 상기 제5 이온주입이 이루어진 상기 제2 웰주면에 실리사이드층을 소정의 두께로 형성하기 위해 제1 도전형 불순물의 이온주입을 이루는 제6 이온주입공정과, 그 후 열처리에 의해 제1 및 제2 웰의 각각에 소스·드레인영역을 형성하는 공정과, 상기 제1 및 제2 웰내의 각각의 소스·드레인영역 표면과, 각각의 제1 및 제2 게이트전극 표면에 금속층을 피복하는 공정과, 열처리에 의해 상기 금속층과 상기 제1 및 제2 웰내의 각각의 소스·드레인영역 표면 및 각각의 제1 및 제2 게이트전극 표면의 실리콘을 반응시켜 금속 실리사이드층을 형성하는 공정을 포함하는 것을 특징으로 하는 CMOS반도체장치의 제조방법.

이것에 의해, 각각의 웰영역내에서의 PN접합위치에 가깝고 깊은 이온주입영역에서의 잔류결함생성을 억제하고, 또한, 그 영역표면에 위치한 얇은 이온주입영역에서는 시트저항을 저감하는데 충분한 막두께의 금속 실리사이드층을 형성하는 것

이 가능하게 된다. 이 때문에, PN접합리크를 증대시키는 일이 없는 저저항의 금속실리사이드층을 각각의 웰영역내에서의 소스·드레인영역 표면에, 또 각각의 게이트전극표면에 동시에 형성하는 것이 가능하다. 따라서, 미세 패턴을 가지고, 고속 동작에 적합한 CMOS반도체 장치가 얻어진다.

도면의 간단한 설명

도 1은, 본 발명에 관한 MOS 반도체장치의 단면구조를 나타낸 도면,

도 2는, 본 발명에 관한 MOS 반도체장치의 평면구조를 나타낸 도면,

도 3은, 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 4는, 도 3에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 5는, 도 4에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 6은, 도 5에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 7은, 도 6에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 8은, 도 7에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 9은, 도 8에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 10은, 도 9에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 11은, 도 10에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 12은, 도 11에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 13은, 도 12에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 14은, 도 13에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 15는, 도 14에 계속되는 본 발명의 일발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도,

도 16은, 본 발명의 실시예에서 형성된 소스·드레인영역의 깊이방향의 불순물 농도프로파일을 나타내는 도면,

도 17은, 본 발명의 실시예에서 형성된 p+ /n접합의 역방향 I-V특성을 나타내는 도면,

도 18은, 본 발명의 실시예와의 비교를 위해 다른 조건에서 형성한 p+ /n접합의 역방향 I-V특성을 나타내는 도면,

도 19는, 본 발명의 실시예에 관한 것으로서, 고농도층의 두께를 변경했을 시의 p+ /n접합리크의 발생상황을 나타내는 도면,

도 20은, 본 발명의 실시예에 관한 것으로서, 접합깊이를 변경했을 시의 p+ /n접합리크의 발생상황을 나타내는 도면,

도 21은, 본 발명의 실시예에 관한 것으로서, 활성화열처리를 변경했을 시의 p+ /n접합리크의 발생상황을 나타내는 도면,

도 22는, 본 발명의 다른 발명의 실시형태의 CMOS 반도체장치의 제조공정을 나타내는 단면도이다.

발명을 실시하기 위한 바람직한 형태

본 발명을 보다 상세하게 설명하기 위해, 첨부한 도면에 따라서 이것을 설명한다.

도 1은 본 발명의 구체적 실시예에 의해 형성된 MOS 반도체장치의 단면도이고, 도 2는 그 MOS 반도체장치의 평면도이다. 도 2에 나타낸 A-A과선의 단면이 도 1에 나타낸 단면구조로 되어 있다.

도 1에 나타내는 MOS 반도체장치는, 예컨대 제1 도전형(P형) 단결정실리콘(Si) 기판(1)에 형성된 제2 도전형(N형) 채널 MOS 트랜지스터이다. 도 1에 나타낸 것 처럼, 소자분리용 산화막(LOCOS막)(2)에 의해 구획된 P웰(3)내에 LDD(Lightly Doped Drain)구조의 MOS트랜지스터가 형성되어 있다. 이 MOS 트랜지스터의 소스영역(S) 및 드레인영역(D)(이하 이들을 소스·드레인영역이라 함)의 각각은 게이트전극(5)에 자기정합된 비교적 얇은 N형 제1 영역(10)과, 사이드월 스페이서(7)에 자기정합된 P웰(3)과 PN접합을 구성하는 비교적 깊은 N형 제2 영역(8) 및 그 사이드월 스페이서(7)에 자기정합된 상기 N형 제1 영역(10)보다도 깊고 상기 제2 영역(8)보다도 얇은 중간의 깊이를 가지고, 비교적 고농도의 N형 제3 영역(9)으로 구성되어 있다. 그리고, 이 소스·드레인영역 표면에는 저저항화를 위한 코발트실리사이드막(CoSi₂층)(12)이 형성되어 있다. 이 CoSi₂층(12)은 도 2에 나타낸 바와 같이, 사이드월 스페이서(7)를 가지는 게이트전극(5) 및 LOCOS막(2)에 의해 구획된 소스·드레인영역(SD)의 표면전체에 형성되어 있다.

N형 제3 영역(9)은, 고농도로 하여 저저항의 CoSi₂층(12)을 형성하기 위해 설치된 것이고, 이 제3 영역(9)의 대부분은 CoSi₂층으로 변환되어 있다. 이것은 이 제3 영역(9) 전부를 완전하게 CoSi₂화로 할 필요는 없는 것을 의미하는 것이다. 한편, N형 제2 영역(8)은 저농도로 깊게 형성되고,

CoSi₂층형성에는 관계하지 않는 위치에 P웰(3)과 PN접합을 구성하기 위해 설치되어 있다.

이들 N형 제2 영역, N형 제3 영역 및 CoSi₂층의 상호의 깊이 관계에 대해서는 본 발명의 목적달성을 위한 중요한 포인트이고, 후에 상세하게 설명한다.

게이트전극(5)은 N형 불순물을 포함하는 다결정 실리콘으로 이루어지고, 그 표면에는 저저항비를 위해 CoSi₂층(11)이 형성되어 있다.

상술한 N채널형 MOS 트랜지스터가 형성된 실리콘기판 표면에는 패시베이션막(14)이 피복되어 있다. 이 패시베이션막(14)에는 도 2에 나타낸 바와 같이, 소스·드레인영역(SD)표면에 형성된 CoSi₂층(12)의 일부를 노출하는 콘택트구멍(TH1)이, 게이트전극(5) 표면에 형성된 CoSi₂층(11)의 일부를 노출하는 콘택트구멍(TH2)이 각각 형성되어 있다. 그리고, 콘택트구멍(TH1)을 통해 배리어층(15) 및 텅스텐층(16)으로 이루어지는 적층의 금속배선(M1)이 소스·드레인영역(SD)표면에 형성된 CoSi₂층(12)에 접속되어 있다. 또한, 상기 콘택트구멍(TH2)을 통해 배리어층 및 텅스텐층으로 이루어지는 적층의 금속배선(M1)이 게이트전극(5) 표면에 형성된 CoSi₂층(12)에 접속되어 있다. 상기 배리어층(15)은, 텅스텐과 실리콘(소스·드레인영역 및 게이트전극)과의 반응을 방지할 목적으로 형성된 것이고, 하층이 티탄(두께 약 30nm), 상층이 질화티탄(두께 50nm ~ 70nm)으로 이루어지는 적층막으로 형성되어 있다. 상기 텅스텐층(16)의 두께는 300nm ~ 400nm이다.

다음에, 본 발명의 구체적 실시예인 CMOS 반도체장치의 제조방법을 도 3 내지 도 11을 참조하여 설명한다. 도 3 내지 도 11에 있어서, 도면 좌측은 N채널 MOS트랜지스터(NMOS)가 형성되는 공정을 나타내고, 도면 우측은 P채널 MOS 트랜지스터(PMOS)가 형성되는 공정을 나타낸다. 이들 NMOS 및 PMOS는 하나의 반도체 기판(실리콘기판)에 형성된다.

(1) 도 3에 나타낸 바와 같이, 우선, 반도체 기판으로서의 실리콘웨이퍼(1)가 준비된다. 이 실리콘웨이퍼(1)는 초코랄스키(Czochralski)법(CZ법)에 의해 형성된 단결정 잉곳(ingot)을 슬라이스한 것이고, 그 웨이퍼(1)의 표면은 경면연마(鏡面研磨)된 (100)결정면을 갖는다.

이 웨이퍼(1)표면에 두께 10nm정도의 열산화막(SiO₂막)(101)을 형성한다. 계속하여, N웰 및 P웰형성을 위한 각각의 이온주입이 이루어진다. 우선, NMOS형성영역측을 포토레지스트 마스크(도시생략)로 덮고, 그 포토레지스트 마스크가 형성되어 있지 않은 PMOS영역측에 인 이온(P⁺)을 소정의 에너지로, 소정의 도스량을 SiO₂막(101)을 통하여 주입한다. 계속하여, PMOS형성영역 측을 포토레지스트 마스크(도시생략)로 덮고, 그 포토레지스트 마스크가 형성되어 있지 않은 NMOS영역측에 보론(붕소)이온(B⁺)을 소정의 에너지로, 소정의 도스량을 SiO₂막(101)을 통해 주입한다.

또한, 여기에서 준비되는 반도체 기판(실리콘웨이퍼)(1)은 결합밀도가 작은 게이트산화막이 얻어지는 에피택셜 웨이퍼를 사용하는 것이 바람직하다. 예컨대, 그 에피택셜 웨이퍼는 P+형 Si기판(비저항: 0.01Ω·cm ~ 0.04Ω·cm)의 표면에 두께 4 ~ 5μm 정도의 p형 에피택셜층(비저항 10Ω·cm 정도)이 형성된 것, 또 P형 Si기판(비저항: 10Ω·cm 정도)의 표면에 두께 1 ~ 3μm 정도의 P형 에피택셜층(비저항: 10Ω·cm 정도)이 형성된 것이 사용된다. 후자의 에피택셜웨이퍼는 기판으로부터의 오토도핑(auto doping)이나 아웃디퓨전(out-diffusion)이 적고, 게다가 에피택셜층이 얇기 때문에 저코스트인 메리트를 가진다.

(2) 도 4에 나타난 바와 같이, PMOS 형성영역 및 NMOS 형성영역을 덮도록, SiO₂막(101)상에 실리콘질화막(Si₃N₄막(102)을 주지의 포토리소그래피기술을 사용하여 선택적으로 형성한다. 그리고, Si₃N₄막(102)이 형성되어 있지 않은 기판(1)의 표면을 열산화하는 것에 의해 소자분리용 산화막, 소위 LOCOS막(2)(두께: 약 350nm)을 선택형성한다. 이 LOCOS막 형성시에, 기판내에 이온주입된 인(P) 및 붕소(B)가 열확산하고, PMOS형성을 위한 N웰(3N) 및 NMOS형성을 위한 P웰(3P)이 각각 소정의 깊이로 형성된다.

(3) Si₃N₄막(102) 및 SiO₂막(101)을 제거한 후, 도 5에 나타난 바와 같이, LOCOS산화막(2)으로 구획된 활성영역(PMOS 형성영역 및 NMOS 형성영역)상에, 6nm의 게이트산화막(4)을 형성한다. 그리고, 게이트산화막(4)상에 예컨대 논도프의 폴리실리콘(다결정실리콘)막(5)을 두께 250nm로 형성한다. 계속하여 이 논도프 폴리실리콘막(5)에 대하여 불순물을 도입하고, 저저항화를 도모한다. 구체적으로는 NMOS형성영역을 포토레지스트 마스크로 덮고, 이 폴리실리콘막(5)에 붕소(B+)이온을 선택적으로 주입하는 것에 의해, PMOS형성을 위한 도프 폴리실리콘막(5)(P)을 얻는다. 마찬가지로, PMOS형성영역을 포토레지스트 마스크로 덮고, 이 폴리실리콘막(5)에 인(P+)이온을 선택적으로 주입하는 것에 의해, NMOS형성을 위한 도프 폴리실리콘막(5)(N)을 얻는다.

(4) 도 6에 나타난 바와 같이, 포토에칭공정에 의해, 도프 폴리실리콘막(5)(P), (5)(N)을 게이트전극 패턴으로 가공한다. 그리고, 그 게이트전극 표면을 산화함으로써 산화막(103)을 형성한다. 소위, 라이트산화처리(light oxidation treatment)를 행한다.

(5) 도 7에 나타난 바와 같이, LDD(Lightly Doped Drain)형성을 위해, NMOS형성영역을 포토레지스트 마스크로 덮고, 게이트전극 및 LOCOS막이 형성되어 있지 않은 N웰(3N)내에 BF₂⁺를 이온주입한다. 이온주입조건은, 에너지 10keV, 주입량 7 × 10E13/cm²이다. 마찬가지로, PMOS형성영역을 포토레지스트 마스크로 덮고, 게이트전극 및 LOCOS막이 형성되어 있지 않은 P웰(3P)내에 As⁺를 이온주입을 행한다. 이온주입조건은, 에너지 20keV, 주입량 2 × 10E14/cm²이다. 계속하여, 950°C 10초의 단시간 열처리(RTA: Rapid Thermal Annealing)로 이온주입된 불순물을 활성화하고, 각각 N-형 소스·드레인영역(104S, 104D), P-형 소스·드레인영역(105S, 105D)을 형성한다.

(6) 도 8에 나타난 바와 같이, Si기판(1)상에 열 CVD-SiO₂막을 100nm 형성한다. 그리고, 이방성 드라이에칭기술에 의해 이 열 CVD-SiO₂막을 에칭하고, 사이드 스페이서(7)를 남긴다. 이 열 CVD-SiO₂막을 대신하여 SiN막에 의한 사이드 스페이서(7)라도 좋다. SiN막의 경우, 게이트전극, N-형 소스·드레인영역(104S, 104D) 및 P-형 소스·드레인영역(105S, 105D)의 표면을 각각 덮는 하층 SiO₂막과의 에칭선택비가 얻어지므로, 사이드 스페이서(7) 형성시에, 하층 SiO₂막의 에칭을 억제할 수 있다.

(7) 도 9에 나타난 바와 같이, Si기판(1) 전면에 이온주입 스루(ion implantation through)막(17)으로서 열 CVD-SiO₂막 10nm를 형성한다. 계속하여, 본 발명의 특징인 이온주입이 N채널 MOSFET형성을 위해 실행된다.

우선, P웰과 PN접합을 구성하기 위한 반도체 영역을 형성하기 위한 1회째의 이온주입(제3 이온주입공정)이 행해진다. 즉, PMOS형성영역을 포토레지스트 마스크(PM)로 덮고, LOCOS막(2)이 형성되어 있지 않은 N-형 소스·드레인영역(104S, 104D) 및 게이트전극(5N)의 표면에 P+ 이온의 주입이 행해진다. 이온주입조건은 예컨대, 에너지 40keV, 주입량 2 × 10E14/cm²이다.

(8) 게다가, 도 10에 나타난 바와 같이, 상기 N-형 소스·드레인영역(104S, 104D) 및 게이트전극(5N)의 표면에 실리사이드층을 소정의 두께로 형성하기 위한 2회째의 이온주입(제4 이온주입공정)이 행해진다. 불순물이온으로서 As⁺가 적용된다. 이온주입조건은, 예컨대 에너지 60keV, 주입량 3 × 10E15/cm²이다.

(9) 도 11에 나타난 바와 같이, 본 발명의 특징인 이온주입이 P채널 MOSFET형성을 위해 실행된다.

우선, N웰과 PN접합을 구성하기 위한 반도체 영역을 형성하기 위한 1회째의 이온주입(제5 이온주입공정)이 행해진다. 즉, NMOS형성영역을 포토레지스트 마스크(PM)로 덮고, LOCOS막(2)이 형성되어 있지 않은 P-형 소스·드레인영역(105S, 105D) 및 게이트전극(5P)의 표면에 B⁺ 이온의 주입이 행해진다. 이온주입조건은, 예컨대 에너지 25keV, 주입량 $1 \times 10^{14}/\text{cm}^2$ 이다.

(10) 또한, 도 12에 나타낸 바와 같이, 상기 N-형 소스·드레인영역(105S, 105D) 및 게이트전극(5P)의 표면에 실리사이드층을 소정의 두께로 형성하기 위한 2회째의 이온주입(제6 이온주입공정)이 행해진다. 불순물이온으로서는 1회째의 이온주입과 마찬가지로 B⁺가 적용된다. 이온주입조건은, 예컨대 에너지 5keV, 주입량 $1 \times 10^{15}/\text{cm}^2$ 이다.

(11) 도 13에 나타낸 바와 같이, 950°C 10초의 단시간 열처리(RTA)로 N채널 MOSFET 및 PN채널 MOSFET형성을 위해 각각 2회로 나누어 이온주입된 불순물 이온을 활성화함으로써, 소스·드레인영역(106S, 106D; 107S, 107D)을 형성한다. 접합깊이는 N형 소스·드레인영역이 180nm, P형 소스·드레인영역이 250nm이다. 얇은 이온주입층(N⁺, P⁺ 고농도층)은 대개 40nm이다.

본 발명은, 상기 공정 (7), (9)에서의 1회째의 이온주입이 깊은 PN접합을 형성하는 저농도층(저농도영역)을 형성하고, 상기 (8), (10)에서의 2회째의 이온주입이 저저항의 실리사이드층을 형성하기 위한 하층으로 되는 얇은 고농도층(고농도영역)을 형성한다.

또한, 상기 공정 (5)에서 실시되고 있는 LDD형성의 이온주입조건은 소스·드레인영역 형성을 위한 2회째의 이온주입조건보다 얇고, 1/10이하의 도스량으로 되도록 설정된다.

(12) 도 14에 나타낸 바와 같이, 이온주입스루막인 열 CVD-SiO₂막(17)을 웨트에칭(wet etching)에 의해 제거하는 것에 의해, 게이트전극(5N, 5P)의 표면 및 소스·드레인영역(106S, 106D; 107S, 107D)의 표면을 노출한다.

(13) 계속하여, Si기판(1) 주면상에 DC마그네트론 스퍼터법으로 Co막을 10nm, 또 그 위에 TiN막을 10nm 형성한다. 이 TiN막은 Co막 표면의 산화방지를 위해 형성된다. 그리고, 도 12에 나타낸 바와 같이, 질소분위기아래 550°C 30초 열처리하고, Co와 접촉하는 소스·드레인영역 및 게이트전극상에만 선택적으로 코발트실리사이드층을 형성한다. 이 단계에서는 코발트실리사이드는 Co : Si = 1:x(x ≤ 1)의 조성이다. 미반응의 Co막 및 TiN막을 웨트에칭 제거한 후, 질소분위기아래 750°C 30초 열처리(RTA)를 행하고, 코발트실리사이드층을 Co:Si=1:2의 정비화합물(CoSi₂)로 변환한다.

본 실시예는 게이트전극 표면도 동시에 실리사이드화하는 실리사이드프로세스이므로, 게이트전극 표면에 형성되는 코발트실리사이드층(11)과 소스·드레인영역 표면에 Si(기판)를 소비하여 형성되는 코발트실리사이드층(12)이 존재한다. 최종적으로 코발트실리사이드층(12)의 막두께는 30nm로 된다. 이 CoSi₂막의 시트저항은 8.5Ω/□, 비저항은 25μΩ·cm이다. 로직LSI에 있어서는, 확산층(소스·드레인영역)의 시트저항으로서 10Ω/□이하가 요구되고 있고, 충분히 이것을 만족하는 값이다.

코발트실리사이드층 형성공정에 이어지는 패시베이션막형성 및 배선형성공정을 도 1을 참조하여 이하에 설명한다.

(14) Si기판상에는 패시베이션막(14)이 피복된다. 이 패시베이션막(14)은 구체적으로는 플라즈마 CVD막 또는 플라즈마 TEOS막으로 이루어진다. 또는 불순물 게터링(gettering)을 위한 PSG막과 상기 플라즈마처리막과의 적층막으로 이루어진다.

계속하여, 이 패시베이션막(14)에 대하여 소스·드레인영역(SD) 표면에 형성된 CoSi₂층(12)의 일부를 노출하는 콘택트구멍(TH1)을, 게이트전극(5) 표면에 형성된 CoSi₂층(11)의 일부를 노출하는 콘택트구멍(TH2)을 각각 형성한다. 계속하여 배리어층(15) 및 텅스텐층(16)을 순차 형성한다. 그리고, 이 적층막을 공지의 포토리소그래피기술을 이용하여 적층의 금속배선(M1)을 패턴형성한다.

이상의 방법에 의해, 본 발명의 일 실시형태인 CMOS반도체 장치가 얻어진다.

도 16에 본 실시예에서 형성한 소스·드레인영역의 SIMS(Secondary Ion Mass Spectrometry) 텡스 프로파일(depth profile)을 나타낸다. 이 텡스 프로파일은 도 1에 나타낸 P채널 MOSFET에서의 직선 B-B로 나타낸 영역에서 측정된 텡스

프로파일이다. CoSi₂층의 영향을 제거하기 위해, CoSi₂층을 웨트 제거후 측정된 결과이다. 본 실시예에서는 CoSi₂층 두께 t = 30nm이고, 텡스 프로파일에서는 깊이 60nm인 시점에서 이미 B농도는 1 × 10E20개/cm³ 이하로 되어 있고, B농도가 1 × 10E20개/cm³ 이상으로 정의하는 고농도층의 두께는 27nm이고, B확산층의 50%이상은 CoSi₂형성에 소비되고 있다. 또한, 본 실시예에서는 p+ /n접합깊이는 표면의 CoSi₂분 30nm를 포함하여 240nm의 위치이었다. 이 소스·드레인영역을 단면 TEM(Transmission Electron Microscope)관찰하면, 소스·드레인형성의 2회째 임프라(주입)에 의한 잔류결함이 기판표면으로부터 깊이 40nm정도의 위치에서 다수 관찰되었다. 한편, 보다 깊은 위치에 존재한다고 생각되는 1회째의 이온주입에 의한 잔류결함은 관찰되지 않았다. 이것은 도스량이 2회째의 이온주입의 1/10로 적기 때문에 발생하는 결함이 적고, 활성화 열처리로 회복가능하기 때문이라고 생각된다. 1회째의 이온주입으로 잔류결함이 발생하지 않는 최대 도스량은 3 × 10E14개/cm²이다. 또한, 1회째의 이온주입을 다시 복수회로 분할하여 실시할 경우에는 각 스텝의 도스량의 총합이 3 × 10E14개/cm²이하로 되지 않으면 안된다.

이상 설명한 바와 같이, 접합을 형성하는 이온주입(본 실시예에서는 1회째의 이온주입)에 의한 잔류결함의 발생을 가능한 한 억제하는 것이 접합리크저감에는 중요하다.

반대로, 고농도층을 형성하는 2회째의 이온주입은 가능한 한 고(高) 도스로서 발생하는 잔류결함을 증가시키는 것이 바람직하다. 다수의 잔류결함에 균일하게, Co를 응집시키는 것으로, 개개의 Co₂Si의 이상성장을 적은 것으로 하는 것이 가능하게 되기 때문이다. 그 때문에, 2회째의 이온주입은 최저라도 1 × 10E15개/cm²이상의 도스량으로 실시할 필요가 있다. 이 2회째 이온주입도 복수회로 분할하여 실시할 경우에는 각 스텝의 도스량의 총합이 1 × 10E15개/cm²이상이면 안된다.

도 17에 본 실시예에서 형성된 p+ /n접합의 역방향 I-V곡선을 나타내었다. 본 실시예에 의하면, 로직 LSI에서 요구되는 5V인가시의 접합리크전류밀도 1 × 10E-13A/um²(1 × 10⁻¹³A/um²) 이하라는 사양(사양(1))을 만족한다. 비교를 위해, 상기 본 실시예의 형성법 중, 고농도층 형성의 2회째의 이온주입만, BF₂+ 이온, 에너지 40keV, 도스량 1 × 10E15/cm²로 변경하여 시료를 형성하였다. 이 시료를 여기에서는 편의상, 「비교예」라고 한다. 그리고, 이 비교예의 p+ /n접합의 역방향 I-V특성을 측정했다. 이 비교예(시료 3개)의 p+ /n접합의 역방향 I-V곡선을 도 18에 나타낸다. 플롯트 비교예의 경우에는 고농도층이 65nm정도로 되어, 본 실시예의 범위를 초과한 두께로 되고, 고농도층 하단이 p+ /n접합면에 접근한다. 그 때문에 시료에 따라서는 인가전압을 올려가면 접합리크전류가 흐르게 되는 것이다.

도 19는 고농도층의 두께를 변화시킬 때의 p+ /n접합리크의 발생상황을 나타낸다. 측정시료는, 소스·드레인영역 형성의 2회째의 이온주입 중, 에너지 25keV, 주입량 1 × 10E14의 1회째의 주입조건을 고정하고, 2회째의 주입의 에너지만 변환시켜 실시함으로써 고농도층의 두께를 변환한 것이다. 그리고, 도 19는 상기 사양(1) 및 더 엄격한 5V인가시의 접합리크전류밀도 5 × 10E-14A/um²(5 × 10⁻¹⁴A/um²)이하라는 사양(사양(2))을 만족하는 시료의 비율을 나타내었다. 고농도층의 두께가 CoSi₂층과 동일한 30nm를 초과하면 사양을 만족하지 않는 시료가 나타나는 것을 알 수 있다.

여기에서, Si기판상에 형성하는 Co막을 두껍게 하고, 실리사이드화에 의해 형성되는 CoSi₂층을 30nm보다 두껍게 하는 경우에 대해서 설명한다. 이 경우, 고농도층의 두께는 CoSi₂층의 두께에 비례하여 늘릴 필요가 있다. 첫째로는 반응하는 Co량이 증가하기 때문에, Co₂Si의 이상성장 깊이가 깊게 되므로, 이것을 고농도층 중에 억류하기 위해서는 보다 두꺼운 고농도층이 필요로 되기 때문이다. 또한, Si기판의 소비두께가 증가하기 때문에, 고농도층을 형성하는 2회째의 주입에너지를 증가시켜, 보다 깊은 위치에 고농도층을 형성할 필요가 있지만, 주입 에너지를 증가시키면 도펀트의 텡스 프로파일이 넓어져, 깊이 방향의 제어가 어렵게 되므로 전체로 스케일을 확대할 필요가 있다는 점에서도, 고농도층의 두께는 CoSi₂층의 두께에 비례하여 증가시켜 가는 것이 필요하다.

반대로, Si기판상에 형성하는 Co막을 얇게 하고, 형성되는 CoSi₂층을 30nm보다 얇게 하는 경우에 대해서 설명한다. 다만 이 경우, CoSi₂층의 저항이 증가하고, 소스·드레인영역에 대한 실리사이드화의 메리트는 저감해버리기 때문에, 최저라도 20nm이상의 CoSi₂층이 필요하다. 본 발명에 따르면, CoSi₂층을 얇게 하면, 필요한 고농도층의 두께도 당연 작게 되지만, 실용적으로는 무리하게 얇은 고농도층을 사용하는 것이 아니라, 여유를 가지고 30nm정도의 고농도층을 사용하는 편이 유리하다. 즉, 얇은 고농도층을 형성하기 위해서는 보다 저에너지의 임프라(주입)가 필요로 되어 기술적인 어려움이 증가하는 점, CoSi₂층의 막두께 변동에 대한 마진이 감소하는 점, 등의 고농도층을 얇게 하는 것의 디메리트(disadvantage)가 존재하기 때문이다.

도 20은 접합깊이를 변환시의 p+/n접합리크의 발생현황을 나타낸다. 도 17에서의 측정시료는, 도 19에 나타난 측정시료와는 반대로 소스·드레인영역 형성의 2회의 이온주입 중, 2회째의 이온주입조건을 에너지 5keV, 주입량 1×10^{15} 로 고정하고, 1회째의 주입 에너지만 변환하여 실시함으로써 접합깊이를 변환한 것이다. 그리고, 도 17은 상기 사양(1) 및 사양(2)을 만족하는 시료의 비율을 나타내었다. CoSi_2 층 두께 $t = 30\text{nm}$ 에 대하여 접합깊이 X_j 가 $X_j < 4 \times t$ 까지 알게 되면 사양을 만족하지 않는 시료가 나타나는 것을 알 수 있다.

그리고, 도 21은 도펀트의 활성화 열처리의 영향을 나타낸 도면이다. 도 21은 상기 본 실시예로부터 소스·드레인영역 형성의 이온주입 후의 활성화 열처리의 조건만을 변경한 경우의, 상기 사양(1) 및 사양(2)을 만족하는 시료의 비율을 나타내었다. 열처리 온도 850°C 에서는 사양을 만족하지 않는 시료가 나타나 있고, 소스·드레인형성 임프라 후의 활성화 열처리에는 900°C 이상의 온도가 필요하다. 다만, 열처리가 900°C 이상의 경우에는 도펀트의 열확산이 일어나고, 디바이스 특성을 열화시킬 위험성이 있기 때문에, 처리시간을 60초 이하로 하여 도펀트의 열확산을 최소한으로 억제할 필요가 있다. 즉, 본 발명은 p/n접합 근처의 잔류결함을 저감하는 것으로, Co가 응집하여 접합리크의 원인으로 되는 Co_2Si 의 이상성장을 억제하는 것이지만, 도펀트의 활성화 열처리에 의한 열확산이 두드러질 경우에는, 잔류결함의 발생위치와 p/n접합위치가 떨어져 버리고, 그것에 의해 접합리크 자체가 저감되기 때문이다. 본 발명의 청구항에 있어서 잔류결함의 위치 및 밀도를 규정하는 대신에 도펀트의 농도 프로파일로 규정하는 것이 가능한 것도, 도펀트의 활성화 열처리 시에 거의 도펀트의 열확산이 없고, 이온주입시의 농도 프로파일이 그대로 유지되기 때문이다. 그 때문에, 도펀트의 고농도 영역을 주입의 잔류결함발생 영역으로 보아 취급하는 것이 가능하게 되는 것이다.

도 22는 본 발명의 다른 실시형태이다. 즉, 앞의 실시예의 소자분리용으로서의 LOCOS막(2)을 대신하여 얇은 홈분리층(shallow groove isolation layer)(20)이 채용되어 있다. 이 경우, LOCOS막에 의한 소자분리에 비해 버즈비크(bird's beak)의 문제가 없고, 게다가 기판의 평탄화(CMP채용)에 의해, 고집적화가 가능하게 된다.

얇은 홈분리층(20)을 형성한 후, P, N웰 형성한다. 그리고, 이 후의 공정은 상기 실시예의 공정(3)에서의 게이트산화막에서 상기 실시예와 동일한 공정을 거친다.

최후로, 본 발명의 개념을 요약하면 이하와 같다. Co막을 피착한 Si기판을 가열하면, 최초로 Co가 Si기판 중에 확산하고, CoSi_2 라고 하는 화합물을 형성한다. 이 때, Co는 Si기판중에 남아 있는 선모양의 잔류결함을 추적하는 것으로 용이하게 기판 깊이까지 확산한다. 또한, Co는 결함의 주변에 응집하는 경향이 있고, 결과적으로는 결함부에서 CoSi_2 가 Si기판 깊이까지 이상성장한다는 현상이 발생한다. 이 이상성장된 CoSi_2 가 웰과의 p/n접합근처까지 도달하여 있는 경우에는 거기로부터 접합리크가 발생한다. 소스, 드레인영역의 임프라를 저농도로 한다. 즉, 소스·드레인영역을 저농도화하는 것으로 잔류결함을 저감하여, CoSi_2 의 이상성장을 억제할 수 있다. 따라서, 이 이상성장에 기인한 접합리크를 억제하는 것이 가능하다. 그러나, 단순히 소스·드레인영역을 저농도화하는 것만으로는, 위에 형성되는 CoSi_2 층과의 접촉저항이 높게 되어 버린다. 이것을 방지하기 위해, CoSi_2 층의 아래에 고농도층을 마련한다. 이 고농도층은 얇고, 고농도의 이온주입으로 형성하지만, 이 층중에는 잔류결함이 많고, 다량의 Co가 확산해가는 것을 의미하고 있다. 이 Co의 확산을 깊은곳(深部)까지 허용하지 않기 위해서, 고농도층의 두께를 CoSi_2 층과 같은 정도이하로 한정하는 것이다. 또한, 이 고농도층은 CoSi_2 의 이상성장의 억제에도 유효하다. 즉, 고농도층 중은 고밀도로 잔류결함이 존재하기 때문에, CoSi_2 의 이상성장이 다발한다. 그러나, 전면에 걸쳐 다수의 결함이 있기 때문에, 일부의 CoSi_2 만이 상당히 깊게 성장하는 일은 없고, 균일하게 얇게 성장한 곳에서 반응이 종료한다. p/n접합은 훨씬 깊은 위치에 있고, 이와 같이 이상성장이 얇은 위치에 머무는 접합리크는 발생하지 않는다. 이것에 의해, 보다 효과적으로 접합리크가 억제되는 것이다.

산업상 이용 가능성

미세화에 따라서, 소스, 드레인저항이 높게 되고, 콘택트구멍도 작게 되기 때문에 콘택트저항도 상승한다. 그 때문에, 장래에는 어떠한 LSI제품에도 소스, 드레인의 실리사이드화는 피할 수 없다.

따라서, 본 발명은 고속 로직 LSI, 고속SRAM, DRAM, 그리고 또 메모리와 로직이 혼재된 온칩 LSI(on-chip LSI)에 적용하여 유효하다.

(57) 청구의 범위

청구항 1.

- (a) MOS 트랜지스터의 게이트 전극으로서 작용하는 제1 도전막을 형성한 후, 제1 도전형의 제1 반도체 영역을 형성하기 위해, 반도체기판에 불순물을 도입하는 공정과,
 - (b) 상기 (a)공정의 후, 상기 제1 도전막의 측벽에 사이드월 스페이서를 형성하는 공정과,
 - (c) 상기 (b)공정의 후, 상기 제1 도전형의 제2 반도체 영역을 형성하기 위해, 상기 반도체 기판에 불순물을 도입하는 공정과,
 - (d) 상기 (b)공정의 후, 상기 제1 도전형의 제3 반도체 영역을 형성하기 위해, 상기 반도체 기판에 불순물을 도입하는 공정과,
 - (e) 상기 (c)공정 및 (d)공정의 후, 상기 반도체 기판상에 금속막을 퇴적하는 공정과,
 - (f) 상기 (e)공정의 후, 열처리를 실시하여 상기 제3 반도체 영역에 코발트실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스(dose)량은 상기 (c)공정에서의 도스량보다도 많고,
- 상기 제3 반도체 영역의 불순물 농도는 상기 제2 반도체 영역의 불순물 농도보다도 높으며,
- 상기 제3 반도체 영역의 깊이는, 상기 제2 반도체 영역의 깊이보다도 얇은, 반도체장치의 제조방법.

청구항 2.

- (a) MOS 트랜지스터의 게이트 전극으로서 작용하는 제1 도전막을 형성한 후, 제1 도전형의 제1 반도체 영역을 형성하기 위해, 반도체기판에 불순물을 도입하는 공정과,
 - (b) 상기 (a)공정의 후, 상기 제1 도전막의 측벽에 사이드월 스페이서를 형성하는 공정과,
 - (c) 상기 (b)공정의 후, 상기 제1 도전형의 제2 반도체 영역을 형성하기 위해, 상기 반도체 기판에 불순물을 도입하는 공정과,
 - (d) 상기 (b)공정의 후, 상기 제1 도전형의 제3 반도체 영역을 형성하기 위해, 상기 반도체 기판에 불순물을 도입하는 공정과,
 - (e) 상기 (c)공정 및 (d)공정의 후, 상기 반도체 기판상에 금속막을 퇴적하는 공정과,
 - (f) 상기 (e)공정의 후, 열처리를 시행하여, 상기 제3 반도체 영역에 금속 실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스(dose)량은 상기 (c)공정에서의 도스량보다도 많고,
- 상기 제3 반도체 영역의 불순물 농도는 상기 제2 반도체 영역의 불순물 농도보다도 높으며,
- 상기 제3 반도체 영역의 깊이는, 상기 제2 반도체 영역의 깊이보다도 얇고,
- 상기 금속막은 코발트막이고,
- 상기 금속 실리사이드층은 코발트 실리사이드층이고,

상기 게이트 전극의 게이트길이는 $0.2\mu\text{m}$ 이하인, 반도체장치의 제조방법.

청구항 3.

제1항 또는 제2항에 있어서,

상기 코발트 실리사이드층은 막두께 t 로 구성되고,

상기 제2 반도체 영역은, 기판 표면으로부터의 깊이가 $2\times t$ 이상의 영역이고, 불순물 농도가 1×10^{20} atoms/cm³ 이하인, 반도체장치의 제조방법.

청구항 4.

제1항 또는 제2항에 있어서,

상기 코발트 실리사이드층은 막두께 t 로 구성되고,

상기 제2 반도체 영역의 깊이는 $4\times t$ 이상인, 반도체장치의 제조방법.

청구항 5.

제1항 또는 제2항에 있어서,

상기 (d)공정에서의 도스량은 1×10^{15} atoms/cm² 이상이고,

상기 (c)공정에서의 도스량은 3×10^{14} atoms/cm² 이하인, 반도체장치의 제조방법.

청구항 6.

제1항 또는 제2항에 있어서,

상기 (d)공정에서의 불순물은 비소(As)이고,

상기 (c)공정에서의 불순물은 인(P)인, 반도체장치의 제조방법.

청구항 7.

제1항 또는 제2항에 있어서,

상기 (b)공정에 있어서, 상기 사이드월 스페이서는, 상기 제1 도전막을 포함하는 기판 상에 퇴적한 절연막을 에칭함으로써 상기 제1 도전막의 측벽에 자기정합적으로 형성되고,

상기 제1 반도체 영역의 깊이는, 상기 제2 반도체 영역의 깊이보다도 얇은, 반도체장치의 제조방법.

청구항 8.

제1항 또는 제2항에 있어서,

상기 (f)공정의 후에, 층간절연막을 형성하는 공정과,

상기 층간절연막에 접속홀을 형성하는 공정과,

상기 접속홀 내에 있어서, 상기 코발트 실리사이드층에 도전성 배리어를 통하여 전기적으로 접속하는 고용점 금속배선을 형성하는 공정을 포함하는, 반도체장치의 제조방법.

청구항 9.

소스·드레인 영역의 표면에, 소스·드레인 영역의 실리콘과 코발트를 반응시켜 형성한 막두께 t의 코발트 실리사이드층을 가지는 반도체장치의 제조방법으로서,

MOS 트랜지스터의 게이트 전극의 측벽에 형성된 사이드월 스페이서에 대해 자기정합적으로 깊은 저농도 영역을 형성하는 제1 도입공정과,

상기 사이드월 스페이서에 대해 자기정합적으로 불순물 도입에 의해 얇은 고농도 영역을 형성하는 제2 도입공정과,

상기 깊은 저농도 영역과 얇은 고농도 영역으로 이루어지는 소스·드레인 영역 표면에 코발트 막을 퇴적한 후, 열처리를 시행하여 소스·드레인 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 제2 도입공정의 불순물 도입량은 1×10^{15} atoms/cm² 이상이며,

상기 소스·드레인 영역은 기판 표면으로부터의 깊이가 $2 \times t$ 이상의 영역이고, 불순물 농도가 1×10^{20} atoms/cm³ 이하인, 반도체장치의 제조방법.

청구항 10.

제9항에 있어서,

상기 소스·드레인 영역의 접합깊이는 $4 \times t$ 이상이고,

상기 제1 도입공정의 불순물 도입량은 3×10^{14} atoms/cm² 이하인, 반도체장치의 제조방법.

청구항 11.

제9항 또는 제10항에 있어서,

상기 제1 도입공정의 불순물은 인(P)이고,

상기 제2 도입공정의 불순물은 비소(As)인, 반도체장치의 제조방법.

청구항 12.

LDD(Lightly Doped Drain)구조의 소스·드레인 영역 표면이, 실리콘 기판과 실리콘 기판 표면에 피착된 코발트층을 반응시켜 형성한 코발트 실리사이드층을 가지는 반도체장치의 제조방법으로서,

반도체 기판에 설치된 웨이퍼 주면에, MOS 트랜지스터의 게이트 전극의 측벽에 사이드월 스페이서를 형성한 후, 소스 및 드레인 영역 형성의 도펀트(dopant) 이온주입공정을, 웰 영역과의 사이에 p/n 접합위치를 형성하는 제1 도펀트 이온주입과, 소스·드레인 영역과 웰 영역과의 사이의 p/n 접합위치에 영향을 주지 않는 주입깊이가 얇고 또 주입량이 많은 제2 도펀트 이온주입으로 나누어 행하고,

도펀트의 활성화 열처리를 실시한 후, 소스·드레인 영역 표면을 코발트 실리사이드화하고,

상기 게이트전극의 게이트길이는 $0.2\mu\text{m}$ 이하인, 반도체장치의 제조방법.

청구항 13.

제12항에 있어서,

상기 제2 도펀트 이온주입의 불순물 도입량은 $1 \times 10^{15} \text{ atoms/cm}^2$ 이상이고,

상기 소스·드레인 영역은, 기판 표면으로부터의 깊이가, 상기 코발트 실리사이드층의 두께 t에 대해서 $2 \times t$ 이상의 영역이고, 불순물 농도가 $1 \times 10^{20} \text{ atoms/cm}^3$ 이하인, 반도체장치의 제조방법.

청구항 14.

제12항 또는 제13항에 있어서,

상기 제1 도펀트 이온주입의 불순물은 인이고,

상기 제2 도펀트 이온주입의 불순물은 비소인, 반도체장치의 제조방법.

청구항 15.

제12항 또는 제13항에 있어서,

5V 인가시의 소스·드레인 영역의 접합리크 전류밀도는 $1 \times 10^{-13} \text{ A}/\mu\text{m}^2$ 이하인, 반도체장치의 제조방법.

청구항 16.

LDD(Lightly Doped Drain)구조의 소스·드레인 영역 표면에, 소스·드레인 영역의 실리콘과 코발트를 반응시켜 형성한 코발트 실리사이드층을 가지는 반도체장치의 제조방법으로서,

(a) MOS 트랜지스터의 게이트 전극을 형성한 후, 소스 및 드레인 영역 형성의 도펀트 이온주입 공정을 행하는 공정과,

(b) 상기 (a)공정후, 게이트 전극의 측벽에 사이드월 스페이서를 형성한 후, 소스 및 드레인 영역형성의 도펀트 이온주입 공정을, 접합깊이가 깊고 도스량이 적은 제1 도펀트 이온주입과, 접합깊이가 얇고 도스량이 많은 제2 도펀트 이온주입으로 나누어 행하는 공정과,

(c) 상기 소스·드레인 영역 표면에 코발트막을 퇴적한 후, 열처리를 시행하여, 소스·드레인 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 게이트전극의 게이트길이는 $0.2\mu\text{m}$ 이하인, 반도체장치의 제조방법.

청구항 17.

제16항에 있어서,

상기 제2 도펀트 이온주입의 불순물 도입량은 1×10^{15} atoms/cm² 이상이고,

상기 소스·드레인 영역은 기판 표면으로부터의 깊이가, 상기 코발트 실리사이드층의 두께 t에 대해서 $2 \times t$ 이상의 영역이고, 불순물 농도가 1×10^{20} atoms/cm³ 이하인, 반도체장치의 제조방법.

청구항 18.

제16항 또는 제17항에 있어서,

상기 제1 도펀트 이온주입의 불순물은 인이고,

상기 제2 도펀트 이온주입의 불순물은 비소인, 반도체장치의 제조방법.

청구항 19.

제16항 또는 제17항에 있어서,

5V 인가시의 소스·드레인 영역의 접합리크 전류밀도는 1×10^{-13} A/ μm^2 이하인, 반도체장치의 제조방법.

청구항 20.

소스·드레인 영역 표면에 소스·드레인 영역의 실리콘과 코발트를 반응시켜 형성한 막두께 t의 코발트 실리사이드층을 가지는 반도체 장치로서,

상기 소스·드레인 영역은 MOS 트랜지스터의 게이트 전극의 측벽에 형성된 사이드월 스페이서에 대해 자기정합적으로 형성된 깊은 저농도 영역과, 상기 사이드월 스페이서에 대해 자기정합적으로 형성된 얇은 고농도 영역을 포함하고,

상기 소스·드레인 영역은 기판 표면으로부터의 깊이가 $2 \times t$ 이상의 영역으로서 불순물 농도가 1×10^{20} atoms/cm³ 이상인, 반도체장치의 제조방법.

청구항 21.

제20항에 있어서,

상기 소스·드레인 영역의 접합깊이는 $4 \times t$ 이상이고,

상기 깊은 저농도 영역은 인으로 구성되며,

상기 얇은 고농도 영역은 비소로 구성되는, 반도체장치의 제조방법.

청구항 22.

소스·드레인 영역 표면에 소스·드레인 영역의 실리콘과 코발트를 반응시켜 형성한 막두께 t 의 코발트 실리사이드층을 가지는 반도체 장치로서,

상기 소스·드레인 영역은, MOS 트랜지스터의 게이트 전극의 측벽에 형성된 사이드월 스페이서에 대해 자기정합적으로 형성된 깊은 저농도영역과, 상기 사이드월 스페이서에 대해 자기정합적으로 형성된 얇은 고농도 영역을 포함하고,

상기 소스·드레인 영역은, 기판 표면으로부터의 깊이가 $2 \times t$ 이상의 영역으로서 불순물 농도가 1×10^{20} atoms/cm³ 이하이며,

5V 인가시의 소스·드레인 영역의 접합리크 전류밀도는 1×10^{-13} A/ μm^2 이하인, 반도체 장치.

청구항 23.

제22항에 있어서,

상기 깊은 저농도 영역은 인으로 구성되고,

상기 얇은 고농도 영역은 비소로 구성되는, 반도체 장치.

청구항 24.

(a) MOS 트랜지스터의 소스·드레인 영역 형성을 위한 불순물을 반도체 기판에 도입하는 공정과,

(b) 상기 (a)공정 후, 900°C 이상에서, 60초이하의 열처리를 행하는 공정을 포함하는, 반도체 장치의 제조방법.

청구항 25.

제24항에 있어서,

상기 MOS 트랜지스터의 소스·드레인 영역 형성을 위한 불순물은, 반도체 기판상에 형성된 절연막을 통하여 상기 반도체 기판에 도입되는, 반도체장치의 제조방법

청구항 26.

(a) 반도체 본체내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 게이트 전극의 게이트 길이는 200nm 보다 짧은, 게이트 전극 형성공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해 상기 제1 반도체 영역 내에 이온들을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역내에 이온들을 주입하는 공정과;

(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다도 높으며,

상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체 장치의 제조방법.

청구항 27.

제26항에 있어서,

상기 MISFET는 SRAM(Static random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 28.

제26항에 있어서,

상기 MISFET는 DRAM(Dynamic random access memory)에 포함되는, 반도체 장치의 제조방법.

청구항 29.

제26항에 있어서,

상기 MISFET은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 30.

제26항에 있어서,

상기 MISFET은 메모리와 로직을 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 31.

제26항에 있어서,

상기 (f)공정은:

상기 제3 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄을 형성하는 단계와;

상기 제3 반도체 영역에 상기 코발트 실리사이드층을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 32.

제26항에 있어서,

상기 (d)공정에서 비소 이온이 주입되고, 상기 (e)공정에서 인 이온이 주입되는, 반도체장치의 제조방법.

청구항 33.

제26항에 있어서,

상기 (d) 및 (e)공정에서 붕소이온들이 주입되는, 반도체장치의 제조방법.

청구항 34.

제26항에 있어서,

(g) 상기 (c)공정 후에, 상기 제2 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (d) 및 (e)공정은 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 35.

제26항에 있어서,

상기 제2 반도체 영역의 깊이는 상기 제4 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 36.

제26 항에 있어서,

상기 제2 반도체 영역은 LDD(Lightly Doped Drain)로서 기능하는, 반도체장치의 제조방법.

청구항 37.

제26항에 있어서,

상기 제3 반도체 영역 및 상기 제4 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 38.

(a) 반도체 본체내에 형성된 제1 도전형의 제1 반도체 영역의 소자 형성영역위에 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 소자 형성 영역은, CMP법에 의해 형성되는 얇은 홈분리층(shallow groove isolation layer)에 의해 규정되는, 게이트 전극 형성 공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해 상기 제1 반도체 영역의 상기 소자 형성영역에 이온들을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역의 상기 소자 형성영역에 이온들을 주입하는 공정과;

(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해 상기 제1 반도체 영역의 상기 소자 형성영역에 이온들을 주입하는 공정과;

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,

상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체장치의 제조방법.

청구항 39.

제38항에 있어서,

상기 게이트 전극의 게이트 길이는 200nm보다 짧은, 반도체장치의 제조방법.

청구항 40.

제38항에 있어서,

상기 MISFET은 SRAM(Static random access memory)내에 포함되는, 반도체장치의 제조방법.

청구항 41.

제38항에 있어서,

상기 MISFET은 DRAM(Dynamic random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 42.

제38항에 있어서,

상기 MISFET은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 43.

제38항에 있어서,

상기 MISFET은 메모리와 로직 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 44.

제38항에 있어서,

상기 (f)공정은:

상기 제3 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄막을 형성하는 단계와;

상기 제3 반도체 영역에 상기 코발트 실리사이드층을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 45.

제38항에 있어서,

상기 (d)공정에서 비소이온이 주입되고, 상기 (e)공정에서 인 이온이 주입되는, 반도체장치의 제조방법.

청구항 46.

제38항에 있어서,

상기 (d) 및 (e)공정에서, 붕소 이온들이 주입되는, 반도체장치의 제조방법.

청구항 47.

제38항에 있어서,

(g) 상기 (c)공정 후에, 상기 제2 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (d) 및 (e)공정은 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 48.

제38항에 있어서,

상기 제2 반도체 영역의 깊이는 상기 제4 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 49.

제38항에 있어서,

상기 제2 반도체 영역은 LDD(Lightly doped drain)로서 기능하는, 반도체장치의 제조방법.

청구항 50.

제38항에 있어서,

상기 제3 반도체 영역 및 상기 제4 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 51.

(a) 반도체 본체내에 형성된 p형 도전형의 제1 반도체 영역의 주면위에 n채널 MISFET의 게이트 전극을 형성하고 상기 반도체 본체내에 형성된 n형 도전형의 제2 반도체 영역의 주면 위에 p채널 MISFET의 게이트 전극을 형성하는 공정과;

(b) 상기 (a)공정 후에, n형 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극들의 측면들 상에 사이드월 스페이서들을 형성하는 공정과;

(d) 상기 (c)공정 후에, n형 도전형의 제4 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(e) 상기 (c)공정 후에, n형 도전형의 제5 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d) 및 (e)공정 후에, 상기 제4 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제4 반도체 영역의 불순물 농도가 상기 제5 반도체 영역의 불순물 농도보다 높으며,

상기 제5 반도체 영역의 깊이는 상기 제4 반도체 영역의 깊이보다 깊고,

상기 n채널 MISFET의 상기 게이트 전극은 N형 게이트 전극이고,

상기 p채널 MISFET의 상기 게이트 전극은 P형 게이트 전극인, 반도체장치의 제조방법.

청구항 52.

제51항에 있어서,

상기 게이트 전극들의 게이트 길이의 각각은 200nm보다 짧은, 반도체장치의 제조방법.

청구항 53.

제51항에 있어서,

상기 MISFET들은 SRAM(Static random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 54.

제51항에 있어서,

상기 MISFET들은 DRAM(Dynamic random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 55.

제51항에 있어서,

상기 MISFET들은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 56.

제51항에 있어서,

상기 MISFET들은 메모리와 로직 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 57.

제51항에 있어서,

상기 (f)공정은:

상기 제4 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄막을 형성하는 단계와;

상기 제4 반도체 영역에 상기 코발트 실리사이드층을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 58.

제51항에 있어서,

상기 (d)공정에서 비소이온이 주입되고, 상기 (e)공정에서 인 이온이 주입되는, 반도체장치의 제조방법.

청구항 59.

제51항에 있어서,

(g) 상기 (c)공정 후에, 상기 제3 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (d) 및 (e)공정은 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 60.

제46항에 있어서,

상기 제3 반도체 영역의 깊이는 상기 제5 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 61.

제51항에 있어서,

상기 제3 반도체 영역은 LDD(Lightly doped drain)로서 기능하는, 반도체장치의 제조방법.

청구항 62.

제51항에 있어서,

상기 제4 반도체 영역 및 상기 제5 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 63.

(a) 반도체 본체에 형성된 n형 도전형의 제1 반도체 영역의 주면 위에 p채널 MISFET의 게이트 전극을 형성하고, 상기 반도체 본체에 형성된 p형 도전형의 제2 반도체 영역의 주면 위에 n채널 MISFET의 게이트 전극을 형성하는 공정과;

(b) 상기 (a)공정 후에, p형 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역내에 이온들을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극들의 측면들 상에 사이드월 스페이서들을 형성하는 공정과;

(d) 상기 (c)공정 후에, p형 도전형의 제4 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(e) 상기 (c)공정 후에, p형 도전형의 제5 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d) 및 (e)공정들 후에, 상기 제4 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제4 반도체 영역의 불순물 농도가 상기 제5 반도체 영역의 불순물 농도보다 높으며,

상기 제5 반도체 영역의 깊이는 상기 제4 반도체 영역의 깊이보다 깊고,

상기 n채널 MISFET의 상기 게이트 전극은 N형 게이트 전극이고,

상기 p채널 MISFET의 상기 게이트 전극은 P형 게이트 전극인, 반도체장치의 제조방법.

청구항 64.

제63항에 있어서,

상기 게이트의 전극들의 게이트 길이의 각각은 200nm보다 짧은, 반도체장치의 제조방법.

청구항 65.

제63항에 있어서,

상기 MISFET들은 SRAM(Static random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 66.

제63항에 있어서,

상기 MISFET들은 DRAM(Dynamic random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 67.

제63항에 있어서,

상기 MISFET들은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 68.

제63항에 있어서,

상기 MISFET들은 메모리와 로직 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 69.

제63항에 있어서,

상기 (f)공정은:

상기 제4 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄막을 형성하는 단계와;

상기 제4 반도체 영역에 상기 코발트 실리사이드층을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 70.

제63항에 있어서,

상기 (d) 및 (e)공정에서, 붕소 이온들이 주입되는, 반도체장치의 제조방법.

청구항 71.

제63항에 있어서,

(g) 상기 (c)공정 후에, 상기 제3 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (d) 및 (e)공정들은 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 72.

제63항에 있어서,

상기 제3 반도체 영역의 깊이는 상기 제5 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 73.

제63항에 있어서,

상기 제3 반도체 영역은 LDD(Lightly doped drain)로서 기능하는, 반도체장치의 제조방법.

청구항 74.

제63항에 있어서,

상기 제4 반도체 영역 및 상기 제5 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 75.

(a) 반도체 본체에 형성된 p형 도전형의 제1 반도체 영역의 주면 위에 n채널 MISFET의 게이트 전극을 형성하고, 상기 반도체 본체에 형성된 n형 도전형의 제2 반도체 영역의 주면 위에 p채널 MISFET의 게이트 전극을 형성하는 공정과;

(b) 상기 (a)공정 후에, n형 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(c) 상기 (a)공정 후에, p형 도전형의 제4 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(d) 상기 (b) 및 (c)공정 후에, 상기 게이트 전극들의 측면들 상에 사이드 월 스페이서들을 형성하는 공정과;

(e) 상기 (d)공정 후에, n형 도전형의 제5 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d)공정 후에, n형 도전형의 제6 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(g) 상기 (d)공정 후에, p형 도전형의 제7 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(h) 상기 (d)공정 후에, p형 도전형의 제8 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(i) 상기 (e), (f), (g) 및 (h)공정 후에, 상기 제5 반도체 영역에 코발트 실리사이드층을 형성하고, 상기 제7 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (e)공정에서의 도스량이, 상기 (f)공정에서의 도스량보다 많으므로, 상기 제5 반도체 영역의 불순물 농도가 상기 제6 반도체 영역의 불순물 농도보다 높으며,

상기 (g)공정에서의 도스량이, 상기 (h)공정에서의 도스량보다 많으므로, 상기 제7 반도체 영역의 불순물 농도가 상기 제8 반도체 영역의 불순물 농도보다 높고,

상기 제6 반도체 영역의 깊이는 상기 제5 반도체 영역의 깊이보다 깊고,

제8 반도체 영역의 깊이는 상기 제7 반도체 영역의 접합 깊이보다 크며,

상기 n채널 MISFET의 상기 게이트 전극은 N형 게이트 전극이고,

상기 p채널 MISFET의 상기 게이트 전극은 P형 게이트 전극인, 반도체장치의 제조방법.

청구항 76.

제75항에 있어서,

상기 게이트 전극들의 게이트 길이의 각각은 200nm보다 짧은, 반도체장치의 제조방법.

청구항 77.

제75항에 있어서,

상기 MISFET들은 SRAM(Static random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 78.

제75항에 있어서,

상기 MISFET들은 DRAM(Dynamic random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 79.

제75항에 있어서,

상기 MISFET들은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 80.

제75항에 있어서,

상기 MISFET들은 메모리와 로직 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 81.

제75항에 있어서,

상기 (i)공정은:

상기 제3 반도체 영역 및 상기 제4 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄막을 형성하는 단계와;

상기 코발트 실리사이드층들을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 82.

제75항에 있어서,

상기 (e)공정에서 비소 이온이 주입되고, 상기 (f)공정에서 인 이온이 주입되는, 반도체장치의 제조방법.

청구항 83.

제75항에 있어서,

상기 (g)공정에서 붕소 이온이 주입되고, 상기 (h)공정에서 붕소 이온이 주입되는, 반도체장치의 제조방법.

청구항 84.

제75항에 있어서,

(j) 상기 (b) 및 (c)공정 후에, 상기 제3 반도체 영역 및 상기 제4 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (e), (f), (g) 및 (h)공정들은 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 85.

제75항에 있어서,

상기 제3 반도체 영역의 깊이는 상기 제6 반도체 영역의 깊이보다 얇고,

상기 제4 반도체 영역의 깊이는 상기 제8 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 86.

제75항에 있어서,

상기 제3 반도체 영역 및 상기 제4 반도체 영역은 LDD들(Lightly doped drains)로서 기능하는, 반도체장치의 제조방법.

청구항 87.

제75항에 있어서,

상기 제5 반도체 영역 및 상기 제6 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 88.

제75항에 있어서,

상기 제7 반도체 영역 및 상기 제8 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 89.

(a) 반도체 본체내에 형성된 p형 도전형의 제1 반도체 영역의 소자 형성영역위에 n채널 MISFET의 게이트 전극을 형성하고, 상기 반도체에 형성된 n형 도전형의 제2 반도체 영역의 소자 형성영역 위에 p채널 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 소자 형성영역의 각각은 CMP법에 의해 형성되는 얇은 홈 분리층에 의해 규정되는, 게이트 전극 형성공정과;

(b) 상기 (a)공정 후에, n형 도전형의 제3 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(c) 상기 (a)공정 후에, p형 도전형의 제4 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(d) 상기 (b) 및 (c)공정 후에, 상기 게이트 전극들의 측면상에 사이드월 스페이서들을 형성하는 공정과;

(e) 상기 (d)공정 후에, n형 도전형의 제5 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d)공정 후에, n형 도전형의 제6 반도체 영역을 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(g) 상기 (d)공정 후에, p형 도전형의 제7 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(h) 상기 (d)공정 후에, p형 도전형의 제8 반도체 영역을 형성하기 위해 상기 제2 반도체 영역에 이온들을 주입하는 공정과;

(i) 상기 (e), (f), (g), 및 (h)공정 후에, 상기 제5 반도체 영역에 코발트 실리사이드층을 형성하고, 상기 제7 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (e)공정에서의 도스량이, 상기 (f)공정에서의 도스량보다 많으므로, 상기 제5 반도체 영역의 불순물 농도가 상기 제6 반도체 영역의 불순물 농도보다 높으며,

상기 (g)공정에서의 도스량이, 상기 (h)공정에서의 도스량보다 많으므로, 상기 제7 반도체 영역의 불순물 농도가 상기 제8 반도체 영역의 불순물 농도보다 높고,

상기 제6 반도체 영역의 깊이는 상기 제5 반도체 영역의 깊이보다 깊고,
상기 제8 반도체 영역의 깊이는 상기 제7 반도체 영역의 깊이보다 깊고,
상기 n채널 MISFET의 상기 게이트 전극은 N형 게이트 전극이고,
상기 p채널 MISFET의 상기 게이트 전극은 P형 게이트 전극인, 반도체장치의 제조방법.

청구항 90.

제89항에 있어서,
상기 게이트 전극들의 게이트 길이의 각각은 200nm보다 짧은, 반도체장치의 제조방법.

청구항 91.

제89항에 있어서,
상기 MISFET들은 SRAM(Static random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 92.

제89항에 있어서,
상기 MISFET들은 DRAM(Dynamic random access memory)에 포함되는, 반도체장치의 제조방법.

청구항 93.

제89항에 있어서,
상기 MISFET들은 로직 LSI에 포함되는, 반도체장치의 제조방법.

청구항 94.

제89항에 있어서,
상기 MISFET들은 메모리와 로직 둘 모두를 가지는 LSI에 포함되는, 반도체장치의 제조방법.

청구항 95.

제89항에 있어서,
상기 (i)공정은:
상기 제3 반도체 영역 및 상기 제4 반도체 영역 위에 코발트막을 형성하는 단계와;

상기 코발트막 위에 질화티탄막을 형성하는 단계와:

상기 코발트 실리사이드층들을 형성하기 위해 열처리를 행하는 단계를 포함하는, 반도체장치의 제조방법.

청구항 96.

제89항에 있어서,

상기 (e)공정에서 비소 이온이 주입되고, 상기 (f)공정에서 인 이온이 주입되는, 반도체장치의 제조방법.

청구항 97.

제89항에 있어서,

상기 (g)공정에서 붕소 이온이 주입되고, 상기 (h)공정에서 붕소 이온이 주입되는, 반도체장치의 제조방법.

청구항 98.

제89항에 있어서,

(j) 상기 (b) 및 (c)공정들 후에, 상기 제3 반도체 영역 및 상기 제4 반도체 영역 위에 절연막을 형성하는 공정을 더 포함하고,

상기 (e), (f), (g) 및 (h)공정들이 상기 절연막을 통해 행해지는, 반도체장치의 제조방법.

청구항 99.

제89항에 있어서,

상기 제3 반도체 영역의 깊이는 상기 제6 반도체 영역의 깊이보다 얇고

상기 제4 반도체 영역의 깊이는 상기 제8 반도체 영역의 깊이보다 얇은, 반도체장치의 제조방법.

청구항 100.

제89항에 있어서,

상기 제3 반도체 영역 및 상기 제4 반도체 영역은 LDD들(Lightly doped drains)로서 기능하는, 반도체장치의 제조방법.

청구항 101.

제89항에 있어서,

상기 제5 반도체 영역 및 상기 제8 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 102.

제89항에 있어서,

상기 제7 반도체 영역 및 상기 제8 반도체 영역은 소스 또는 드레인 영역들로서 기능하는, 반도체장치의 제조방법.

청구항 103.

(a) 반도체 본체내에 형성된 p형 도전형의 제1 반도체 영역의 소자 형성 영역 위에 n채널 MISFET의 게이트 전극을 형성하고, 상기 반도체 본체내에 형성된 n형 도전형의 제2 반도체 영역의 소자 형성영역 위에 p채널 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 소자 형성영역들의 각각은, CMP법에 의해 형성된 얇은 홈 분리층에 의해 규정되는, 게이트 전극형성 공정과;

(b) 상기 (a)공정 후에, LDD(Lightly doped drain)를 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극들의 측면들 상에 사이드월 스페이서들을 형성하는 공정과;

(d) 상기 (c)공정 후에, n형 도전형의 제4 반도체를 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(e) 상기 (c)공정 후에, n형 도전형의 제5 반도체를 형성하기 위해 상기 제1 반도체 영역에 이온들을 주입하는 공정과;

(f) 상기 (d) 및 (e)공정 후에, 상기 제4 반도체 영역에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로,상기 제4 반도체 영역의 불순물 농도가 상기 제5 반도체 영역의 불순물 농도보다도 높으며,

상기 제5 반도체 영역의 깊이는 상기 제4 반도체 영역의 깊이보다 깊고,

상기 n채널 MISFET의 상기 게이트 전극은 N형 게이트 전극이고,

상기 p채널 MISFET의 상기 게이트 전극은 P형 게이트 전극인, 반도체장치의 제조방법.

청구항 104.

제102항에 있어서,

상기 게이트 전극들의 게이트 길이의 각각은 200nm보다 짧은, 반도체장치의 제조방법.

청구항 105.

(a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 게이트 전극의 게이트 길이는 200nm 이하인, 게이트 전극 형성공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

- (d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 영역내에 이온을 주입하는 공정과;
 - (e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 영역보다 깊은 제2 영역내에 이온을 주입하는 공정; 및
 - (f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,
- 상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체 장치의 제조방법.

청구항 106.

- (a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정과;
 - (b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;
 - (c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;
 - (d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 영역내에 이온을 주입하는 공정과;
 - (e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 영역보다 깊은 제2 영역내에 이온을 주입하는 공정; 및
 - (f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,
- 상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체 장치의 제조방법.

청구항 107.

- (a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정으로서, 상기 게이트 전극의 게이트 길이는 200nm 이하인, 게이트 전극 형성공정과;
- (b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;
- (c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;
- (d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 위치에 이온을 주입하는 공정과;

- (e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 위치보다 깊은 제2 위치에 이온을 주입하는 공정; 및
- (f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,
- 상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체 장치의 제조방법.

청구항 108.

- (a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주면 위에 MISFET의 게이트 전극을 형성하는 공정과;
- (b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;
- (c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;
- (d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 위치에 이온을 주입하는 공정과;
- (e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 위치보다 깊은 제2 위치에 이온을 주입하는 공정; 및
- (f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,
- 상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,
- 상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체 장치의 제조방법.

청구항 109.

- (a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 소자 형성영역 위에 MISFET의 게이트 전극을 형성하는 공정으로서,
- 상기 소자 형성영역은 홈 분리층(groove isolation layer)으로 구성되는 소자 분리영역에 의해 규정되며, 상기 홈 분리층은 CMP법으로 형성되는 게이트 전극 형성공정과;
- (b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 소자 형성영역에 이온을 주입하는 공정과;
- (c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;
- (d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 소자 형성영역에 이온을 주입하는 공정과;
- (e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 소자 형성영역에 이온을 주입하는 공정; 및

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높으며,

상기 제4 반도체 영역의 깊이는 상기 제3 반도체 영역의 깊이보다 깊은, 반도체장치의 제조방법.

청구항 110.

제109항에 있어서,

상기 게이트 전극의 각각의 게이트 길이는 200nm 이하인, 반도체장치의 제조방법.

청구항 111.

(a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정으로서,

상기 게이트 전극의 게이트 길이는 200nm 이하인, 게이트 전극 형성공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 영역내에 이온을 주입하는 공정과;

(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 영역보다 깊은 제2 영역내에 이온을 주입하는 공정; 및

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높은, 반도체장치의 제조방법.

청구항 112.

(a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주변 위에 MISFET의 게이트 전극을 형성하는 공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 영역내에 이온을 주입하는 공정과;

(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 영역보다 깊은 제2 영역내에 이온을 주입하는 공정; 및

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높은, 반도체장치의 제조방법.

청구항 113.

(a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주면 위에 MISFET의 게이트 전극을 형성하는 공정으로서, 상기 게이트 전극의 게이트 길이는 200nm 이하인, 게이트 전극 형성공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 위치에 이온을 주입하는 공정과;

(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 위치보다 깊은 제2 위치에 이온을 주입하는 공정; 및

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높은, 반도체장치의 제조방법.

청구항 114.

(a) 반도체 본체 내에 형성된 제1 도전형의 제1 반도체 영역의 주면 위에 MISFET의 게이트 전극을 형성하는 공정과;

(b) 상기 (a)공정 후에, 상기 제1 도전형에 반대되는 제2 도전형의 제2 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역내에 이온을 주입하는 공정과;

(c) 상기 (b)공정 후에, 상기 게이트 전극의 측면 상에 사이드월 스페이서를 형성하는 공정과;

(d) 상기 (c)공정 후에, 상기 제2 도전형의 제3 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 제1 위치에 이온을 주입하는 공정과;

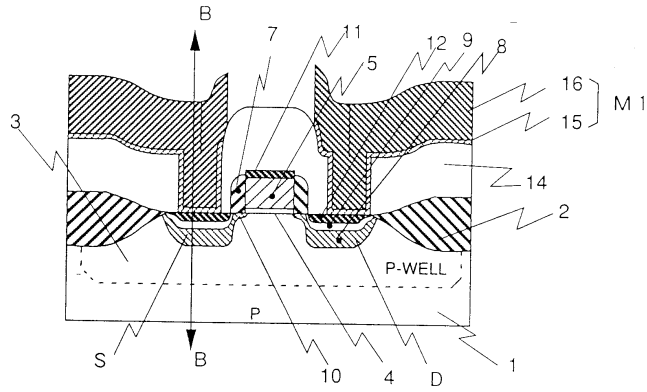
(e) 상기 (c)공정 후에, 상기 제2 도전형의 제4 반도체 영역을 형성하기 위해, 상기 제1 반도체 영역의 상기 제1 위치보다 깊은 제2 위치에 이온을 주입하는 공정; 및

(f) 상기 (d) 및 (e)공정 후에, 상기 제3 반도체 영역내에 코발트 실리사이드층을 형성하는 공정을 포함하고,

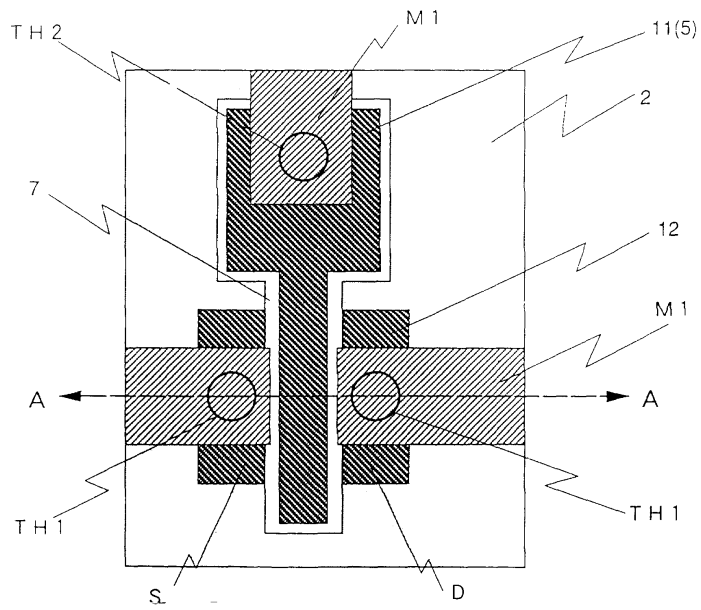
상기 (d)공정에서의 도스량이, 상기 (e)공정에서의 도스량보다 많으므로, 상기 제3 반도체 영역의 불순물 농도가 상기 제4 반도체 영역의 불순물 농도보다 높은, 반도체장치의 제조방법.

도면

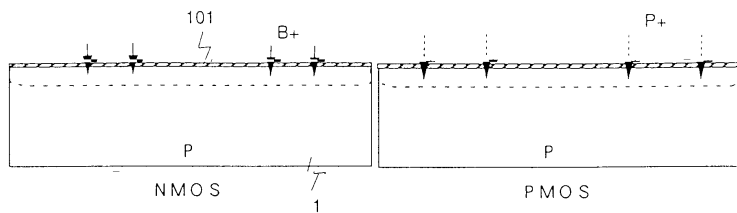
도면1



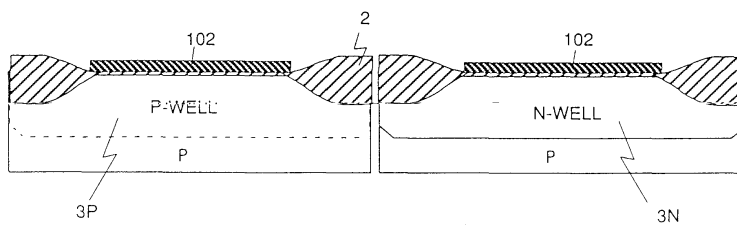
도면2



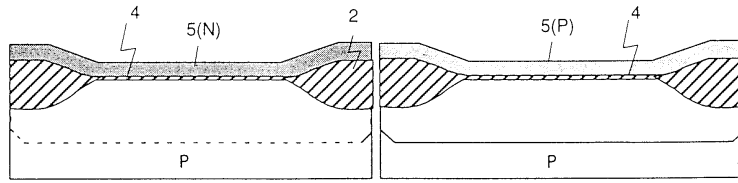
도면3



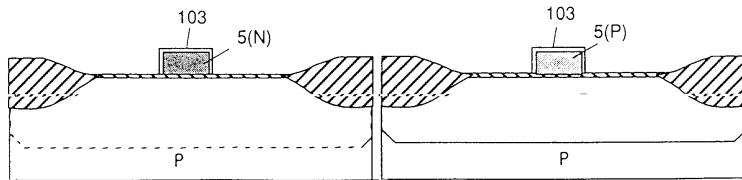
도면4



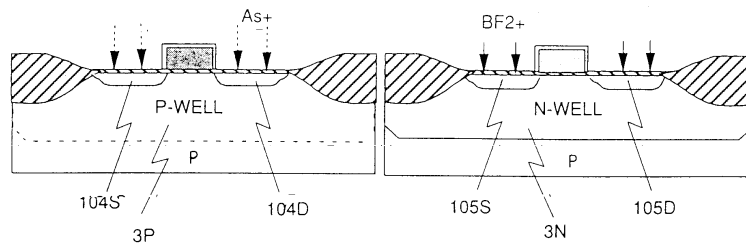
도면5



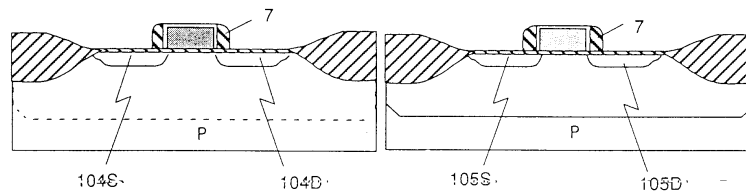
도면6



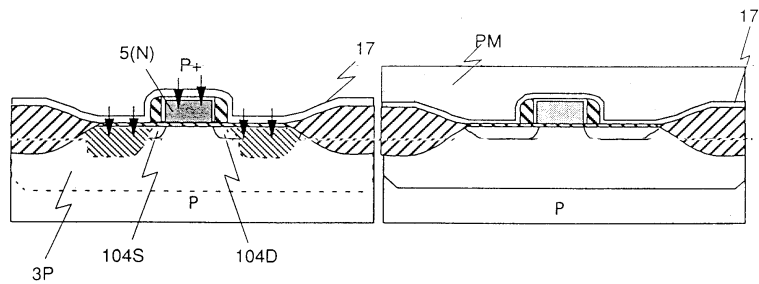
도면7



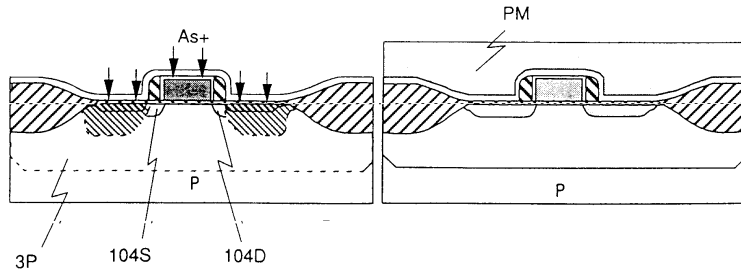
도면8



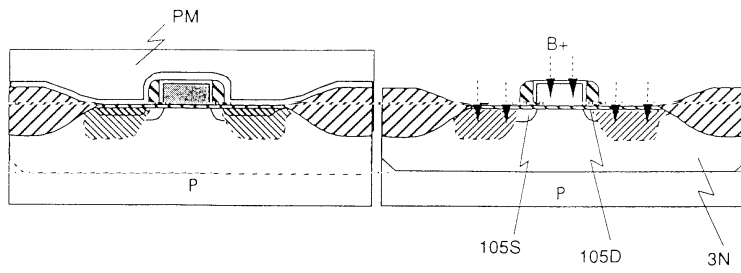
도면9



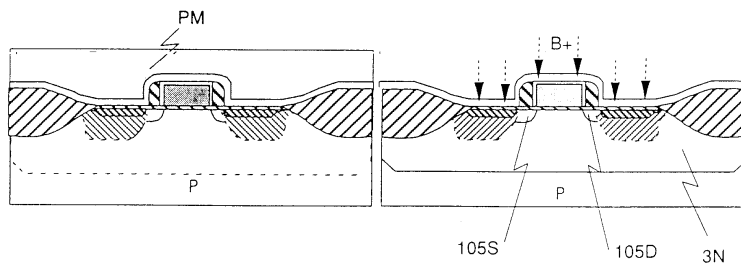
도면10



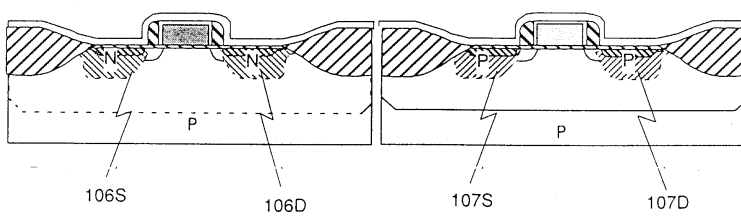
도면11



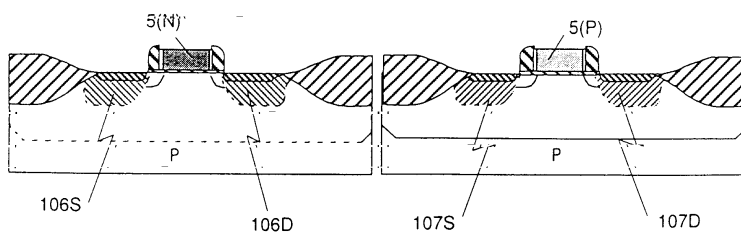
도면12



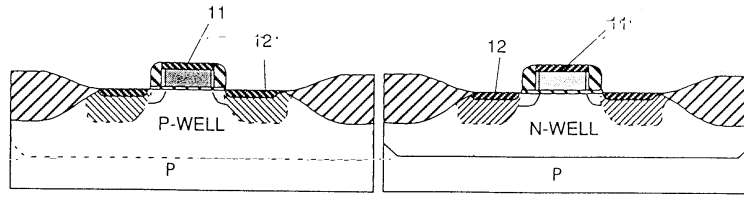
도면13



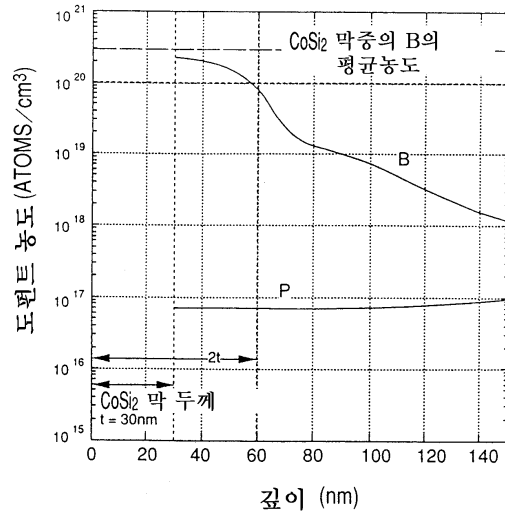
도면14



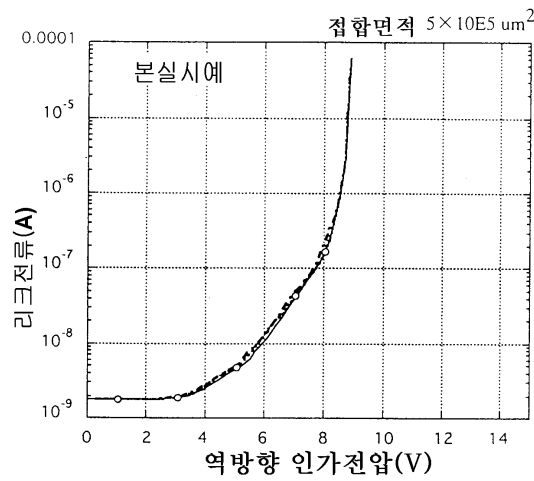
도면15



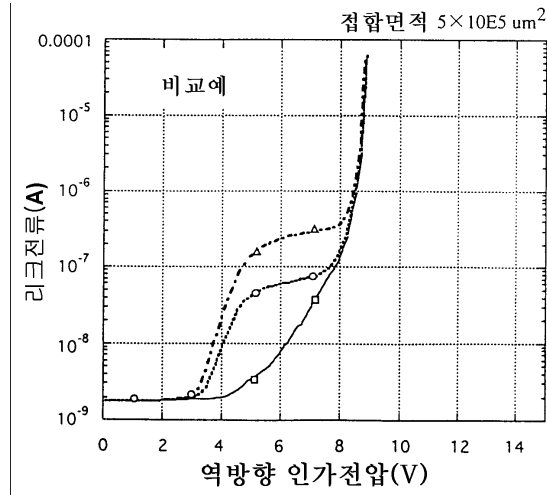
도면16



도면17



도면18



도면19

CoSi₂ 층 두께 t: 30nm
 집합면적 Xj: 240um
 사양(1): $1 \times 10^{-13} \text{ A}/\text{um}^2$ (AT 5V)
 사양(2): $5 \times 10^{-14} \text{ A}/\text{um}^2$ (AT 5V)
 집합면적 : $2 \times 10^5 \text{ um}^2$
 측정시료수: 20

고농도 층두께	사양(1)을 만족하는 시료수와 그 비율	사양(2)을 만족하는 시료수와 그 비율
22 nm (본발명)	20 (100%)	20 (100%)
27 nm (본발명)	20 (100%)	20 (100%)
33 nm	20 (100%)	18 (90%)
40 nm	18 (90%)	12 (60%)
65 nm (비교예)	12 (60%)	1 (5%)

고농도층의 두께를 변경했을때의 p+/n 접합리크의 발생상황

도면20

CoSi₂ 층 두께 t: 30nm
 고농도층 두께: 27um
 사양(1): $1 \times 10^{-13} \text{ A/um}^2$ (AT 5V)
 사양(2): $5 \times 10^{-14} \text{ A/um}^2$ (AT 5V)
 접합면적: $2 \times 10^5 \text{ um}^2$
 측정시료수: 20

접합깊이	사양(1)을 만족하는 시료수와 그 비율	사양(2)을 만족하는 시료수와 그 비율
57 nm (고농도층만)	0 (0%)	0 (0%)
100 nm	15 (75%)	8 (40%)
120 nm (본발명)	20 (100%)	20 (100%)
150 nm (본발명)	20 (100%)	20 (100%)
240 nm (본발명)	20 (100%)	20 (100%)

접합깊이를 변경했을 때의 p+/n접합리크의 발생상황

도면21

CoSi₂ 층 두께 t: 30nm
 고농도층 두께: 27um
 접합깊이 Xj: 240um
 사양(1): $1 \times 10^{-13} \text{ A/um}^2$ (AT 5V)
 사양(2): $5 \times 10^{-14} \text{ A/um}^2$ (AT 5V)
 접합면적: $2 \times 10^5 \text{ um}^2$
 측정시료수: 20

활성화 열처리조건	사양(1)을 만족하는 시료수와 그 비율	사양(2)을 만족하는 시료수와 그 비율
850 °C, 5 min	12 (60%)	6 (30%)
850 °C, 30 min	18 (90%)	15 (75%)
900 °C, 60 sec (본발명)	20 (100%)	20 (100%)
900 °C, 15 sec (본발명)	20 (100%)	20 (100%)
1000 °C, 10 sec (본발명)	20 (100%)	20 (100%)

활성화 열처리조건을 변경했을 때의 p+/n접합리크의 발생상황

도면22

