

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7435359号
(P7435359)

(45)発行日 令和6年2月21日(2024.2.21)

(24)登録日 令和6年2月13日(2024.2.13)

(51)国際特許分類

F I

H 0 3 K	17/082 (2006.01)	H 0 3 K	17/082	
H 0 2 M	1/08 (2006.01)	H 0 2 M	1/08	A
H 0 3 K	17/042 (2006.01)	H 0 3 K	17/042	
H 0 3 K	17/04 (2006.01)	H 0 3 K	17/04	E
H 0 3 K	17/08 (2006.01)	H 0 3 K	17/08	C

請求項の数 3 (全9頁) 最終頁に続く

(21)出願番号 特願2020-140857(P2020-140857)
 (22)出願日 令和2年8月24日(2020.8.24)
 (65)公開番号 特開2022-36577(P2022-36577A)
 (43)公開日 令和4年3月8日(2022.3.8)
 審査請求日 令和4年3月10日(2022.3.10)

(73)特許権者 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
 (74)代理人 110003214
弁理士法人服部国際特許事務所
 (72)発明者 武田 紘典
愛知県刈谷市昭和町1丁目1番地 株式
会社デンソー内
 (72)発明者 岩崎 紘介
愛知県刈谷市昭和町1丁目1番地 株式
会社デンソー内
 審査官 工藤 一光

最終頁に続く

(54)【発明の名称】 負荷駆動回路

(57)【特許請求の範囲】

【請求項1】

負荷(80)に接続され、集積回路部(70)とゲートとを接続するゲート信号線のゲート電圧に応じてオンオフ作動が制御されるスイッチング素子(21~24、29)と、カソードが前記スイッチング素子側となるように、前記スイッチング素子のドレインと接続されるツェナーダイオード(32、42、52)と、

アノードが前記ツェナーダイオード側となるように、前記ツェナーダイオードと直列に接続されるダイオード(31、41、51)と、

一端が前記ツェナーダイオードと前記ダイオードとの間に接続される抵抗(35、45、55)と、

を備え、

前記スイッチング素子のソースは、ドレインよりも低電位側と接続されており、

前記スイッチング素子がオンされているとき、前記抵抗の他端側は、前記ツェナーダイオードのカソード側より高電位となっており、前記抵抗および前記ツェナーダイオードをこの順で経由して、前記ツェナーダイオードにアノード側からカソード側への順方向電流を通電することで前記スイッチング素子のドレインに微小電流が通電される負荷駆動回路。

【請求項2】

前記抵抗(35、45)の他端、および、前記ダイオードのカソードは、前記スイッチング素子のゲートと接続される請求項1に記載の負荷駆動回路。

【請求項3】

前記抵抗（５５）の他端は、前記スイッチング素子がオンされているときに前記ツェナーダイオード（５２）に順方向電流を通電可能な電圧源（８６）と接続されている請求項１に記載の負荷駆動回路。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、負荷駆動回路に関する。

【背景技術】

【０００２】

従来、電界効果トランジスタ等のスイッチング素子のゲート - ドレイン間にツェナーダイオードおよびダイオードを直列接続するダイナミッククランプ回路が知られている。例えば特許文献１では、ダイナミッククランプ回路のツェナーダイオードに対して、コンデンサおよび抵抗を並列に接続し、ツェナー降伏を助長することで、クランプ応答遅れを低減している。

10

【先行技術文献】

【特許文献】

【０００３】

【文献】特許第２６４８３８８号公報

【発明の概要】

【発明が解決しようとする課題】

20

【０００４】

しかしながら、特許文献１では、ゲート - ドレイン間にコンデンサが接続されるため、スイッチング素子のスルーレートが低下する虞がある。本発明は、上述の課題に鑑みてなされたものであり、その目的は、ツェナーダイオードの応答遅れを低減可能な負荷駆動回路を提供することにある。

【課題を解決するための手段】

【０００５】

本発明の負荷駆動回路は、スイッチング素子（２１～２４、２９）と、ツェナーダイオード（３２、４２、５２）と、ダイオード（３１、４１、５１）と、抵抗（３５、４５、５５）と、を備える。

30

【０００６】

スイッチング素子は、負荷（８０）に接続され、集積回路部（７０）とゲートとを接続するゲート信号線のゲート電圧に応じてオンオフ作動が制御される。ツェナーダイオードは、カソードがスイッチング素子側となるように、スイッチング素子のドレインと接続される。ダイオードは、アノードがツェナーダイオード側となるように、ツェナーダイオードと直列に接続される。抵抗は、一端がツェナーダイオードとダイオードとの間に接続される。スイッチング素子のソースは、ドレインよりも低電位側と接続されている。スイッチング素子がオンされているとき、抵抗の他端側は、ツェナーダイオードのカソード側より高電位となっており、抵抗およびツェナーダイオードをこの順で経由して、ツェナーダイオードにアノード側からカソード側への順方向電流を通電することで、スイッチング素子のドレインに微小電流が通電される。これにより、ツェナーダイオードの応答遅れを低減することができる。

40

【図面の簡単な説明】

【０００７】

【図１】第１実施形態による負荷駆動回路を示す回路図である。

【図２】第１実施形態によるクランプ回路を示す回路図である。

【図３】第１実施形態による下ＭＯＳオン時にドレイン端子に流れる微小電流を説明する説明図である。

【図４】参考例によるドレイン端子電圧を説明するタイムチャートである。

【図５】第１実施形態によるドレイン端子電圧を説明するタイムチャートである。

50

【図 6】第 1 実施形態によるクランプ回路を示す回路図である。

【図 7】第 2 実施形態によるクランプ回路を示す回路図である。

【発明を実施するための形態】

【0008】

以下、本発明による負荷駆動回路を図面に基づいて説明する。以下、複数の実施形態において、実質的に同一の構成には同一の符号を付して説明を省略する。

【0009】

(第 1 実施形態)

第 1 実施形態を図 1 ~ 図 6 に示す。図 1 に示すように、負荷駆動回路 10 は、インバータ回路 20、電流検出素子 25、26、フェイルセーフリレー 29、および、クランプ回路 30、40 (図 2 および図 6 参照) 等を備え、負荷としての直流モータ 80 の駆動回路に適用される。モータ 80 は、インバータ回路 20 を経由してバッテリー 85 から電力が供給されることで正逆回転する。

10

【0010】

インバータ回路 20 は、Hブリッジ回路であって、4 つのスイッチング素子 21 ~ 24 がブリッジ接続されている。本実施形態のスイッチング素子 21 ~ 24 は、MOSFET であって、以下適宜、高電位側に接続されるスイッチング素子 21、22 を「上 MOS」、低電位側に接続されるスイッチング素子 23、24 を「下 MOS」とする。

【0011】

スイッチング素子 21 ~ 24 は、集積回路部 70 (図 2 および図 6 参照) からの駆動信号によりオンオフ作動が制御される。スイッチング素子 21、24 がオンされると、モータ 80 が正転し、スイッチング素子 22、23 がオンされると、モータ 80 が逆転する。

20

【0012】

電流検出素子 25、26 は、シャント抵抗であって、電流検出素子 25 がインバータ回路 20 の高電位側、電流検出素子 26 がインバータ回路 20 の低電位側に設けられる。フェイルセーフリレー 29 は、MOSFET 等のスイッチング素子で構成され、寄生ダイオードのカソードがバッテリー 85 側、アノードがインバータ回路 20 側となるように、バッテリー 85 と電流検出素子 25 との間に設けられる。

【0013】

図 2 に示すように、クランプ回路 30 は、ダイオード 31、ツェナーダイオード 32、および、抵抗 35 を有し、下 MOS 23、24 に対してそれぞれ設けられる。ここでは、下 MOS 23 に設けられるクランプ回路を例に説明する。図 7 も同様である。また、下 MOS 23 とバッテリー 85 との間に設けられる回路構成を、まとめて負荷 L として記載した。図 6 および図 7 においても、一部の回路構成をまとめて負荷 L と記載した。

30

【0014】

ダイオード 31 およびツェナーダイオード 32 は、下 MOS 23 のゲート - ドレイン間において、ダイオード 31 がゲート側、ツェナーダイオード 32 がドレイン側となるように、直列に接続される。ダイオード 31 は、カソードがゲート側、アノードがドレイン側を向いて接続される。ツェナーダイオード 32 は、アノードがゲート側、カソードがドレイン側を向いて接続される。すなわち、ダイオード 31 とツェナーダイオード 32 とは、アノードが内側を向いて接続される。

40

【0015】

抵抗 35 は、一端が下 MOS 23 のゲートと接続され、他端がダイオード 31 とツェナーダイオード 32 との間に接続される。すなわち、抵抗 35 は、ダイオード 31 に対して並列に接続され、ツェナーダイオード 32 に対して直列に接続される。抵抗 36 は、下 MOS 23 のゲートとグランドとの間に接続される。

【0016】

集積回路部 70 は、ゲートドライバ回路や昇圧回路等を有する。図中、集積回路部 70 を「IC」と記載する。集積回路部 70 には、IC 端子 701 ~ 703 が設けられる。IC 端子 701 ~ 703 は、それぞれ、下 MOS 23 のドレイン、ゲート、ソースに接続さ

50

れる。ここで、IC端子702と下MOS23のゲートとを接続する接続線をゲート信号線235とする。

【0017】

図3に示すように、下MOS23をオンするとき、ゲート信号線235には、ゲート電圧に応じた電流が流れる。このとき、破線矢印で示すように、ツェナーダイオード32には、抵抗35を経由して、順方向に微小電流が流れる。なお、図3中では下MOS23のゲートや、ドレイン・ソース間等に流れる電流についての記載は省略した。

【0018】

図4および図5では、ドレイン端子231の電圧であるドレイン端子電圧 V_d 、下MOS23に流れる素子電流 I_s 、ゲート端子電圧 V_g 、ソース端子電圧 V_s を示している。図4は、抵抗35を設けない場合の参考例である。図4に示すように、下MOS23のオンからオフへの切り替えが指令され、ゲート端子電圧 V_g が低下すると、素子電流 I_s が低下し、ドレイン端子電圧 V_d が上昇する。ここで、参考例では、抵抗35がないため、下MOS23がオンの間、ツェナーダイオード32には、順方向の微小電流は流れていない。そのため、時刻 $\times 19$ にてドレイン端子電圧 V_d が降伏電圧に到達すると、負荷Lのインダクタンスによって正方向のサージが発生し、クランプ遅れが生じる。ツェナーダイオード32によるドレイン端子電圧 V_d のクランプの応答遅れが生じると、正方向のサージ電圧が集積回路部70のIC端子701に印加される虞がある。

【0019】

一方、本実施形態では、下MOS23がオンされているとき、ツェナーダイオード32には、抵抗35を経由して、微小電流が常時流れている。そのため、図5に示すように、下MOS23のオンからオフへの切り替えが指令され、時刻 $\times 10$ にてドレイン端子電圧 V_d が降伏電圧に到達したときの正方向のサージの発生が抑制され、ツェナーダイオード32によるドレイン端子電圧 V_d のクランプの応答遅れを防ぐことができる。また、ツェナーダイオード32の応答遅れによるサージ電圧が集積回路部70に印加されるのを防ぐことができるので、IC端子701を保護することができる。

【0020】

また、ダイオード31およびツェナーダイオード32をバイパスするコンデンサおよび抵抗を設ける場合と比較し、下MOS23のスルーレートの低下を抑制することができる。また、部品点数の増加を防ぐことができる。

【0021】

図6に示すように、クランプ回路40は、ダイオード41、ツェナーダイオード42、抵抗45を有し、上MOS21、22に対してそれぞれ設けられる。図6では、上MOS21に設ける例を記載した。ダイオード41、ツェナーダイオード42、抵抗45、46の接続関係等は、ダイオード31、ツェナーダイオード32、抵抗35、36と同様であるので、説明を省略する。図6では、上MOS21のドレイン、ゲート、ソースと接続される端子をIC端子711、712、713とする。また、IC端子712と上MOS21のゲートとを接続する接続線をゲート信号線215とする。

【0022】

上MOS21の場合、負荷Lがソース側となるため、抵抗45が設けられていない場合、上MOS21がオンからオフに切り替わるとき、負荷Lのインダクタンスによってソース電位に負方向のサージが発生する虞がある。本実施形態では、ツェナーダイオード42に直列に接続される抵抗45が設けられており、上MOS21がオンされているとき、ゲート信号線215から抵抗45およびツェナーダイオード42を経由して、ドレイン端子211に微小電流が流れる。これにより、上MOS21がオンからオフへの切り替えに伴う負方向のサージの発生が抑制され、ツェナーダイオード42によるソース端子電圧のクランプの応答遅れを防ぐことができる。

【0023】

以上説明したように、本実施形態の負荷駆動回路10は、スイッチング素子21~24と、ツェナーダイオード32、42と、ダイオード31、41と、抵抗35、45と、を

10

20

30

40

50

備える。スイッチング素子 21 ~ 24 は、負荷と接続される。本実施形態の負荷は直流モータ 80 である。以下、スイッチング素子として、下 MOS 23 を例に説明する。

【0024】

ツェナーダイオード 32 は、カソードが下 MOS 23 側となるように、下 MOS 23 のドレインと接続される。ダイオード 31 は、アノードがツェナーダイオード 32 側となるように、ツェナーダイオード 32 と直列に接続される。抵抗 35 は、一端がツェナーダイオード 32 とダイオード 31 との間に接続される。下 MOS 23 がオンされているとき、抵抗 35 およびツェナーダイオード 32 を経由して、下 MOS 23 のドレインに微小電流が通電される。ここで、微小電流とは、下 MOS 23 のドレイン - ソース間に流れる電流に影響を与えない程度に十分に小さい電流とする。

10

【0025】

詳細には、抵抗 35 の他端、および、ダイオード 31 のカソードは、上 MOS 23 のゲートと接続される。下 MOS 23 がオンされているとき、ゲートにはゲート電圧が印加されており、下 MOS 23 のドレイン端子 231 には、ゲート信号線 235 から、抵抗 35 およびツェナーダイオード 32 を経由して、微小電流が流れる。MOS 23 がオンの間、ドレイン端子 231 に常時通電しておくことで、下 MOS 23 がオンからオフに切り替わったとき、下 MOS 23 のスルーレートを低減させることなく、ツェナーダイオード 32 の応答遅れを抑制することができる。

【0026】

(第2実施形態)

20

第2実施形態を図7に示す。本実施形態のクランプ回路 50 は、ダイオード 51、ツェナーダイオード 52、および、抵抗 55、56等を有する。ダイオード 51 およびツェナーダイオード 52 は、直列に接続される。ダイオード 51 は、カソードがグランド、アノードがツェナーダイオード 52 側を向いて接続される。ツェナーダイオード 52 は、カソードが下 MOS 23 のドレイン側、アノードがダイオード 51 側を向いて接続される。すなわち、ダイオード 51 とツェナーダイオード 52 とは、アノードが内側を向いて接続される。

【0027】

抵抗 55 は、一端が電圧源 86 と接続され、他端がダイオード 51 とツェナーダイオード 52 との間に接続される。抵抗 56 は、下 MOS 23 のドレインとツェナーダイオード 52 との間に接続される。

30

【0028】

下 MOS 23 がオンされているとき、ドレイン端子 231 はグランド電位となる。電圧源 86 は、下 MOS 23 がオンのときにツェナーダイオード 52 に微小電流が流せるものであれば特に制約はなく、例えば集積回路部 70 に設けられる昇圧回路等とすることができる。このように構成しても、下 MOS 23 がオンされているとき、ドレイン端子 231 への微小電流の常時通電が可能であるので、下 MOS 23 のオンからオフへの切替時において、負荷 L により発生するサージを低減可能である。

【0029】

本実施形態では、抵抗 55 の一端がツェナーダイオード 52 とダイオード 51 との間に接続され、他端は、下 MOS 23 がオンされているときにツェナーダイオード 32 に順方向電流を通電可能な電圧源 86 に接続されている。これにより、下 MOS 23 がオンされているとき、ドレイン端子 231 には、抵抗 55、ツェナーダイオード 52 および抵抗 56 を経由して、微小電流を流すことができ、上記実施形態と同様の効果を奏する。

40

【0030】

(他の実施形態)

上記実施形態では、Hブリッジ回路を構成するスイッチング素子にクランプ回路が設けられる。他の実施形態では、フェイルセーフリレーを「スイッチング素子」とみなし、上記実施形態のクランプ回路を設けてもよい。フェイルセーフリレーの上流側には、バッテリと負荷駆動回路とを接続するワイヤが存在し、比較的大きなインダクタンス成分を有す

50

る。ここで、バッテリー 85 からフェイルセーフリレー 29 までの配線抵抗を負荷 L とみなせば、図 3 等と同じ回路構成であるため、下 MOS 23 にクランプ回路を設ける場合と同様の効果を奏する。すなわち例えば、モータ回路に異常が発生し、回路遮断のためにフェイルセーフリレーをオフすると、ワイヤのインダクタンス成分によりフェイルセーフリレーのドレイン端子に正サージが発生するが、上記実施形態のクランプ回路を設けることで、サージの発生を抑制可能である。

【0031】

上記実施形態では、インバータ回路は Hブリッジ回路である。他の実施形態では、例えばモータが 3 相モータであれば、インバータは 3 相インバータであってもよい。3 相インバータ等であっても、各スイッチング素子にクランプ回路を設けることで、上記実施形態と同様の効果を奏する。また、負荷は、モータ以外のものであってもよい。以上、本発明は、上記実施形態になんら限定されるものではなく、発明の趣旨を逸脱しない範囲において種々の形態で実施可能である。

【符号の説明】

【0032】

- 10・・・負荷駆動回路
- 21～24・・・スイッチング素子
- 29・・・フェイルセーフリレー（スイッチング素子）
- 30、40、50・・・クランプ回路
- 31、41、51・・・ダイオード
- 32、42、52・・・ツェナーダイオード
- 35、45、55・・・抵抗
- 86・・・電圧源
- 80・・・直流モータ（負荷）

10

20

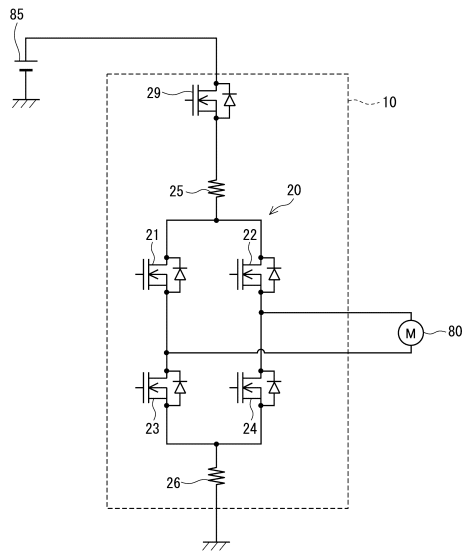
30

40

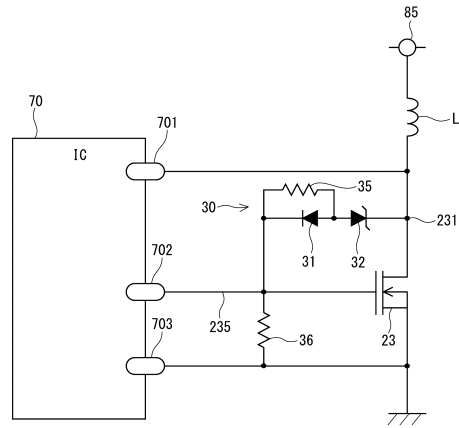
50

【図面】

【図 1】



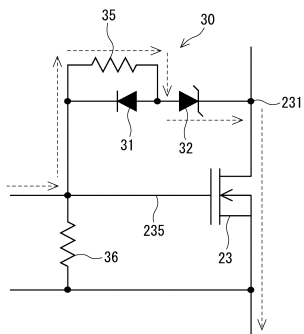
【図 2】



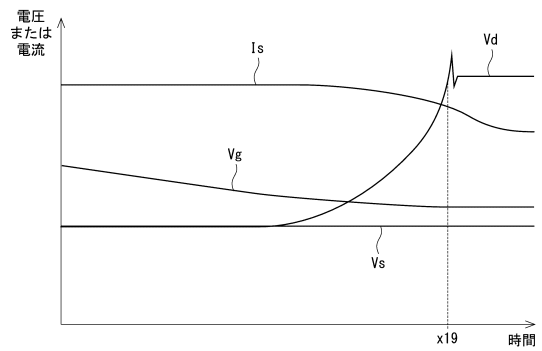
10

20

【図 3】



【図 4】

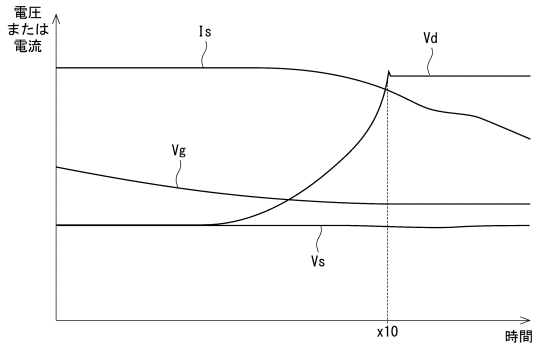


30

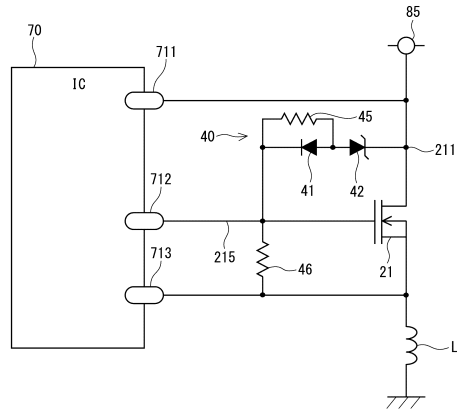
40

50

【図5】



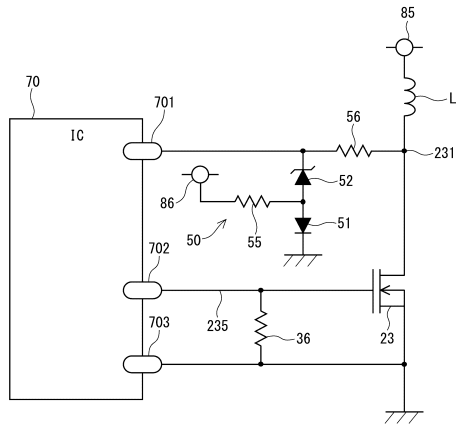
【図6】



10

20

【図7】



30

40

50

フロントページの続き

(51)国際特許分類

H 0 3 K 17/695 (2006.01)

F I

H 0 3 K 17/695

(56)参考文献

特開平 4 - 2 1 1 5 1 1 (J P , A)

特開平 4 - 1 3 3 5 1 2 (J P , A)

特開平 6 - 3 2 6 5 7 9 (J P , A)

特開 2 0 0 5 - 2 2 3 3 9 9 (J P , A)

(58)調査した分野 (Int.Cl. , D B 名)

H 0 2 M 1 / 0 8 - 1 / 0 9 6

H 0 3 K 3 / 5 7

H 0 3 K 1 7 / 0 4 - 1 7 / 0 4 2 4

H 0 3 K 1 7 / 0 8 - 1 7 / 0 8 2

H 0 3 K 1 7 / 6 8 7 - 1 7 / 6 9 5