

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2018年8月23日 (23.08.2018)



(10) 国际公布号
WO 2018/149129 A1

(51) 国际专利分类号:
H01L 27/02 (2006.01) H01L 21/77 (2017.01)
H01L 27/12 (2006.01)

(21) 国际申请号: PCT/CN2017/102280

(22) 国际申请日: 2017年9月19日 (19.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710086972.0 2017年2月17日 (17.02.2017) CN

(71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。北京京东方光电科技
有限公司 (BEIJING BOE OPTOELECTRONICS
TECHNOLOGY CO., LTD.) [CN/CN]; 中国北京

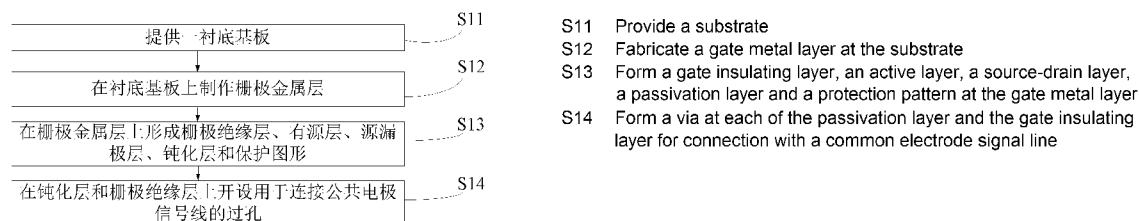
市经济技术开发区西环中路8号,
Beijing 100176 (CN)。

(72) 发明人: 肖志莲 (XIAO, Zhilian); 中国北京市经济
技术开发区地泽路9号, Beijing 100176 (CN)。
赵海生 (ZHAO, Haisheng); 中国北京市经济技
术开发区地泽路9号, Beijing 100176 (CN)。肖
红玺 (XIAO, Hongxi); 中国北京市经济技术开
发区地泽路9号, Beijing 100176 (CN)。裴晓
光 (PEI, Xiaoguang); 中国北京市经济技术开
发区地泽路9号, Beijing 100176 (CN)。刘冲
(LIU, Chong); 中国北京市经济技术开发区地
泽路9号, Beijing 100176 (CN)。

(74) 代理人: 中科专利商标代理有限责任
公司 (CHINA SCIENCE PATENT & TRADEMARK
AGENT LTD.); 中国北京市海淀区西三环北路
87号4-1105室, Beijing 100089 (CN)。

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 阵列基板及其制造方法



(57) Abstract: Provided are a manufacturing method of an array substrate and an array substrate manufactured by using the same. The manufacturing method comprises: providing a substrate (110); fabricating a gate metal layer (120) at the substrate, the gate metal layer comprising gate lines (121) and common electrode signal lines (122) arranged at intervals; forming a gate insulating layer (130), an active layer (140a), a source-drain layer (150), a passivation layer (160) and a protection pattern (140b) at the gate metal layer; forming a via (170) at each of the passivation layer and the gate insulating layer for connection with the common electrode signal line; and causing an orthographic projection of the protection pattern to be partially overlapped with an orthographic projection of the via on the substrate, and causing the orthographic projection of the protection pattern to be partially overlapped with an orthographic projection of the gate line on the substrate.

(57) 摘要: 一种阵列基板的制造方法和采用该制造方法制造的阵列基板。该制造方法包括: 提供一衬底基板 (110); 在衬底基板上制作栅极金属层 (120), 栅极金属层包括栅线 (121) 和公共电极信号线 (122), 栅线和公共电极信号线间隔设置; 在栅极金属层上形成栅极绝缘层 (130)、有源层 (140a)、源漏极层 (150)、钝化层 (160) 和保护图形 (140b); 在钝化层和栅极绝缘层上开设用于连接公共电极信号线的过孔 (170); 保护图形在衬底基板上的正投影和过孔在衬底基板上的正投影部分重叠, 保护图形在衬底基板上的正投影和栅线在衬底基板上的正投影部分重叠。

WO 2018/149129 A1

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

阵列基板及其制造方法

相关申请的交叉引用

本申请要求于 2017 年 2 月 17 日递交中国专利局的、申请号为 201710086972.0 的中国专利申请的权益，该申请的全部公开内容以引用方式并入本文。

技术领域

本公开的实施例涉及一种阵列基板及其制造方法。

背景技术

液晶显示面板包括阵列基板、彩膜基板及设置在阵列基板和彩膜基板之间的液晶。阵列基板包括衬底基板和设置在衬底基板上的栅极金属层、栅极绝缘层、有源层、源漏极层和钝化层。

其中，栅极金属层通常包括栅线和公共电极信号线，在完成钝化层的制作后，需要在公共电极信号线上方制作过孔，以连接公共电极信号线和之后制作在钝化层上的公共电极。

在传统的制作过程中，为了提高生产效率，在制作过孔时通常通过一步刻蚀将钝化层和栅极绝缘层刻透。由于栅线和公共电极信号线之间的间距很小，而过孔的直径大于该间距，例如，该间距通常只有 $6\ \mu\text{m}$ ，而过孔的直径约为 $9\ \mu\text{m}$ ，这就使得在制作过程中，如果过孔设计的位置出现轻微的偏移或是过孔直径稍大，就可能使得栅线上方的栅极绝缘层被完全刻透，从而使栅线与过孔连通。在这种情况下，ITO 膜层作为公共电极沉积后，栅线和公共电极信号线都将通过过孔与 (ITO) 公共电极连接，从而出现栅线与公共电极信号线短接的情况，导致阵列基板显示异常。

发明内容

本公开实施例提供了一种阵列基板的制造方法，所述制造方法包

括：

提供一衬底基板；

在所述衬底基板上制作栅极金属层，所述栅极金属层包括栅线和公共电极信号线，所述栅线和公共电极信号线间隔设置；

在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形；

在所述钝化层和所述栅极绝缘层上开设用于连接所述公共电极信号线的过孔；

其中，所述保护图形在所述衬底基板上的正投影和所述过孔在所述衬底基板上的正投影部分重叠，所述保护图形在所述衬底基板上的正投影和所述栅线在所述衬底基板上的正投影部分重叠。

根据本公开的实施例，所述保护图形与所述有源层同层设置，或者，所述保护图形与所述源漏极层同层设置，或者，所述保护图形设置在所述钝化层上，或者，所述保护图形设置在所述栅极金属层上。

根据本公开的实施例，所述保护图形与所述有源层同层设置，在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上形成所述栅极绝缘层；

在所述栅极绝缘层上形成有源层材料；

刻蚀所述有源层材料，以形成所述有源层和所述保护图形；

在所述有源层和所述保护图形上依次形成所述源漏极层和所述钝化层。

根据本公开的实施例，所述保护图形与所述源漏极层同层设置，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上依次形成所述栅极绝缘层、所述有源层；

在所述有源层上形成源漏极层材料；

刻蚀所述源漏极层材料，以形成所述源漏极层和所述保护图形；

在所述源漏极层和所述保护图形上形成所述钝化层。

根据本公开的实施例，所述保护图形设置在所述钝化层上，所述

在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

依次在所述栅极金属层上形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层；

刻蚀所述钝化层，以在所述钝化层上形成所述保护图形。

根据本公开的实施例，所述保护图形设置在所述钝化层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

依次在所述栅极金属层上形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层；

在所述钝化层上形成一层保护材料；

去除部分所述保护材料，以形成所述保护图形。

根据本公开的实施例，所述保护材料为金属、非晶硅、氮化硅、树脂、光刻胶中的一种。

根据本公开的实施例，所述保护图形设置在所述栅极金属层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上形成栅极绝缘层；

刻蚀所述栅极绝缘层，以在所述栅极绝缘层上形成所述保护图形；

在具有所述保护图形的所述栅极绝缘层上依次形成所述有源层、所述源漏极层和所述钝化层。

根据本公开的实施例，所述保护图形设置在所述栅极金属层上，在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形包括：

在所述栅极金属层上形成一层保护材料；

去除部分所述保护材料，以形成所述保护图形；

在所述保护图形和所述栅极金属层上依次形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层。

根据本公开的实施例，所述保护材料为氮化硅、树脂、光刻胶中

的一种。

根据本公开的实施例,所述保护图形在所述衬底基板的正投影为圆形或多边形。

根据本公开的实施例,所述保护图形的厚度为所述栅极绝缘层厚度的一半。

根据本公开的实施例,所述保护图形在所述衬底基板上的正投影在与所述栅线垂直的方向上远离所述栅线的一侧与所述过孔在所述衬底基板上的正投影部分重叠,并且所述保护图形在所述衬底基板上的正投影在与所述栅线垂直的方向上靠近所述栅线的另一侧与所述栅线在所述衬底基板上的正投影部分重叠。

根据本公开的实施例,在与所述栅线垂直的方向上,所述保护图形在所述衬底基板上的正投影的中心与所述过孔在所述衬底基板上的正投影的中心对齐。

根据本公开的实施例,所述保护图形在所述衬底基板上的正投影的在所述栅线的纵向方向上的最大尺寸大于所述过孔在所述衬底基板上的正投影的在所述栅线的纵向方向上的最大尺寸。

本公开实施例提供了一种阵列基板,所述阵列基板采用前述的任一种制造方法制成。

附图说明

为了更清楚地说明本公开实施例中的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本公开的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

图1是本公开实施例提供的一种阵列基板的制造方法的流程图;

图2是本公开实施例提供的另一种阵列基板的制造方法的流程图;

图2a是本公开实施例提供的一种形成有栅极金属层的衬底基板的结构示意图;

图2b是本公开实施例提供的一种形成有栅极绝缘层的衬底基板

的结构示意图；

图 2c 是本公开实施例提供的一种形成有有源层材料的衬底基板的结构示意图；

图 2d 是本公开实施例提供的一种形成有有源层和保护图形后的衬底基板的俯视图；

图 2e 是本公开实施例提供的一种形成有有源层的衬底基板的结构示意图；

图 2f 是本公开实施例提供的一种形成有有源层的衬底基板的结构示意图；

图 2g 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 2h 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 2i 是本公开实施例提供的一种形成有过孔的衬底基板的结构示意图；

图 2j 是本公开实施例提供的一种形成有 ITO 的衬底基板的结构示意图；

图 3 是本公开实施例提供的另一种阵列基板的制造方法的流程图；

图 3a 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 3b 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 4 是本公开实施例提供的另一种阵列基板的制造方法的流程图；

图 4a 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 4b 是本公开实施例提供的一种形成有保护图形的衬底基板的结构示意图；

图 5 是本公开实施例提供的另一种阵列基板的制造方法的流程

图；

图 5a 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 5b 是本公开实施例提供的一种形成有保护图形的衬底基板的结构示意图；

图 6 是本公开实施例提供的另一种阵列基板的制造方法的流程图；

图 6a 是本公开实施例提供的一种形成有栅极绝缘层的衬底基板的结构示意图；

图 6b 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 7 是本公开实施例提供的另一种阵列基板的制造方法的流程图；

图 7a 是本公开实施例提供的一种形成有栅极金属层的衬底基板的结构示意图；

图 7b 是本公开实施例提供的一种形成有保护材料的衬底基板的结构示意图；

图 7c 是本公开实施例提供的一种形成有保护图形的衬底基板的结构示意图；

图 7d 是本公开实施例提供的一种形成有钝化层的衬底基板的结构示意图；

图 7e 是本公开实施例提供的一种形成有 ITO 的衬底基板的结构示意图。

具体实施方式

为使本公开的目的、技术方案和优点更加清楚，下面将结合附图对本公开实施方式作进一步地详细描述。

图 1 是本公开实施例提供的一种阵列基板的制造方法的流程图，如图 1 所示，该制造方法包括：

S11：提供一衬底基板。

S12: 在衬底基板上制作栅极金属层。

其中, 栅极金属层包括栅线和公共电极信号线, 栅线和公共电极信号线间隔设置。其中, 间隔设置指栅线与公共电极信号线不相交, 例如, 栅线和公共电极线可以平行间隔设置。

S13: 在栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形。

S14: 在钝化层和栅极绝缘层上开设用于连接公共电极信号线的过孔。

其中, 保护图形在衬底基板上的正投影和过孔在衬底基板上的正投影部分重叠, 保护图形在衬底基板上的正投影和栅线在衬底基板上的正投影部分重叠。

通过在栅线上方形成保护图形, 并且使得保护图形在衬底基板上的正投影和过孔在衬底基板上的正投影部分重叠, 且保护图形在所述衬底基板上的正投影和栅线在衬底基板上的正投影部分重叠, 从而在形成过孔的过程中, 需要刻透栅线上方的钝化层、保护图形和栅极绝缘层才会使栅线露出, 而公共电极信号线上方没有设置保护图形, 在形成过孔的过程中, 只需要刻透公共电极信号线上方的钝化层和栅极绝缘层就会将公共电极信号线露出, 因此在形成过孔的过程中可以保证在公共电极信号线露出时, 栅线不露出, 从而可以避免栅线与公共电极信号线出现短接。

根据本公开的实施例, 保护图形可以与有源层同层设置, 或者, 保护图形可以与源漏极层同层设置, 或者, 保护图形可以设置在钝化层上, 或者, 保护图形可以设置在栅极金属层上。

根据本公开的实施例, 参见图 2d, 保护图形 140b 在衬底基板上的正投影在与栅线 121 垂直的方向上远离栅线 121 的一侧与过孔 170' 在衬底基板上的正投影部分重叠, 并且保护图形 140b 在衬底基板上的正投影在与栅线 121 垂直的方向上靠近栅线 121 的另一侧与栅线 121 在衬底基板上的正投影部分重叠。在与栅线 121 垂直的方向上, 保护图形 140b 在衬底基板上的正投影的中心与过孔 170' 在衬底基板上的正投影的中心可以对齐。保护图形 140b 在衬底基板上的正投影

的在栅线 121 的纵向方向上的最大尺寸可以大于过孔 170 在衬底基板上的正投影的在栅线 121 的纵向方向上的最大尺寸。

图 2 是本公开实施例提供的另一种阵列基板的制造方法的流程图, 在图 2 所示实施例中, 保护图形与有源层同层设置。如图 2 所示, 该制造方法包括:

S21: 提供一衬底基板。

根据本公开的实施例, 衬底基板可以为透明基板, 其具体可以是采用玻璃、石英、透明树脂等具有一定坚固性的导光且非金属材料制成的基板。

可选地, 可以预先对提供的衬底基板进行清理, 保证该衬底基板的清洁。

S22: 在衬底基板上制作栅极金属层。

如图 2a 所示, 可以采用构图工艺在衬底基板 110 上制成栅极金属层 120。进一步地, 可以在衬底基板 110 上通过溅射方式形成金属层, 然后通过构图工艺得到栅极金属层 120。其中, 金属层可以为 Al (铝)、Cu (铜)、Mo (钼)、Cr (铬)、Ti (钛) 等, 或者采用多种不同的金属重叠而成。上述构图工艺可以是光刻工艺。

具体地, 栅极金属层 120 可以包括栅线 121 和公共电极信号线 122, 栅线 121 与公共电极信号线 122 不相交, 栅线 121 和公共电极信号线 122 的材质相同。

S23: 在栅极金属层上形成栅极绝缘层。

如图 2b 所示, 在栅极金属层 120 制作完成后, 在制作有栅极金属层 120 的衬底基板 110 上制作一层栅极绝缘层 130, 具体地, 可以在制作有栅极金属层 120 的衬底基板 110 上沉积一层栅极绝缘层材料以形成栅极绝缘层 130。

可选地, 栅极绝缘层 130 可以为氮化硅或氮氧化硅层等绝缘膜层。

S24: 在栅极绝缘层上形成有源层材料。

如图 2c, 在形成有栅极绝缘层 130 的衬底基板 110 上依次生长非晶硅层 141 和 N 型掺杂非晶硅层 142, 以形成有源层材料 140。

根据本公开的实施例，非晶硅层 141 和 N 型掺杂非晶硅层 142 的生长可以采用沉积方式实现，具体可以采用等离子体增强化学气相沉积法（英文 Plasma Enhanced Chemical Vapor Deposition，简称 PECVD）。

S25：刻蚀有源层材料，以形成有源层和保护图形。

图 2d 为形成有源层和保护图形后的衬底基板的俯视图，图中的部分 170' 表示待形成过孔的区域，图 2e 和图 2f 分别为图 2d 中的 B-B 和 A-A 截面图，其中 B-B 截面图显示了有源层 140a 处的截面，A-A 截面图显示了保护图形 140b 的截面。有源层 140a 和保护图形 140b 同层设置。如图 2d~2f，通过构图工艺形成了相互独立的有源层 140a 和保护图形 140b，且有源层 140a 和保护图形 140b 位于同一层，由相同的材料形成，其中构图工艺可采用光刻工艺实现，光刻工艺中的刻蚀技术可以采用干法刻蚀。

S26：在有源层和保护图形上依次形成源漏极层和钝化层。

具体地，在有源层和保护图形上形成源漏极层可以采用以下方式：

先在形成有有源层 140a 的衬底基板 110 上制作一金属层，然后通过构图工艺在金属层上形成源漏极层 150，如图 2g 所示。其中，源漏极层 150 包括源极和漏极。

如图 2g 和 2h（图 2g 为有源层 140 处的截面图，图 2h 为保护图形 140b 处的截面图），钝化层 160 覆盖在源漏极层 150 和保护图形 140b 上。

根据本公开的实施例，在该步骤 S26 中，可以采用溅射工艺实现形成上述金属层，具体可以采用磁控溅射工艺，而构图工艺可以采用光刻工艺。

可选地，金属层可以为 Al、Cu、Mo、Cr、Ti 等金属，或者采用多层金属重叠设计而成。

具体地，在形成钝化层 160 时，可以在形成有源漏极层 150 的衬底基板 110 上沉积一层钝化层材料，以形成钝化层 160。

可选地，钝化层材料可以是氮化硅或氮氧化硅层。

S27: 制作过孔。

如图 2i 所示, 在钝化层 160 和栅极绝缘层 130 上开设用于连接公共电极信号线的过孔 170。结合图 2d, 保护图形 140b 在衬底基板 110 上的正投影和过孔 170 在衬底基板 110 上的正投影部分重叠, 保护图形 140b 在衬底基板 110 上的正投影和栅线 121 在衬底基板 110 上的正投影部分重叠。从而确保在形成过孔 170 的过程中保护图形 140b 可以保护下方的栅线 121。

如图 2j, 在完成过孔 170 的制作后可以在钝化层 160 上沉积一层氧化铟锡 (英文 Indium tin oxide, 简称 ITO) 层 180, 形成公共电极, 从而完成阵列基板的制作。

通过图 2 所示的制造方式制造阵列基板, 在制作有源层时, 刻蚀的过程中保留了位于栅线上方的部分有源层材料, 从而形成保护图形, 该保护图形与有源层同层设置, 材料与有源层的材料相同, 相比现有的工艺技术没有增添新的步骤, 只是改变了在形成有源层时的构图工艺中的图形, 易于实现。

图 3 是本公开实施例提供的另一种阵列基板的制造方法的流程图, 在图 3 所示实施例中, 保护图形与源漏极层同层设置。如图 3 所示, 该制造方法包括:

S31: 提供一衬底基板。

具体地, 步骤 S31 可以参照前述的步骤 S21, 此处不再详述。

S32: 在衬底基板上制作栅极金属层。

具体地, 步骤 S32 可以参照前述的步骤 S22, 此处不再详述。

S33: 在栅极金属层上依次形成栅极绝缘层和有源层。

其中, 栅极绝缘层的形成过程可以参照前述的步骤 S23, 此处不再详述。

形成有源层时, 可以先在栅极绝缘层上形成有源层材料, 具体可以参见前述步骤 S24。再通过构图工艺形成有源层, 其中构图工艺可采用光刻工艺实现, 光刻工艺中的刻蚀技术可以采用干法刻蚀技术。

S34: 在有源层上形成源漏极层材料。

具体地, 可以通过溅射方式在衬底基板上形成金属层。金属层可

以为 Al、Cu、Mo、Cr、Ti 等金属，或者采用多种不同的金属重叠而成。

S35：刻蚀源漏极层材料，以形成源漏极层和保护图形。

如图 3a 和 3b（图 3a 为源漏极层 250a 处的截面图，图 3b 为保护图形 250b 处的截面图），可以采用构图工艺在衬底基板 210 上依次形成有包括栅线 221 和公共电极信号线 222 的栅极金属层、栅极绝缘层 230、有源层 240。通过构图工艺去除部分源漏极层材料，从而形成同层设置的源漏极层 250a 和保护图形 250b。

S36：在源漏极层和保护图形上形成钝化层。

具体地，可以在形成有源漏极层 250a 的衬底基板 210 上沉积一层钝化层材料，以形成钝化层 260。

可选地，钝化层材料可以是氮化硅或氮氧化硅层。

S37：制作过孔。

具体地，步骤 S37 可以参照前述的步骤 S27，此处不再详述，形成有过孔并最终沉积 ITO 后得到的阵列基板的结构形式可以参见图 2j。

通过图 3 所示的制造方式制造阵列基板，在制作源漏极层时，刻蚀的过程中保留了位于栅线上方的部分源漏极层材料，从而形成保护图形，该保护图形与源漏极层同层设置，材料与源漏极层的材料相同，相比现有的工艺技术没有增添新的步骤，只是改变了在形成源漏极层时的构图工艺中的图形，实现方式简单。

图 4 是本公开实施例提供的另一种阵列基板的制造方法的流程图，在图 4 所示实施例中，保护图形设置在钝化层上，且保护图形与钝化层为一体结构。如图 4 所示，该制造方法包括：

S41：提供一衬底基板。

具体地，步骤 S41 可以参照前述的步骤 S21，此处不再详述。

S42：在衬底基板上制作栅极金属层。

具体地，步骤 S42 可以参照前述的步骤 S22，此处不再详述。

S43：在栅极金属层上依次形成栅极绝缘层、有源层、源漏极层和钝化层。

具体地，栅极绝缘层和有源层的形成过程可以参照前述的步骤 S33，源漏极层和钝化层的形成过程可以参照前述的步骤 S26，此处不再详述。

如图 4a 所示，可以采用构图工艺在衬底基板 310 上依次形成有包括栅线 321 和公共电极信号线 322 的栅极金属层、栅极绝缘层 330、钝化层 360。

S44：刻蚀钝化层，以在钝化层上形成保护图形。

如图 4b 所示，可以采用构图工艺去除部分的钝化层材料，从而在钝化层 360 上形成保护图形 361。

需要说明的是，为了确保在形成保护图形 361 后，钝化层 360 有足够的厚度，在步骤 S43 中，沉积的钝化层材料的厚度应大于步骤 S26 中形成钝化层 160 时候沉积的钝化层材料的厚度。

S45：制作过孔。

具体地，步骤 S45 可以参照前述的步骤 S27，此处不再详述，形成有过孔并最终沉积 ITO 后得到的阵列基板的结构形式可以参见图 2j。

通过图 4 所示的制造方式制造阵列基板，在制作钝化层之后，对钝化层进行了刻蚀，从而在钝化层上形成了保护图形，该保护图形设置在钝化层上，且与钝化层为一体结构，相比现有的工艺技术，仅仅在完成钝化层后增加了一道刻蚀工艺，工艺简单，易于实现。

图 5 是本公开实施例提供的另一种阵列基板的制造方法的流程图，在图 5 所示实施例中，保护图形设置在钝化层上。如图 5 所示，该制造方法包括：

S51：提供一衬底基板。

具体地，步骤 S51 可以参照前述的步骤 S21，此处不再详述。

S52：在衬底基板上制作栅极金属层。

具体地，步骤 S52 可以参照前述的步骤 S22，此处不再详述。

S53：依次在栅极金属层上形成栅极绝缘层、有源层、源漏极层和钝化层。

具体地，步骤 S53 可以参照前述的步骤 S43，此处不再详述。

如图 5a 所示，在衬底基板 410 上依次形成有包括栅线 421 和公共电极信号线 422 的栅极金属层、栅极绝缘层 430、钝化层 460。

S54：在钝化层上形成一层保护材料。

可选地，保护材料可以为金属、非晶硅、氮化硅、树脂、光刻胶中的一种。保护材料可以根据需要选择，以适应不同的工艺要求。

根据保护材料的不同，选择合适的方式在钝化层上形成一层保护材料。例如，保护材料为金属材料时，可以采用溅射的方式形成一层保护材料，保护材料为氮化硅时，可以采用 PECVD 的方式形成一层保护材料，当保护材料为光刻胶或树脂时，可以采用涂覆的方式形成一层保护材料。

S55：去除部分保护材料，以形成保护图形。

如图 5b 所示，当保护材料为金属、非晶硅、氮化硅时，可以通过构图工艺去除部分保护材料，从而在钝化层 460 上形成保护图形 490。当保护材料为光刻胶或树脂时，则可以通过曝光和显影的方式去除部分保护材料而形成保护图形 490。

S56：制作过孔。

具体地，步骤 S56 可以参照前述的步骤 S27，此处不再详述，形成有过孔并最终沉积 ITO 后得到的阵列基板的结构形式可以参见图 2j。

通过图 5 所示的制造方式制造阵列基板，在制作钝化层之后，增加了一道材料的形成工艺和材料的去除工艺，通过去除部分形成的保护材料，从而在钝化层上形成了保护图形，该保护图形的材料与钝化层的材料可能相同也可能不同，相比现有的工艺技术，对完成钝化层之前的步骤没有做出改变，方便新工艺技术与现有工艺技术的结合。

图 6 是本公开实施例提供的另一种阵列基板的制造方法的流程图，在图 6 所示实施例中，保护图形设置在栅极绝缘层上，且与栅极绝缘层为一体结构。如图 6 所示，该制造方法包括：

S61：提供一衬底基板。

具体地，步骤 S61 可以参照前述的步骤 S21，此处不再详述。

S62：在衬底基板上制作栅极金属层。

具体地，步骤 S62 可以参照前述的步骤 S22，此处不再详述。

S63：在栅极金属层上形成栅极绝缘层。

具体地，步骤 S63 可以参照前述的步骤 S23，此处不再详述。

如图 6a 所示，可以采用构图工艺在衬底基板 510 上依次形成有包括栅线 521 和公共电极信号线 522 的栅极金属层、栅极绝缘层 530。

S64：刻蚀栅极绝缘层，以在栅极绝缘层上形成保护图形。

如图 6b 所示，可以采用构图工艺去除部分的栅极绝缘层 530，从而在栅极绝缘层 530 上形成保护图形 531。

需要说明的是，为了确保在形成保护图形 531 后，栅极绝缘层 530 有足够的厚度，在步骤 S63 中，形成的栅极绝缘层 530 的厚度应大于步骤 S23 中形成的栅极绝缘层的厚度。

S65：在栅极绝缘层上依次形成有源层、源漏极层和钝化层。

具体地，有源层的形成过程可以参照前述的步骤 S33 中有源层的形成，源漏极层和钝化层的形成过程可以参照前述的步骤 S26，此处不再详述，形成钝化层 560 后的结构可以参照图 6b。

S66：制作过孔。

具体地，步骤 S66 可以参照前述的步骤 S27，此处不再详述，形成有过孔并最终沉积 ITO 后得到的阵列基板的结构形式可以参见图 2j。

通过图 6 所示的制造方式制造阵列基板，在制作栅极绝缘层时，增加了一道刻蚀工艺，对栅极绝缘层材料进行刻蚀，从而形成与栅极绝缘层一体的保护图形，对现有工艺的改变较少，便于实施。

图 7 是本公开实施例提供的另一种阵列基板的制造方法的流程图，如图 7 所示，该制造方法包括：

S71：提供一衬底基板。

具体地，步骤 S71 可以参照前述的步骤 S21，此处不再详述。

S72：在衬底基板上制作栅极金属层。

具体地，步骤 S72 可以参照前述的步骤 S22，此处不再详述。

如图 7a 所示, 可以采用构图工艺衬底基板 610 上形成有包括栅线 621 和公共电极信号线 622 的栅极金属层 620。

S73: 在栅极金属层上形成一层保护材料。

可选地, 保护材料可以为绝缘材料, 例如可以为氮化硅、树脂、光刻胶中的一种。保护材料为绝缘材料, 可以避免栅线通过保护图形与后续步骤中形成的公共电极电连接。保护材料可以根据需要选择, 以适应不同的工艺要求。

如图 7b 所示, 在形成有栅极金属层 620 的衬底基板 610 上形成有保护材料 690。根据保护材料的不同, 选择合适的方式在钝化层上形成一层保护材料 690。例如, 保护材料 690 为氮化硅时, 可以采用 PECVD 的方式形成一层保护材料, 保护材料 690 为光刻胶时, 则可以采用光刻胶的涂覆方式形成一层保护材料。

S74: 去除部分保护材料, 以形成保护图形。

如图 7c, 去除部分保护材料 690, 从而形成保护图形 691。根据保护材料 690 的不同, 选择相应的工艺方式去除部分保护材料 690, 例如, 当保护材料为氮化硅时, 可以采用构图工艺 (例如光刻工艺) 去除部分保护材料 690, 从而在栅极金属层 620 上形成保护图形 691, 当保护材料 690 为光刻胶或树脂时, 可以通过曝光和显影的方式去除部分保护材料 690 而形成保护图形 691。

S75: 在保护图形和栅极金属层上依次形成栅极绝缘层、有源层、源漏极层和钝化层。

具体地, 步骤 S75 可以参照前述的步骤 S43, 此处不再详述, 形成钝化层 660 后的结构可以参照图 7d, 由于保护图形 691 形成在紧邻栅极金属层的位置, 使得在保护图形 691 之后形成的栅极绝缘层 630 和钝化层 660 对应保护图形 691 的位置会形成一定凸起。

S76: 制作过孔。

具体地, 步骤 S76 可以参照前述的步骤 S27, 此处不再详述, 形成有过孔 670 并最终沉积 ITO680 后得到的阵列基板的结构形式可以参见图 7e, 由图 7e 可知, 在本实施例中, 保护图形 691 至少有部分残留, 以隔离过孔 670 和栅线 621。

通过图 7 所示的制造方式制造阵列基板，在制作栅极金属层之后，增加了一道材料的形成工艺和去除工艺，通过去除部分形成的保护材料，从而在栅极金属层上形成了保护图形。

可选地，保护图形在衬底基板的正投影可以为圆形或多边形。在本公开的实现方式中，圆形和多边形均可以作为保护图形的形状，圆形和多边形相比其他异形结构更容易制作，可以降低工艺难度，提高生产效率。

需要说明的是，对于本公开的任一实施方式，保护图形的厚度都可以为栅极绝缘层厚度的一半，若保护图形厚度过薄，则仍可能出现栅线露出的情况，若保护图形过厚，则会较大的增加阵列基板的厚度。确保保护图形有足够的厚度来防止栅极绝缘层在形成过孔的过程中被刻透而露出栅线，或是避免保护图形自身被刻透（如图 7d 中保护图形紧邻栅线设置时）而露出栅线。

本公开实施例还提供了一种阵列基板，该阵列基板采用图 1~7 任一幅图所示的制造方法制成。

本公开的实施例提供了一种阵列基板的制造方法和阵列基板，由此例如防止在制作用于连接公共电极信号线和公共电极的过孔时，可能出现栅线与公共电极信号线短接的问题。

通过在栅线上方形成保护图形，并且使得保护图形在衬底基板上的正投影和过孔在衬底基板上的正投影部分重叠，且保护图形在所述衬底基板上的正投影和栅线在衬底基板上的正投影部分重叠，从而在形成过孔时会刻蚀掉至少部分的保护图形，在形成过孔的过程中，需要刻透栅线上方的钝化层、保护图形和栅极绝缘层才会使栅线露出，而公共电极信号线上方没有设置保护图形，在形成过孔的过程中，只需要刻透公共电极信号线上方的钝化层和栅极绝缘层就会将公共电极信号线露出，因此在形成过孔的过程中可以保证在公共电极信号线露出时，栅线不露出，从而可以避免栅线与公共电极信号线出现短接。

尽管按照一定的顺序描述了本公开实施例的上述阵列基板的制造方法的步骤，但是本公开实施例的阵列基板的制造方法的步骤不限于上述的顺序。本公开实施例的阵列基板的制造方法的步骤可以以任

何合适的顺序执行。

以上实施方式仅用于说明本发明，而并非对本发明的限制，有关技术领域的普通技术人员，在不脱离本发明的精神和范围的情况下，还可以做出各种变化和变型，因此所有等同的技术方案也属于本发明的范畴，本发明的专利保护范围应由权利要求限定。

权 利 要 求 书

1、一种阵列基板的制造方法，所述制造方法包括：

提供一衬底基板；

在所述衬底基板上制作栅极金属层，所述栅极金属层包括栅线和公共电极信号线，所述栅线和公共电极信号线间隔设置；

在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形；

在所述钝化层和所述栅极绝缘层上开设用于连接所述公共电极信号线的过孔；

其中，所述保护图形在所述衬底基板上的正投影和所述过孔在所述衬底基板上的正投影部分重叠，所述保护图形在所述衬底基板上的正投影和所述栅线在所述衬底基板上的正投影部分重叠。

2、根据权利要求1所述的制造方法，其中，

所述保护图形与所述有源层同层设置，或者，所述保护图形与所述源漏极层同层设置，或者，所述保护图形设置在所述钝化层上，或者，所述保护图形设置在所述栅极金属层上。

3、根据权利要求1所述的制造方法，其中，

所述保护图形与所述有源层同层设置，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上形成所述栅极绝缘层；

在所述栅极绝缘层上形成有源层材料；

刻蚀所述有源层材料，以形成所述有源层和所述保护图形；

在所述有源层和所述保护图形上依次形成所述源漏极层和所述钝化层。

4、根据权利要求1所述的制造方法，其中，

所述保护图形与所述源漏极层同层设置，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上依次形成所述栅极绝缘层、所述有源层；

在所述有源层上形成源漏极层材料；

刻蚀所述源漏极层材料，以形成所述源漏极层和所述保护图形；
在所述源漏极层和所述保护图形上形成所述钝化层。

5、根据权利要求1所述的制造方法，其中，

所述保护图形设置在所述钝化层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

依次在所述栅极金属层上形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层；

刻蚀所述钝化层，以在所述钝化层上形成所述保护图形。

6、根据权利要求1所述的制造方法，其中，

所述保护图形设置在所述钝化层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

依次在所述栅极金属层上形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层；

在所述钝化层上形成一层保护材料；

去除部分所述保护材料，以形成所述保护图形。

7、根据权利要求6所述的制造方法，其中，

所述保护材料为金属、非晶硅、氮化硅、树脂、光刻胶中的一种。

8、根据权利要求1所述的制造方法，其中，

所述保护图形设置在所述栅极金属层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形，包括：

在所述栅极金属层上形成栅极绝缘层；

刻蚀所述栅极绝缘层，以在所述栅极绝缘层上形成所述保护图形；

在具有所述保护图形的所述栅极绝缘层上依次形成所述有源层、所述源漏极层和所述钝化层。

9、根据权利要求1所述的制造方法，其中，

所述保护图形设置在所述栅极金属层上，所述在所述栅极金属层上形成栅极绝缘层、有源层、源漏极层、钝化层和保护图形包括：

在所述栅极金属层上形成一层保护材料；

去除部分所述保护材料，以形成所述保护图形；

在所述保护图形和所述栅极金属层上依次形成所述栅极绝缘层、所述有源层、所述源漏极层和所述钝化层。

10、根据权利要求9所述的制造方法，其中，
所述保护材料为氮化硅、树脂、光刻胶中的一种。

11、根据权利要求1~10任一项所述的制造方法，其中，
所述保护图形在所述衬底基板的正投影为圆形或多边形。

12、根据权利要求1~10任一项所述的制造方法，其中，
所述保护图形的厚度为所述栅极绝缘层厚度的一半。

13、根据权利要求1~10中任一项所述的制造方法，其中，
所述保护图形在所述衬底基板上的正投影在与所述栅线垂直的方向上远离所述栅线的一侧与所述过孔在所述衬底基板上的正投影部分重叠，并且所述保护图形在所述衬底基板上的正投影在与所述栅线垂直的方向上靠近所述栅线的另一侧与所述栅线在所述衬底基板上的正投影部分重叠。

14、根据权利要求1~13中任一项所述的制造方法，其中，
在与所述栅线垂直的方向上，所述保护图形在所述衬底基板上的正投影的中心与所述过孔在所述衬底基板上的正投影的中心对齐。

15、根据权利要求1~14中任一项所述的制造方法，其中，
所述保护图形在所述衬底基板上的正投影的在所述栅线的纵向方向上的最大尺寸大于所述过孔在所述衬底基板上的正投影的在所述栅线的纵向方向上的最大尺寸。

16、一种阵列基板，其中，
所述阵列基板采用权利要求1~15任一项所述的制造方法制成。

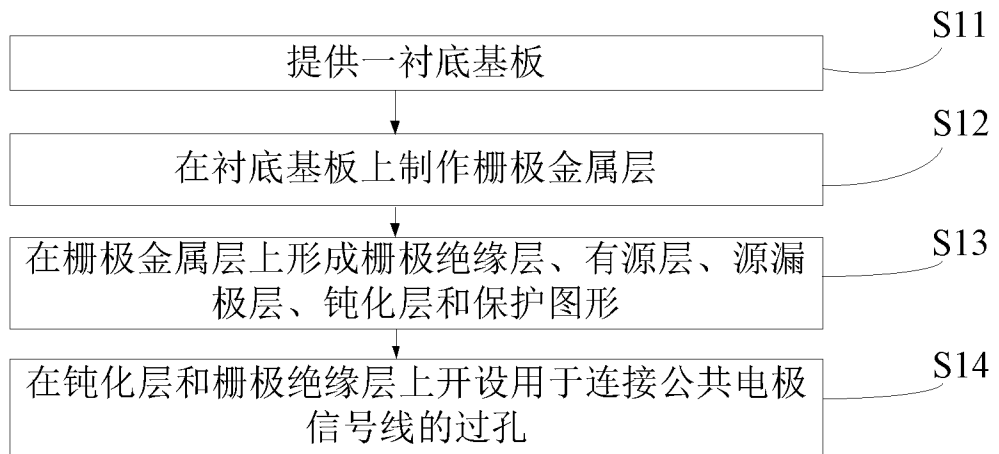


图 1

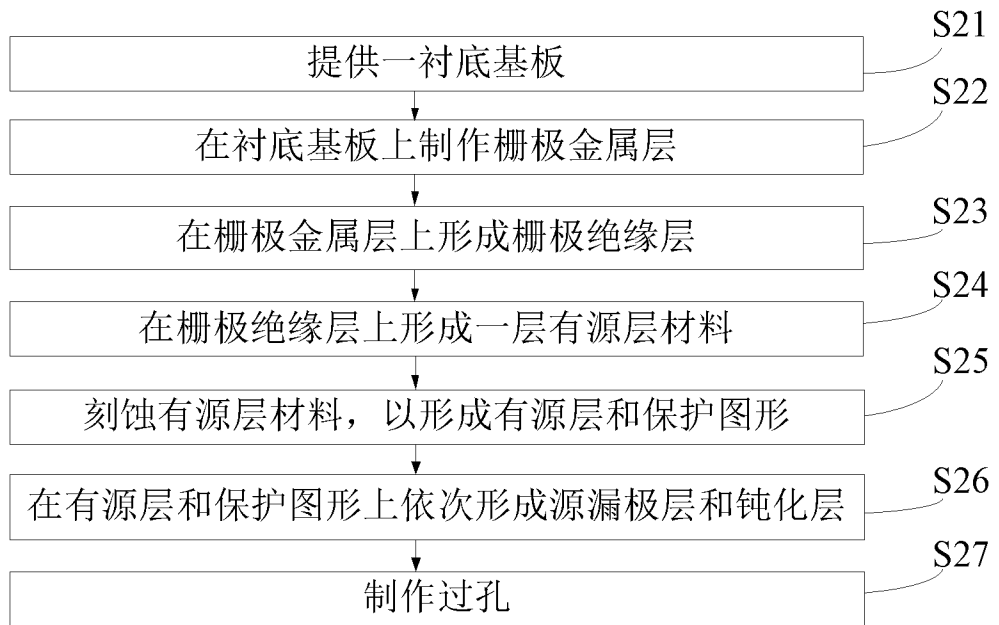


图 2

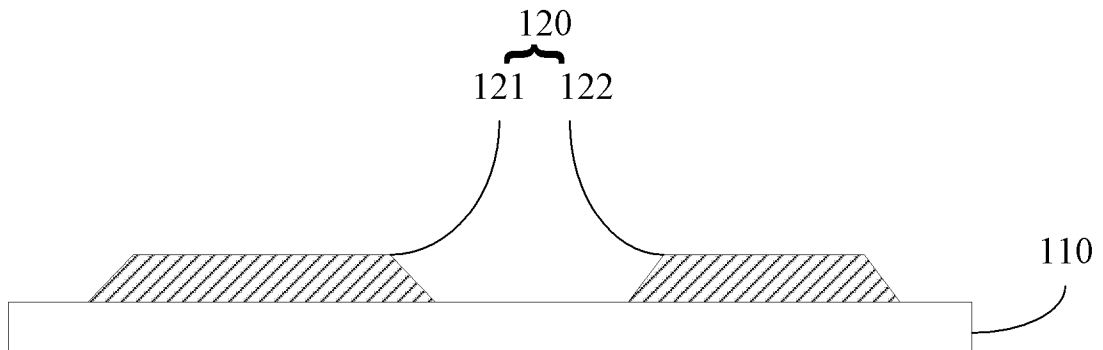


图 2a

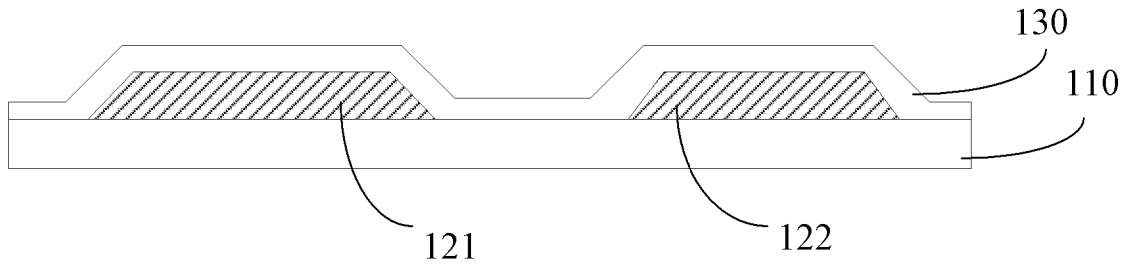


图 2b

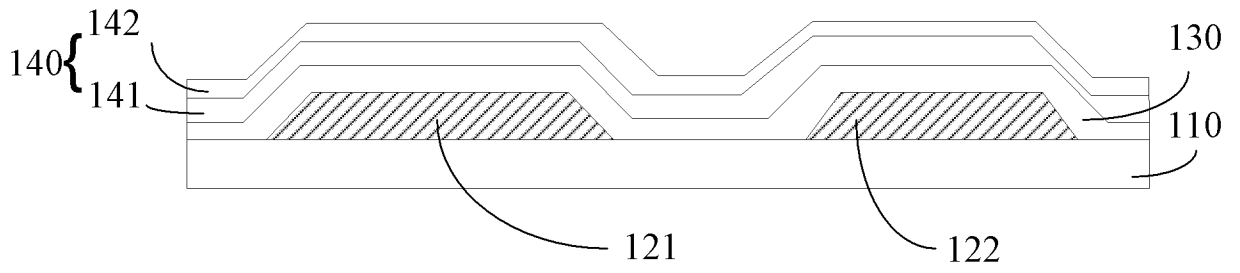


图 2c

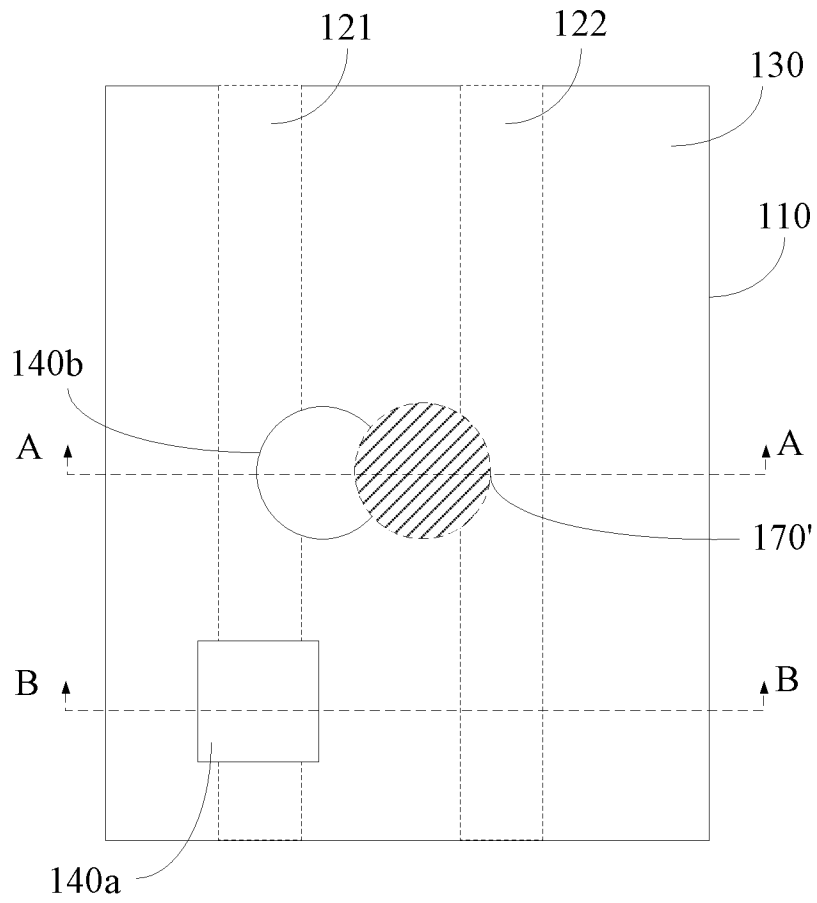


图 2d

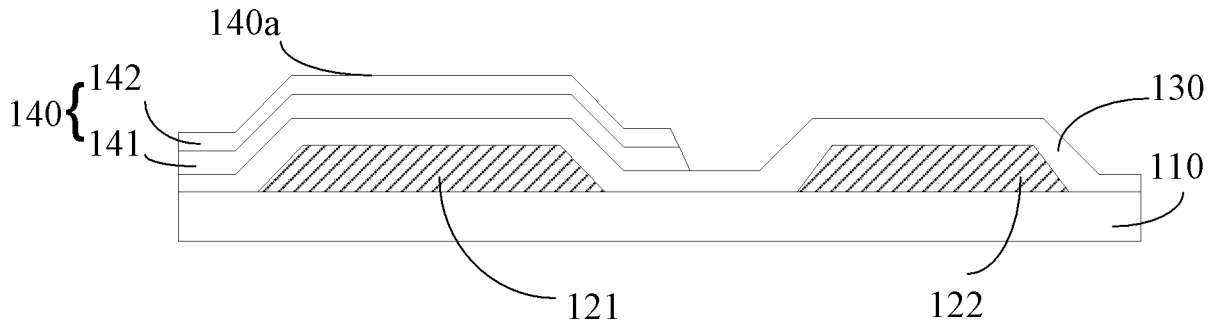


图 2e

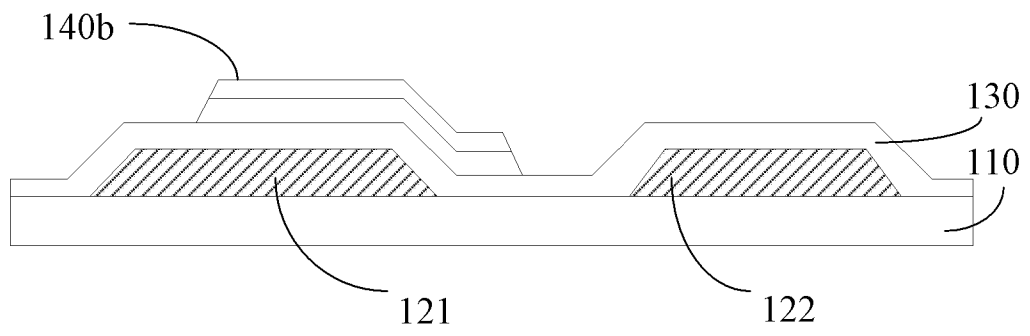


图 2f

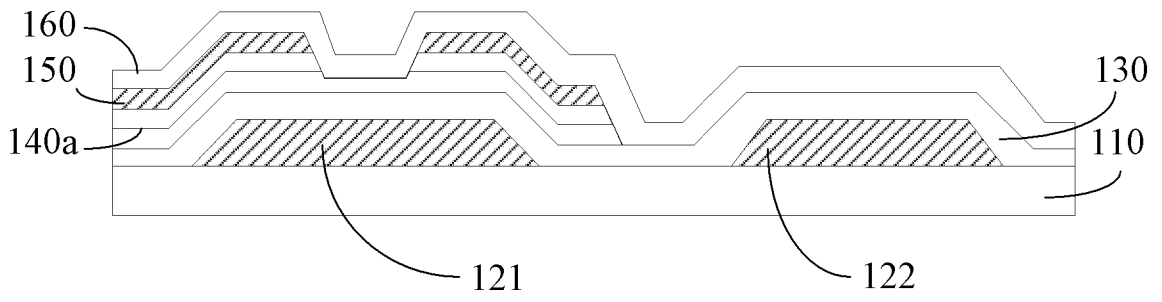


图 2g

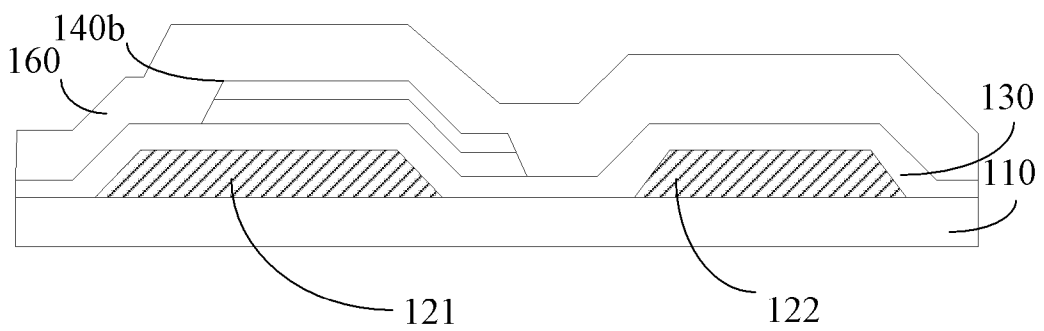


图 2h

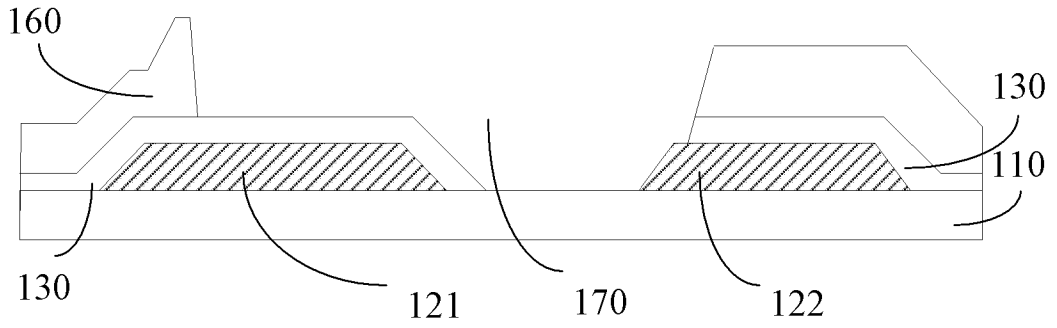


图 2i

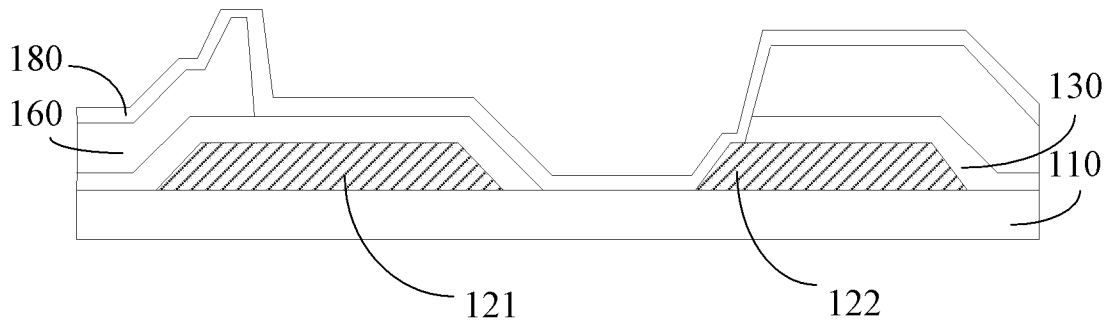


图 2j

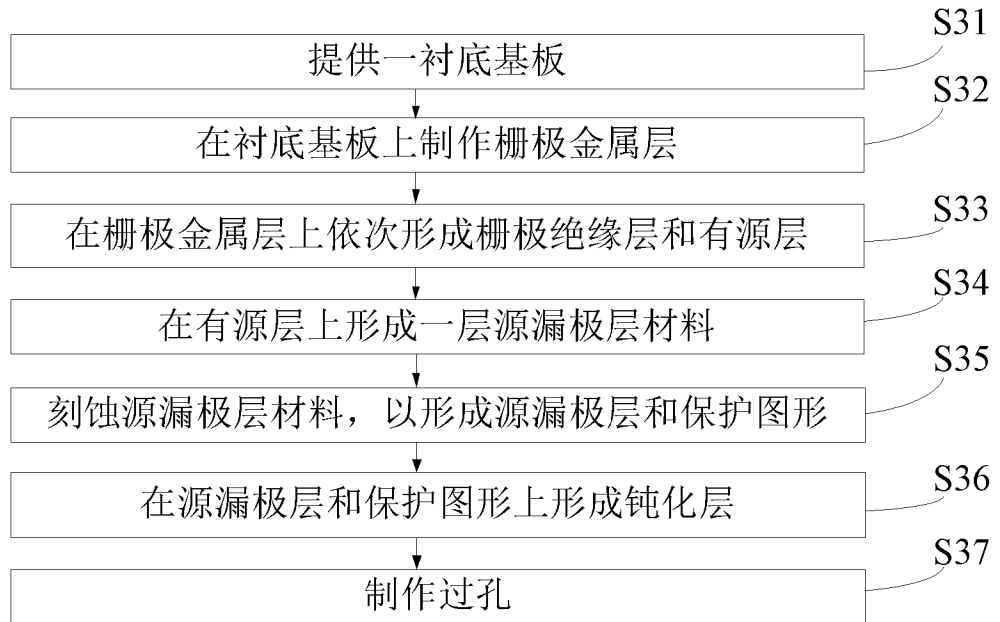


图 3

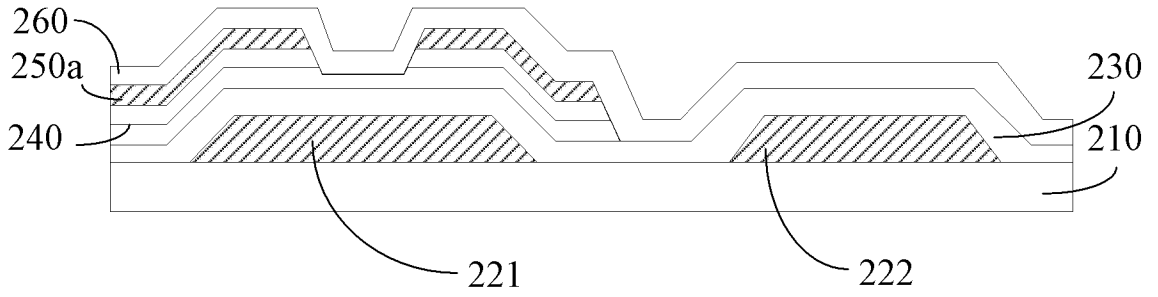


图 3a

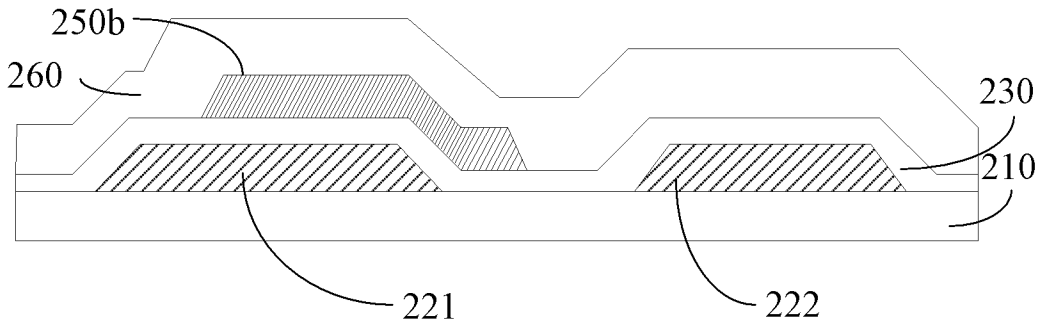


图 3b

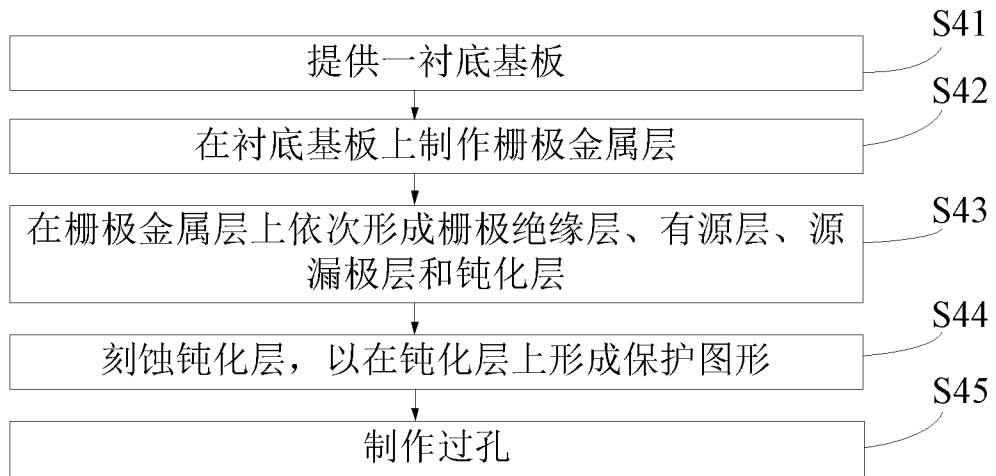


图 4

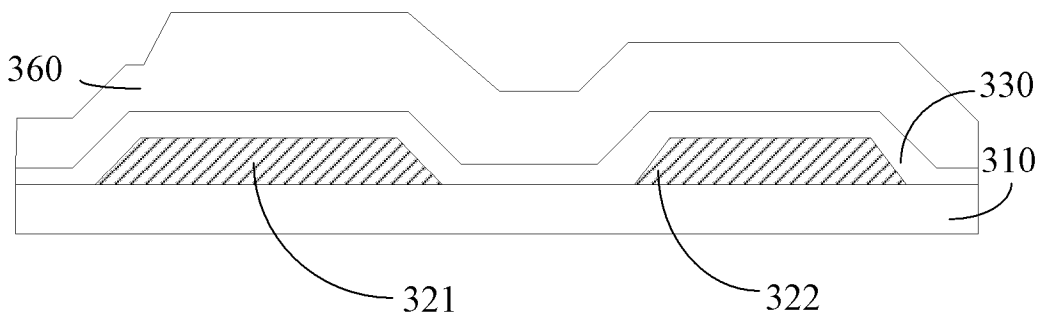


图 4a

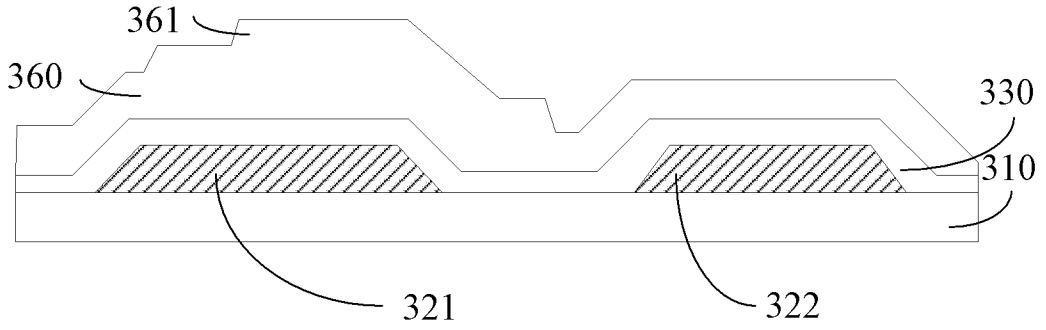


图 4b

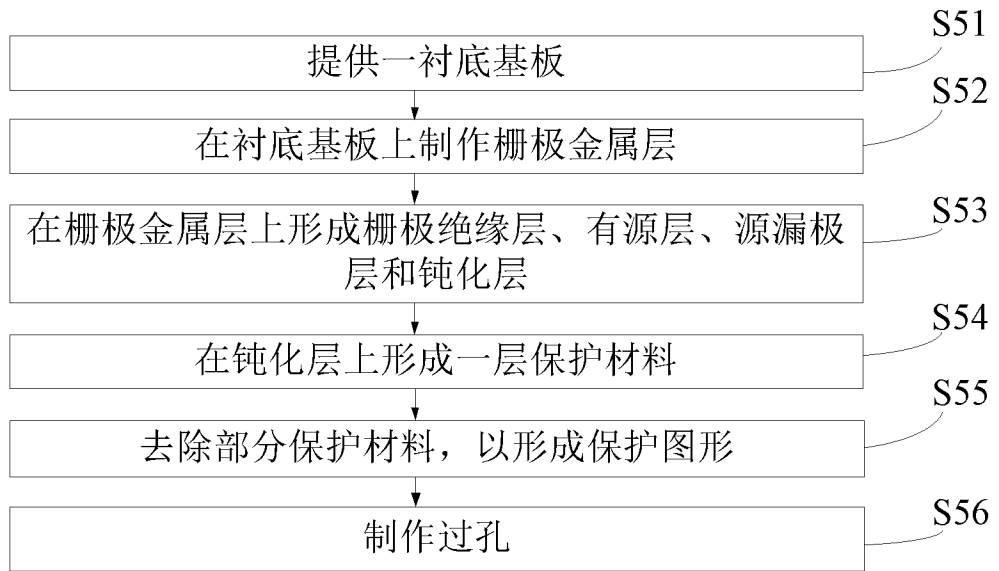


图 5

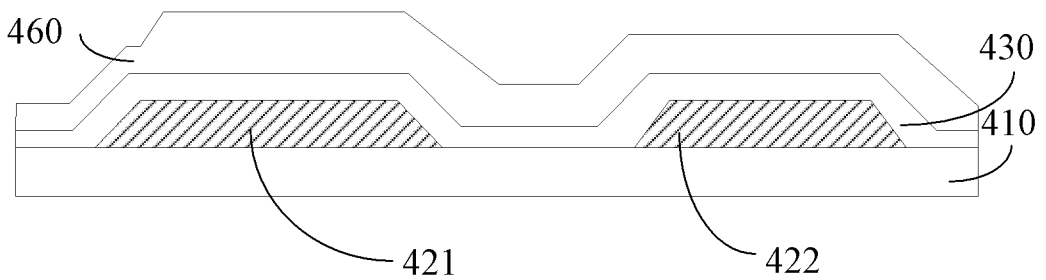


图 5a

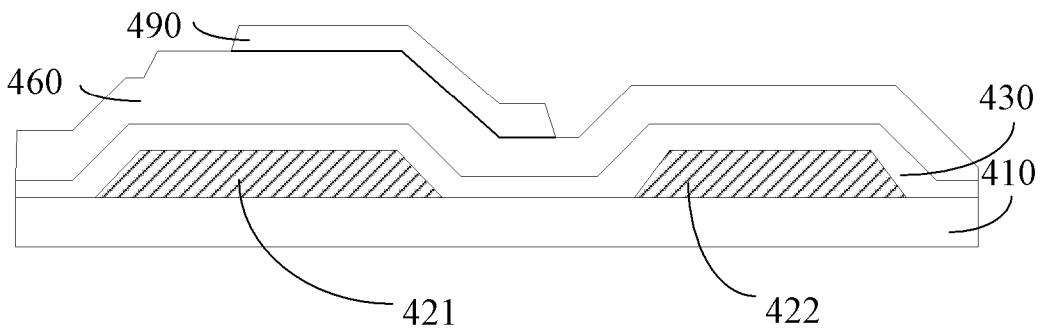


图 5b

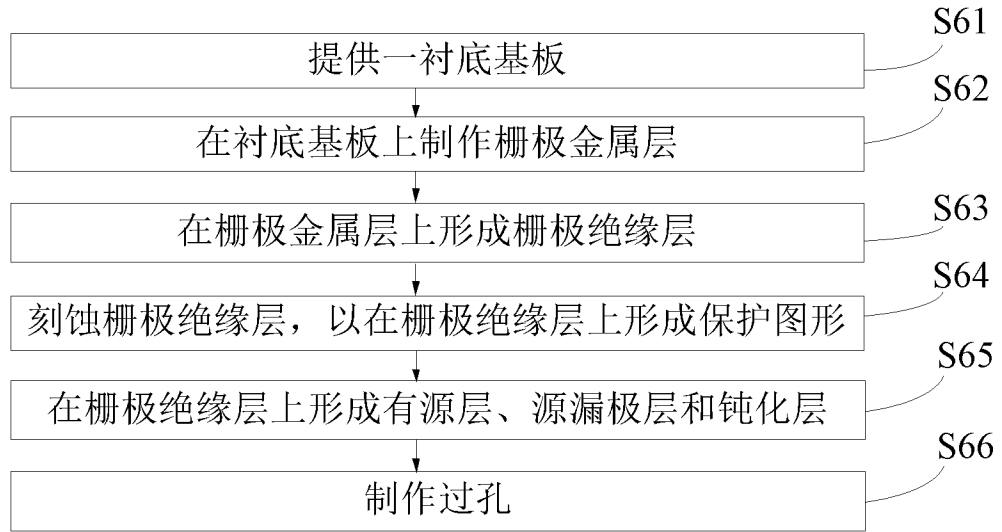


图 6

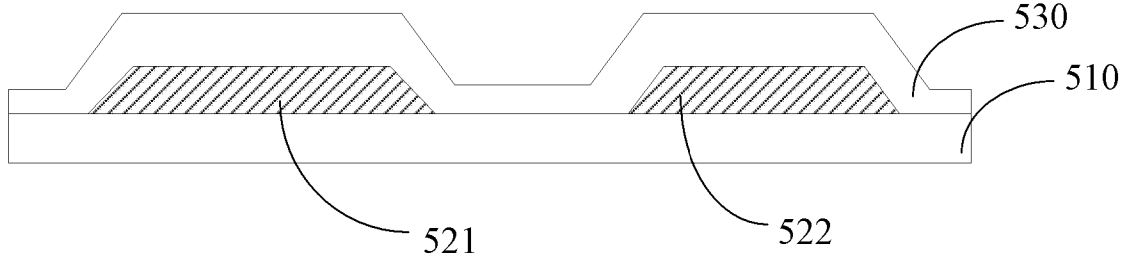


图 6a

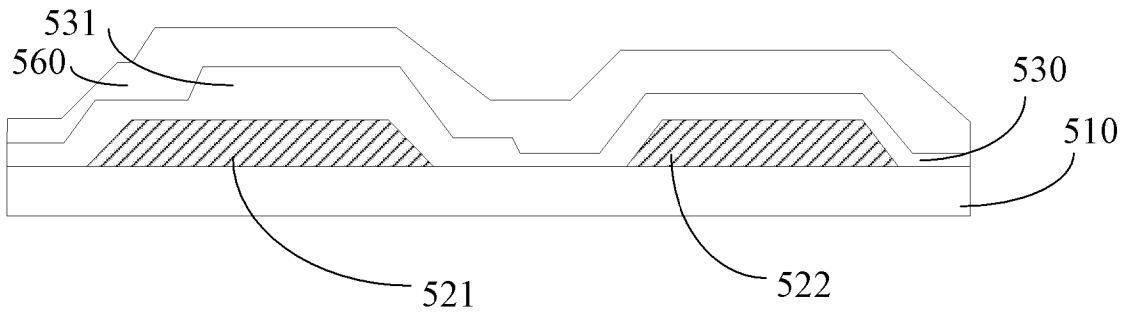


图 6b

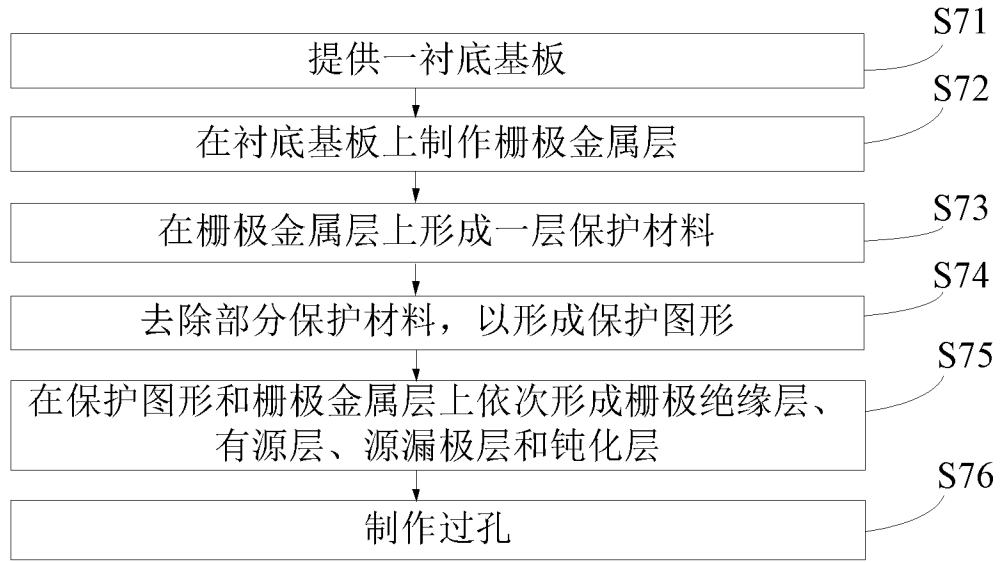


图 7

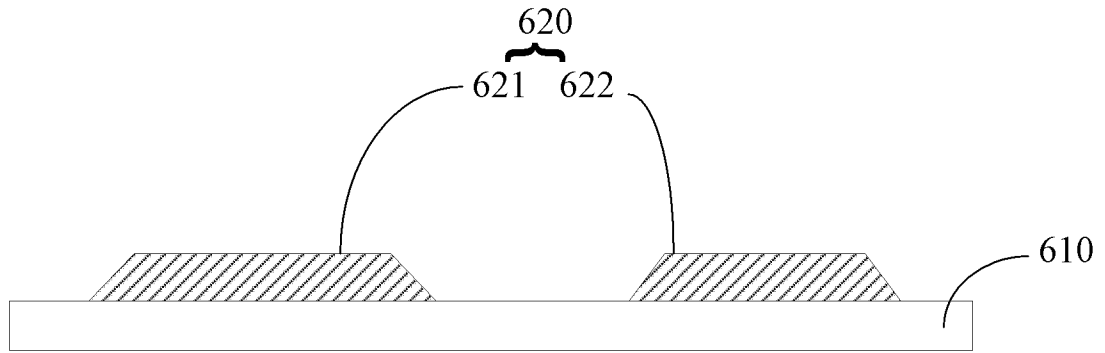


图 7a

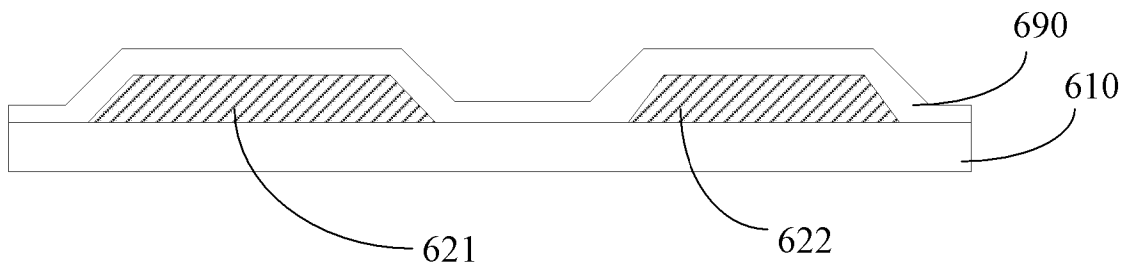


图 7b

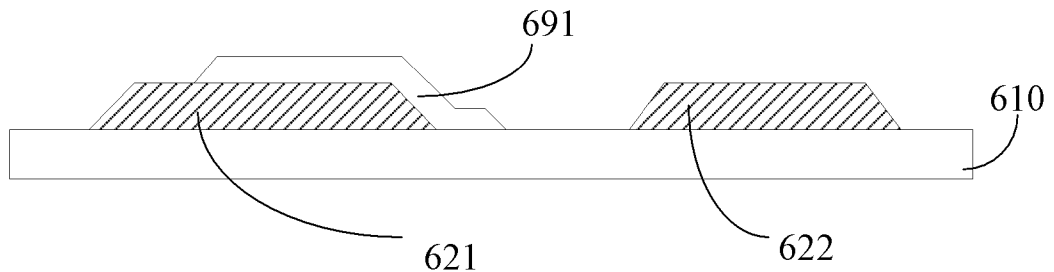


图 7c

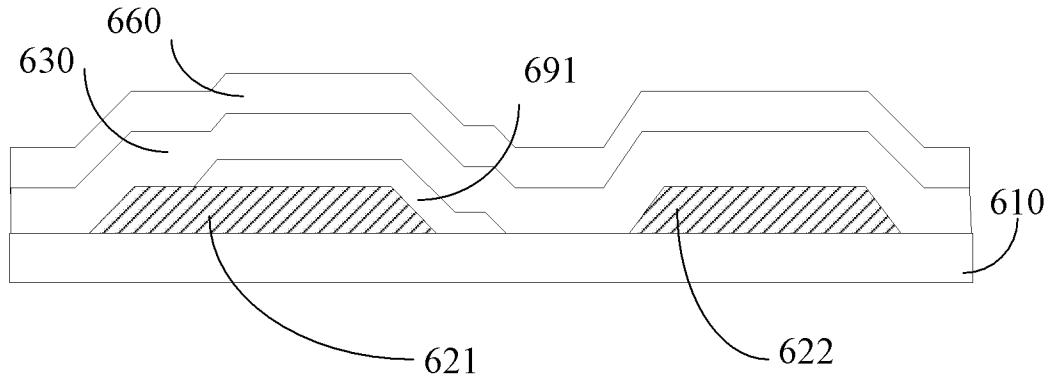


图 7d

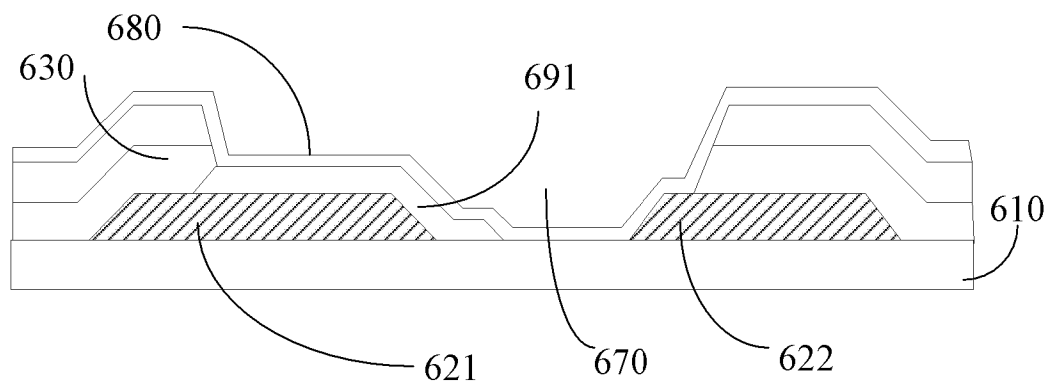


图 7e

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2017/102280

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/02 (2006.01) i; H01L 27/12 (2006.01) i; H01L 21/77 (2017.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, SIPOABS, DWPI, CNKI: 阵列基板, 薄膜晶体管, 栅电极, 信号线, 有源层, 源漏, 保护层, 钝化层, 过孔, 投影, array substrate, thin film transistor, gate electrode, signal line, active layer, source, drain, protect layer, passivation layer, via, projection

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106876387 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 20 June 2017 (20.06.2017), description, paragraphs [0076]-[0195], and figures 1-7e	1-16
Y	CN 102651340 A (BOE TECHNOLOGY GROUP CO., LTD.) 29 August 2012 (29.08.2012), description, paragraphs [0039]-[0056], and figures 1-7	1-16
Y	CN 102403311 A (BEIJING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) 04 April 2012 (04.04.2012), description, paragraphs [0075]-[0082], and figure 5	1-16
A	US 6569717 B1 (SEIKO EPSON CORPORATION) 27 May 2003 (27.05.2003), entire document	1-16

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

Date of the actual completion of the international search

18 November 2017

Date of mailing of the international search report

06 December 2017

Name and mailing address of the ISA
 State Intellectual Property Office of the P. R. China
 No. 6, Xitucheng Road, Jimenqiao
 Haidian District, Beijing 100088, China
 Facsimile No. (86-10) 62019451

Authorized officer

YANG, Wanli

Telephone No. (86-10) 62412091

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/102280

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106876387 A	20 June 2017	None	
CN 102651340 A	29 August 2012	US 9647013 B2	09 May 2017
		US 2014154823 A1	05 June 2014
		WO 2013097554 A1	04 July 2013
		CN 102651340 B	19 November 2014
CN 102403311 A	04 April 2012	CN 102403311 B	15 July 2015
US 6569717 B1	27 May 2003	JP 2000312006 A	07 November 2000
		JP 3399432 B2	21 April 2003

国际检索报告

国际申请号

PCT/CN2017/102280

<p>A. 主题的分类</p> <p>H01L 27/02(2006.01)i; H01L 27/12(2006.01)i; H01L 21/77(2017.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS, CNTXT, SIPOABS, DWPI, CNKI: 阵列基板, 薄膜晶体管, 栅电极, 信号线, 有源层, 源漏, 保护层, 钝化层, 过孔, 投影, array substrate, thin film transistor, gate electrode, signal line, active layer, source, drain, protect layer, passivation layer, via, projection</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 106876387 A (京东方科技集团股份有限公司 等) 2017年 6月 20日 (2017 - 06 - 20) 说明书第[0076]-[0195]段, 附图1-7e</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>CN 102651340 A (京东方科技集团股份有限公司) 2012年 8月 29日 (2012 - 08 - 29) 说明书第[0039]-[0056]段, 附图1-7</td> <td>1-16</td> </tr> <tr> <td>Y</td> <td>CN 102403311 A (北京京东方光电科技有限公司) 2012年 4月 4日 (2012 - 04 - 04) 说明书第[0075]-[0082]段, 附图5</td> <td>1-16</td> </tr> <tr> <td>A</td> <td>US 6569717 B1 (SEIKO EPSON CORP) 2003年 5月 27日 (2003 - 05 - 27) 全文</td> <td>1-16</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 106876387 A (京东方科技集团股份有限公司 等) 2017年 6月 20日 (2017 - 06 - 20) 说明书第[0076]-[0195]段, 附图1-7e	1-16	Y	CN 102651340 A (京东方科技集团股份有限公司) 2012年 8月 29日 (2012 - 08 - 29) 说明书第[0039]-[0056]段, 附图1-7	1-16	Y	CN 102403311 A (北京京东方光电科技有限公司) 2012年 4月 4日 (2012 - 04 - 04) 说明书第[0075]-[0082]段, 附图5	1-16	A	US 6569717 B1 (SEIKO EPSON CORP) 2003年 5月 27日 (2003 - 05 - 27) 全文	1-16
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
PX	CN 106876387 A (京东方科技集团股份有限公司 等) 2017年 6月 20日 (2017 - 06 - 20) 说明书第[0076]-[0195]段, 附图1-7e	1-16															
Y	CN 102651340 A (京东方科技集团股份有限公司) 2012年 8月 29日 (2012 - 08 - 29) 说明书第[0039]-[0056]段, 附图1-7	1-16															
Y	CN 102403311 A (北京京东方光电科技有限公司) 2012年 4月 4日 (2012 - 04 - 04) 说明书第[0075]-[0082]段, 附图5	1-16															
A	US 6569717 B1 (SEIKO EPSON CORP) 2003年 5月 27日 (2003 - 05 - 27) 全文	1-16															
国际检索实际完成的日期	国际检索报告邮寄日期																
2017年 11月 18日	2017年 12月 6日																
ISA/CN的名称和邮寄地址	受权官员																
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	杨万里																
传真号 (86-10)62019451	电话号码 (86-10)62412091																

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/102280

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106876387	A	2017年 6月 20日	无			
CN	102651340	A	2012年 8月 29日	US	9647013	B2	2017年 5月 9日
				US	2014154823	A1	2014年 6月 5日
				WO	2013097554	A1	2013年 7月 4日
				CN	102651340	B	2014年 11月 19日
CN	102403311	A	2012年 4月 4日	CN	102403311	B	2015年 7月 15日
US	6569717	B1	2003年 5月 27日	JP	2000312006	A	2000年 11月 7日
				JP	3399432	B2	2003年 4月 21日

表 PCT/ISA/210 (同族专利附件) (2009年7月)