

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4529181号
(P4529181)

(45) 発行日 平成22年8月25日(2010.8.25)

(24) 登録日 平成22年6月18日(2010.6.18)

(51) Int.Cl. F I
H02M 3/28 (2006.01) H02M 3/28 H

請求項の数 2 (全 10 頁)

(21) 出願番号	特願2005-258378 (P2005-258378)	(73) 特許権者	390013723 TDKラムダ株式会社 東京都中央区日本橋一丁目13番1号
(22) 出願日	平成17年9月6日(2005.9.6)	(74) 代理人	100080089 弁理士 牛木 護
(65) 公開番号	特開2007-74812 (P2007-74812A)	(72) 発明者	村山 寿市 東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内
(43) 公開日	平成19年3月22日(2007.3.22)	(72) 発明者	渡辺 満 東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内
審査請求日	平成19年5月18日(2007.5.18)	(72) 発明者	松本 達也 東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

入力電源の両端間に、主トランスの入力巻線と複数の主スイッチング素子とをカスケード接続してなる回路を備えた多石式のコンバータと、前記主トランスの電力伝送巻線に接続され、整流スイッチ素子および転流スイッチ素子を有する同期整流回路とを備え、前記主トランスに設けた制御巻線から発生する制御信号により、前記主スイッチング素子に同期して少なくとも前記転流スイッチ素子をオン・オフ動作させるスイッチング電源装置において、前記電力伝送巻線から電圧が発生できない区間中に、前記制御巻線から発生させる電圧によって前記転流スイッチ素子をオフに切替えることができるように、前記複数の主スイッチング素子のオンタイミングをずらすパルス駆動信号を、当該複数の主スイッチング素子に与える遅延回路を備え、前記各主スイッチング素子は、ドレイン - ソース間に寄生容量が等価的に接続されることを特徴とするスイッチング電源装置。

10

【請求項2】

前記電力伝送巻線から電圧が発生するまで、前記転流スイッチ素子をオフ状態に保持する保持回路を備えたことを特徴とする請求項1記載のスイッチング電源装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、複数の主スイッチング素子を有する例えばカスケードフォワード型やブリッジ型などの多石式コンバータと、整流スイッチ素子および転流スイッチ素子を有する同

20

期整流回路とを備えたスイッチング電源装置に関する。

【背景技術】

【0002】

従来の多石式コンバータを備えたスイッチング電源装置として、例えば特許文献1には、ハイサイド側の主スイッチング素子と、主トランスの一次巻線と、ローサイド側の主スイッチング素子との直列回路を、入力電圧ラインの両端間に接続し、双方の主スイッチング素子を同時にオン・オフさせることで、主トランスの二次側から所望の出力電圧を得る回路構成が開示されている。

【0003】

図7は、こうしたカスケードフォワードタイプの多石式コンバータを備えたスイッチング電源装置の一例を示すものである。同図において、1は直流電源、2は直流電源1からの入力電圧 V_i が印加されるフォワードコンバータである。このコンバータ2は、各々独立した一次巻線3A、二次巻線3Bおよび制御巻線3Cを磁気結合してなる主トランス3と、前記一次巻線3Aの一端(ドット側端子)と他端(非ドット側端子)に各々接続されるMOS型FET4、5と、回生ダイオード6、7とを備えている。主トランス3の一次側では、第1の主スイッチング素子であるMOS型FET4と、主トランス3の一次巻線3Aと、第2の主スイッチング素子であるMOS型FET5とをカスケード接続してなる直列回路が、直流電源1の両端間に接続されると共に、直流電源1の一端(正極)とMOS型FET5のドレインとの間に、一方の回生ダイオード6が接続され、MOS型FET4のソースと直流電源1の他端(負極)との間に、他方の回生ダイオード7が接続される。なお、各MOS型FET4、5のドレイン-ソース間には、当該MOS型FET4、5の寄生容量に相当するコンデンサ8、9が等価的に接続される。そして、MOS型FET4、5を同時にオン・オフすることにより、主トランス3の一次巻線3Aに入力電圧 V_i を断続的に印加し、二次巻線3Bおよび制御巻線3Cに一次巻線3Aとの巻線比に見合う誘起電圧を発生させる構成となっている。

【0004】

主トランス3の二次巻線3Bには、整流スイッチ素子であるMOS型FET11と、転流スイッチ素子である別なMOS型FET12とからなる同期整流回路13が接続される。各MOS型FET11、12のドレイン-ソース間には、等価的にボディダイオード14、15が逆並列接続され、ここでは二次巻線3Bの一端(ドット側端子)にMOS型FET11のソースが接続され、このMOS型FET11のドレインが別なMOS型FET12のドレインに接続されると共に、MOS型FET12のソースが二次巻線3Bの他端(非ドット側端子)に接続される。

【0005】

一方、主トランス3の制御巻線3Cは、結合コンデンサ21を介してドライブトランス22の一次巻線22Aが接続される。ドライブトランス22は、その出力側に2つの二次巻線22B、22Cを備えており、一方の二次巻線22Bに誘起された電圧は、ドライブ回路24を經由してMOS型FET11のゲートに接続され、他方の二次巻線22Cに誘起された電圧は、ドライブ回路25を經由してMOS型FET12のゲートに接続される。これにより、各MOS型FET4、5のスイッチング動作に同期して、二次巻線3Bのドット側巻線に正極性の電圧が発生したときには、MOS型FET11がオンする一方でMOS型FET12がオフし、二次巻線3Bの非ドット側巻線に正極性の電圧が発生したときには、MOS型FET12がオンする一方でMOS型FET11がオフするような駆動信号を、各MOS型FET11、12のゲートに供給する構成となっている。

【0006】

前記同期整流回路13で得た整流出力は、MOS型FET12のドレイン-ソース間に直列接続したチョークコイル16およびコンデンサ17で平滑化される。コンデンサ17の両端には出力端子18、19が接続され、この出力端子18、19間に負荷(図示せず)を接続することで、出力電圧 V_o が負荷に供給される。

【0007】

10

20

30

40

50

31は、前記出力電圧 V_o を監視する出力電圧検出回路であり、ここから発生する検出電圧が、例えば制御用ICなどで構成される制御回路32に供給される。そして制御回路32は、出力電圧検出回路31からの検出電圧に基づき、出力電圧 V_o が安定化するように、MOS型FET4, 5のゲートに与えられるパルス駆動信号の導通幅を可変制御するようになっている。

【特許文献1】特開平7-177741号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

上記図7の回路構成では、制御回路32からのパルス駆動信号により、MOS型FET4, 5が同時にオンし、主トランス3の一次巻線3Aに入力電圧 V_i を印加すると、その瞬間に二次巻線3Bおよび制御巻線3Cの各ドット側端子に正極性の電圧が発生して、主トランス2の二次側にエネルギーを供給できる状態となる。ところが、制御巻線3CからMOS型FET11, 12に至る間には、時間遅れ要素であるドライブトランス22やドライブ回路24, 25が介在するため、電力伝送巻線である二次巻線3Bからのエネルギー伝送が開始した瞬間に、各MOS型FET11, 12のオン・オフを直ちに切替えることができない。そのため特に無負荷時において、MOS型FET12のオン期間中に、当該MOS型FET12のドレインからソースに向けて電流が流れている臨界状態で、MOS型FET4, 5がターンオンすると、各MOS型FET11, 12のオン・オフが切替わるまで、二次巻線3B

ボディダイオード14 MOS型FET12 二次巻線3Bの経路で短絡電流(貫通電流)が流れ、MOS型FET12のドレイン-ソース間に大きなサージ電圧が発生する問題を有していた。

【0009】

本発明は上記の課題に着目してなされたもので、電力伝送巻線からのエネルギー伝送が開始した直後に、主トランスの二次側で貫通電流が流れるのを簡単且つ確実に防止できるスイッチング電源装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明における請求項1のスイッチング電源装置は、入力電源の両端間に、主トランスの入力巻線と複数の主スイッチング素子とをカスケード接続してなる回路を備えた前記主トランスに設けた制御巻線から発生する制御信号により、前記主スイッチング素子に同期して少なくとも前記転流スイッチ素子をオン・オフ動作させるスイッチング電源装置において、前記電力伝送巻線から電圧が発生できない区間中に、前記制御巻線から発生させる電圧によって前記転流スイッチ素子をオフに切替えることができるように、前記複数の主スイッチング素子のオンタイミングをずらすパルス駆動信号を、当該複数の主スイッチング素子に与える遅延回路を備え、前記各主スイッチング素子は、ドレイン-ソース間に寄生容量が等価的に接続されている。

【0011】

この場合、既存のスイッチング電源装置の構成に遅延回路を付加して、複数存在する主スイッチング素子のオンタイミングを意図的にずらすだけで、電力伝送巻線から電圧が発生できない区間中に、転流スイッチ素子だけを先にターンオフさせることができる。従って、その後で電力伝送巻線から電圧が発生したときに、転流スイッチ素子を通して主トランスの二次側で貫通電流が流れるのを簡単且つ確実に防止でき、転流スイッチ素子のドレイン-ソース間に大きなサージ電圧が発生する問題を一掃することができる。

【0012】

本発明における請求項2のスイッチング電源装置は、前記電力伝送巻線から電圧が発生するまで、前記転流スイッチ素子をオフ状態に保持する保持回路を備えている。

【0013】

こうすれば、主スイッチング素子のオンタイミングをずらす区間が多少変動するなどしても、転流スイッチ素子を通して貫通電流が流れるのをより確実に防止できる。

【発明の効果】

【0014】

請求項1の発明によれば、電力伝送巻線からのエネルギー伝送が開始した直後に、主トランスの二次側で貫通電流が流れるのを簡単且つ確実に防止できる。

【0015】

請求項2の発明によれば、転流スイッチ素子を通して貫通電流が流れるのをより確実に防止できる。

【発明を実施するための最良の形態】

【0016】

以下、本発明におけるスイッチング電源装置の好ましい実施形態について、添付図面を参照しながら説明する。なお、従来例で示す図7と共通する部分には同一の符号を付し、重複する箇所の説明は極力省略する。

【0017】

図1は、本発明における新規なスイッチング電源装置を示したものである。ここでは、何れか一方のMOS型FET4, 5のオンタイミングを遅らせる遅延回路41が設けられている。本実施例では、ローサイドのMOS型FET5に対して、ハイサイドのMOS型FET4のオンタイミングが遅れるように、制御回路32からMOS型FET4に至るパルス駆動信号供給ラインに遅延回路41が接続されているが、逆にMOS型FET5のオンタイミングが遅れる位置に遅延回路41を接続してもよい。また、遅延回路41をどのような回路構成にするのかは、特に限定しない。

【0018】

また、図1の回路構成では、直流電源1の両端間にMOS型FET4, 主トランス3の一次巻線3A, およびMOS型FET5をカスケード接続したカスケードフォワードタイプのコンバータ2が示されているが、他の多石式フォワードコンバータにも適用可能である。一例として、図1に示す回生コンバータ6, 7に代えて、MOS型FETなどの主スイッチング素子を接続したフルブリッジコンバータとしてもよい。この場合も、前記MOS型FET4, 5について、何れか一方のMOS型FET4, 5のオンタイミングを遅らせる遅延回路41を設ければよい。さらには、主トランス3の一次巻線3Aと直列に、2個以上の主スイッチング素子がつながれている回路構成のコンバータであれば、どのようなものでも適用が可能である。

【0019】

別な変形例として、制御回路32の内部に遅延回路41を設け、この遅延回路41から、何れか一方のMOS型FET4, 5のオンタイミングを遅らせるパルス駆動信号を、各MOS型FET4, 5に供給する構成としてもよい。遅延回路41を設けた点以外は、従来例における図7の回路図と共通している。

【0020】

次に、図2および図3の各波形図に基づき、上記構成についてその作用を説明する。なお図2において、最上段にある波形は主トランス3の一次側にあるMOS型FET5のドレイン-ソース間電圧 V_{ds5} で、以下、主トランス3の二次巻線3Bに発生する電圧 V_{sec} , 整流スイッチ素子であるMOS型FET11のドレイン-ソース間電圧 V_{ds11} , 転流スイッチ素子であるMOS型FET12のドレイン-ソース間電圧 V_{ds12} をそれぞれ示している。また、 T_{on} はMOS型FET4, 5のオン期間, T_{off} はMOS型FET4, 5のオフ期間である。

【0021】

一方、図3は、各MOS型FET4, 5がターンオンする瞬間の各部の波形図であり、最上段から主トランス3の一次巻線3Aに発生する電圧 V_{pri} , 主トランス3の二次巻線3Bを流れる電流 I_{sec} , 主トランス3の二次巻線3Bに発生する電圧 V_{sec} , 主トランス3の制御巻線3Cに発生する電圧 V_{con} をそれぞれ示している。そして、 t_1 はMOS型FET5がターンオンするタイミング, t_2 はMOS型FET4がターンオン(MOS型FET5は既にオンしている)するタイミングを示している。

【 0 0 2 2 】

まず、一般的なスイッチング電源装置としての動作を説明すると、ここでは制御回路32からのパルス駆動信号を、MOS型FET4, 5のゲートにそれぞれ供給することで、当該MOS型FET4, 5をほぼ同時にスイッチング動作させ、直流電源1からの入力電圧 V_i を主トランス3の一次巻線3Aに断続的に印加する。これにより、主トランス3の二次巻線3Bおよび制御巻線3Cには、一次巻線3Aとの巻線比に見合う誘起電圧が発生する。また、このカスケードフォワードタイプのコンバータ2では、MOS型FET4, 5のオフ時に、主トランス3の磁束密度を元に戻す電流が、回生ダイオード6, 7により直流電源1側に回生され、専用のリセット巻線を設けることなく主トランス3をリセットすることができる。

10

【 0 0 2 3 】

制御巻線3Cに発生した電圧は、結合コンデンサ21およびドライブトランス22を介して各ドライブ回路24, 25に与えられ、各MOS型FET4, 5のスイッチング動作に同期して、二次巻線3Bのドット側巻線に正極性の電圧が発生したときには、MOS型FET11がオンする一方でMOS型FET12がオフし、二次巻線3Bの非ドット側巻線に正極性の電圧が発生したときには、MOS型FET12がオンする一方でMOS型FET11がオフするような駆動信号が、各MOS型FET11, 12のゲートに供給される。こうして、MOS型FET11, 12を交互にオン, オフすることで、主トランス3の二次巻線3Bに発生した電圧が同期整流回路13で整流され、この整流出力がチョークコイル16およびコンデンサ17で平滑化されることにより、出力端子18, 19間に出力電圧 V_o が発生する。

20

【 0 0 2 4 】

また、この出力電圧 V_o は出力電圧検出回路31および制御回路32により監視される。制御回路32は、出力電圧 V_o が安定化するように、MOS型FET4, 5のゲートに与えられるパルス駆動信号の導通幅を可変制御する。

【 0 0 2 5 】

次に、遅延回路41を設けたことによる動作の特徴を詳しく説明する。本実施例では遅延回路41から与えられる別個のパルス駆動信号により、ハイサイドのMOS型FET4よりも先に、ローサイドのMOS型FET5がターンオンする。このMOS型FET5がターンオンする直前のオフ期間 T_{off} は、前記回生ダイオード6, 7により主トランス3のリセットが終了して、一次巻線3Aの両端間電圧 V_{pri} は0Vとなっている。また、MOS型FET4, 5は同特性のものを使用している関係で、MOS型FET4のドレイン-ソース間電圧 V_{ds4} と、MOS型FET5のドレイン-ソース間電圧 V_{ds5} は、コンデンサ8, 9により何れも入力電圧 V_i の半値となる($V_i/2$)。MOS型FET5がターンオンした直後は、MOS型FET4がオフしたままの状態であり、主トランス3の一次巻線3aに流れ得る電流は、ハイサイドのMOS型FET4に接続するコンデンサ8を通じて流れるので、このコンデンサ8と主トランス3のインダクタンスとにより当該電流が制限されている。

30

【 0 0 2 6 】

ここで、主トランス3の過渡的な動作を、図4に示す理想トランスの等価回路を用いて説明する。同図において、 L_{ep} は一次側のインダクタンス成分、 R_p は一次側の抵抗成分、 M_1 は一次巻線3Aと二次巻線3B間の相互インダクタンス成分、 M_2 は一次巻線3Aと制御巻線3C間の相互インダクタンス成分、 L_{es} は二次電力伝送側のインダクタンス成分、 R_s は二次電力伝送側の抵抗成分、 L_{es}' は二次制御側のインダクタンス成分、 R_s' は二次制御側の抵抗成分である。また、A, Bは一次巻線3Aの両端に位置するタップであり、C, Dは二次巻線3Bの両端に位置するタップであり、E, Fは制御巻線3Cの両端に位置するタップである。これらの各符号A~Fは、図1にも示されている。

40

【 0 0 2 7 】

また、図4に示す理想トランスの等価回路において、一次巻線3AのタップA, B間に電圧が印加されたときの各部の波形を図5に示す。ここでは、最上段にある一次巻線3AのタップA, B間電圧の他に、二次巻線3BのタップC, D間電圧と、制御巻線3Cのタ

50

ップE, F間電圧と、二次巻線3BのタップC, Dを流れる電流がそれぞれ記されている。

【0028】

これらの各図において、一次巻線3AのタップA, B間に電圧が印加されると、図4に示す理想トランスの二次側両端間(符号G, H)にも電圧が発生する。ところが、二次巻線3BのタップC, D間に負荷電流が流れると、二次側のインダクタンス成分 $L_e s$ と抵抗成分 R_s とによる電圧降下により、図5に示すように、二次巻線3BのタップC, D間には電圧が発生しない区間が生じる。一方、制御巻線3CのタップE, F間は負荷がない開放状態のため、一次巻線3AのタップA, B間とほぼ同じタイミングで電圧が立ち上がる。すなわち、一次巻線3AのタップA, B間に電圧が印加された直後は、制御巻線3CのタップE, F間に電圧が直ちに発生するが、二次巻線3BのタップC, D間は一次巻線3AのタップA, B間で電流が制限されるため、直ぐには電圧が発生できない(大きな電流を流すことができない)。

【0029】

以上の点を考慮しながら、図1の回路について再び説明すると、この場合は前述のように、遅延回路41から各MOS型FET4, 5のゲートに与えられるパルス駆動信号によって、ハイサイドのMOS型FET4よりも先に、ローサイドのMOS型FET5がターンオンする。MOS型FET5がターンオンする直後は、入力電圧 V_i の半分の値の電圧が一次巻線3Aに印加され、以後この一次巻線3Aの両端間電圧 V_{pri} は、当該一次巻線3Aとコンデンサ8との共振により0に近づいてゆく(図3の電圧 V_{pri} 参照)。ここで、MOS型FET5がターンオンしてからMOS型FET4がターンオンするまでの区間(図3に示す $t_1 \sim t_2$ の区間)では、主トランス3の一次巻線3Aを流れる電流が制限されている関係で、二次巻線3Bおよび制御巻線3Cには微小な電流しか流れることができない。この状況下で、二次巻線3Bの両端間は負荷が繋がれていて低インピーダンスになっているので電圧が発生せず、実質的に二次巻線3Bから電力伝送が行なわれない状態となっている。一方、制御巻線3Cの両端間はオープン(開放状態)で高インピーダンスとなっており、少なくともMOS型FET11, 12のオン、オフ状態を切替えるに十分な電圧が発生可能である。したがって、この区間でMOS型FET12を先にターンオフさせておけば、2つのMOS型FET4, 5が共にオンした後で、二次巻線3Bから負荷側に電力伝送が行われる状態になった場合でも、MOS型FET12が短絡電流を遮断して、このMOS型FET12のドレイン-ソース間に大きなサージ電圧が発生するのを確実に防止することができる。

【0030】

以上のように本実施例では、主トランス3の入力巻線である一次巻線3Aと複数の主スイッチング素子であるMOS型FET4, 5との直列回路を備えた多石式のコンバータ2と、主トランス2の電力伝送巻線である二次巻線3Bに接続され、整流スイッチ素子であるMOS型FET11および転流スイッチ素子である別なMOS型FET12を有する同期整流回路13とを備え、主トランス3に設けた制御巻線3Cから発生する制御信号により、MOS型FET4, 5に同期して少なくともMOS型FET12をオン・オフ動作させるスイッチング電源装置において、二次巻線3Bから電圧が発生できない区間中に、制御巻線3Cから発生させる電圧によってMOS型FET12をオンからオフに切替えることができるように、MOS型FET4, 5のオンタイミングをずらすパルス駆動信号を、これらのMOS型FET4, 5に与える遅延回路41を備えている。

【0031】

このようにすると、既存の構成に遅延回路41を付加して、各MOS型FET4, 5のオンタイミングを意図的にずらすだけで、二次巻線3Bから電圧が発生できない区間中に、MOS型FET12だけを先にターンオフさせることができる。従って、その後で二次巻線3Bから電圧が発生したときに、MOS型FET12を通して主トランス3の二次側で貫通電流が流れるのを簡単且つ確実に防止でき、MOS型FET12のドレイン-ソース間に大きなサージ電圧が発生する問題を一掃することができる。

10

20

30

40

50

【0032】

ところで、前記遅延回路41による区間 $t_1 \sim t_2$ の時間間隔は、好ましくは100nS程度とするのが好ましい。この区間 $t_1 \sim t_2$ が長すぎると、MOS型FET12が再びターンオンして、二次巻線3Bからの電力伝送開始時に、MOS型FET12を通して貫通電流が流れる虞れがあるからである。図6は、このような懸念を回避するための一回路例で、ここでは制御巻線3Cからの電圧発生に伴い、MOS型FET12のゲートがディスチャージしてターンオフすると、当該MOS型FET12が一定時間オフし続けるようにする保持回路51を設けている。ここでの保持回路51は、例えば抵抗やMOS型FETを組み合わせた回路構成など、適宜最適なものを採用すればよい。すなわち、少なくとも二次巻線3Bから電圧が発生するまで、MOS型FET12をオフ状態に保持する保持回路51を備えていれば、MOS型FET4, 5のオンタイミングをずらす区間 $t_1 \sim t_2$ が多少変動するなどしても、MOS型FET12を通して貫通電流が流れるのをより確実に防止できる。

10

【0033】

なお、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲において種々の変形実施が可能である。例えば、本実施例では整流スイッチ素子であるMOS型FET11をも、制御巻線3Cからの制御信号によりオン、オフ動作させるように構成したが、MOS型FET11に関しては二次巻線3Bに発生した電圧でオン、オフ動作させてもよい。また本実施例では、制御巻線3CとMOS型FET11, 12との間にドライブトランス22を介在させているが、主トランス3に設けた制御巻線3Cをドライブ巻線として構成し、ここから直接ドライブ回路24, 25を介して各MOS型FET11, 12を駆動させるようにしてもよい。

20

【図面の簡単な説明】

【0034】

【図1】本発明における好ましい一実施形態を示すスイッチング電源装置の回路図である。

【図2】同上、各部の波形図である。

【図3】同上、各主スイッチング素子がターンオンする瞬間の各部の波形図である。

【図4】同上、主トランスを理想トランスとみなしたときの等価回路図である。

【図5】同上、図4における各部の波形図である。

【図6】同上、別な変形例を示す要部の回路図である。

30

【図7】従来例を示すスイッチング電源装置の回路図である。

【符号の説明】

【0035】

3 主トランス

3A 一次巻線（入力巻線）

3B 二次巻線（電力伝送巻線）

3C 制御巻線

4, 5 MOS型FET（主スイッチング素子）

11 MOS型FET（整流スイッチ素子）

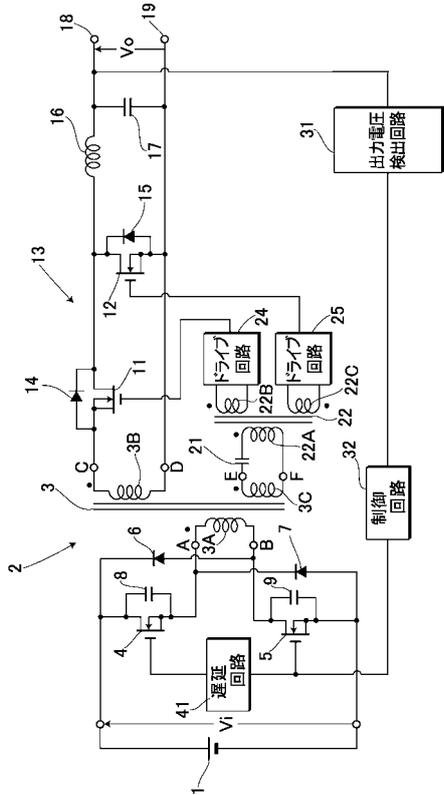
12 MOS型FET（転流スイッチ素子）

40

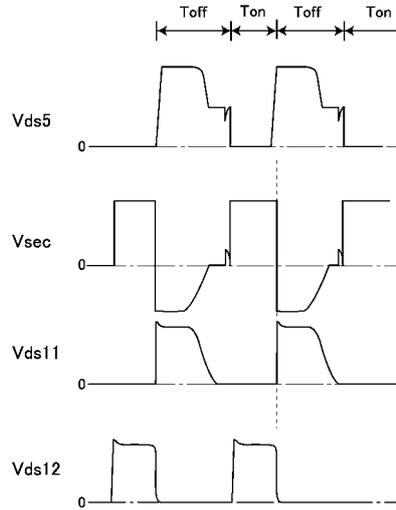
41 遅延回路

51 保持回路

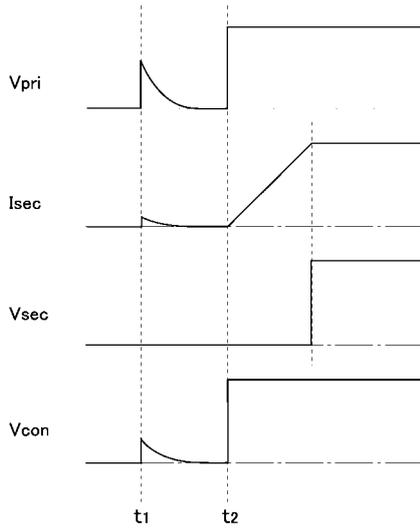
【図1】



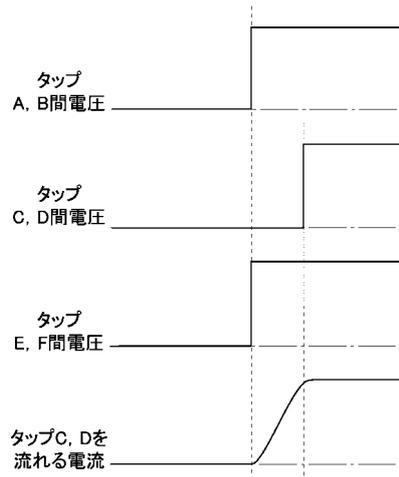
【図2】



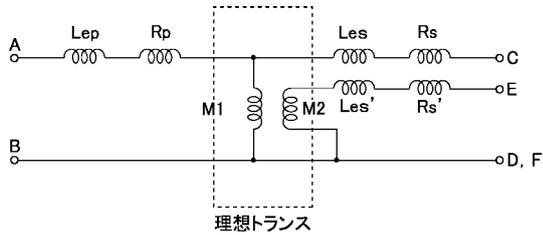
【図3】



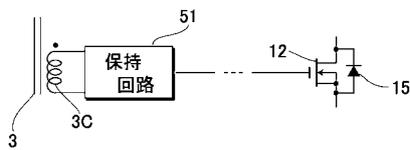
【図5】



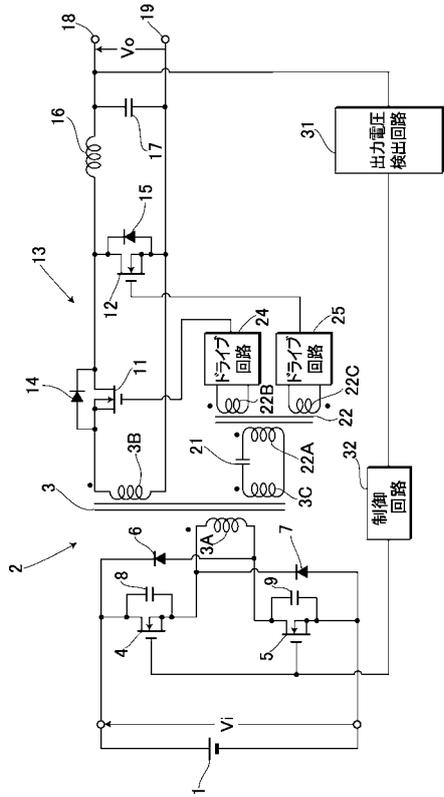
【図4】



【図6】



【図7】



フロントページの続き

(72)発明者 殖栗 基晴

東京都品川区東五反田1 - 11 - 15 デンセイ・ラムダ株式会社内

審査官 塩治 雅也

(56)参考文献 特開昭59 - 204466 (JP, A)

特開2001 - 157445 (JP, A)

特開平07 - 177741 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28