

[19] 中华人民共和国国家知识产权局

[51] Int. Cl⁷



[12] 发明专利申请公开说明书

[21] 申请号 200410097819.0

H01L 29/78

H01L 29/861

H01L 29/739

H01L 29/74

[43] 公开日 2005 年 7 月 13 日

[11] 公开号 CN 1638146A

[22] 申请日 2000. 8. 30

[21] 申请号 200410097819.0

分案原申请号 00131700.8

[30] 优先权

[32] 1999. 8. 31 [33] JP [31] 246252/1999

[71] 申请人 松下电器产业株式会社

地址 日本大阪府

[72] 发明人 上本康裕 山下胜重 三浦孝

[74] 专利代理机构 中国专利代理(香港)有限公司

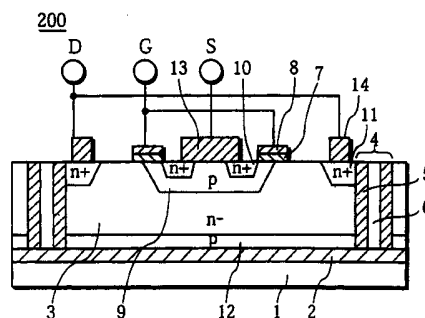
代理人 王忠忠

权利要求书 2 页 说明书 15 页 附图 9 页

[54] 发明名称 耐高压的绝缘体上的硅型半导体器件

[57] 摘要

一种 SOI 型半导体器件，夹置绝缘层地层积半导体衬底和作为有源层的第一半导体层，同时第一半导体层的表面上，形成第二半导体层和有与该第二半导体层不同导电型的第三半导体层，在所述第一半导体层和所述绝缘层的界面上形成有与第一半导体层不同导电型的第四半导体层。该第四半导体层被这样设定，平均单位面积的杂质质量大于 $3 \times 10^{12}/\text{cm}^2$ ，以便即使在第二和第三半导体层之间施加反向偏置电压，也不会完全耗尽。



I S S N 1 0 0 8 - 4 2 7 4

1.一种 SOI 型半导体器件，配有以下结构：

- 第一半导体层；
- 5 • 第二半导体层，形成在所述第一半导体层的第一主表面侧的一部分上；
- 第三半导体层，其导电型与所述第二半导体层不同，形成在所述第一半
导体层的主表面侧的与形成所述第二半导体层的位置隔离的位置上；
- 第四半导体层，形成在所述第一半导体层的第二主表面侧上；
- 第一绝缘层，形成在所述第四半导体层的与所述第一半导体层相反侧的
10 主表面上；

其特征在於，上述第三半导体层是漏极，而且在上述第二半导体层上还具有与上述第三半导体层相同的导电型的半导体层形成的源极；

上述第四半导体层是与上述第一半导体层不同的导电型；

上述第四半导体层在上述第二和第三半导体层间，包含即使在源极的电位
15 被施加比漏极电位低的反向偏置电压的情况下，也不被完全耗尽的量的杂质层。

2.如权利要求 1 所述的 SOI 型半导体器件，其特征在於，还在与上述第一绝缘层的上述第 1 半导体层相反侧的主面上形成衬底，上述衬底的电位为 0V。

3.如权利要求 1 所述的 SOI 型半导体器件，其特征在於，所述第四半导体
20 层的平均单位面积的杂质量大于所述第一半导体层的平均单位面积杂质量的 1.5 倍以上。

4.如权利要求 1 所述的 SOI 型半导体器件，其特征在於，所述第一半导体层的平均单位面积杂质量在 $5 \times 10^{14}/\text{cm}^2$ 以上， $1 \times 10^{15}/\text{cm}^2$ 以下。

5.如权利要求 1 所述的 SOI 型半导体器件，其特征在於，在所述第一半导
25 体层的包围所述第二和第三半导体层的周围，形成达到所述第一绝缘层深度的隔离沟，并在所述隔离沟的内部侧面上形成第二绝缘层。

6.如权利要求 5 所述的 SOI 型半导体器件，其特征在於，在所述第一半导
体层和所述隔离沟的内部侧面上形成的所述第二绝缘层的界面上，形成与所述
第四半导体层相同导电型的第五半导体层。

30 7.如权利要求 6 所述的 SOI 型半导体器件，其特征在於，所述第五半导体

层的平均单位面积的杂质量大于 $1 \times 10^{12}/\text{cm}^2$ 。

8.如权利要求 6 所述的 SOI 型半导体器件, 其特征在于, 所述第五半导体层的平均单位面积的杂质量大于所述第一半导体层的平均单位面积杂质量的 1.5 倍以上。

5 9.如权利要求 5 所述的 SOI 型半导体器件, 其特征在于, 在所述隔离沟内埋入导电性部件。

10.如权利要求 9 所述的 SOI 型半导体器件, 其特征在于, 在埋入所述隔离沟中的导电性部件上设置电极。

10 11.如权利要求 10 所述的 SOI 型半导体器件, 其特征在于, 所述导电性部件为多晶硅, 所述电极通过导电型半导体层与所述多晶硅欧姆连接。

12.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 在所述第四半导体层的与所述第一半导体层相反侧的主表面上与半导体衬底接合, 所述第一绝缘层是在所述第四半导体层和所述半导体衬底的至少一个接合面上形成的氧化膜。

15 13.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 所述第一绝缘层由绝缘性衬底构成, 在与所述绝缘性衬底的所述第四半导体层相反侧的主表面上形成金属膜。

14.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 所述 SOI 型半导体器件为 MOS 型晶体管。

20 15.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 所述 SOI 型半导体器件为 pn 二极管。

16.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 所述 SOI 型半导体器件为横型绝缘栅双极晶体管。

25 17.如权利要求 1 所述的 SOI 型半导体器件, 其特征在于, 所述 SOI 型半导体器件为横型可控硅。

耐高压的绝缘体上的硅型半导体器件

5 本发明涉及具有电介质隔离结构的 SOI 型半导体器件，特别涉及提高其耐压特性的技术。

作为把半导体集成电路等中各个半导体元件进行相互电隔离的有力方法，采用在作为各半导体元件的有源层的半导体层的底部和侧面部分形成绝缘层的电介质隔离的方法（以下，把这种结构称为‘电介质隔离结构’）。

10 有该电介质隔离结构的 SOI（Silicon On Insulator：绝缘体上的硅）型半导体器件可以消除在使用以往的 pn 结隔离的半导体器件中产生了问题，就是说，可以消除通过 pn 结部分产生的漏电流和产生不需要的寄生双极效果那样的问题，特别有希望应用在耐高压半导体器件、模拟开关使用的半导体器件等方面。

作为有这种电介质隔离结构的以往的 SOI 型半导体器件，例如，可以列举
15 出在日本专利第 2896141 号公报、日本专利第 2878689 号公报中披露的半导体器件。

图 1 和图 2 是表示作为以往的 SOI 型半导体器件的具体的 n 型耐高压 MOS 晶体管的结构的图。图 1 所示的 n 型耐高压 MOS 晶体管 100 在作为 SOI 衬底的支撑衬底的半导体衬底 101 上面形成作为绝缘膜的氧化硅膜 102，而且层积
20 作为 SOI 衬底的有源层的 n 型半导体层 103。

在 n 型半导体层 103 中，为了不受相邻形成的半导体元件的电位影响，通过腐蚀形成深度直至氧化硅膜 102 的隔离沟 104。在该隔离沟 104 的内部侧面上，形成氧化硅膜 105，而且在隔离沟 104 内通过埋入多晶硅 106，将 n 型半导体层 103 与周围进行电隔离。由此，利用氧化硅膜 102 和氧化硅膜 105，n
25 型半导体层 103 被电介质隔离成岛状。

在这样形成的岛状 n 型半导体层 103 的表面上，形成设有栅极氧化膜 107、栅极 108、用于形成沟道的 p 型半导体层 109、源极 112、与源极 112 连接的形成可包围 p 型半导体层 109 的 n⁺型半导体层 110、漏极 113、与漏极 113 连接的 n⁺型半导体层 111 的 n 型耐高压 MOS 晶体管。

30 此外，在图 1 的结构中，图 2 所示的 n 型耐高压 MOS 晶体管 150 在 n 型半

导体层 103 和氧化硅膜 102 的界面部分上形成 n 型半导体层 114，同时在 n 型半导体层 103 和氧化硅膜 105 的界面部分上形成 n⁺型半导体层 115，其上部可与漏极的 n⁺型半导体层 111 的下部接触。其中，使 n 型半导体层 114、n⁺型半导体层 115 的杂质浓度小，由此，可提耐高压性，以便在 n 型半导体层 103 底
5 面和侧面上也可以形成耗尽层。

在两图所示的 n 型耐高压 MOS 晶体管 100、150 中，对作为支撑衬底的半导体衬底 101 一般施加 0V 的电位。其中，对 p 型半导体层 109 等提供与上述半导体衬底 101 大致相同的电位，并且，在对与漏极 113 连接的 n⁺型半导体层 111 施加正的高电压变为反向偏置的情况下，p 型半导体层 109 和 n 型半导体
10 层 103 构成的 pn 结二极管变为反向偏置状态。此时，从 p 型半导体层 109 和 n 型半导体层 103 的 pn 结的界面延伸耗尽层。

该耗尽层利用对 n⁺型半导体层 111 施加的正的高电位、对半导体衬底 101 提供的 0V 电位和对 p 型半导体层 109 等提供的电位，在 n 型半导体层 103 的内部均匀地扩展，使内部电场的集中被缓和。

其结果，难以产生 n 型半导体层 103 内的电子雪崩击穿。n 型耐高压 MOS 晶体管的耐压特性被 n 型半导体层 103 内有无电子雪崩击穿发生来左右，所以通过抑制该电子雪崩击穿，反向耐压性确实提高。

但是，在上述以往的耐高压 SOI 型半导体器件中，特别是与漏极 113 连接的 n⁺型半导体层 111 的电位与提供给半导体衬底 101 的电位相同，并且，在对
20 p 型半导体层 109 施加大的负电压的反向偏置状态情况下，在 n 型半导体层 103 内不能形成充分的耗尽层，容易产生电子雪崩击穿，存在 n 型耐高压 MOS 晶体管的反向耐压特性会显著劣化的问题。

就是说，对 p 型半导体层 109 等提供的电压变为大的负值，并且，在对半导体衬底 101 提供 0V、对 n⁺型半导体层 111 施加的电压变为 0V 那样的反向偏
25 置状态中，对 n⁺型半导体层 111 和半导体衬底 101 的其中任何一个都施加 0V 电压，两者之间没有电位差。由于该影响，从 p 型半导体层 109 和 n 型半导体层 103 的 pn 结的界面延伸的耗尽层不能充分延伸至 n⁺型半导体层 111 下部区域的 n 型半导体层 103 中。因此，n 型半导体层 103 的内部电场集中，容易发生电子雪崩击穿，n 型耐高压 MOS 晶体管的反向耐压特性极大地劣化。

30 即，在以往的耐高压 SOI 型半导体器件的结构中，在完全反向偏置状态中，

不能维持耐高压性，而在特定的条件下，存在容易发生电子雪崩击穿，耐压特性劣化的问题。

鉴于上述问题，本发明的目的在于提供在任意的反向偏置状态情况下耐压特性良好的 SOI 型半导体器件。

5 为了实现上述目的，本发明的 SOI 型半导体器件配有以下结构：第一半导体层；第二半导体层，形成在所述第一半导体层的第一主表面侧的一部分上；第三半导体层，其导电型与所述第二半导体层不同，形成在所述第一半导体层的主表面侧的与形成所述第二半导体层的位置隔离的位置上；第四半导体层，其导电型与所述第一半导体层不同，形成在所述第一半导体层的第二主表面侧
10 上；第一绝缘层，形成所述第四半导体层的与所述第一半导体层相反侧的主表面上；其中，即使在所述第二和第三半导体层之间施加反向偏置电压的情况下，所述第四半导体层仍包含未完全耗尽量的杂质。

这样，在对第二和第三半导体层施加反向偏置电压的情况下，通过第四半导体层有未完全耗尽的结构，未耗尽的第四半导体层起到使第一半导体层的底部电位基本保持一定的作用，易于在第一半导体层内扩展耗尽层，同时通过对
15 第四半导体层和第一半导体层形成的 pn 结施加反方向电压，从该 pn 结部分耗尽层也向第一半导体层侧延伸。其结果，即使将任意的反向偏置状态的电位提供给第二、第三 n 型半导体层，也可以在第一半导体层的内部均匀地扩大耗尽层，缓和内部电场的集中，可以提供显示良好的反向耐压特性的耐高压 SOI 型
20 半导体器件。

其中，期望所述第四半导体层的平均单位面积的杂质量大于 $3 \times 10^{12}/\text{cm}^2$ ，或大于所述第一半导体层的平均单位面积杂质量的 1.5 倍以上。由此，可以阻止第四半导体层被完全耗尽，通过反向偏置由第四半导体层和第一半导体层形成的 pn 结上产生的耗尽层被宽阔地形成在第一半导体层层，有助于第一半导体
25 层内耗尽层的均匀扩展。

此外，在包围所述第一半导体层的所述第二和第三半导体层的周围，通过形成深度达到所述第一绝缘层的隔离沟，同时在所述隔离沟的内部侧面上形成第二绝缘层，即使形成邻接同一半导体衬底的其它半导体元件，也可以不受其电位的影响，可以稳定工作。

30 其中，在所述第一半导体层和所述隔离沟的内部侧面形成的所述第二绝缘

层的界面上, 如果形成与所述第四半导体层相同导电型的第五半导体层, 那么利用第一半导体层和第五半导体层来进行 pn 结隔离, 更难受到相邻半导体元件的电位影响。

此外, 在上述隔离沟中埋入导电性部件, 在该导电性部件上设置电极, 如果在该电极上例如施加与第一绝缘层上施加的电压相同电位的电压, 那么在该部分中就会被电屏蔽, 更难受到周围电位的影响。

参照说明本发明特定实施例的附图, 从以下论述中, 本发明的这些和其它目的、优点和特性将变得明确。

在附图中:

10 图 1 是表示有电介质隔离结构的以往的 SOI 型半导体器件的 n 型耐高压 MOS 晶体管结构的图。

图 2 是表示有电介质隔离结构的以往的另一 SOI 型半导体器件的 n 型耐高压 MOS 晶体管结构的图。

图 3 是本发明第一实施例的 n 型耐高压 MOS 晶体管的主要部分剖面图。

15 图 4A 是表示上述第一实施例的 n 型耐高压 MOS 晶体管中对源极提供 0V 处于反向偏置状态情况下的内部电位分布和耗尽层扩展的模拟结果的图, 图 4B 是表示第一实施例的 n 型耐高压 MOS 晶体管中对漏极提供 0V 处于反向偏置状态情况下的内部电位分布和耗尽层扩展的模拟结果图。

20 图 5A 是表示图 1 所示的以往的 n 型耐高压 MOS 晶体管中对源极提供 0V 处于反向偏置情况下的内部电位分布和耗尽层扩展的模拟结果图, 图 5B 是表示图 1 所示的以往的 n 型耐高压 MOS 晶体管中对漏极提供 0V 处于反向偏置状态情况下的内部电位分布和耗尽层扩展的模拟结果图。

25 图 6A 是表示在以往的和第一实施例的 n 型耐高压 MOS 晶体管中对源极提供 0V 处于反向偏置状态情况下的 n 型半导体层的杂质浓度与源/漏间耐压关系的图, 图 6B 是表示在以往的和第一实施例的 n 型耐高压 MOS 晶体管中对漏极提供 0V 处于反向偏置状态情况下的 n 型半导体层的杂质浓度与源/漏间耐压的关系图。

图 7 是表示在第一实施例的 n 型耐高压 MOS 晶体管中与氧化硅膜相邻埋入的 p 型半导体层的杂质浓度与源/漏间耐压的关系图。

30 图 8 是本发明第二实施例的 n 型耐高压 MOS 晶体管的主要部分剖面图。

图9是本发明第三实施例的n型耐高压MOS晶体管的主要部分剖面图。

图10是本发明第四实施例的n型耐高压MOS晶体管的主要部分剖面图。

图11是本发明第五实施例的耐高压pn二极管的主要部分剖面图。

图12是本发明第六实施例的p型耐高压MOS晶体管的主要部分剖面图。

5 图13是本发明第七实施例的横型IGBT的主要部分剖面图。

图14是本发明第八实施例的横型可控硅的主要部分剖面图。

以下,根据附图说明本发明的SOI型半导体器件的实施例。

〈第一实施例〉

作为本发明的SOI型半导体器件的第一实施例,说明n型耐高压MOS晶
10 体管。

(n型耐高压MOS晶体管的结构)

图3是表示本发明第一实施例的n型耐高压MOS晶体管200的结构的主要部分剖面图。如图所示,该n型耐高压MOS晶体管200在作为SOI衬底的支撑衬底的半导体衬底上,通过作为第一绝缘膜的氧化硅膜2,层积形成作为
15 SOI衬底有源层的第一半导体层的n型半导体层3。在该图中,示出了一个MOS晶体管,但实际上,在同一半导体衬底1上相邻形成多个MOS晶体管元件,为了与彼此相邻的元件电绝缘,在n型半导体层3的周边部分形成隔离沟4。

该隔离沟4通过腐蚀处理来形成,以便达到直至氧化硅膜2的深度,在其内部侧面上形成作为第二绝缘膜的氧化硅膜5。利用该氧化硅膜5和上述氧化
20 硅膜2,使n型半导体层3变为被周围的元件导电岛状地隔离的电介质隔离结构。

此外,在隔离沟4内的氧化硅膜5之间埋入作为高阻抗导电材料的多晶硅膜6,假设即使相对于隔离沟4的内部侧面上形成的氧化硅膜5之间的电位不同,通过
25 在多晶硅膜6内流过微小的电流,仍可消除该电位梯度,在隔离沟4中可以不产生不需要的电场。

在这样形成的岛状的n型半导体层3的表面上,利用众所周知的方法设有栅极氧化膜7、栅极8、用于形成沟道区域的作为第二半导体层的p型半导体层9、源极13、与源极13连接的可包围p型半导体层9那样形成的n⁺型半导体层10、漏极14、与漏极14连接的作为第三半导体层的n⁺型半导体层11。

30 此外,在岛状的n型半导体层3的底部上,在埋入的氧化硅膜2的界面部

分上形成作为第四半导体层的 p 型半导体层 12。该 p 型半导体层 12 被这样设定，其平均单位面积的杂质量大于 $3 \times 10^{12}/\text{cm}^2$ ，以便即使在反向偏置状态中也不会被完全耗尽。下面详细论述。

(制造方法)

5 这里，简单地说明 n 型耐高压 MOS 晶体管 200 的制造方法。

首先，准备至少在其表面上有 n 型半导体层 3 的半导体衬底（以下称为‘有源层衬底’），按照离子注入法和热扩散法等在该 n 型半导体层 3 侧的表面上注入预定量以上的杂质，形成 p 型半导体层 12。另外，在作为 SOI 衬底的支撑衬底的半导体衬底 11 的表面上按照 CVD 法等形成氧化硅膜 2，粘合该半导体衬底 1 和形成上述 n 型半导体层 3 的有源层衬底，以便使氧化硅膜 2 和在 n 型半导体层 3 上形成的 p 型半导体层 12 合并在一起，经过施加热处理等进行粘
10 结，形成 SOI 衬底。

再有，氧化硅膜 2 不仅形成在半导体衬底 1 的表面上，还可以形成在形成 n 型半导体层 3 的 p 型半导体层 12 的表面上，而且，也可以形成在半导体衬底
15 1 和 p 型半导体层 12 双方的表面上。

按表面研磨法等从 n 型半导体层 3 侧开始消减上述那样形成的 SOI 衬底，以便 n 型半导体层 3 达到期望的厚度，接着，以光刻胶掩模或构图的氮化硅膜和氧化硅膜作为掩模，通过腐蚀处理，形成从 n 型半导体层 3 的表面至上述埋入的氧化硅膜 2 那样的隔离沟 4。然后，在隔离沟 4 的内部侧面部分形成氧化
20 硅膜 5，而且埋入多晶硅膜 6，使 n 型半导体层 3 被电介质隔离成岛状。

接着，在被电介质隔离的岛状的 n 型半导体层 3 的表面上，形成栅极氧化膜 7、栅极 8，而且通过进行离子注入和热处理形成用于形成沟道区域的 p 型半导体层 9。然后，形成可包围 p 型半导体层 9 的作为源极的 n⁺型半导体层 10，同时隔开某个适当的距离以便不连接 p 型半导体层 9，在 n 型半导体层 3 的表
25 层部分形成作为漏极的 n⁺型半导体层 11。最后，通过把源极 13 与 p 型半导体层 9 和 n⁺型半导体层 10 连接，把漏极 14 与 n⁺型半导体层 11 连接，制造出 n 型耐高压 MOS 晶体管 200。

再有，其中，作为形成 p 型半导体层 12 的方法，示出了在 n 型半导体层 3 和半导体衬底 1 粘结前，在至少在其表面上有 n 型半导体层 3 的半导体衬底的
30 表面上形成 p 型半导体层 12 的方法，但按夹入氧化硅膜 2 那样使带有 n 型半

导体层 3 的半导体衬底粘结半导体衬底 1, 按照表面研磨法等消减 n 型半导体层 3 以便 n 型半导体层 3 达到期望的厚度后, 按照高能量离子注入法等经过进行从 n 型半导体层 3 的表面注入离子等, 也可以在 n 型半导体层 3 的底部形成 p 型半导体层 12。

- 5 此外, 示出了在按夹入氧化硅膜 2 那样粘结半导体衬底 1 和有源层衬底后, 施加热处理进行接合的方法, 但对有源层衬底经过进行注入氧离子等, 也可以在 n 型半导体层 3 的底部形成氧化硅膜 2。

而且, 示出了为了使 n 型半导体层 3 达到期望的厚度, 按照研磨法等消减 n 型半导体层 3 的方法, 但事先注入氢等, 在施加适当的热处理或外力后, 通过表面研磨也可以按期望的厚度调整、加工 n 型半导体层 3。

(耐压特性)

下面, 说明本实施例的 n 型耐高压 MOS 晶体管 200 的耐压特性。

在 n 型耐高压 MOS 晶体管 200 中, 对作为 SOI 衬底的支撑衬底的半导体衬底 1 通常提供 0V 电压。而且, 通过栅极 8 和源极 13 对用于形成沟道区域的 p 型半导体层 9 和 n⁺型半导体层 10 提供大致相同的电压, 使 n 型耐高压 MOS 晶体管 200 处于截止状态, 通过漏极 14 对 n⁺型半导体层 11 提供与上述 p 型半导体层 9 等电位相比有正的高电位的电压。于是, p 型半导体层 9 和 n 型半导体层 3 构成的 pn 结二极管变为反向偏置状态, 从 p 型半导体层 9 和 n 型半导体层 3 的 pn 结的界面开始耗尽层延伸至 n 型半导体层 3 内。如下所述, 该耗尽层的延伸情况对 n 型耐高压 MOS 晶体管 200 的耐压特性产生极大影响。

由于 n 型耐高压 MOS 晶体管 200 处于反向偏置状态, 所以对源极 13 和漏极 14 施加的电压组合例有各种各样的考虑, 但这里特别考察两种情况下的耐压特性, (1) 对半导体衬底 1 提供 0V 电压, 同时对源极 13 提供 0V 电压, 作为对漏极 14 的正的高电压, 提供 400V 情况 (以下称为 ‘第一反向偏置状态’) 下的耐压特性, 和 (2) 对半导体衬底 1 提供 0V 电压, 对源极提供 400V 电压, 对漏极 14 提供 0V 电压情况 (以下称为 ‘第二反向偏置状态’) 下的耐压特性。

图 4A 是表示上述第一反向偏置状态的 n 型耐高压 MOS 晶体管 200 内部的电压分布和耗尽层扩展的模拟结果的模式图, 图 4B 是表示上述第二反向偏置状态的 n 型耐高压 MOS 晶体管 200 内部的电压分布和耗尽层扩展的模拟结果的模式图, 仅分别示出图 3 的 n 型耐高压 MOS 晶体管 200 的右半部分的主要

部分剖面图。

在两图中，从p型半导体层9和n型半导体层3的pn结的界面至用虚线表示的耗尽层端位置形成耗尽层，无论哪种情况下，n型半导体层3内部都被完全耗尽。其结果，n型半导体层3内部的电位分布非常缓和，可缓和内部电场的集中，在n型半导体层3内部不易发生电子雪崩击穿。一般来说，由于n型耐高压MOS晶体管的耐压特性主要由n型半导体层3内部是否发生电子雪崩击穿来决定，在利用该特性的n型耐高压MOS晶体管200中，可以获得良好的反向耐压特性。

另一方面，在图1所示的以往MOS晶体管100的情况下，按照对漏极14和源极13的电压施加方法，不能获得良好的反向耐压特性。

图5A是表示上述第一反向偏置状态下n型耐高压MOS晶体管100内部的电位分布和耗尽层扩展的模拟结果模式图，图5B是表示上述第二反向偏置状态下n型耐高压MOS晶体管100内部的电位分布和耗尽层扩展的模拟结果模式图，仅分别示出图1的n型耐高压MOS晶体管100的右半部分的主要部分剖面图。

如图5A所示，即使是以往的n型耐高压MOS晶体管100，在源极电位为0V的第一反向偏置状态下，与本实施例同样，由于n型半导体层3内部被完全耗尽，n型半导体层3内部的电位分布非常缓和，内部电场的集中被缓和，所以在n型半导体层3内部不易发生电子雪崩击穿，显示良好的反向耐压特性。

但是，作为漏极电位为0V的第二反向偏置状态，由于对n⁺型半导体层11和半导体衬底1的其中任何一个都施加0V电压，所以如图5B所示，从p型半导体层9和n型半导体层3的pn结的界面延伸的耗尽层不能充分延伸至n⁺型半导体层11下部区域的n型半导体层3，耗尽层的延伸被抑制，内部电场的集中未降低，所以n型耐高压MOS晶体管的反向耐压特性极大地劣化，对源极13不能施加至-400V电压。

作为这样的第二反向偏置状态，由于对n⁺型半导体层11和半导体衬底1的其中任何一个都施加0V电压，两者间没有电位差，所以在以往的n型耐高压MOS晶体管100的结构中，耗尽层减少，不能避免反向耐压特性的劣化。

但是，按照本实施例的n型耐高压MOS晶体管200的结构，如图4B所示，n型半导体层3内的所有耗尽层的区域被扩展，可以获得与图4A情况相同的

反向耐压特性。

就是说，按照本实施例，在氧化硅膜 2 和 n 型半导体层 3 之间设有 p 型半导体层 12，同时在整个 p 型半导体层 12 中按不形成耗尽层那样来决定其杂质的浓度（平均单位面积的杂质量大于 $3 \times 10^{12}/\text{cm}^2$ 量），由此，未完全耗尽的 p 型
5 半导体层 12 起到使 n 型半导体层 3 的底部电位大致保持一定的作用，同时利用对 p 型半导体层 12 和 n 型半导体层 3 形成的 pn 结施加的反向偏置，从该 pn 结部分开始耗尽层也向 n 型半导体层 3 侧延伸。

如上所述，n 型耐高压 MOS 晶体管的耐压特性由 n 型半导体层 3 内部是否发生电子雪崩击穿来左右，但在本实施例中，即使在第二反向偏置状态下，利用按可不完全耗尽那样设定杂质浓度的 p 型半导体层 12 的作用，由于在 n 型
10 半导体层 3 内部所有区域都形成耗尽层，所以其电位分布变得缓和，不易发生电子雪崩击穿。其结果，n 型耐高压 MOS 晶体管显示良好的反向耐压特性。

（各半导体层中包含的杂质量与耐压特性的关系）

图 6A、图 6B 表示比较本发明实施例的 n 型耐高压 MOS 晶体管 200（本实
15 施例产品）和以往的 n 型耐高压 MOS 晶体管 100（以往产品）的源/漏间耐压与作为该晶体管的有源层的 n 型半导体层中包含的杂质量（杂质浓度）的关系。图 6A 表示第一反向偏置状态（源极电位=0V 的情况）下源/漏间耐压与杂质浓度的关系，图 6B 表示第二反向偏置状态（漏极电位=0V 的情况）下源/漏间耐压与杂质浓度的关系。

20 在第一反向偏置状态的情况下，如图 6A 所示，本实施例产品与以往产品显示出大致相同的特性，尤其在 n 型半导体层 3 的杂质浓度在 $1.0 \times 10^{15}/\text{cm}^3$ 的情况下，可达到耐高压。

但是，在第二反向偏置状态的情况下，如图 6B 所示，在本实施例产品中，可获得与图 6A 同样良好的耐压特性，但在以往产品的情况下，源/漏间耐压显
25 著地劣化，尤其在 n 型半导体层 3 的杂质浓度在 $1.0 \times 10^{15}/\text{cm}^3$ 以下的范围时，与本实施例产品相比要下降一半左右。

于是，在本实施例的 n 型耐高压 MOS 晶体管 200 中，在第一、第二反向偏置状态两种情况下都可以获得良好的源/漏间耐压，尤其在 n 型半导体层 3 的杂质浓度在 $5.0 \times 10^{14}/\text{cm}^3 \sim 1.0 \times 10^{15}/\text{cm}^3$ 的情况下，具有明显的效果。

30 而且，如上所述，在本实施例中，由于在 p 型半导体层 12 内未完全形成耗

层,所以可以提耐高压特性,但耗尽层形成的程度取决于该p型半导体层12中包含的杂质量。因此,不仅在n型半导体层3和绝缘层2之间插入p型半导体层12,而且必须把该p型半导体层12的杂质量设定为适当的值,以便即使施加预定的反向偏置电压,也可以使p型半导体层12内部未被完全耗尽。

- 5 图7是表示本实施例的n型耐高压MOS晶体管的源/漏间耐压的与p型半导体层12的杂质浓度依赖性有关的实验结果的曲线图。再有,在本实验中,施加的电压被设定为第二反向偏置状态,n型半导体层3的杂质浓度设定为 $1 \times 10^{15}/\text{cm}^3$,其厚度为 $20 \mu\text{m}$ 。

如图7的曲线所示,如果p型半导体层12的平均单位面积的杂质浓度低于 $3.0 \times 10^{12}/\text{cm}^2$,那么源/漏间耐压急剧地劣化。这是因为如果p型半导体层12的杂质浓度低于 $3.0 \times 10^{12}/\text{cm}^2$,那么尤其在第二反向偏置状态时p型半导体层12开始被完全耗尽,p型半导体层12失去把n型半导体层3的底部电位基本保持一定的作用,不能实现均匀的耗尽层延伸的缘故。因此,n型半导体层3的内部电场局部集中,n型耐高压MOS晶体管的反向耐压特性极大地劣化。

- 15 但是,在杂质浓度为 $3.0 \times 10^{12}/\text{cm}^2$ 以上时,则显示良好的耐压特性。这里,杂质浓度有 $3.0 \times 10^{12}/\text{cm}^2$ 的临界点,但由于因环境温度等该临界点会微妙地变动,所以为了获得稳定的耐高压特性,期望把杂质浓度设定得超过 $3.0 \times 10^{12}/\text{cm}^2$ 。

20 但是,在对pn结的半导体施加反向偏置电压时,形成夹住pn结界面的耗尽层。如果该耗尽层的整体厚度为W,在p型、n型的各自半导体中形成的耗尽层的厚度为 W_p 、 W_n ,那么 $W=W_p+W_n$ 的关系成立。其中,在p型、n型的各自半导体的平均单位面积的杂质量为 d_p 、 d_n 的情况下,耗尽层的厚度 W_p 、 W_n 与杂质量 d_p 、 d_n 大致成反比的关系是众所周知的。

因此,p型半导体层12的杂质浓度越大,p型半导体层12内就越难以形成耗尽层,本发明的p型半导体层12的杂质浓度的最大值是直至在硅上可以固溶杂质的限度(固溶限度)所获得的值。

具体地说,作为P型半导体的杂质,在一般使用硼(B)的情况下,固溶限度为平均单位体积 $5.0 \times 10^{20}/\text{cm}^3$,如果把它换算成实际器件的平均单位面积量,那么在 $1.0 \times 10^{17}/\text{cm}^2$ 左右。

而且,如上所述,图7的实验数据是n型半导体层3的杂质浓度为 $1.0 \times 10^{15}/\text{cm}^3$ 时的数据。如图6A、图6B所示,为了获得良好的耐压特性,期望n型半导体

30

层 3 的杂质浓度为 $1.0 \times 10^{15}/\text{cm}^3$ 以下, 此外, 如上所述, 如果考虑 p 型半导体层 12 的杂质浓度比 n 型半导体层 3 高, 使 p 型半导体层 12 内不易产生耗尽层, 那么 p 型半导体层 12 的杂质浓度只要比为了获得良好的耐压特性所必需的 n 型半导体层 3 的杂质浓度的上限值 ($1.0 \times 10^{15}/\text{cm}^3$) 的该 p 型半导体层 12 杂质浓度的下限值 ($3.0 \times 10^{12}/\text{cm}^2$) 大, 那么在所有 n 型耐高压 MOS 晶体管中就可以获得良好的耐压特性。

而且, 在一般的半导体元件中, 由于 n 型半导体层 3 的杂质量通常被设定为 $1.0 \times 10^{15}/\text{cm}^3$ 以下, 结果, 对于所有的 n 型耐高压 MOS 晶体管 100 来说, 可以说 p 型半导体层 12 的杂质浓度至少比 $3.0 \times 10^{12}/\text{cm}^2$ 大。

10 另一方面, 如果把 n 型半导体层 3 的杂质浓度 $1.0 \times 10^{15}/\text{cm}^3$ 换算为平均单位面积的浓度, 那么在本例中, 由于 n 型半导体层 3 的厚度设定为 $20\mu\text{m}$ ($2.0 \times 10^{-3}\text{cm}$), 所以平均单位面积的浓度 = $(1.0 \times 10^{15}) \times (2.0 \times 10^{-3}) = 2.0 \times 10^{12} (/ \text{cm}^2)$ 。

15 此时, 由于只要比为了获得良好的耐压特性所必需的 p 型半导体层 12 的杂质浓度的下限值 ($3.0 \times 10^{12}/\text{cm}^2$) 大就可以, 结果可知, 相对于 n 型半导体层 3 的平均单位面积的杂质浓度, 把 p 型半导体层 12 的平均单位面积的杂质浓度设定得比 $(3.0 \times 10^{12}) / (2.0 \times 10^{12}) = 1.5$ 倍大就可以。

20 如上所述, 对 pn 结的半导体施加反向偏置电压时的 p 型、n 型的各个半导体中形成的耗尽层的厚度比与各个半导体的平均单位面积的杂质量有大致反比的关系, 此外, 由于平均单位面积的杂质浓度可以与各半导体层的厚度无关地设定, 所以即使在 n 型半导体层 3 未达到本例那样的 $20\mu\text{m}$ 的情况下, 如果 p 型半导体层 12 的平均单位面积的杂质量超过 n 型半导体层 3 的平均单位面积的杂质浓度的 1.5 倍, 就可以获得良好的耐压特性。

25 于是, 在本实施例的 n 型耐高压 MOS 晶体管 200 中, 由于有与 n 型半导体层 3 不同的导电型, 并且, 在 n 型半导体层 3 和绝缘膜 2 的界面上有包含的杂质浓度按上述条件设定为合适值的 p 型半导体层 12 的结构, 所以促进了 n 型半导体层 3 内的耗尽层的均匀延伸, 由此, n 型半导体层 3 的内部电场的集中被缓和, 可以获得良好的反向耐压特性。

30 再有, 以上就本实施例的 n 型耐高压 MOS 晶体管 200 的结构和杂质量等以特定的第一和第二反向偏置的情况为例进行了说明, 但 p 型半导体层 12 有

助于耗尽层延伸的理论在其它反向偏置状态中也可以同样适用, 并且, 上述第二反向偏置状态, 即对半导体衬底 1 和漏极 14 提供 0V 的电位, 同时对源极 13 提供负的高电位的情况被认为是最容易阻碍耗尽层延伸的条件, 结果, 在其它所有的反向偏置状态的情况中, 只要满足上述结构和 p 型半导体层 12 的杂质浓度条件, 就可以获得良好的反方向耐高压特性。

〈第二实施例〉

图 8 是表示本发明第二实施例的 n 型耐高压 MOS 晶体管 210 的结构的主要部分剖面图。

与第一实施例的 n 型耐高压 MOS 晶体管 200 (图 3) 的不同点在于, 沿 n 型半导体层 3 和隔离沟 4 的侧壁上形成的氧化硅膜 5 的界面形成与 p 型半导体层 12 同一导电型的作为第五半导体层的 p 型半导体层 15。

即使在反向偏置时, 由于在 n 型半导体层 3 的整个区域中可形成耗尽层, 所以与 p 型半导体层 12 一样, 也期望 p 型半导体层 15 的平均单位面积的杂质量大于 $3 \times 10^{12}/\text{cm}^2$ 。

这样的加工可以这样进行, 例如在 n 型半导体层 3 上形成隔离沟 4 前, 按照离子注入法, 在比该隔离沟 4 的形成范围稍稍宽的范围形成直达氧化硅膜 2 的 p 型半导体层, 然后, 在其内侧利用腐蚀形成隔离沟 4。

通过获得本实施例那样的结构, 与第一实施例的 n 型耐高压 MOS 晶体管 200 一样, 不仅可以提耐高压特性, 而且通过面对氧化硅膜 5 的 p 型半导体层 15 与 n 型半导体层 3 产生的 pn 结隔离, 可以进一步抑制相邻形成的其它 SOI 半导体元件的电位影响。

〈第三实施例〉

图 9 是表示本发明的 SOI 型半导体器件的第三实施例的 n 型耐高压 MOS 晶体管 220 的结构的主要部分剖面图。与第二实施例的 n 型耐高压 MOS 晶体管 210 的不同点在于, 对隔离沟 4 内埋入的多晶硅 6 的表面注入杂质, 设置 n⁺型半导体层 16, 在该 n⁺型半导体层 16 上设置电极 17。

通过获得这样的结构, 不仅具有与第一或第二实施例的 n 型耐高压 MOS 晶体管 200、210 相同的耐压特性效果, 而且, 例如通过电极 17, 如果对 n⁺型半导体层 16 提供与半导体衬底 1 相等的接地电位, 那么由于在该部分中进行电屏蔽, 所以可以进一步抑制相邻的其它 SOI 型半导体器件带有的电位影响。

再有，多晶硅6的表层部分设置的n⁺型半导体层16有用于与电极进行欧姆连接而设置的导电层的目的，代替n⁺型半导体层16，设置p⁺型半导体层也可以。

〈第四实施例〉

- 5 图10是表示本发明的SOI型半导体器件的第四实施例的n型耐高压MOS晶体管230的结构的主要部分剖面图。与图3所示的n型耐高压MOS晶体管200的不同点在于，使源极13和漏极14的n型半导体层3的相对位置相反。用于形成沟道的p型半导体层9、源极13、与源极13连接的形成可包围p型半导体层9的n⁺型半导体层10形成在岛状的n型半导体层3的周边部分，漏极14、与漏极14连接的作为第三半导体层的n⁺型半导体层11形成在岛状的n型半导体层3的中央部分。利用这样的结构，与第一实施例的n型耐高压MOS晶体管200一样，可以实现显示良好的反向耐压特性的n型耐高压MOS晶体管。

〈第五实施例〉

- 15 图11是表示本发明的SOI型半导体器件的第五实施例的n型耐高压MOS晶体管240的结构的主要部分剖面图。不形成图3所示的第一实施例的n型耐高压MOS晶体管200的栅极氧化膜7、栅极8、与源极13连接的形成可包围p型半导体层9的n⁺型半导体层10，而代替n⁺型半导体层10形成可包围p型半导体层9的n⁺型半导体层18，同时形成代替源极13的阳极电极19，形成代替漏极14的阴极电极20。

在这样的耐高压pn二极管240中，p型半导体层9、n⁺型半导体层11、n型半导体层3和p型半导体层12有与第一实施例的n型耐高压MOS晶体管200的结构完全相同，具有良好的反向耐压特性。

〈第六实施例〉

- 25 图12是表示本发明的SOI型半导体器件的第六实施例的p型耐高压MOS晶体管250的结构的主要部分剖面图。在与第一实施例的n型耐高压MOS晶体管200同样形成的岛状n型半导体层3的表面上，设有栅极氧化膜7、栅极8、用于形成沟道的作为第三半导体层的n型半导体层22、源极13、与源极13连接的形成可包围n型半导体层22的p⁺型半导体层23、漏极14、与漏极14连接的作为第二半导体层的p⁺型半导体层24、至少包围p⁺型半导体层24一部

分形成可与 n 型半导体层 22 连接的 p 型半导体层 21。此外，在岛状的 n 型半导体层 3 底部的氧化硅膜 2 的界面上，形成作为第四半导体层的 p 型半导体层 12。

5 该 p 型耐高压 MOS 晶体管 250 把第一实施例的 n 型耐高压 MOS 晶体管 200 的 n⁺型半导体层 11、p 型半导体层 9、n⁺型半导体层 10 分别置换成 p 型半导体层 21 和 p⁺型半导体层 24、n 型半导体层 22、p⁺型半导体层 23，只是杂质导电型相反，其它结构与 n 型耐高压 MOS 晶体管 200 大致相同，与该 n 型耐高压 MOS 晶体管同样，是具有良好反向耐压特性的 p 型耐高压 MOS 晶体管。

〈第七实施例〉

10 图 13 是表示本发明的 SOI 型半导体器件的第七实施例的横型绝缘栅双极晶体管 (IGBT) 260 的结构的主要部分剖面图。在与第一实施例的 n 型耐高压 MOS 晶体管 200 同样形成的岛状 n 型半导体层 3 的表面上，设有栅极氧化膜 7、栅极 8、用于形成沟道的作为第二半导体层的 p 型半导体层 9、源极 13、与源极 13 连接的形成可包围 p 型半导体层 9 的 n⁺型半导体层 10、漏极 14、与漏极 14
15 连接的形成可包围 p⁺型半导体层 25 的作为第三半导体层的 n 型半导体层 26。此外，在岛状的 n 型半导体层 3 底部的氧化硅膜 2 的界面上，形成作为第四半导体层的 p 型半导体层 12。在该横型 IGBT 260 中，p 型半导体层 9、n 型半导体层 26 和 n 型半导体层 3 构成的二极管的基本结构与第一实施例的 n 型耐高压 MOS 晶体管 200 相同，利用岛状的 n 型半导体层 3 底部的 p 型半导体层 12，
20 可获得与第一实施例相同的效果，具有良好的反向耐压特性。

〈第八实施例〉

图 14 是表示本发明的 SOI 型半导体器件的第八实施例的横型可控硅 270 的结构的主要部分剖面图。在与第一实施例的 n 型耐高压 MOS 晶体管 200 同样形成的岛状 n 型半导体层 3 的表面上，设有作为第二半导体层的 p 型半导体层
25 27、28、阳极电极 18、与阳极电极 18 连接的形成可包围 p 型半导体层 28 的 p⁺型半导体层 30、阴极电极 19、与阴极电极 19 连接的形成可包围 p 型半导体层 27 的 n⁺型半导体层 29、P 型控制栅极电极 33、与 P 型控制栅极电极 33 连接的形成可包围 p 型半导体层 27 的 p⁺型半导体层 31、N 型控制栅极电极 34、与 N 型控制栅极电极 34 连接的作为第三半导体层 3 的 n⁺型半导体层 32。

30 此外，在岛状的 n 型半导体层 3 底部的氧化硅膜 2 的界面部分上，形成作

为第四半导体层的 p 型半导体层 12。在该横型可控硅 270 中，有由 p 型半导体层 28、n 型半导体层 3、p 型半导体层 27 和 n⁺型半导体层 29 构成的 pnpn 结构，但基本的工作与 n 型耐高压 MOS 晶体管 200 的 pn 二极管相同，利用岛状的 n 型半导体层 3 底部的 p 型半导体层 12 可获得与第一实施例相同的效果，具有

5 良好的反向耐压特性。

〈变形例〉

再有，本发明的内容当然不限于上述实施例，可以考虑以下的变形例。

(1) 在上述各实施例中，说明了无论在什么情况下，作为 SOI 衬底有源层的第一半导体层都使用 n 型半导体层的情况，但作为该第一半导体层，即使使用 p 型半导体层，不用说也可以获得同样的效果。但是，在使用 p 型半导体层的情况下，在作为其底部埋入的第一绝缘膜的氧化硅膜的界面上必须形成作为

10 第四半导体层的 n 型半导体层。

(2) 在上述各实施例中，说明了无论什么情况，作为 SOI 衬底的支撑衬底都使用半导体衬底的情况，但即使把半导体衬底置换成绝缘性衬底，仍可以获得同样的效果。但是，作为 SOI 衬底的支撑衬底，在使用绝缘性衬底的情况下，按照蒸镀法等，期望在该绝缘性衬底的里面按均匀的厚度形成金属膜等，具有

15 使 SOI 型半导体器件的里面的电位均匀的结构。

(3) 此外，在上述各实施例中，说明了作为岛状的 n 型半导体层 3 的底部或隔离沟 4 的内部侧面上形成的绝缘膜，使用氧化硅膜的情况，但即使把氧化硅膜置换成氮化硅膜等其它的绝缘膜，仍可获得同样的效果。

20

尽管参照附图以实例的形式充分地说明了本发明，但应该指出，对于本领域技术人员来说，显然可以进行各种变更和改进。

因此，只要这些变更和改进未脱离本发明的范围，它们都应该归入本发明。

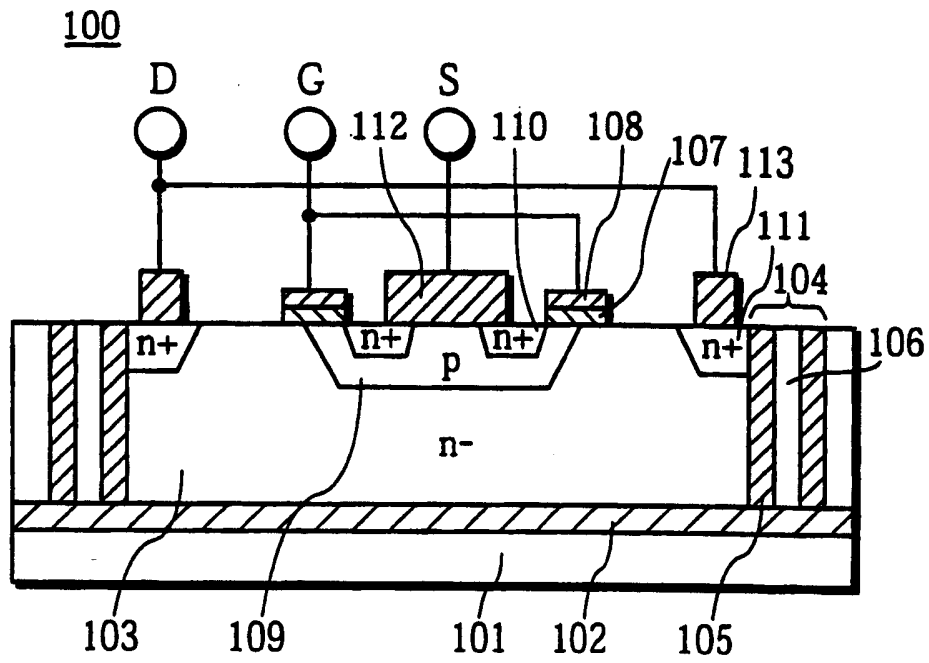


图 1

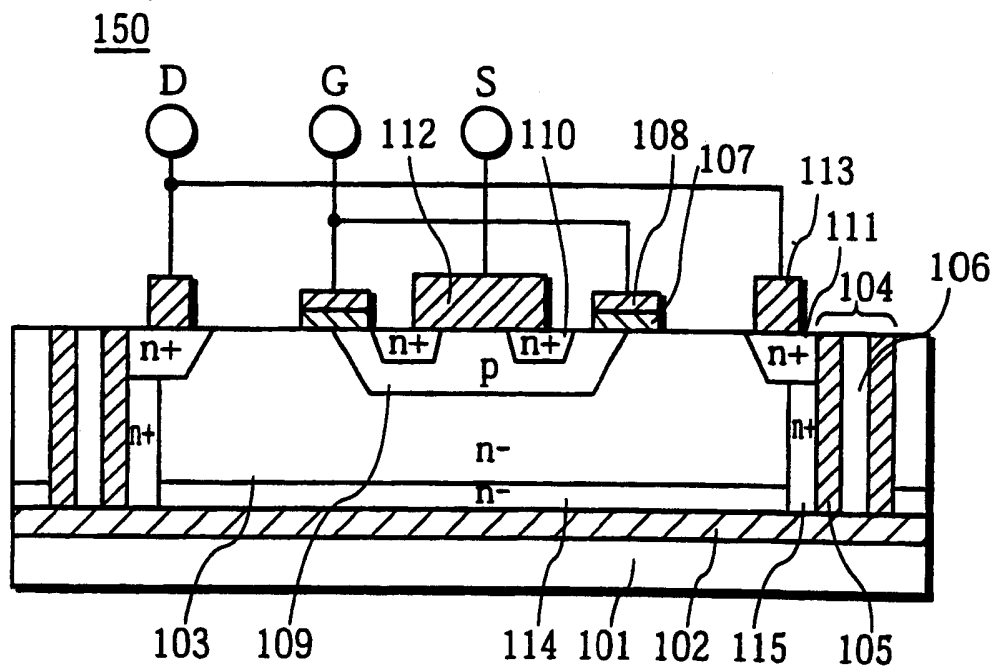


图 2

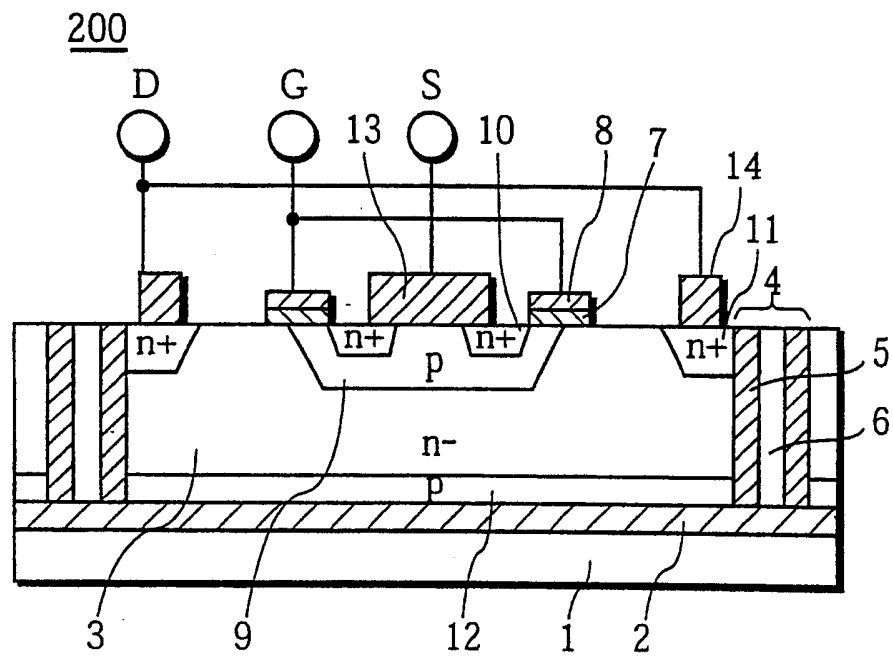


图 3

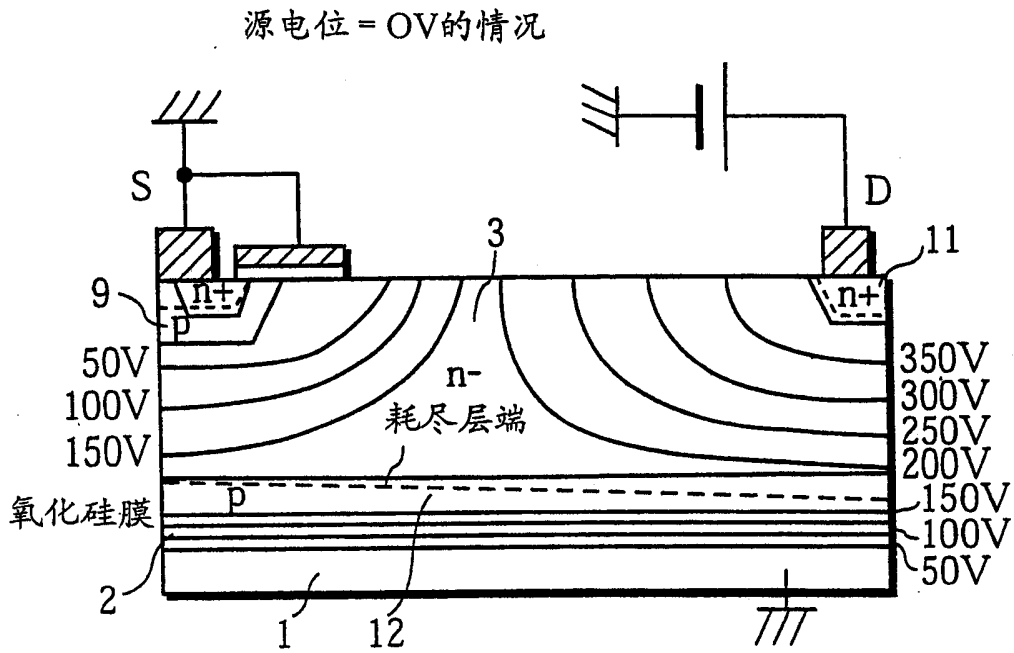


图 4A

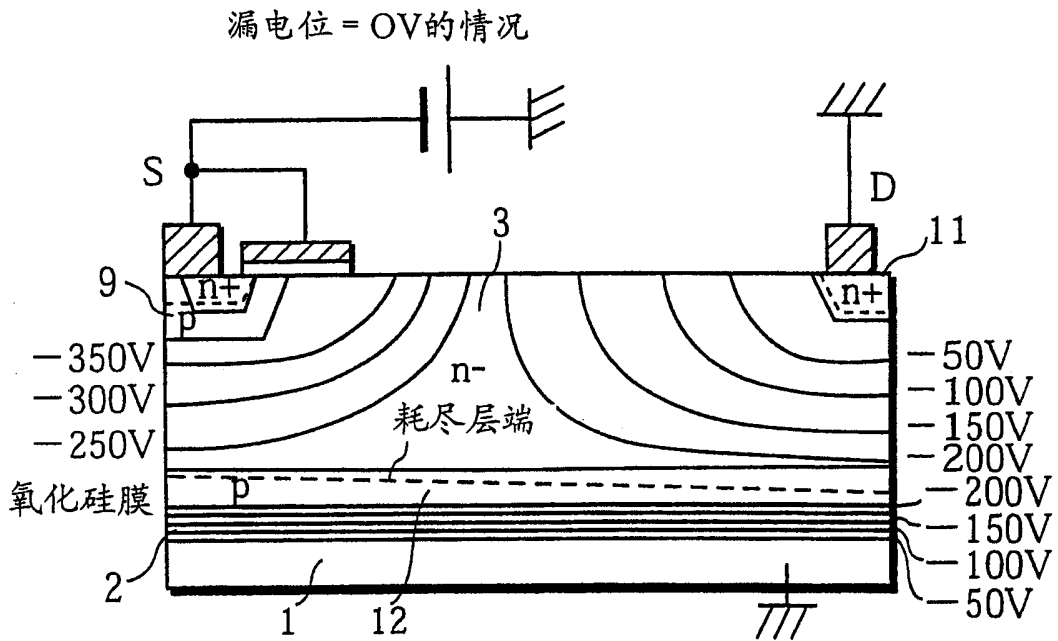


图 4B

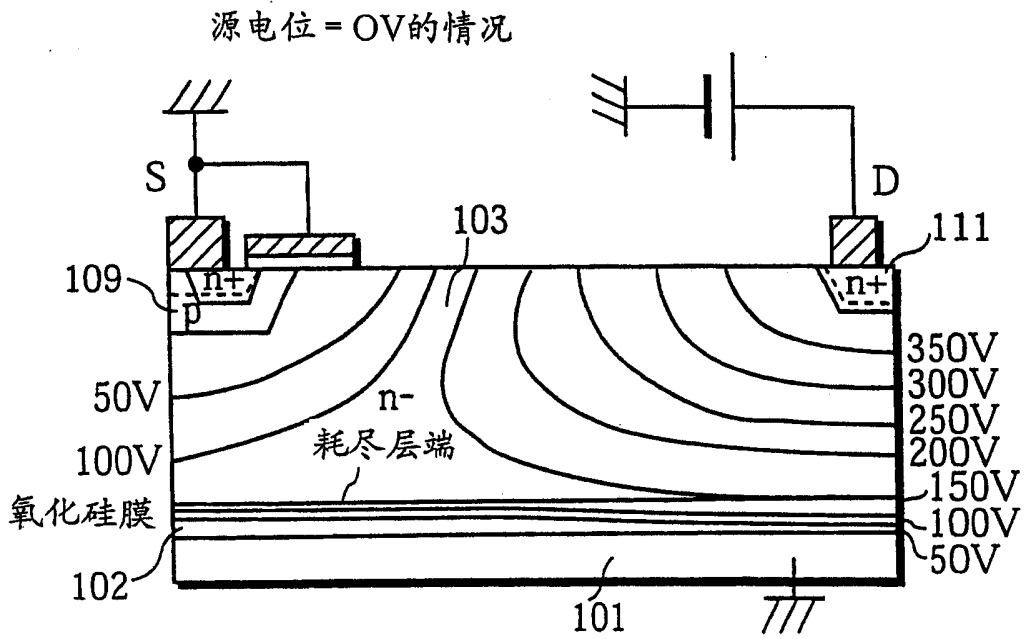


图 5A

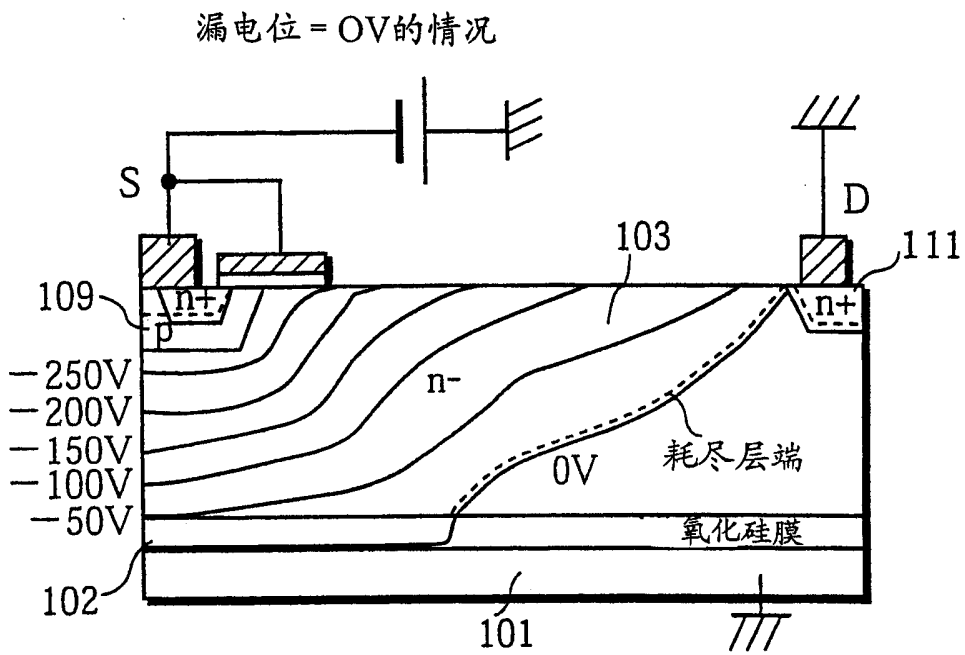


图 5B

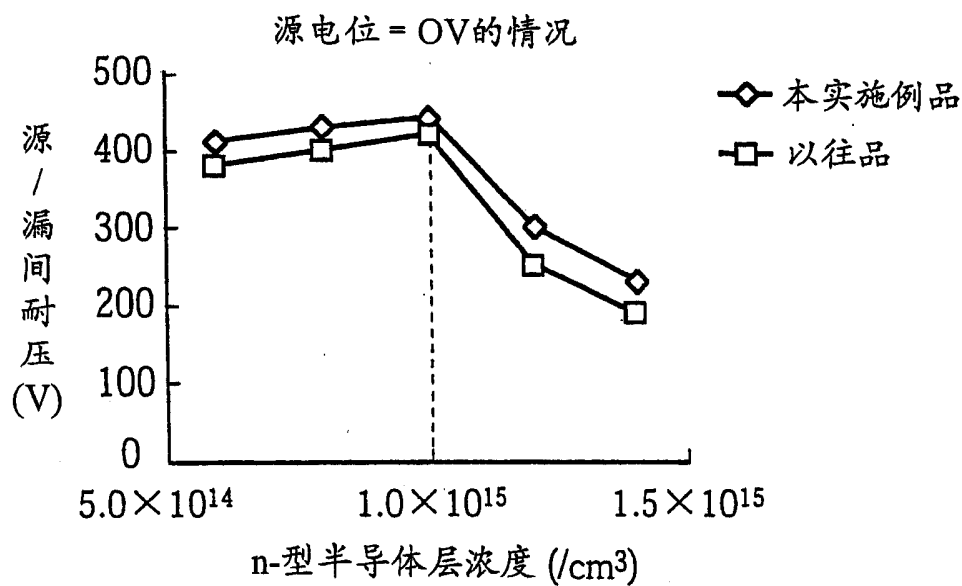


图 6A

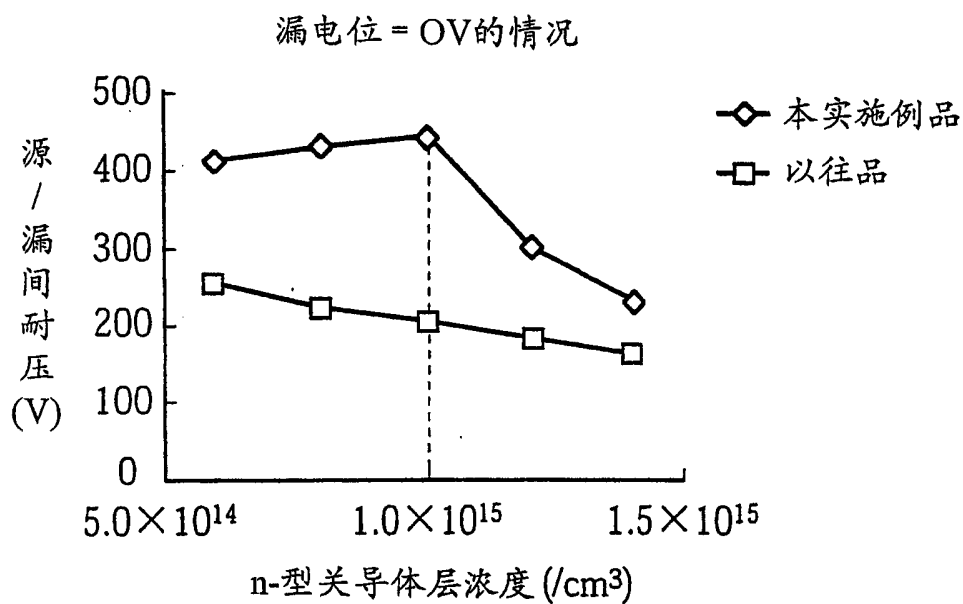


图 6B

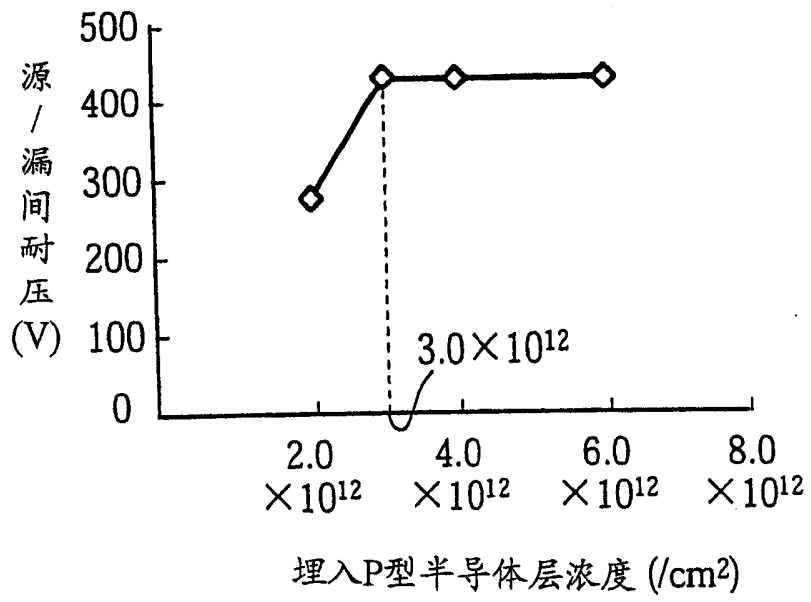


图 7

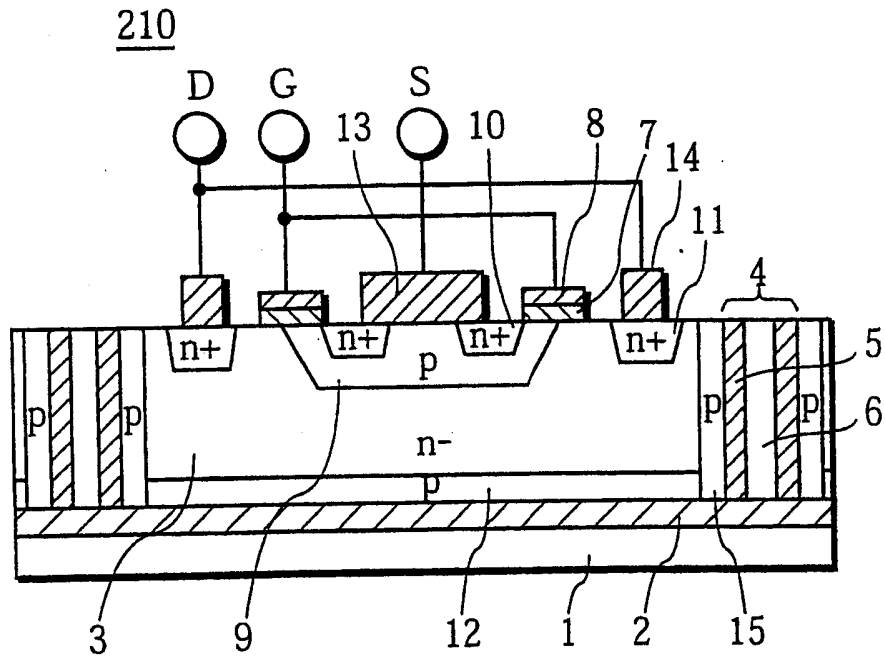


图 8

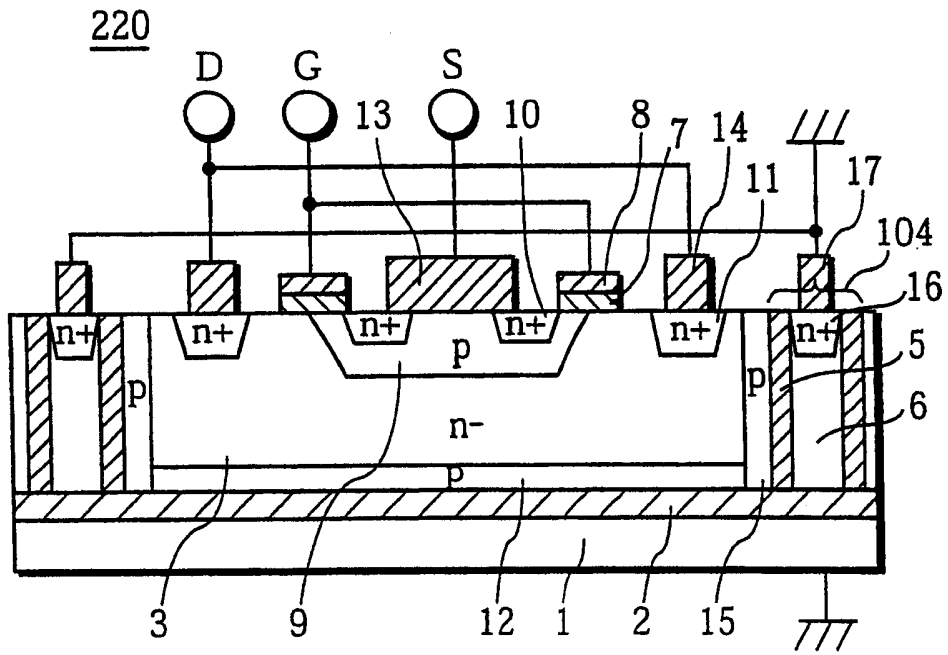


图 9

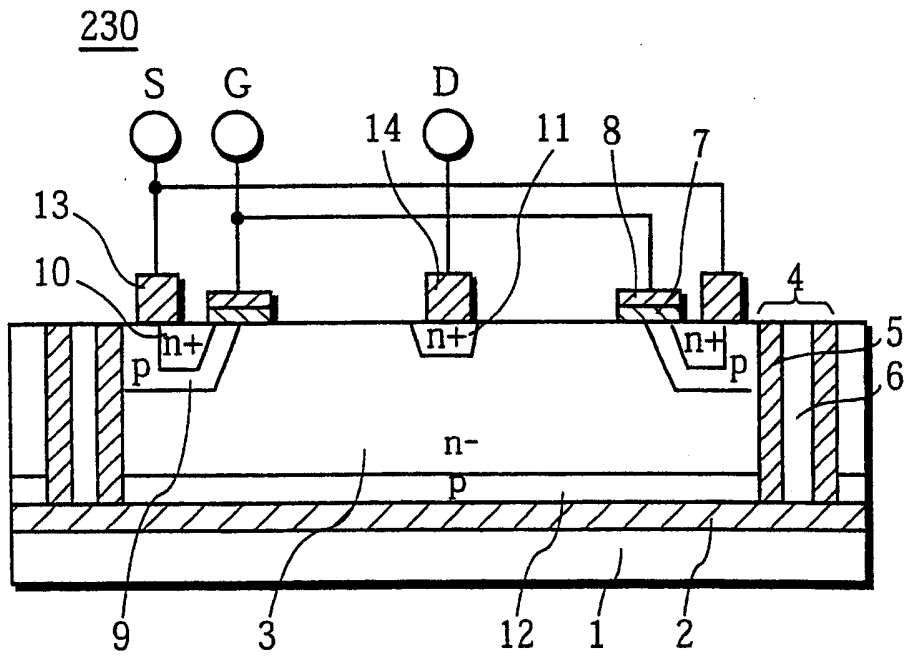


图 10

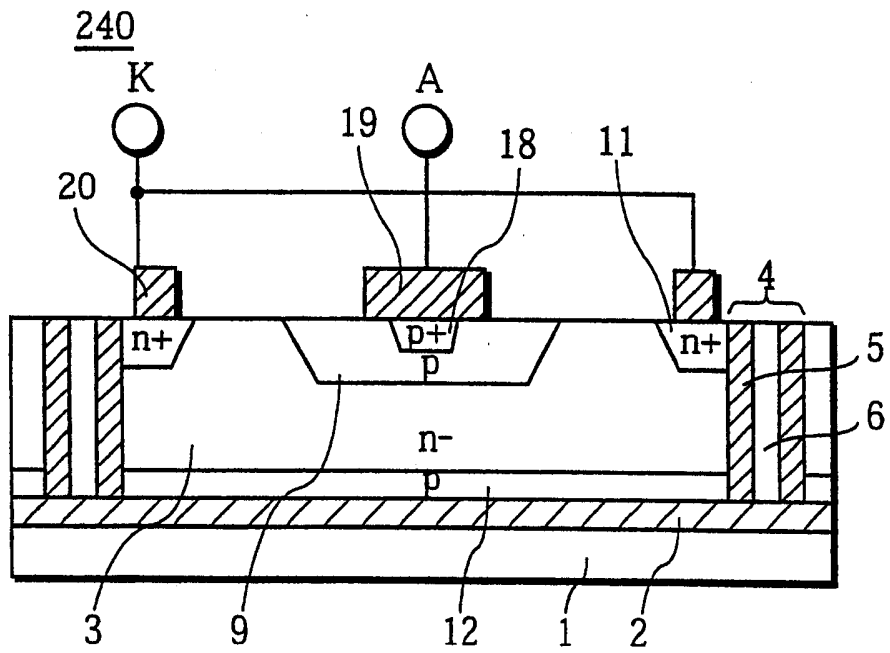


图 11

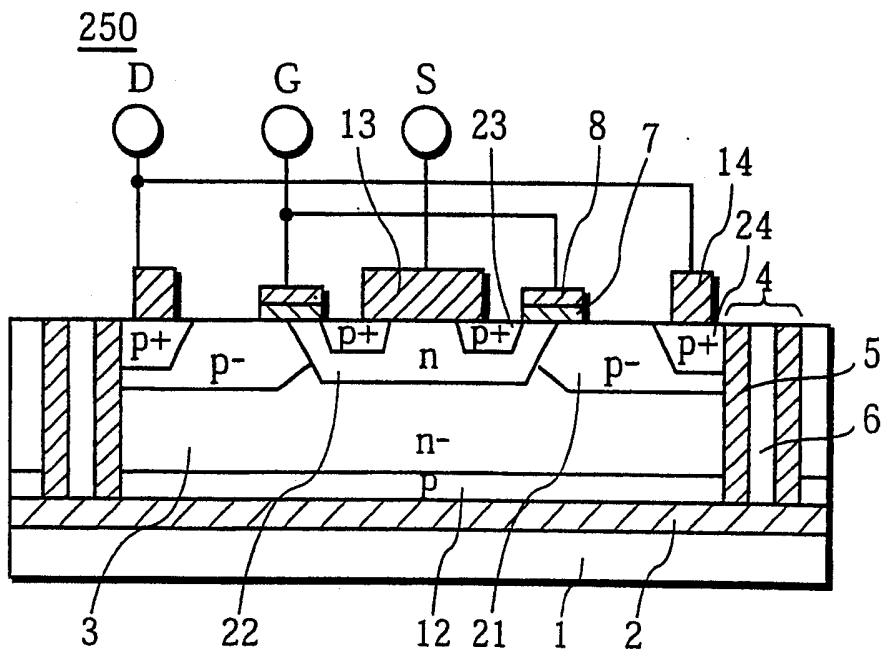


图 12

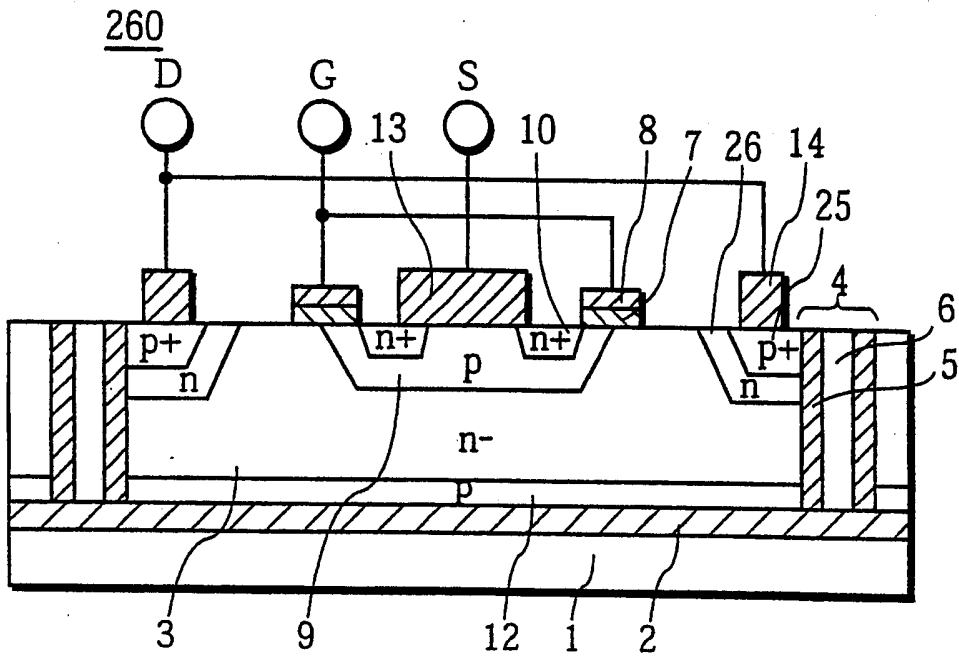


图 13

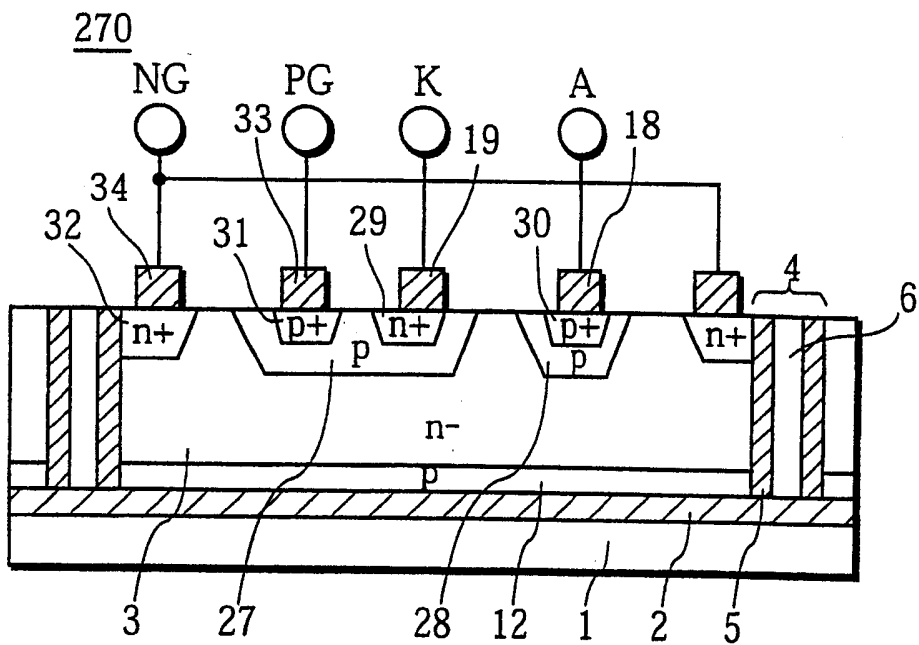


图 14