

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2003年2月13日 (13.02.2003)

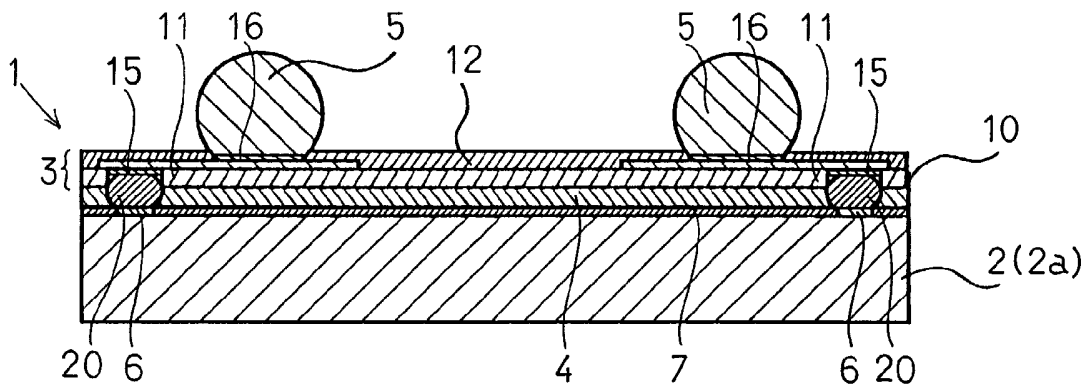
PCT

(10) 国際公開番号
WO 03/012863 A1

- (51) 国際特許分類: H01L 23/12
 - (21) 国際出願番号: PCT/JP02/03868
 - (22) 国際出願日: 2002年4月18日 (18.04.2002)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願2001-231770 2001年7月31日 (31.07.2001) JP
 - (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目6番地 Tokyo (JP). 日立北海セミコンダクタ株式会社 (HITACHI HOKKAI SEMICONDUCTOR, LTD.) [JP/JP]; 〒041-1196 北海道亀田郡七飯町字中島145番地 Hokkaido (JP).
 - (72) 発明者; および
 - (75) 発明者/出願人 (米国についてのみ): 林田 哲哉 (HAYASHIDA, Tetsuya) [JP/JP]; 〒041-1196 北海道亀田郡七飯町字中島145番地 日立北海セミコンダクタ株式会社内 Hokkaido (JP).
 - (74) 代理人: 秋田 収喜 (AKITA, Shuki); 〒114-0013 東京都北区東田端1丁目13番9号 ツインビル田端B2階 Tokyo (JP).
 - (81) 指定国 (国内): CN, JP, KR, SG, US.
 - (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書
- 2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A semiconductor device having area bump electrodes suitable for flip chip mounting. After a semiconductor chip with an array of wire bonding electrodes along the rim is prepared, an Au wire bump electrode is formed on the electrode, and then a wiring tape substrate is stacked on the semiconductor chip and fixed with an adhesive. The wiring tape substrate has a wiring connecting section on the rear face located by corresponding to the wire bonding electrode. The adhesive is punched through by the projection at the tip of the Au wire bump electrode provided on each electrode of the semiconductor chip, so that the Au wire bump electrode and a connecting section are electrically connected. The surface of the wiring tape substrate is provided with area array bump electrodes. The pitch of the area bump electrodes is larger than that of the electrodes of the semiconductor chip.

[続葉有]



WO 03/012863 A1



(57) 要約:

フリップチップ実装に好適なエリアアレーバンプ電極を有す半導体装置である。ワイヤボンディング用の電極を周縁に沿って配列した半導体チップを用意した後、前記電極上に金ワイヤバンプ電極を形成し、その後半導体チップに配線テープ基板を重ねて接着材で固定する。配線テープ基板は裏面に前記電極に対応して配線の接続部が対応し、かつ接着材による接着時、半導体チップの各電極上に設けられた前記金ワイヤバンプ電極の先端の凸部によって接着材を突き抜けて金ワイヤバンプ電極と接続部を電氣的に接続させる構成になっている。配線テープ基板の表面にはエリアアレーバンプ電極が設けられている。エリアアレーバンプ電極のピッチは半導体チップの電極のピッチよりも大きくなっている。

明 細 書

半導体装置及びその製造方法

技術分野

本発明は半導体装置及びその製造方法に係わり、特にワイヤボンディング用の電極を表面に有する半導体チップを、フリップチップ実装が可能なエリアアレーバンプ電極を有する半導体装置に転換できる技術に関する。

背景技術

10 近年、半導体装置を組み込んだ電子装置においては、高速度化、高機能化、高密度実装化が図られるとともに薄型化、軽量化が進められている。特に高速度化及び薄型化にはLSI等を組み込んだ半導体チップ(半導体素子)のフリップチップ実装が有効である。

フリップチップ実装するには大別すると下記のように2種類の手法が知られている。(1)半導体チップの周辺電極(例えば、アルミニウム)に金スタッドバンプをワイヤボンディング法により形成し、その後ACF(Anisotropic Conductive Film)やNCF(Non Conductive Film)等の熱硬化性樹脂を介して実装基板に金スタッドバンプ(金突起電極)を接着したり、あるいは半田を用いて金スタッドバンプと実装基板の配線(リード)を接続し、その後絶縁性樹脂で封止する。

(2)半導体チップの製造におけるウエハ状態で成膜/パターニングの工程を繰り返すことで半導体チップの周辺電極と、格子状に配置された半田電極用ランドとの間を接続する再配線層を形成し、前記半田電極用ランド上に半田バンプ電極を形成するWPP(Wafer Process Package

法)を適用し、各チップに分割した後、前記半田バンプ電極を介して基板と接続する。

前記のフリップチップ実装する手法では、下記のような問題が生じる。半導体チップの周辺電極は、配線長の増大に伴う信号遅延を防ぐために、半導体チップの入出力回路用素子が形成された領域に沿って配列されるため、一般的に半導体チップの主面上の狭い領域に小さな間隔(ピッチ)で配列される。従って半導体チップの周辺電極上に直接バンプ電極を形成する上記(1)の方法では形成されるバンプ電極のピッチが小さくなり、それに合わせて実装基板としては通常よりも高価なビルドアップタイプのものを用いなければならなかった。

また、(2)の方法は再配線層を形成することによって、半田電極用ランドを半導体チップの主面上の広い領域に複数行/列の格子状に配列することが可能となるため、半田バンプ電極の間隔も広がるが、ウエハ状態で不良チップも含めて工程を適用するためにコストが高くなることや、前記W P P法によって実装基板と半導体チップの間に生じる熱応力を緩和する機構を形成することが困難であるなどの問題があった。

半導体装置が実装される実装基板は一般にセラミック基板、プリント基板が用いられている。これらの実装基板の半導体装置と接続する電極のピッチはおよそ $130\mu\text{m}$ ~ $160\mu\text{m}$ であり、半導体チップ側の周辺電極のピッチ $80\mu\text{m}$ ~ $100\mu\text{m}$ を直接フリップチップとして接続することはできない。

そこで、一般にプリント基板では、従来のラミネート法に替わってより微細な電極を形成できるビルドアップ法が用いられるようになってきた。

ところが、このビルドアップ法による基板は、その製造方法がラミネート法よりも複雑でおよそ1.7~2倍と高価である。

そこで、本発明者は、W P P法を用いずに、半導体チップ側の電極を
周辺電極から半導体ウエハの主面上の領域に複数行／列によって構成さ
れる格子状に配列したエリアアレーバンプ電極にして、電極ピッチを拡
大することで、安価なラミネート法によるプリント基板を用いることを
5 検討し、本発明をなした。

特開2000-58594号公報には、基板実装用の複数のはんだボ
ールを有するバンプ用基板であるテープ上に半導体チップを接着材を介
して搭載した構造を有する半導体装置において、テープのはんだボール
を形成した表面から溝を設け、この溝によって応力を分散させる構造が
10 開示されている。

本発明の目的は、フリップチップ実装に好適なエリアアレーバンプ電
極を有する半導体装置及びその製造方法を提供することにある。

本発明の他の目的は、フリップチップ実装に好適なエリアアレーバン
プ電極を有する半導体装置を安価に提供することにある。

15 本発明の他の目的は、格子状に配置したバンプ電極と、半導体チップ
との間に応力緩和構造を有する半導体装置及びその製造方法を提供する
ことにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記
述および添付図面からあきらかになるであろう。

20

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明
すれば、下記のとおりである。

(1) 主面と、前記主面上に形成された複数の半導体素子、及び複数
25 の電極を有する半導体チップと、

前記半導体チップの各電極上に形成された金突起電極（金ワイヤバン

ブ電極) と、

主面及び裏面を有する絶縁基材層(テープ基材)と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成された貫通孔とを有する配線基板(配線テープ基板)と、

5 前記配線基板の主面上に、それぞれ各複数の配線に接続して形成された複数の半田突起電極(エリアアレーバンプ電極)とを有する半導体装置において、

前記配線基板は、前記絶縁基材層の裏面を前記半導体チップの主面に対向させて配置されており、

10 前記絶縁基材層の裏面と前記半導体チップの主面は、接着材(熱硬化性樹脂)を介して接着されており、

前記金突起電極のそれぞれは、前記貫通孔の内部で前記配線基板の配線と接続しており、

15 前記複数の半田突起電極は、前記半導体チップの電極の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列されており、

前記半田突起電極のそれぞれは、前記半導体チップの主面上に、前記接着材と前記絶縁基材層を介して配置されている。

20 前記絶縁基材層厚さと前記接着材の厚さの和は $50 \sim 100 \mu\text{m}$ であり、前記絶縁基材層の厚さは前記接着材の厚さ($50 \mu\text{m}$ 以下)よりも厚くなっている。前記複数の配線は、銅膜と、前記銅膜の表面に形成されたSnメッキ膜またはNi-Auメッキ膜によって構成されている。前記半導体チップの電極は、前記半導体チップ主面の周囲に沿って配列されている。前記半導体チップの電極は、入出力回路用素子が形成され
25 た領域に沿って配列されている。前記半田突起電極は、前記金突起電極が配置された領域とは外れた領域に配置されている。前記金突起電極の

弾性率は、前記絶縁基材層の弾性率および前記接着材の弾性率よりも大きい。前記絶縁基材層は、可撓性膜（ポリイミド系樹脂）によって構成されている。

このような半導体装置は以下の方法によって製造される。即ち、

- 5 主面と、前記主面上に形成された複数の半導体素子、及び複数の電極を有する半導体チップを準備する工程と、

主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成された貫通孔とを有する配線基板を準備する工程と、

- 10 前記半導体チップの各電極上に金突起電極を形成する工程と、

前記絶縁基材層の裏面と前記半導体チップの主面との間に接着材（熱硬化性樹脂）を介して、前記配線基板を前記半導体チップの主面上に配置する工程と、

- 15 前記配線基板を配置する工程の後に、前記配線基板に圧力を加えて前記金突起電極と前記配線とを前記貫通孔の内部で接触させ、かつ前記接着材に熱を加えて硬化させる工程と、

前記配線基板の主面上に、複数の半田突起電極を、各複数の配線に接続して形成する工程とを有しており、

- 20 前記複数の半田突起電極は、前記半導体チップの電極の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列され、

前記半田突起電極のそれぞれは、前記半導体チップの主面上に、前記接着材と前記絶縁基材層を介して配置される。

- 25 前記（１）の手段によれば、（a）ワイヤボンディング用電極を周縁に沿って配置した半導体チップを配線基板を用いて前記電極のピッチよりもピッチが大きい半田バンプ電極とすることができるため、電気特性を向上させることができる。即ち、特に高速信号処理化に不可欠なインダ

クタンスをワイヤボンディング法の1～1.5 nHをおよそ0.1 nHに低減することができる。

(b) ワイヤボンディング用の電極をこの電極のピッチよりも広くかつ大きい半田突起電極とすることにより、半導体装置の実装時の接続信頼性を高めることができる。

(c) 半田突起電極が設けられる配線基板は半導体チップと同じ大きさでかつ半導体チップに一致して重なる構造となることから半導体装置の小型化が図れる。

(d) 半田突起電極は、金突起電極が配置された領域とは外れた領域に配置され、また。前記金突起電極の弾性率は、前記絶縁基材層の弾性率および前記接着材の弾性率よりも大きくなっている。従って、半田突起電極が、金突起電極と比較して弾性率の小さい絶縁基材層や硬化後の接着材を介して、半導体チップの主面上に配置されることにより、実装基板に実装された際に、半導体チップと実装基板との熱膨張係数差によって生じる熱応力を、絶縁基材層や接着材によって緩和させることができる。

(e) 半導体チップの主面上に配置される半田突起電極と半導体チップの間には、弾性率の低い有機樹脂によって形成される層が、50～100 μmまたはそれ以上の厚さで形成されていることから、実装基板と半導体チップの間に生じる熱応力が緩和される。

(f) ACFやNCFなどの熱硬化性樹脂によって形成される接着材の層の厚さを、50 μm以上形成しようとする、熱硬化工程において生じる厚さの部分的なばらつきによって、その上に形成される半田突起電極の平坦度が低下するという問題を生じる。しかし、本発明によれば、接着材の層の厚さは50 μm以下に抑えつつ、半田突起電極と半導体チップとの間に絶縁基材層を配置することによって、半田突起電極と半導

体チップとの間の有機樹脂の層の厚さを稼ぐことができ、この結果、半田突起電極の平坦度低下を抑止することができる。

- (g) 絶縁基材層は可撓性樹脂膜によって形成されかつその厚さも30～100 μ m程度となっていることから、半導体装置を実装基板に実装した後の応力が緩和され、実装の信頼性が高くなる。

図面の簡単な説明

図1は本発明の一実施形態（実施形態1）である半導体装置を示す模式的断面図である。

- 10 図2は本実施形態1の半導体装置の平面図である。

図3は本実施形態1の半導体装置の裏面図である。

図4は本実施形態1のエリアアレー電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。

- 15 図5は本実施形態1の半導体装置における半導体チップの模式的平面図である。

図6は本実施形態1の半導体装置における配線テープ基板の平面図である。

図7は前記配線テープ基板の模式的断面図である。

図8は前記配線テープ基板の裏面図である。

- 20 図9は本実施形態1の半導体装置の製造において電極上に金ワイヤバンプ電極を形成した半導体チップを示す模式的断面図である。

図10は本実施形態1の半導体装置の製造において半導体チップ上に重ねられる接着材及び配線テープ基板を示す模式的断面図である。

- 25 図11は本実施形態1の半導体装置の製造において半導体チップ上に接着材を介して配線テープ基板を接着する状態を示す模式的断面図である。

図 1 2 は本実施形態 1 の半導体装置の製造において半導体チップ上に接着材を介して重ねて接着された配線テープ基板を示す模式的断面図である。

図 1 3 は本実施形態 1 の半導体装置の製造において配線テープ基板に
5 エリアアレーバンプ電極を固定した状態を示す断面図である。

図 1 4 は本実施形態 1 の半導体装置が搭載された電子装置の一部を示す模式的断面図である。

図 1 5 は本発明の他の実施形態（実施形態 2）である半導体装置を示す模式的断面図である。

10 図 1 6 は本発明の他の実施形態（実施形態 3）である半導体装置を示す模式的断面図である。

図 1 7 は本発明の他の実施形態（実施形態 4）である半導体装置を示す模式的断面図である。

15 図 1 8 は本発明の他の実施形態（実施形態 5）であるエリアアレー電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。

図 1 9 は本実施形態 5 の変形例であるエリアアレー電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。

20 図 2 0 は本発明の他の実施形態（実施形態 6）である多連テープを用いて半導体装置を製造する方法を示す模式図である。

図 2 1 は本実施形態 6 の半導体装置の製造において半導体チップを配線テープ基板に搭載する状態を示す拡大模式図である。

図 2 2 は本実施形態 6 の半導体装置の製造において半田ボールを供給して半田突起電極を形成する方法を示す模式図である。

25 図 2 3 は本発明の他の実施形態（実施形態 7）であるマルチチップ・モジュールを示す模式的断面図である。

図 2 4 は本実施形態 7 のマルチチップ・モジュールにおける半導体素子の電極配列とマルチチップ・モジュール基板のワイヤボンディングパッドの配列を示す模式図である。

図 2 5 は本実施形態 6 のマルチチップ・モジュールの製造方法を示す
5 フローチャートである。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、
発明の実施の形態を説明するための全図において、同一機能を有するも
10 のは同一符号を付け、その繰り返しの説明は省略する。

(実施形態 1)

図 1 乃至図 1 4 は本発明の一実施形態（実施形態 1）である半導体装置に係わる図である。図 1 は半導体装置を示す模式的断面図、図 2 は半導体装置の平面図、図 3 は半導体装置の裏面図、図 4 はエリアアレーバ
15 ンプ電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。

本実施形態 1 の半導体装置 1 は、図 1 に示すように、半導体チップ 2 の主面（図 1 では上面）に配線基板（配線テープ基板）3 が接着材 4 を介して重ねて接着された構造となり、配線テープ基板 3 の露出する面（図
20 1 では上面）に半田突起電極（エリアアレーバンプ電極）5 が設けられた構造になっている。

図 1 ではエリアアレーバンプ電極 5 を 2 個配線テープ基板 3 の構造をも明確にするために拡大しかつ模式的に示してある。エリアアレーバンプ電極 5 の配列状態は、具体的には図 2 のように縦横に格子状に配列さ
25 れている。以下の説明において、製造方法等一部においてはエリアアレーバンプ電極 5 が 2 個の状態でも説明することにする。

半導体チップ2は、ウエハプロセスが完了した直径が大きな半導体基板（ウエハ）を縦横に切断して得られるチップであり、図3，図5に示すように四角形状の半導体基板（例えば、シリコン基板）2aを主体として形成され、図示しないLSI等の回路が形成されている。半導体基板2aの主面には、回路の外部端子となる電極（ボンディングパッド）6が図示しない入出力用回路が形成された領域に沿って一列に配列されて形成されている（図5参照）。

本実施形態1では、前記電極6は、例えば半導体基板2a（半導体チップ2）の周縁に沿って配置され、いわゆる周辺電極配列となっている。この電極部分を除く半導体基板2aの主面は絶縁膜（パッシベーション膜）7で被われている（図1参照）。電極（ボンディングパッド）6は、ワイヤが接続される端子であり、アルミニウムまたはアルミニウム合金の薄膜で形成され、大きさは60～90 μ m程度の四角形であり、最小ピッチa（図5参照）は70～100 μ m程度である。また、半導体チップ2の裏面は図3に示すように、平坦なシリコン面となっている。このシリコン面は半導体装置1の外壁面ともなる。

配線テープ基板3は、図6乃至図8に示すような構造となっている。図6は配線テープ基板の平面図、図7は配線テープ基板の模式的断面図、図8は配線テープ基板の裏面図である。

本実施形態1では、図7に示すように、配線テープ基板（配線基板）3は半導体チップ2と一致して重なるため、半導体チップ2と同じ寸法形状となる四角形になっている。配線テープ基板3は、半導体チップ2と同じ四角形状の有機樹脂材料からなる絶縁基材層（テープ基材）10と、このテープ基材10の表面に形成される配線11と、テープ基材10の表面を被うとともに前記配線11を選択的に被う絶縁膜（ソルダレジスト）12（図6にて斜線で示される領域）とからなっている。

ソルダレジスト 1 2 が設けられない領域、即ち開口部 1 3 は、例えば、
図 6 に示すように円形領域となり、配線 1 1 の一部である接続部が露出
する領域となる。この接続部には、後述するが半田突起電極（エリアア
レーバンプ電極） 5 が形成される。この開口部 1 3 は、図 6 に示すよう
5 に縦横に格子状に整列配置されている。この開口部 1 3 のピッチ、即ち
エリアアレーバンプ電極のピッチ b は、図 5 に示す半導体チップ 2 の電
極 6 のピッチ a に比較して大きくなっている。例えば、 a は $80 \sim 100$
 μm 程度であり、 b は $150 \sim 500 \mu\text{m}$ 程度である。このように半
導体チップ 2 の電極 6 のピッチよりもエリアアレーバンプ電極 5 のピッ
10 ちを大きくすることによって実装性能が良好なフリップチップ実装が可
能になる。

また、図 8 に示すように、テープ基材 1 0 の裏面には縁（辺）に沿っ
て貫通孔（開口溝） 1 4 が設けられている。この開口溝 1 4 は、半導体
チップ 2 の各電極 6 に対応し、配線テープ基板 3 を半導体チップ 2 に重
15 ね合わせた際、開口溝 1 4 内に各電極 6 が対応して位置するようになっ
ている。

テープ基材 1 0 の表面に設けた配線 1 1 の各外端部分は、開口溝 1 4
を横切るように延在して露出した接続部を形成している。この接続部は
半導体チップ 2 に配線テープ基板 3 を重ね合わせた際、開口溝 1 4 部分
20 に露出する配線 1 1 の接続部が半導体チップ 2 の電極 6 にそれぞれ対面
するようになる。

図 8 では、配線 1 1 の外端部分の接続部は模式的に矩形状で示してあ
る。また、図 4 の模式図に示すように、最終的には所定の電極 6 と所定
のエリアアレーバンプ電極 5 は所定の配線 1 1 によって電氣的に接続さ
25 れることになる。図 4 は半導体チップ 2 の電極 6 とエリアアレーバンプ
電極 5 との結線状態を示す半導体装置の模式的平面図である。

エリアアレーバンプ電極 5 は半導体チップ 2 の電極 6 上から外れた位置に設けられるように開口部 13 の位置は選択されている。これは、エリアアレーバンプ電極が、金ワイヤバンプ電極と比較して弾性率の小さいテープ基材 10 や硬化後の接着材 4 を介して、半導体チップ 2 の主面上に配置されることにより、実装基板 30 に実装された際に、半導体チップ 2 と実装基板 30 との熱膨張係数差によって生じる熱応力を、テープ基材 10 や接着材 4 によって緩和させることができるためである。なお、後述するが、電極 6 は金ワイヤバンプ電極を介して配線 11 の接続部に接続される。

10 また、図 7 に示すように、開口溝 14 の底に露出する配線 11 の接続部及び開口部 13 の底に露出する配線 11 の接続部の表面には、メッキ膜 15, 16 が設けられている。

テープ基材 10 は、エポキシ樹脂、アラミド樹脂、ポリイミド樹脂等を用いた可撓性樹脂膜によって形成されており、テープ基材 10 の厚さは半導体装置 1 を実装基板に実装した後の応力緩和の観点からおよそ 30 ~ 100 μm 程度が望ましい。また、配線 11 は通常配線材料として用いられるテープ基材に貼りつけた銅箔を所定パターンにエッチングすることによって形成する。配線 11 において開口溝 14 や開口部 13 の底に露出する配線部分は電極として使用するが、この電極部分は金属の接触抵抗低減、半田の反応性促進のためにニッケル、金等を被着することが望ましく、前述のようにメッキ膜 15, 16 を設ける。これらメッキ膜 15, 16 は、例えば、Snメッキ膜やNi-Auメッキ膜で形成する。

25 テープ基材 10 の厚さはソルダレジスト 12 の厚さよりも厚くなり、ソルダレジスト 12 の硬化収縮等によっても反り返りが発生しないようになっている。例えば、テープ基材 10 の厚さが 20 ~ 100 μm 程度

であるとき、ソルダレジスト12の厚さは20～50 μ m程度である。

半導体チップ2の電極6の上に金ワイヤバンプ電極20が固定されているとともに、この金ワイヤバンプ電極20の先端は配線11の接続部に接続されている。金ワイヤバンプ電極20の先端は接続部のメッキ膜
5 15と電気的に接続されている。また、配線テープ基板3の開口部13にはそれぞれエリアアレーバンプ電極5が固定されている。

つぎに、図9乃至図13を参照しながら本実施形態1の半導体装置1の製造について説明する。図9に示すように、半導体チップ2の電極6上に金ワイヤバンプ電極20を形成する。特に図示しないが、常用のワイヤボンディング装置のボンディングツールに保持される金線(例えば、直径20～30 μ m)の先端を放電トーチ等によって溶かしてボール(例えば、直径50～80 μ m)を形成し、その後ボンディングツールで半導体チップ2の電極6上に潰し固定する。その後、ワイヤを引っ張ることによってボンディング部分でワイヤを切断させ、図9に示すような金
10 ワイヤバンプ電極(金スタッドバンプ)20を形成する。切断は引っ張りによるため金ワイヤバンプ電極20の先端の直径は、金線の直径よりも小さくなる。電極6に固定されたボール状部分の直径は60～90 μ m程度となり、高さは70 μ m程度となる。本実施形態1では、後述するように尖った部分(凸部)を配線11の接続部との接続に利用する。

つぎに、図10に示すように、半導体チップ2の金ワイヤバンプ電極20を設けた面上に、半導体チップ2と略同じ大きさの半固形の接着材4、及び配線テープ基板3を重ねる。図10は相互に重なる半導体チップ2、接着材4及び配線テープ基板3を見やすいように分離させて示した図である。

25 これら半導体チップ2、接着材4、配線テープ基板3を、図11に示すように、加熱・加圧装置の下型25と、上型26との間に位置決めし

て挟み、所定の温度及び圧力で加熱，加圧して金ワイヤバンプ電極 20 と配線テープ基板 3 の開口溝 14 の底に露出する配線 11 の接続部とを電氣的に接続するとともに、接着材 4 を熱硬化させて配線テープ基板 3 を半導体チップ 2 に固定する（図 12 参照）。

- 5 前記接着材 4 には、一例として絶縁性の熱硬化性樹脂を使用する。この接着においては、半導体チップ 2 の各電極 6 上に設けた金ワイヤバンプ電極 20 の先端の凸部によって接着材 4 を突き抜けさせて金ワイヤバンプ電極 20 と配線テープ基板 3 の配線 11 の接続部を電氣的に接続させる。配線テープ基板 3 の開口溝 14 の底に露出する配線 11 の接続部
10 はその表面に Sn メッキ膜または Ni - Au メッキ膜が設けられていることから、金ワイヤバンプ電極 20 と接続部の接合は Au - Sn 接合 (Au - Sn 合金) または Au - Au 接触となる。

- また、接着材 4 としては、市販の NCF (Non Conductive Film) や ACF (Anisotropic Conductive Film) も使用できる。ACF を用いた場合
15 は ACF 中の導電粒子を介在させて金ワイヤバンプ電極 20 と配線テープ基板 3 の開口溝 14 の底の配線 11 の接続部を電氣的に接続する。

- つぎに、図 13 に示すように、配線テープ基板 3 の開口部 13 の底に露出する配線 11 の接続部上にエリアアレーバンプ電極 5 を固定する。前記接続部の表面には Sn メッキ膜または Ni - Au メッキ膜で構成されるメッキ膜 16 が設けられている。エリアアレーバンプ電極 5 を形成
20 するため、Pb - Sn 共晶半田あるいは Pb フリー半田等で形成される半田ボールを開口部 13 に供給し、加熱リフローによってエリアアレーバンプ電極 5 を形成する。例えば、直径 400 μm の半田ボールを開口部 13 に供給して、直径 450 μm ，高さ 400 μm のエリアアレーバ
25 ンプ電極 5 を形成する。

実装基板と半導体チップの間に生じる熱応力緩和の観点から、半導体

チップの主面上に配置される半田突起電極 5 と半導体チップ 2 との間には、弾性率の低い有機樹脂によって形成される層が、50～100 μm またはそれ以上の厚さで形成されることが好ましい。しかし、ACF や NCF などの熱硬化性樹脂によって形成される接着材 4 の層の厚さを、
5 50 μm 以上形成しようとする、熱硬化工程において生じる厚さの部分的なばらつきによって、その上に形成される半田突起電極 5 の平坦度が低下するという問題を生じる。

前記の平坦度低下の問題は、半導体チップの実装時に熱と共に圧力を加える本実施形態にあるような製造方法を採用する半導体装置において
10 は、より顕著に現れる問題である。

このような問題を解決するためには、接着材 4 の層の厚さは 50 μm 以下に抑えつつ、半田突起電極 5 と半導体チップ 2 との間にテープ基材 10 を配置することによって、半田突起電極 5 と半導体チップ 2 との間の有機樹脂の層の厚さを稼ぐことが有効である。

15 半田突起電極 5 と半導体チップ 2 との間にテープ基材 10 を配置する構成としては、テープ基材 10 の両面に配線を有する配線テープ基板 3 を準備して、その表面側の配線上に半田突起電極 5 を形成し、その裏面側の配線と半導体チップ 2 の金突起電極 20 とを接続するように形成することも可能であるが、テープ基材 10 の両面に配線を有する配線テープ
20 プ基板 3 は、テープ基材 10 の片面のみに配線を有する配線テープ基板 3 に比較して非常に高価である。

そこで、本実施形態にあるように、テープ基材 10 の片面のみに配線を有する安価な配線テープ基板 3 を用いる場合は、テープ基材 10 の配線が形成された主面と反対側の裏面を半導体チップに対向させ、テープ
25 基材に形成した開口溝（貫通孔）14 の内部で金突起電極 20 と配線とを接続させることによって、半田突起電極 5 と半導体チップ 2 との間に

テープ基材 10 を配置する構成を形成することができる。

本実施形態 1 では配線テープ基板 3 に単一の半導体チップ 2 を取り付けたが、配線テープ基板 3 の配線パターンの変更によってさらに多数の半導体チップ 2 を取り付けて MCM 構造にもできる。

- 5 このような半導体装置 1 は、図 14 に示すように所定の電子装置の実装基板に搭載される。図 14 は電子装置の一部を示す模式的断面図である。実装基板 30 上には、本実施形態 1 による半導体装置 1 と、他のパッケージ構造の半導体装置、即ち、QFP (Quad Flat Package) 31, BGA (Ball Grid Array) 32, CSP (Chip Size Package) 33 が
- 10 搭載されている。図には示していないが、当然にして実装基板 30 には抵抗、コンデンサ、コネクタ等他の電子部品も搭載される。

本実施形態 1 によれば以下の効果を有する。

- (1) ベアチップとして入手できる、ワイヤボンディング用電極 6 を周縁に沿って配置した半導体チップ 2 を、配線テープ基板 3 を用いて
- 15 前記電極 6 よりもピッチが大きいエリアアレーバンプ電極 5 とすることができるため、電気特性を向上させることができる。例えば、ワイヤボンディング法を用いた CSP に比べて高速信号処理化に不可欠なインダクタンスを本発明では 1 ~ 1.5 nH をおよそ 0.1 nH に低減することができる。本発明ではワイヤボンディングを用いていないためワイヤ
- 20 ボンディングのワイヤ長さに起因して発生するインダクタンス 1 ~ 1.5 nH が全く含まれないためである。

(2) ワイヤボンディング用の電極 6 をこの電極 6 よりも大きくかつピッチの広いエリアアレーバンプ電極 5 とすることにより、半導体装置 1 の実装時の接続信頼性を高めることができる。

- 25 (3) エリアアレーバンプ電極 5 が設けられる配線テープ基板 3 は半導体チップ 2 と同じ大きさでかつ半導体チップ 2 に一致して重なる構造

となることから半導体装置 1 の小型化が図れる。

(4) エリアアレーバンプ電極 5 は、金ワイヤバンプ電極 20 が配置された領域とは外れた領域に配置され、また。前記金ワイヤバンプ電極 20 の弾性率は、前記テープ基材 10 の弾性率および前記接着材 4 の弾性率よりも大きくなっている。従って、エリアアレーバンプ電極 5 が、金ワイヤバンプ電極 20 と比較して弾性率の小さいテープ基材 10 や硬化後の接着材 4 を介して、半導体チップ 2 の主面上に配置されることにより、実装基板 30 に実装された際に、半導体チップ 2 と実装基板 30 との熱膨張係数差によって生じる熱応力を、テープ基材 10 や接着材 4 によって緩和させることができる。

(5) 半導体チップ 2 の主面上に配置されるエリアアレーバンプ電極 5 と半導体チップ 2 との間には、弾性率の低い有機樹脂によって形成される層が、50 ~ 100 μm またはそれ以上の厚さで形成されていることから、実装基板 30 と半導体チップ 2 の間に生じる熱応力が緩和される。

(6) ACF や NCF などの熱硬化性樹脂によって形成される接着材 4 の層の厚さを、50 μm 以上形成しようとする、熱硬化工程において生じる厚さの部分的なばらつきによって、その上に形成されるエリアアレーバンプ電極 5 の平坦度が低下するという問題を生じる。しかし、本発明によれば、接着材 4 の層の厚さは 50 μm 以下に抑えつつ、エリアアレーバンプ電極 5 と半導体チップ 2 との間にテープ基材 10 を配置することによって、エリアアレーバンプ電極 5 と半導体チップ 2 との間の有機樹脂の層の厚さを稼ぐことができ、この結果、エリアアレーバンプ電極 5 の平坦度低下を抑止することができる。

(7) 絶縁基材層は可撓性樹脂膜、即ち、テープ基材 10 によって形成されかつその厚さも 30 ~ 100 μm 程度となっていることから、半

導体装置 1 を実装基板 3 0 に実装した後の応力が緩和され、実装の信頼性が高くなる。

(8) 半導体装置 1 の小型化、軽量化、高速度化は通信機器分野、携帯機器分野では重要な要素である。半導体チップ 2 をフリップチップで実装し、かつ M C M とすることでさらに高機能化も達成できる。この M C M には D R A M (Dynamic Random Access Memory), S R A M (Static Random Access Memory)、フラッシュメモリ、ロジック I C さらには高周波 I C など一つの基板に実装し、高密度 M C M を達成できる。

(実施形態 2)

10 図 1 5 は本発明の他の実施形態 (実施形態 2) である半導体装置を示す模式的断面図である。実施形態 1 では、半導体チップ 2 の主面に設けられる電極 6 は、半導体チップ 2 の縁に沿って配列される周辺電極配列構造であるが、本実施形態 2 では半導体チップ 2 の中央近傍の、入出力回路用半導体素子が配置された領域に沿って電極 6 が配列 (中央電極配列構造) される半導体チップ 2 に接着材 4 を介して配線テープ基板 3 を重ねて貼り付け、さらに配線テープ基板 3 の所定箇所にエリアアレーバンプ電極 5 を取り付けた構造である。このような構成においても実施形態 1 と同様な効果を有する。

20 本実施形態 2 では、半導体チップ 2 の中央に沿って 1 列に電極 6 を配列したものについて説明したが、電極 6 を 2 列等複数列とした半導体チップ 2 との組み合わせも同様に適用でき同様の効果を有することができる。

(実施形態 3)

25 図 1 6 は本発明の他の実施形態 (実施形態 3) である半導体装置を示す模式的断面図である。本実施形態 3 では、配線テープ基板 3 の配線を多層に形成して、配線の引回し余裕度を大きくした例である。

即ち、実施形態 1 の半導体装置 1 において、テープ基材 1 0 の表面に形成した配線 1 1 上に所定パターンの絶縁性の層間絶縁膜 4 0 を 1 層形成し、前記層間絶縁膜 4 0 上に配線 1 1 a を形成し、前記層間絶縁膜 4 0 上の配線 1 1 a を選択的に形成される前記ソルダレジスト 1 2 で被う
5 とともに、配線 1 1 a に電氣的に接続するエリアアレーバンプ電極 5 を形成したものである。

半導体チップ 2 の電極 6 上に形成される金ワイヤバンプ電極 2 0 に電氣的に接続される配線 1 1 とテープ基材 1 0 の表面に形成されるエリアアレーバンプ電極 5 を層間絶縁膜 4 0 の上下の配線 1 1 a , 1 1 によっ
10 て導通させてなるものである。

本実施形態 3 では、さらに層間絶縁膜を多くして配線のさらなる多層化を図る構成としてもよい。この場合、各層間絶縁膜上に配線を形成し、最上層の層間絶縁膜上の配線を選択的に形成される前記ソルダレジストで被う構成にするとともに、半導体チップの電極上に形成される金ワイヤバンプ電極に電氣的に接続される最下層の配線と前記テープ基材の表面に形成されるエリアアレーバンプ電極を層間絶縁膜の上下の配線によ
15 って導通させるものである。

また、配線テープ基板の半導体チップが固定される側の面寄りに少なくとも電源配線及びグランド配線を設ける構造とすれば電位の安定等を図ることができ電気特性の向上を図ることができる。さらに本実施形態
20 3 でも配線テープ基板に複数の半導体チップを固定することによって MCM 化も図ることができる。

本実施形態 3 では、複数層の配線層を設けることで、エリアアレーバンプ電極 5 をさらに高密度に配列でき、半導体装置の多ピン化が可能に
25 なる。

一方、配線の多層化の手法としては、以下の手法も考えられる。即ち、

1枚のテープ基材の表裏面にそれぞれ配線を形成する構造である。この場合、テープ基材の表裏面の配線はテープ基材に設けた貫通孔を通して導通する構造とする。また、テープ基材の表面の配線テープ基材に設けられるソルダレジストによって選択的に被われる。また、ソルダレジストに被われない部分がエリアアレーバンプ電極を設ける開口部となる。

この例でも、上記と同様に配線テープ基板の半導体チップが固定される側の面側に少なくとも電源配線及びグランド配線を設ける構造とすれば電位の安定等を図ることができ電気特性の向上を図ることができる。さらに、配線テープ基板に複数の半導体チップを固定することによってMCM化も図ることができる。

(実施形態4)

図17は本発明の他の実施形態(実施形態4)である半導体装置を示す模式的断面図である。本実施形態1はエリアアレーバンプ電極5のピッチをさらに広くできる例である。

即ち、図17に示すように、実施形態1の半導体装置1において、配線テープ基板3を半導体チップ2よりも大きく(大面積化)した例である。本実施形態4では、半導体チップ2の全周縁から配線テープ基板3の外周を突出させた構造である。

この例では、配線テープ基板3を広くできることから、エリアアレーバンプ電極5のピッチを実施形態1に比較して拡大することができる。従って、この半導体装置を実装する実装基板の電極ピッチを大きくできるので実装基板の製造コストの低減が図れる。

(実施形態5)

図18は本発明の他の実施形態(実施形態5)であるエリアアレー電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。本実施形態5の半導体装置1では、配線基板(配線テープ基板)

3の主面に設けられる複数の半田突起電極（エリアアレーバンプ電極）5のうち、少なくとも一つの半田突起電極5は、半導体素子（半導体チップ）2の主面に設けられる複数の電極6のうちの複数の電極6に接続され、この半田突起電極5は共通電極になっている。

- 5 共通電極になる半田突起電極5は、図18に示すように、明瞭になるように点々を施して示してある。共通電極になる半田突起電極5は、図18に示すように、中央に4個設けられている。従って、半田突起電極5の一部は共通電極となることから、半田突起電極5の数は半導体チップ2の電極6の数よりも少数にすることができる。共通電極になる半田突起電極5に配線11を介して接続される電極6にも点々を施して示してある。

- 実施形態1等の半導体装置では、配線基板（配線テープ基板）3の片面のみに配線を形成するため、一般的に使用されている樹脂基板上に多層配線を有する構造に比較して、配線の自由度が小さくなる。そこで、
15 本実施形態5では、半導体チップ2の複数の電極6に対して接続するバンプランドを設け、バンプランドの数をチップ上電極6に比較して少なくすることにより、配線テープ基板3上の配線を引き回すために有効なスペースをより多く確保し、単層配線構造でも、より多ピンの半導体チップとの接続を可能にしている。共通電極（共通配線）はグラウンド（GND）電位や電源電位を供給するための配線に適用する。
20

- 図19は本実施形態5の変形例であるエリアアレー電極と半導体チップの電極との結線状態を示す半導体装置の模式的平面図である。共通配線はGND電位や電源電位を供給するための配線に適用するのが有効であり、その場合には、図19に示すように、共通の半田突起電極5と配線11を介して接続される各電極6において、ハッチングを施して示すように配線11の幅を広くし、共通配線と信号の入出力用の配線との間
25

隔を調節することにより、配線のインピーダンスの調節など、配線特性を変更することができる。

(実施形態6)

5 図20乃至図22は本発明の他の実施形態(実施形態6)である半導体装置を製造する方法に係わる図であり、図20は帯状の配線テープ基板(多連テープ)を用いて半導体装置を製造する方法を示す模式図である。

10 本実施形態6は、リール・トゥ・リール方式で半導体装置を製造する方法である。リール・トゥ・リール方式では、図20に示すように、リール45から半導体装置形成部を所定間隔に形成してなる帯状の配線テープ基板3(多連テープ)を解き出し、半導体装置形成部に対する半導体チップ2の搭載、半田突起電極5の形成等の組み立て加工を行い、巻き取りリール46に巻き取る。この場合、カバーテープ用リール48からカバーテープ47を解き出して配線テープ基板3とカバーテープ47
15 との間に半導体チップ2を挟むようにして配線テープ基板3を巻き取りリール46に巻き付けてもよい。これにより、製品の保護ができる。

20 多連テープ(配線テープ基板)の構造は実施形態1の配線基板(配線テープ基板)3と同じである。また、この場合、リール45に巻き付けられている配線テープ基板3の主面には接着材4として既にテープ状のNCFが貼り付けられている。

図20では、組み立て加工ステーションとしては、配線テープ基板3(多連テープ)の移動方向に沿って、チップボンディング(チップマウント)ステーションA、ボール付けステーションB、ボールリフローステーションCが配置されている。

25 チップマウントステーションAでは、コレット50の下端に真空吸引によって半導体チップ2を保持して、配線テープ基板3の所定製品形成

部に配線テープ基板 3 を固定する。図 2 1 は半導体チップを配線テープ基板に搭載する状態を示す拡大模式図である。ステージ 5 1 上に支持される配線テープ基板 3 の製品形成部上にコレット 5 0 で運んだ半導体チップ 2 を金ワイヤバンプ電極 2 0 を配線テープ基板 3 に対面させた状態で下降させて配線テープ基板 3 に固定する。

即ち、図 2 1 に示すように、ステージ 5 1 上の配線テープ基板 3 の上面には N C F からなる熱硬化性の接着材 4 が貼り付けられている。コレット 5 0 の下降によって半導体チップ 2 の下面の金ワイヤバンプ電極 2 0 が配線テープ基板 3 の貫通孔（開口溝） 1 4 内に入る。この際、金ワイヤバンプ電極 2 0 の先端は接着材 4 を突き破り開口溝 1 4 の底に位置するメッキ膜 1 5 に接触する。ステージ 5 1 に対するコレット 5 0 の押し付けとステージ 5 1 等による加熱によって金ワイヤバンプ電極 2 0 はメッキ膜 1 5 を介して配線 1 1 に接続される。

また、この際の加熱加圧によって接着材 4 は熱硬化し、配線テープ基板 3 に半導体チップ 2 を確実に接着する。

配線テープ基板 3 の開口溝 1 4 の底に露出する配線 1 1 の接続部はその表面に S n メッキ膜または N i - A u メッキ膜が設けられていることから、金ワイヤバンプ電極 2 0 と接続部の接合は A u - S n 接合（A u - S n 合金）または A u - A u 接触となる。なお、接着材 4 としては、A C F も使用できることは実施形態 1 と同様である。

ボール付けステーション B では、ボール供給治具 5 5 の平坦な主面に金属ボール 5 6 をマトリックス状に複数保持する。この保持は、図示はしないが、ボール供給治具 5 5 の主面に設けた真空吸引孔で真空吸着によって行われる。真空吸引孔は、配線テープ基板 3 の開口部 1 3 に対応して設けられている。

図 2 2 は金属ボール 5 6 として半田ボールを真空吸着して保持し、そ

の後配線テープ基板 3 に供給するボール供給治具 5 5 の動作状況を説明する模式図である。ボール供給治具 5 5 は、図 2 2 に示すように、ボール供給治具 5 5 の主面を下に向けた状態で、金属ボール 5 6 を収容するボール供給箱 5 7 上に矢印に示すように移動し、かつ所定高さまで降下する。この状態で真空吸引動作させ、真空吸引孔に金属ボール 5 6 を真空吸着保持する。

つぎに、ボール供給治具 5 5 は上昇した後、左横に移動し、再び所定高さまで降下し、フラックス槽 5 8 内に収容されているフラックス液 5 9 中にボール供給治具 5 5 で保持している金属ボール 5 6 にフラックス液を塗布する。

つぎに、ボール供給治具 5 5 は再び所定高さ上昇した後、左横に移動してボール付けステーション B に停止している配線テープ基板 3 (多連テープ) の真下で停止する。その後、ボール供給治具 5 5 は軸 6 0 を中心に 1 8 0 度反転して主面を上向きにする。つぎに、ボール供給治具 5 5 は所定高さまで上昇して、主面に保持している金属ボール 5 6 を配線テープ基板 3 の下面に供給する。配線テープ基板 3 の下面の開口部 1 3 の底のメッキ膜 1 6 上にフラックス液の接着力を利用して金属ボール 5 6 を付着させる。付着させた後は真空吸引を停止させ、ボール供給治具 5 5 を所定高さ降下させる。

配線テープ基板 3 の下面に付着された金属ボール 5 6 は、次のボールリフローズステーション C で、上下に配置されたヒータ 6 1 で一時的に加熱 (リフロー) される。このリフローによって金属ボール 5 6 は軟化溶解してメッキ膜 1 6 が設けられた配線 1 1 の表面に半田突起電極 (エリアレーバンプ電極) 5 として形成される。

半導体チップ 2 が取り付けられ、半田突起電極 5 が形成された配線テープ基板 3 は、カバーテープ 4 7 と共に間欠的に巻き取りリール 4 6 に

巻き取られる。製品は巻き取りリール46の状態出荷され、ユーザにおいて配線テープ基板3が切断されて半導体装置1が取り外される。

このように、リール・トゥ・リール方式で、半導体チップと配線テープ基板との電氣的接続を行い、かつ半導体チップ主面の保護をするために樹脂で封止する場合には、NCFを用いる場合など、熱硬化性樹脂を介して熱圧着治具を用いて配線テープ基板上に半導体チップを搭載する手段を採用するのが望ましい。

配線テープ基板上に半導体チップを搭載する手段としては、ワイヤボンディング後にトランスファモールディングする場合と、半田バンプリフロー実装後にアンダーフィル封止する場合などが知られているが、いずれの手段においても、リール・トゥ・リール方式によって行う別の工程との整合を取るのが困難になるという問題を生じる。

これに比較して、熱硬化性樹脂を用いて熱圧着する手段においては、例えばボール付け、ボールリフロー工程での工程時間や組み立て加工装置構成の整合がより容易に取れるだけでなく、接続不良の発生を防ぐことができるという利点もある。

(実施形態7)

図23乃至図25は本発明の他の実施形態(実施形態7)である半導体モジュール(マルチチップ・モジュール)に係わる図である。本実施形態7の半導体モジュール70は、図23の模式的断面図に示すように、絶縁性のモジュール基板71を有している。このモジュール基板71は、主面に複数の接続用電極72を有し、裏面(図では下面)に複数の外部電極端子73を有している。所定の外部電極端子73と所定の接続用電極72は、図示はしないが、モジュール基板71の内部を貫通する導体で電氣的に接続されている。外部電極端子73はモジュール基板71の裏面に設けられる配線73aと、この配線73a上に形成されるバンプ

電極 7 3 b とからなり、BGA 型となっている。

モジュール基板 7 1 の主面における接続用電極 7 2 は、実施形態 1 で示す半導体装置 1 が搭載できるように半導体装置 1 の半田突起電極 5 の配列に対応してマトリックス状（エリアアレー状）に設けられている。

5 このような一群の接続用電極 7 2 は、必要に応じてモジュール基板 7 1 の各所に設けられている。

また、一部の一群の接続用電極 7 2、換言するならば、マトリックス状配列の接続用電極の外側には枠状にワイヤボンディングパッドとなる接続用電極 7 2 a が設けられている。図 2 3 では接続用電極 7 2 a は左
10 側に配置されている。

接続用電極 7 2 には半導体装置 1 の半田突起電極 5 がリフローによって固定（フェースダウン固定）され、半導体装置 1 はモジュール基板 7 1 に搭載されている。また、左側の半導体装置 1 の上には図示しない接着材を介して半導体素子（半導体チップ）7 5 が固定されている。半導
15 体チップ 7 5 は、図 2 4 に示すように、露出する面に電極 7 6 を有している。そして、各電極 7 6 とモジュール基板 7 1 の主面の接続用電極 7 2 a は導電性のワイヤ 7 7 で接続されている。

半導体チップ 7 5 を固定接着材は導電性または非導電性のものでもよい。この際、導電性の接着材を使用した場合、半導体チップ 7 5 を構成
20 する基板がシリコンまたは化合物半導体である場合、半導体装置 1 の半導体チップ 2 を構成するシリコンからなる基板と等電位になる。従って、半導体チップ 2 や半導体チップ 7 5 の回路構成によれば、両者は、例えば、GND 電位として共通化できる場合もある。

図 2 4 に示すように、モジュール基板 7 1 の主面のワイヤ 7 7 が接続
25 される複数の接続用電極 7 2 a は半導体チップ 7 5 の主面に設けられる複数の電極 7 6 の最小ピッチ (a) よりも大きなピッチ (d) になって、

再配線構造になっている。

また、これは実施形態 1 で説明したように、複数の半田突起電極 5 は、半導体チップ 2 の電極 6 の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列されており、これも再配線構造になっている。これら再配線構造は半導体チップの搭載の容易化を促進することになる。

また、以下の構造的特徴は、実施形態 1 で説明してあるが、半導体装置 1 の絶縁基材層（テープ基材）10 の厚さと接着材 4 の厚さの和は 50 ~ 100 μm であり、半導体装置 1 の絶縁基材層の厚さは接着材 4 の厚さよりも厚くなり、半導体装置 1 の接着材 4 の厚さは 50 μm 以下となっている。また、半導体装置 1 の絶縁基材層の主面上には、配線 11 の一部を覆う絶縁膜（ソルダレジスト）12 が形成されており、絶縁基材層 10 の厚さは絶縁膜 12 の厚さよりも厚くなっている。さらに、半導体装置 1 の金突起電極（金ワイヤバンプ電極）20 の弾性率は、絶縁基材層 10 の弾性率および接着材 4 の弾性率よりも大きくなっている。そして、これら構造的特徴は、半導体モジュール 70 においても半導体装置 1 と同様な効果を奏するものである。

また、モジュール基板 71 の主面側には、トランスファモードによる片面モードによって絶縁性樹脂からなる封止体 79 が形成されている。この封止体 79 によって半導体装置 1、半導体チップ 75、接続用電極 72、72a 及びワイヤ 77 等は完全に被われる。

本実施形態 7 の半導体モジュール 70 は、図 24 に示すフローチャートに沿って製造される。図示はしないが、フローチャートに示すように、半導体チップ 2 を用意した後（S101）、半導体チップの電極部分に金ワイヤバンプ電極 20 を形成し（S102）、配線テープ基板 3 に半導体チップ 2 を接合する（S103）。

つぎに、配線テープ基板 3 の所定箇所にも金属ボール（はんだボール）を取り付け（S 1 0 4）、その後半導体装置の単体のテストを行う（半導体単体テスト：S 1 0 5）。

つぎに、モジュール基板 7 1 を用意した後、この M C M 基板に半導体
5 装置 1 や半導体チップ 7 5 を搭載し、かつ半導体チップ 7 5 の電極 7 6 と接続用電極 7 2 a をワイヤ 7 7 で接続するとともに、片面モールドによって封止体 7 9 を形成して半導体装置 1 ，半導体チップ 7 5 ，接続用電極 7 2 ，7 2 a 及びワイヤ 7 7 等を被い、モジュール実装を終了する（S 1 0 6）。さらに、このようにして製造された半導体モジュール 7 0
10 のテストを行い（S 1 0 7）、不良品を除去し、良品を出荷する。

M C M（M C P：マルチチップ・パッケージ）を形成するには、半導体チップを積層して実装するのが M C P の小型化に有効である。半導体チップを積層する場合において、下層のチップは突起電極を介して接続するフェースダウンの形態を採用したほうが、下層チップを上向きに搭載してワイヤボンディングする場合に比較して、半導体チップの大きさ
15 や、半導体チップの主面上に形成された電極レイアウトに関する制約が小さく、より自由度の高いパッケージ形態となる。

そして、フェースダウン実装する半導体チップについては、本発明であるパッケージ形態に基づいて突起電極を形成するのが有効である。

20 つまり、フェースダウン実装する半導体チップとして、半導体チップ主面上の電極（ボンディングパッド）の上に直接突起電極を形成し、その突起電極を介してモジュール基板上に接続するベアチップ実装法を採用した場合には、突起電極の間隔が半導体チップ上の電極の間隔に制約され、とかくその間隔が狭くなりがちのため、モジュール基板として
25 微細配線を形成することが可能な寸法精度の高いものを準備しなければならず、部品単価の上昇によるモジュール価格の高騰という問題を生じ

る。

また、フェースダウン実装する半導体チップとして、ウエハレベルパッケージ品（W P P 品：ウエハプロセスパッケージ品）を採用する場合には、不良品チップに対して施すパッケージング工程の単価が、良品チップの単価に上乘せられるため、やはり、部品単価の上昇によるモジュール価格の高騰という問題を生じる。

これらに比較して、本発明における半導体モジュールは、その価格が低く抑えられる上に、特にパッケージ内に半導体チップを積層して実装する場合には、個々の半導体チップに求められる薄型化の要求についても同時に満足できるという利点を有する。

以上本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

（１）ワイヤボンディング用電極を周縁に沿って配置した半導体チップを配線テープ基板を用いて前記電極よりもピッチが大きいエリアアレーバンプ電極とすることができるため、電気特性を向上させることができる。即ち、特に高速信号処理化に不可欠なインダクタンスをワイヤボンディング法の $1 \sim 1.5 \text{ nH}$ をおよそ 0.1 nH に低減することができる。

（２）ワイヤボンディング用の電極をこの電極よりも大きくかつピッチの広いエリアアレーバンプ電極とすることにより、半導体装置の実装時の接続信頼性を高めることができる。

（３）エリアアレーバンプ電極が設けられる配線テープ基板は半導体チップと同じ大きさでかつ半導体チップに一致して重なる構造となるこ

とから半導体装置の小型化が図れる。

(4) 複数の異なった種類の半導体チップを同一配線テープ基板に取り付けることができ半導体装置のMCM化が達成できる。

5 (5) また、外部接続電極をエリアアレーにしてあるので、半導体装置を実装する基板の電極ピッチも大きくでき、従来のラミネート法による安価な絶縁性基板（有機基板）を使うことができる。

(6) さらに、リアルチップサイズの半導体装置であり、小型、軽量でかつフリップチップ実装できるため、高速信号伝達ができるため携帯機器、通信機器への利用が期待できる。

10 (7) 格子状に配置したバンプ電極と、半導体チップとの間に応力緩和構造を有する半導体装置及びその製造方法を提供することができる。

(8) 高速信号処理化，高機能化，高密度実装化，薄型化及び軽量化が図れる半導体モジュール（マルチチップ・モジュール）を提供することができる。

15

産業上の利用可能性

以上のように、本発明にかかる半導体装置は、電子機器の制御用やメモリー用の半導体装置として有用であり、特に高速信号処理化，高機能化，高密度実装化，薄型化及び軽量化が図れる半導体装置に適している。

20

請 求 の 範 囲

1. 主面と、前記主面上に形成された複数の半導体素子、及び複数の電極を有する半導体チップと、
- 5 前記半導体チップの各電極上に形成された金突起電極と、
主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成された貫通孔とを有する配線基板と、
前記配線基板の主面上に、それぞれ各複数の配線に接続して形成された複数の半田突起電極とを有する半導体装置において、
前記配線基板は、前記絶縁基材層の裏面を前記半導体チップの主面に
対向させて配置されており、
前記絶縁基材層の裏面と前記半導体チップの主面は、接着材を介して
接着されており、
- 15 前記金突起電極のそれぞれは、前記貫通孔の内部で前記配線基板の配線と接続しており、
前記複数の半田突起電極は、前記半導体チップの電極の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列されており、
- 20 前記半田突起電極のそれぞれは、前記半導体チップの主面上に、前記接着材と前記絶縁基材層を介して配置されていることを特徴とする半導体装置。
2. 前記絶縁基材層厚さと前記接着材の厚さの和は $50 \sim 100 \mu\text{m}$ であることを特徴とする請求の範囲第1項記載の半導体装置。
- 25 3. 前記絶縁基材層の厚さは前記接着材の厚さよりも厚くなっていることを特徴とする請求の範囲第1項記載の半導体装置。

4. 前記接着材の厚さは50 μm 以下となっていることを特徴とする請求の範囲第2項記載の半導体装置。

5. 前記絶縁基材層の主面上には、前記配線の一部を覆う絶縁膜が形成されており、前記絶縁基材層の厚さは前記絶縁膜の厚さよりも厚くなっていることを特徴とする請求の範囲第1項記載の半導体装置。

6. 前記複数の配線は、銅膜と、前記銅膜の表面に形成されたSnメッキ膜またはNi-Auメッキ膜によって構成されていることを特徴とする請求の範囲第1項記載の半導体装置。

10. 7. 前記接着材は熱硬化性樹脂であることを特徴とする請求の範囲第1項記載の半導体装置。

8. 前記半導体チップの電極は、前記半導体チップ主面の周囲に沿って配列されていることを特徴とする請求の範囲第1項記載の半導体装置。

15. 9. 前記半導体チップの電極は、入出力回路用素子が形成された領域に沿って配列されていることを特徴とする請求の範囲第1項記載の半導体装置。

10. 前記半田突起電極は、前記金突起電極が配置された領域とは外れた領域に配置されていることを特徴とする請求の範囲第1項記載の半導体装置。

20. 11. 前記金突起電極の弾性率は、前記絶縁基材層の弾性率および前記接着材の弾性率よりも大きいことを特徴とする請求の範囲第1項記載の半導体装置。

12. 前記絶縁基材層は、可撓性膜によって構成されることを特徴とする請求の範囲第1項記載の半導体装置。

25. 13. 前記可撓性膜は、ポリイミド系樹脂によって形成されていることを特徴とする請求の範囲第1項記載の半導体装置。

14. 主面と、前記主面上に形成された複数の半導体素子、及び複数

の電極を有する半導体チップを準備する工程と、

主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成された貫通孔とを有する配線基板を準備する工程と、

5 前記半導体チップの各電極上に金突起電極を形成する工程と、

前記絶縁基材層の裏面と前記半導体チップの主面との間に接着材を介して、前記配線基板を前記半導体チップの主面上に配置する工程と、

前記配線基板を配置する工程の後に、前記配線基板に圧力を加えて前記金突起電極と前記配線とを前記貫通孔の内部で接触させ、かつ前記接

10 着材に熱を加えて硬化させる工程と、

前記配線基板の主面上に、複数の半田突起電極を、各複数の配線に接続して形成する工程とを有しており、

前記複数の半田突起電極は、前記半導体チップの電極の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列され、

15 前記半田突起電極のそれぞれは、前記半導体チップの主面上に、前記接着材と前記絶縁基材層を介して配置されることを特徴とする半導体装置の製造方法。

1 5 . 前記接着材は熱硬化性樹脂であることを特徴とする請求の範囲第 1 4 項記載の半導体装置。

20 1 6 . 前記金突起電極の弾性率は、前記絶縁基材層の弾性率および前記接着材の弾性率よりも大きいことを特徴とする請求の範囲第 1 4 項記載の半導体装置。

1 7 . 前記配線基板の少なくとも一つの半田突起電極は前記半導体素子の複数の前記電極と電氣的に接続されて共通電極になっていることを
25 特徴とする請求の範囲第 1 項記載の半導体装置。

1 8 . 前記半田突起電極の数は前記半導体素子の前記電極の数よりも

少数であることを特徴とする請求の範囲第 17 項記載の半導体装置。

19. 複数の半導体装置形成部を有する配線テープ基板を準備し、その一部の半導体装置形成部の一面に熱硬化性接着材を介在させて半導体チップを加圧加熱して搭載することを特徴とする半導体装置の製造方法。

5 20. 前記配線テープ基板の一部の半導体装置形成部の一面に前記半導体チップを搭載した後、前記半導体装置形成部の他の一面の配線に金属ボールを取り付けてボール電極を形成することを特徴とする請求の範囲第 19 項記載の半導体装置の製造方法。

10 21. 前記配線テープ基板における前記半導体装置形成部は、主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成されその底に前記配線を位置させる貫通孔とを有する構成とし、

15 前記半導体チップは、主面と、前記主面上に形成された複数の半導体素子、及び複数の電極を有し、前記各電極上には金突起電極を有する構成とし、

前記半導体チップの加圧加熱搭載においては、前記金突起電極の先端を前記熱硬化性接着材に突き抜けさせて前記配線テープ基板の貫通孔底の配線に圧着固定させることを特徴とする請求の範囲第 19 項記載の半導体装置の製造方法。

20 22. 前記配線テープ基板における前記半導体装置形成部は、主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成されその底に前記配線を位置させる貫通孔とを有する構成とし、

25 前記半導体チップは、主面と、前記主面上に形成された複数の半導体素子、及び複数の電極を有し、前記各電極上には金突起電極を有する構成とし、

前記ボール電極形成においては、前記配線テープ基板の主面の配線に前記金属ボールを接続することを特徴とする請求の範囲第19項記載の半導体装置の製造方法。

23. 前記配線テープ基板をリールから解き出し、前記半導体装置形成部の組み立て加工を行った後、巻き取りリールに巻き取ることを特徴とする請求の範囲第19項記載の半導体装置。

24. 主面に複数の接続用電極を有し、裏面に複数の外部電極端子を有し、前記所定の外部電極端子と前記所定の接続用電極が内部を貫通する導体で電氣的に接続されてなる絶縁性のモジュール基板と、

10 前記モジュール基板の主面に搭載される一つ以上の半導体装置と、
少なくとも一つの前記半導体装置上に搭載され、露出する主面に複数の電極を有する半導体素子と、

前記半導体素子の所定の電極と前記モジュール基板の主面の所定の接続用電極は導電性のワイヤで接続され、

15 前記モジュール基板の主面の前記ワイヤが接続される複数の前記接続用電極は前記半導体素子の主面に設けられる複数の電極の最小ピッチよりも大きなピッチになり、

前記半導体装置は、

20 主面と、前記主面上に形成された複数の半導体素子、及び複数の電極を有する半導体チップと、

前記半導体チップの各電極上に形成された金突起電極と、

主面及び裏面を有する絶縁基材層と、前記絶縁基材層の主面上に形成された複数の配線と、前記絶縁基材層に形成された貫通孔とを有する配線基板と、

25 前記配線基板の主面上に、それぞれ各複数の配線に接続して形成された複数の半田突起電極とを有し、

前記配線基板は、前記絶縁基材層の裏面を前記半導体チップの主面に対向させて配置されており、

前記絶縁基材層の裏面と前記半導体チップの主面は、接着材を介して接着されており、

- 5 前記金突起電極のそれぞれは、前記貫通孔の内部で前記配線基板の配線と接続しており、

前記複数の半田突起電極は、前記半導体チップの電極の最小ピッチよりも大きなピッチで複数行、列によって構成される格子状に配列されており、

- 10 前記半田突起電極のそれぞれは、前記半導体チップの主面上に、前記接着材と前記絶縁基材層を介して配置されている構成になり、

前記半田突起電極は前記モジュール基板の主面の接続用電極に接続されていることを特徴とする半導体モジュール。

- 25 25. 前記半導体装置の前記絶縁基材層厚さと前記接着材の厚さの和は50～100 μ mであることを特徴とする請求の範囲第24項記載の半導体モジュール。

26. 前記半導体装置の前記絶縁基材層の厚さは前記接着材の厚さよりも厚くなっていることを特徴とする請求の範囲第24項記載の半導体装置。

- 20 27. 前記半導体装置の前記接着材の厚さは50 μ m以下となっていることを特徴とする請求の範囲第24項記載の半導体モジュール。

- 25 28. 前記半導体装置の前記絶縁基材層の主面上には、前記配線の一部を覆う絶縁膜が形成されており、前記絶縁基材層の厚さは前記絶縁膜の厚さよりも厚くなっていることを特徴とする請求の範囲第24項記載の半導体装置。

29. 前記半導体装置の前記金突起電極の弾性率は、前記絶縁基材層

の弾性率および前記接着材の弾性率よりも大きいことを特徴とする請求
の範囲第24項記載の半導体モジュール。

FIG.3

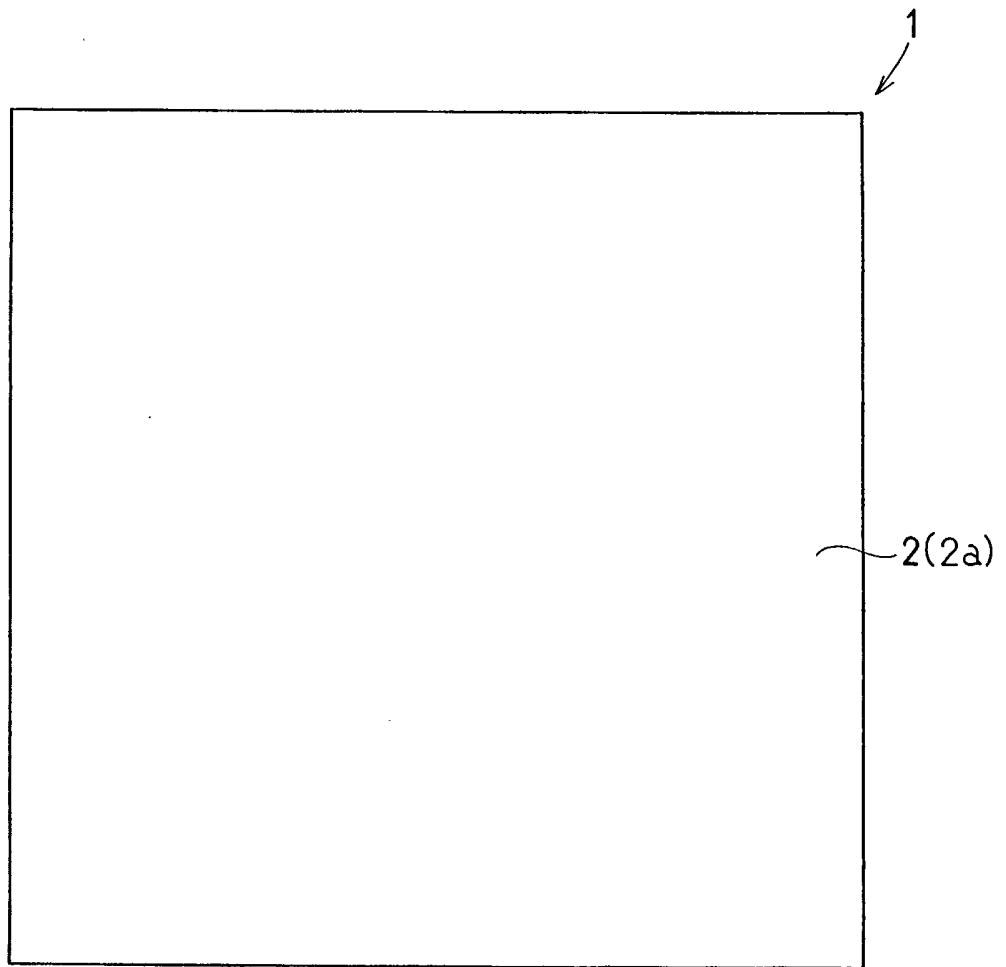


FIG.4

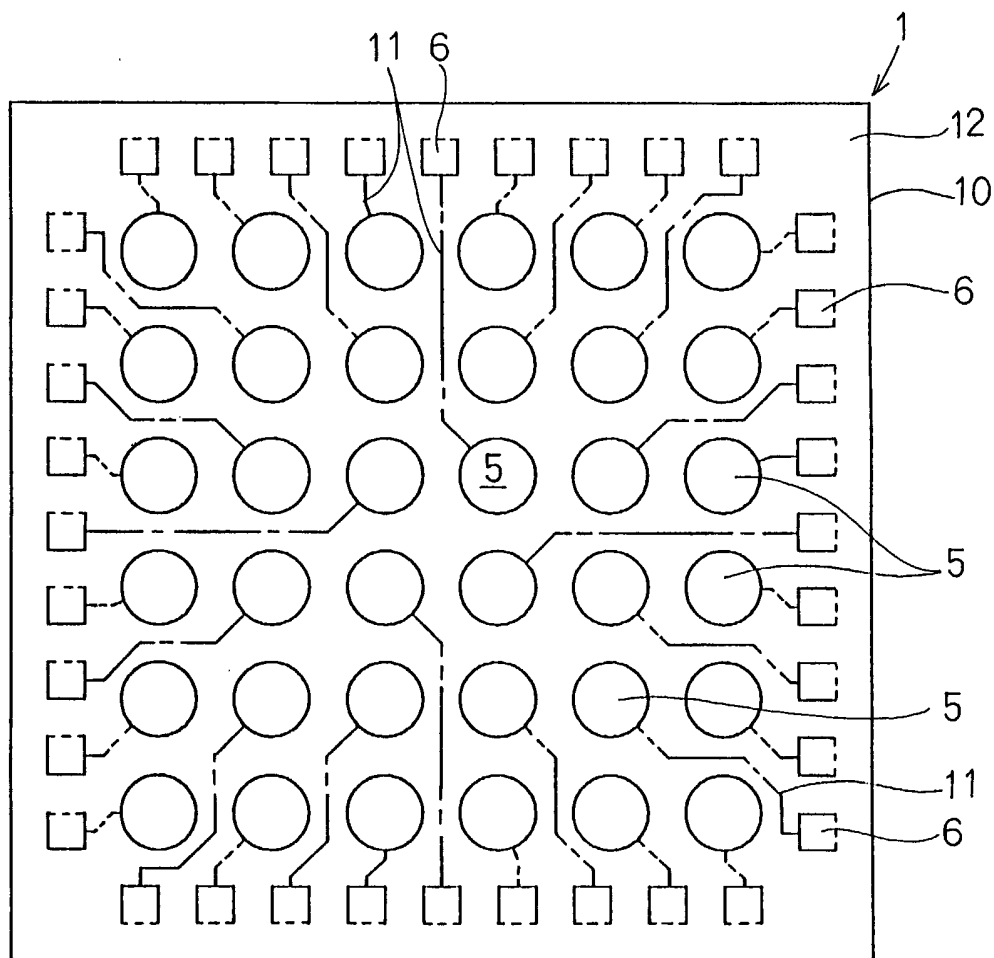


FIG.5

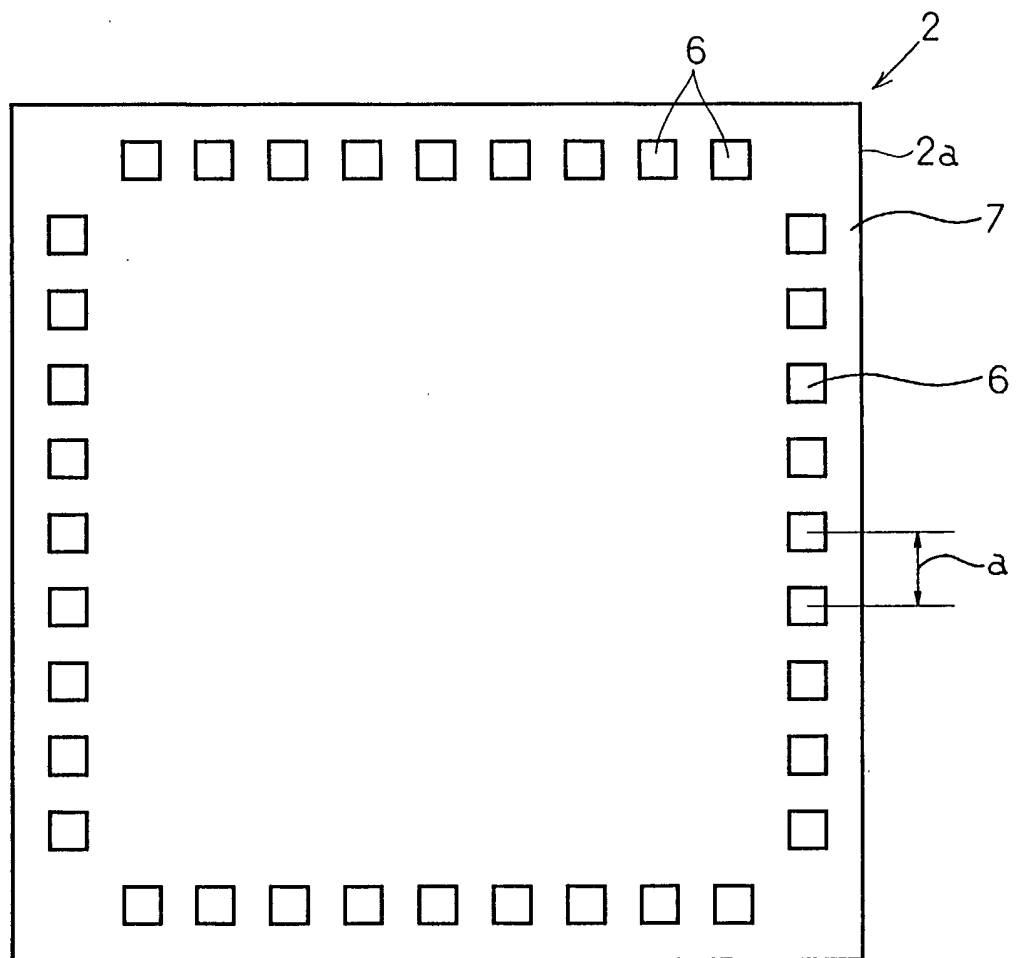


FIG.6

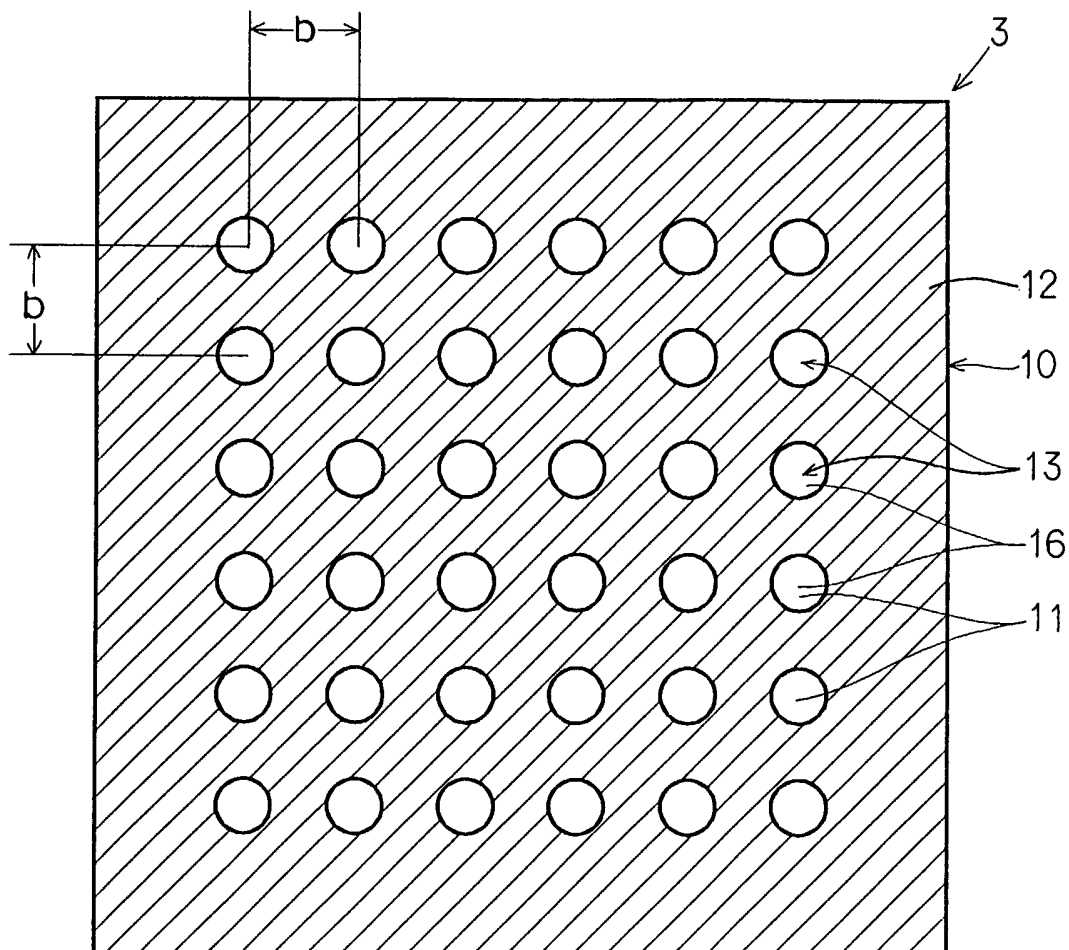


FIG.7

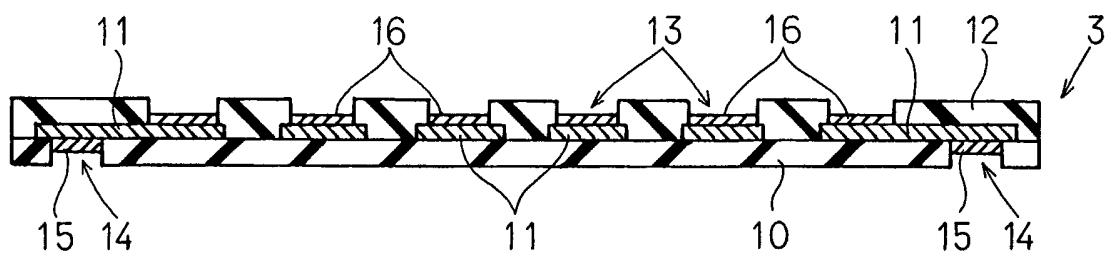


FIG.8

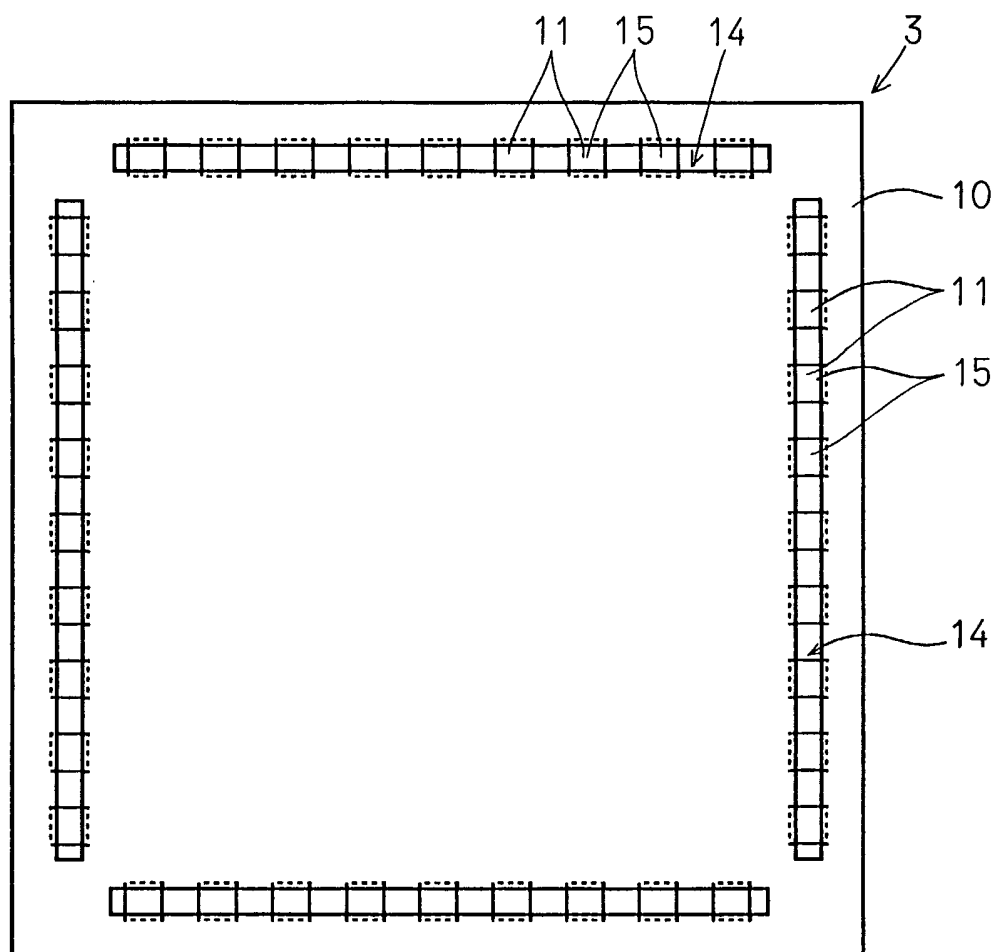


FIG9

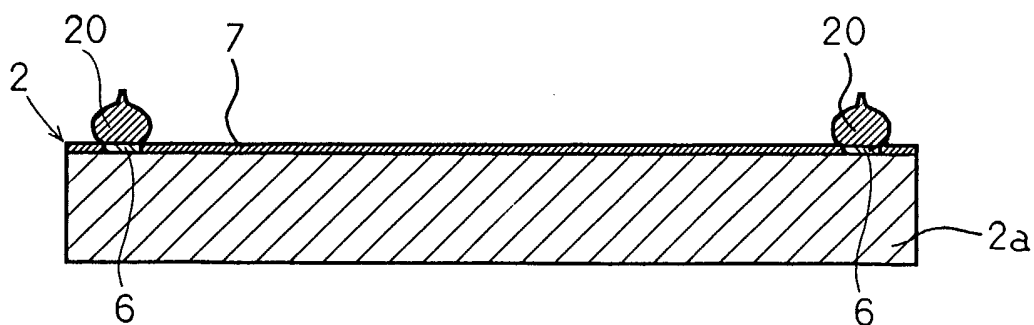


FIG.10

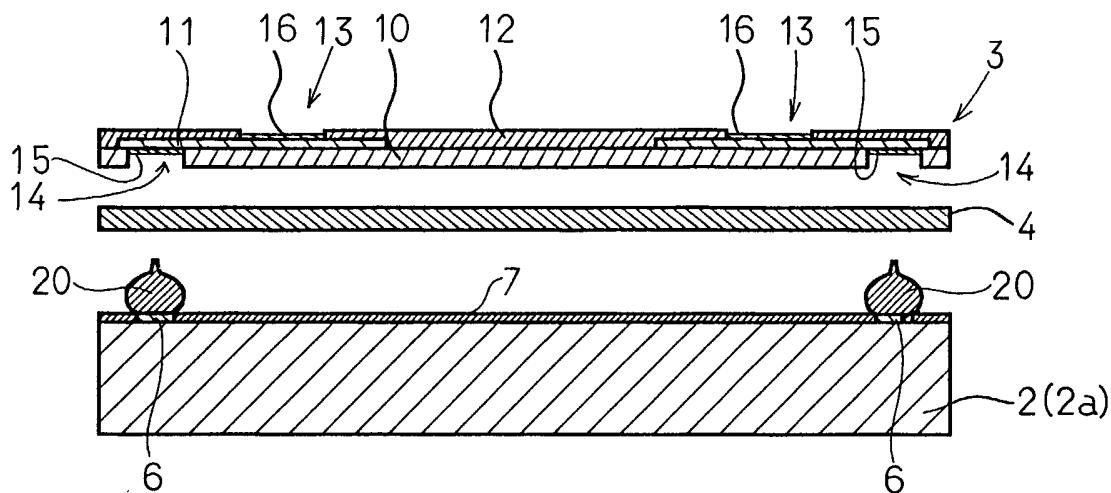


FIG.11

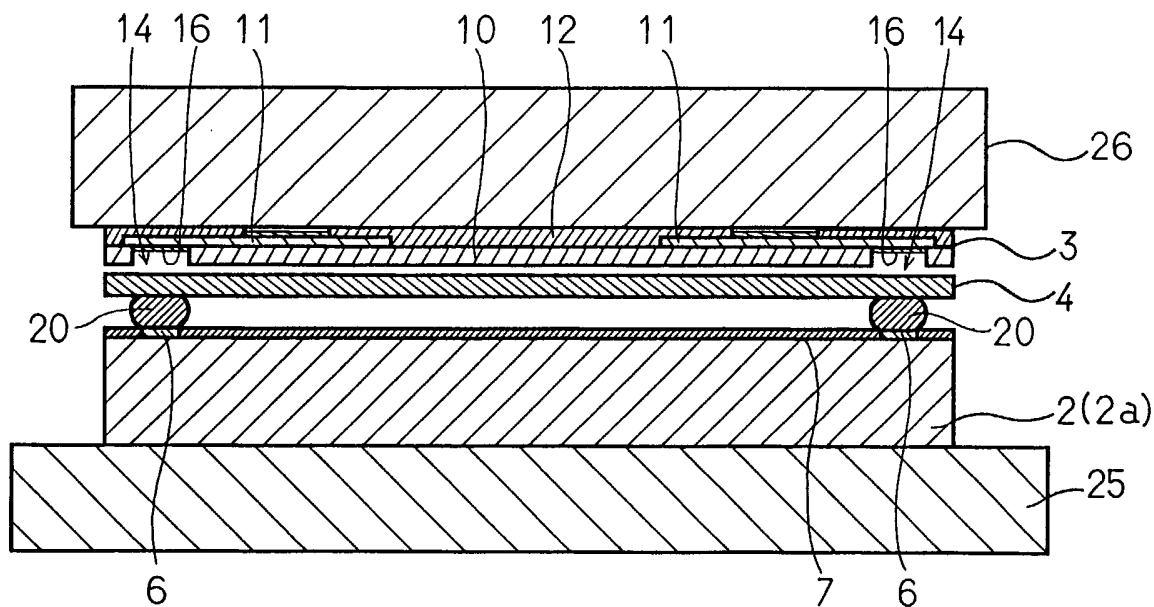


FIG.12

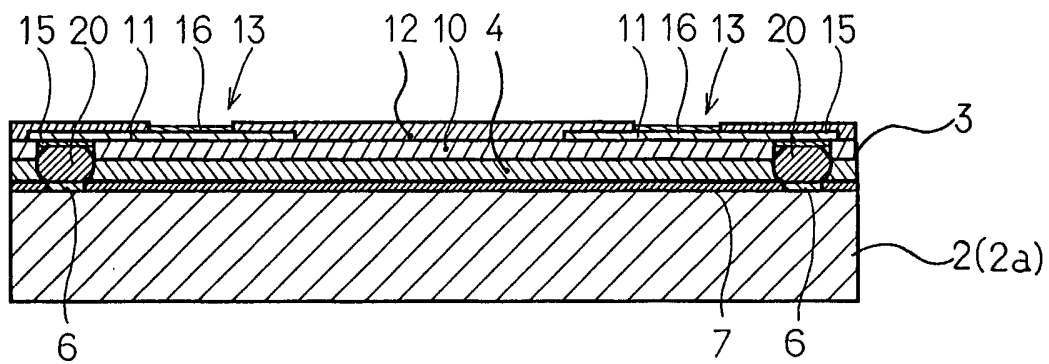


FIG.13

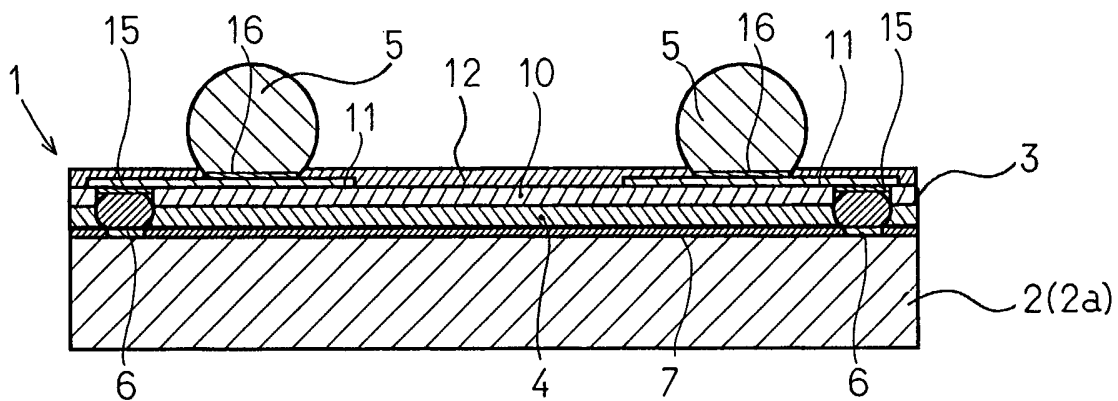


FIG.14

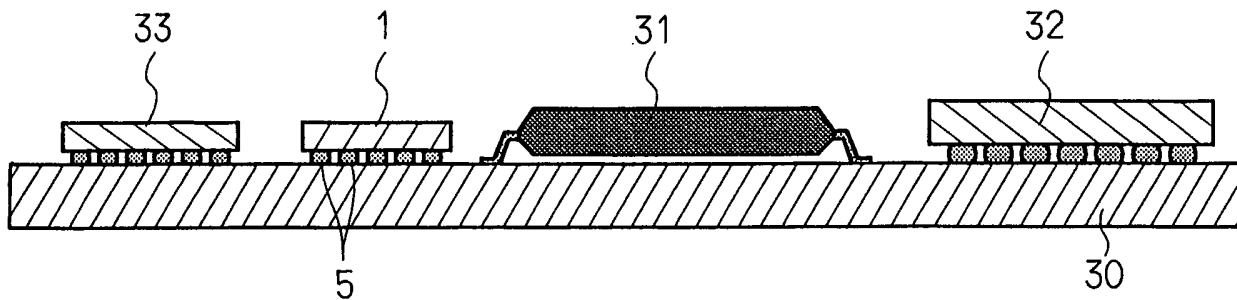


FIG.15

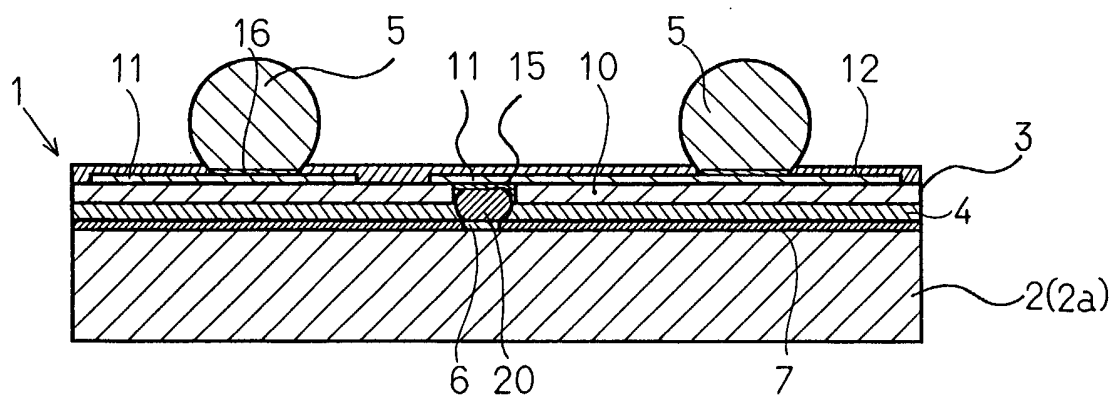


FIG.16

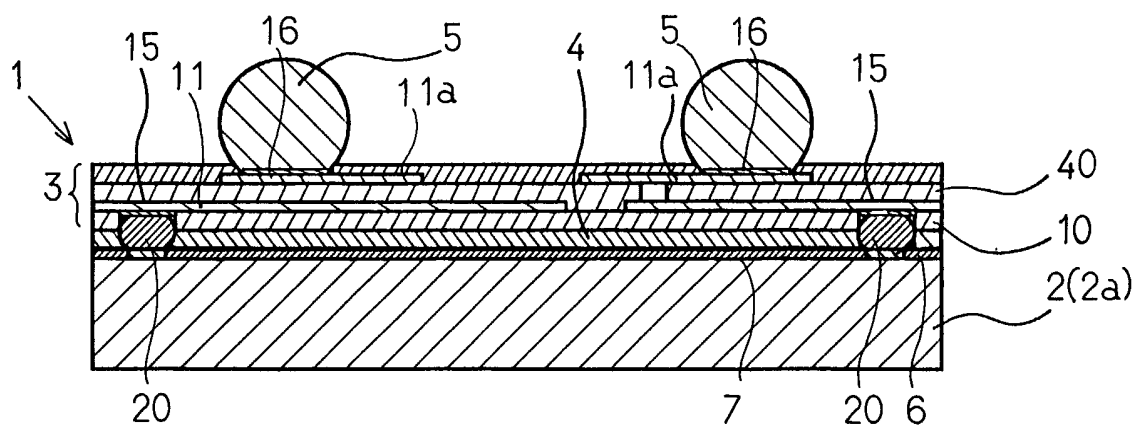


FIG.17

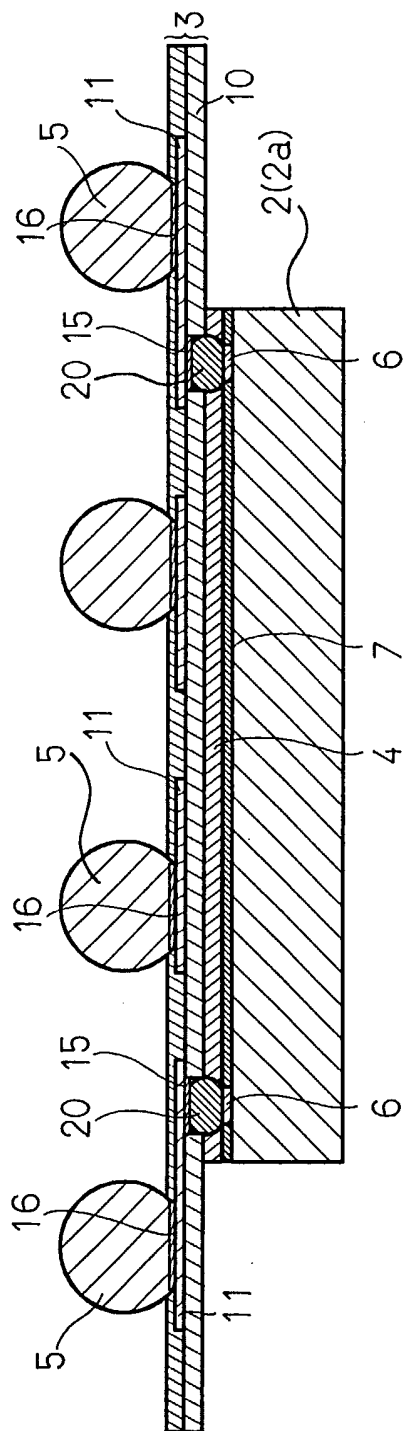


FIG.18

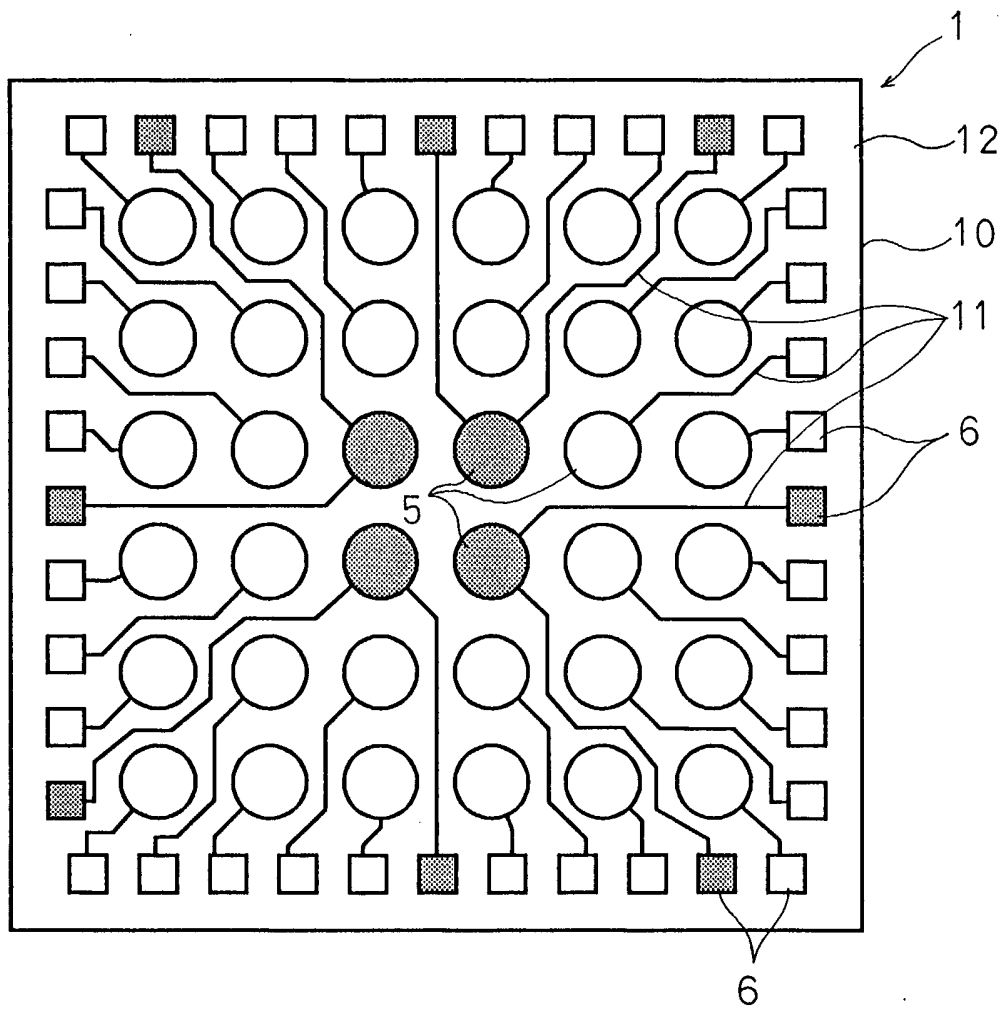


FIG.19

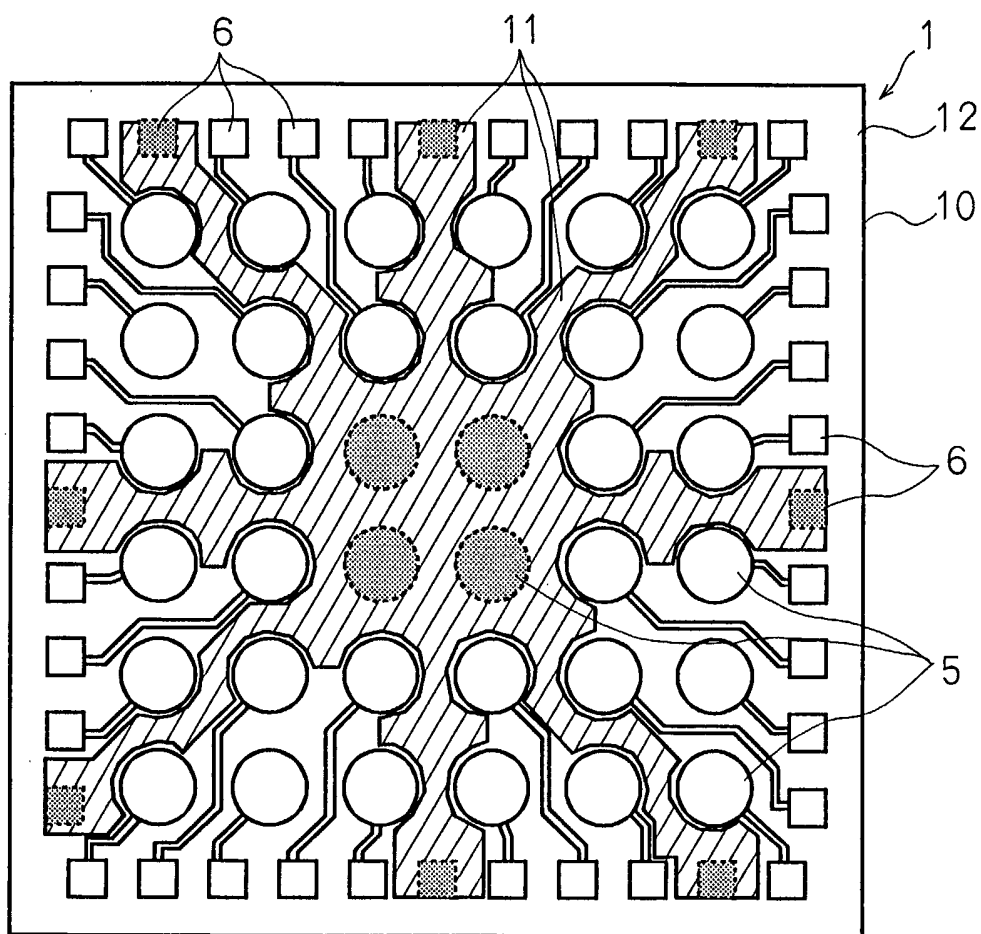


FIG.20

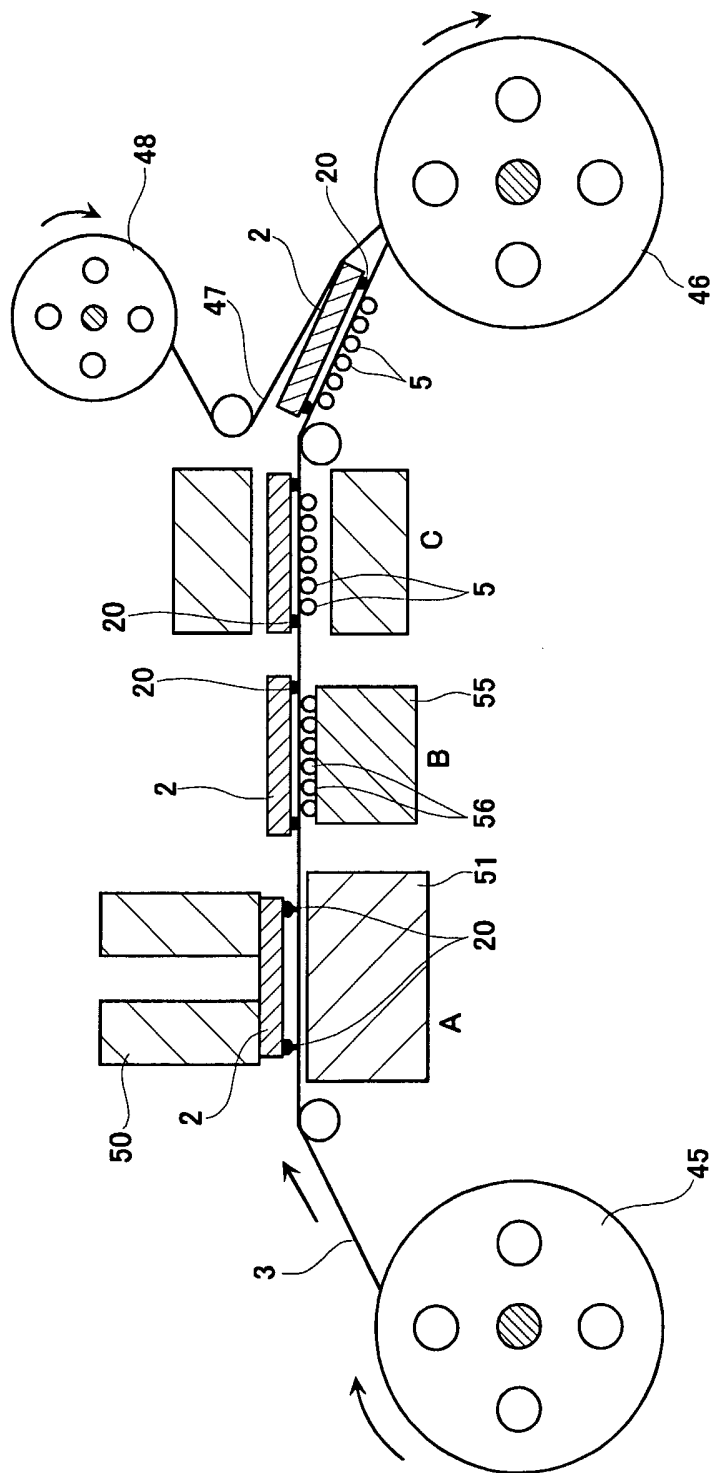


FIG.21

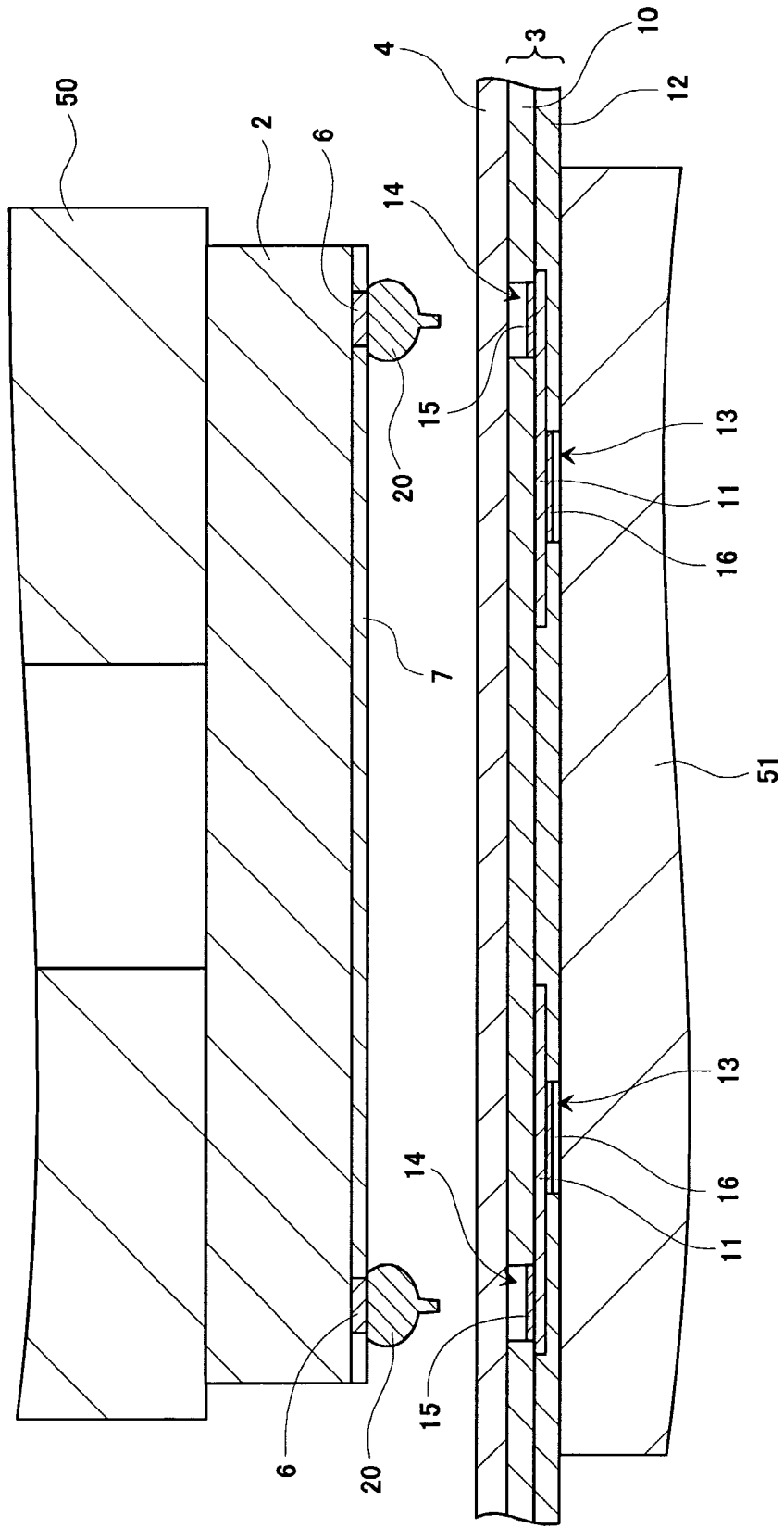


FIG.22

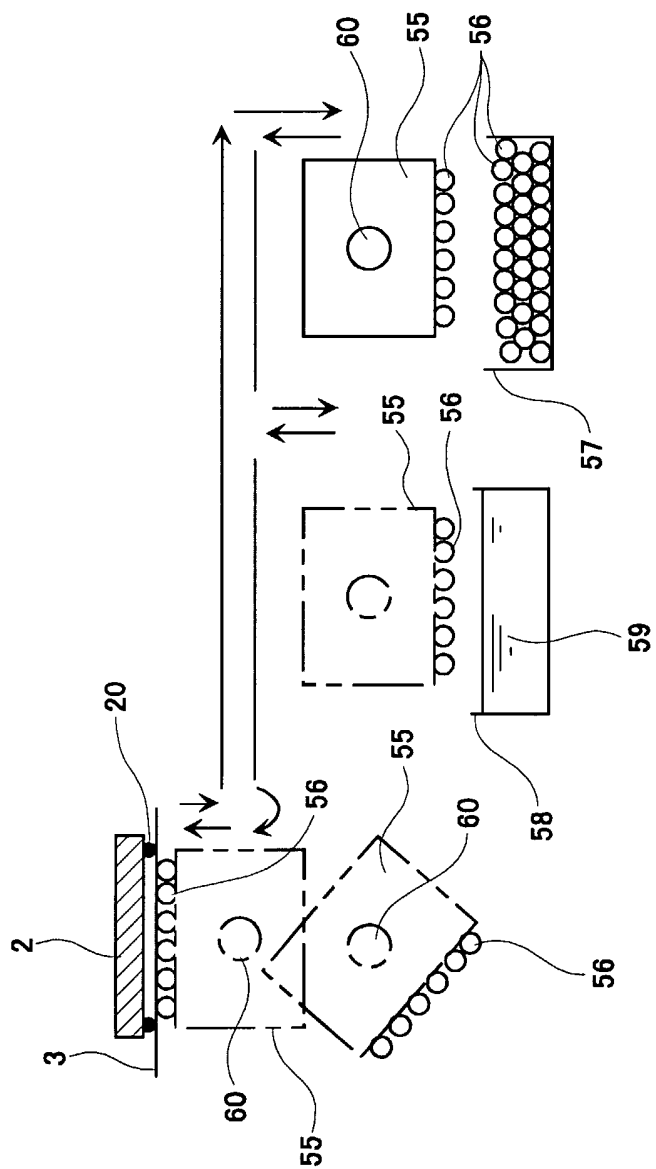


FIG.23

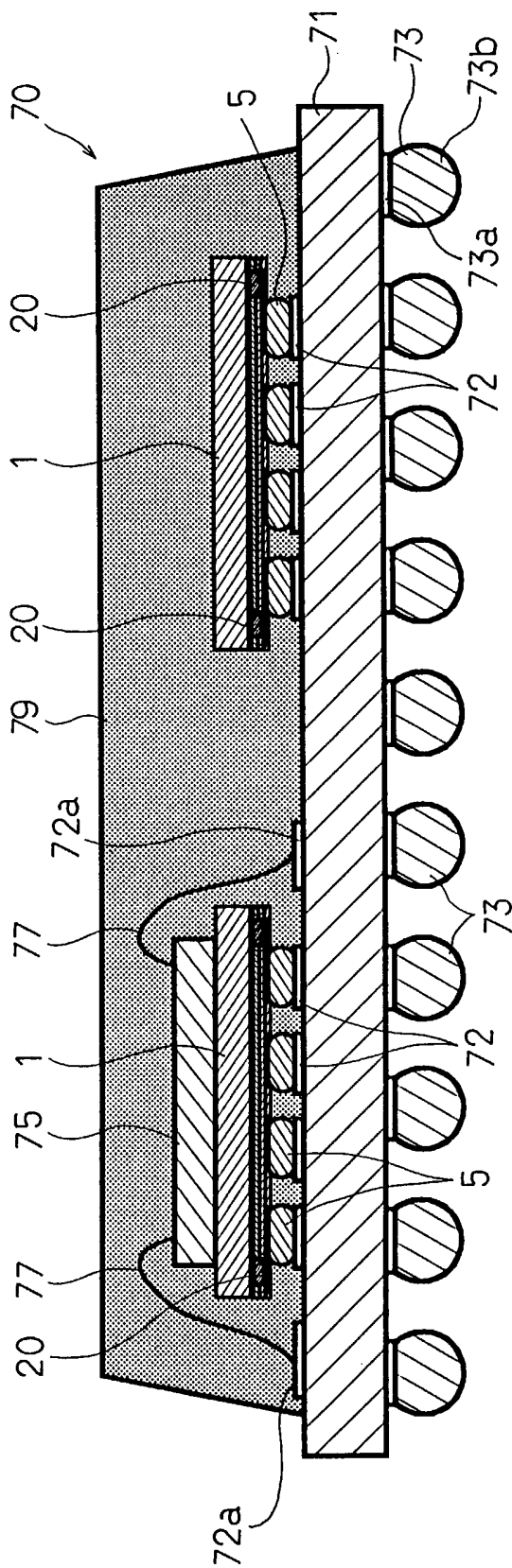


FIG.24

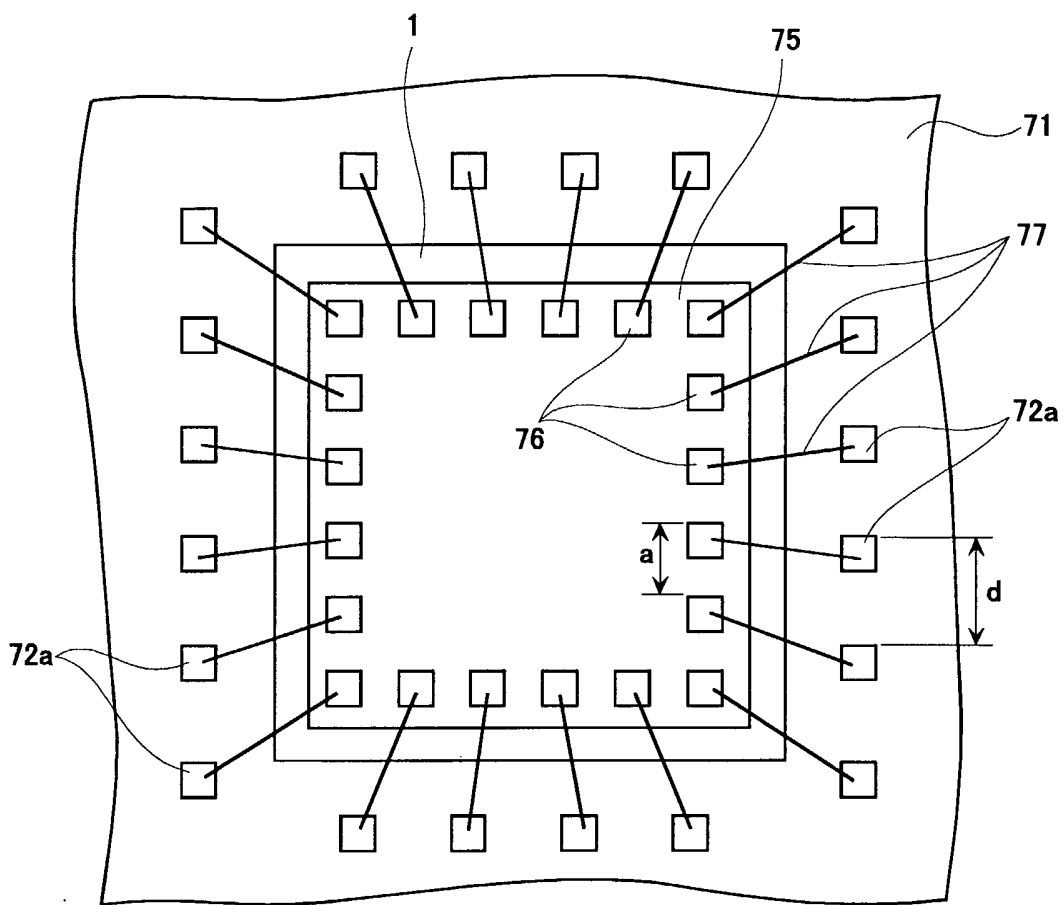
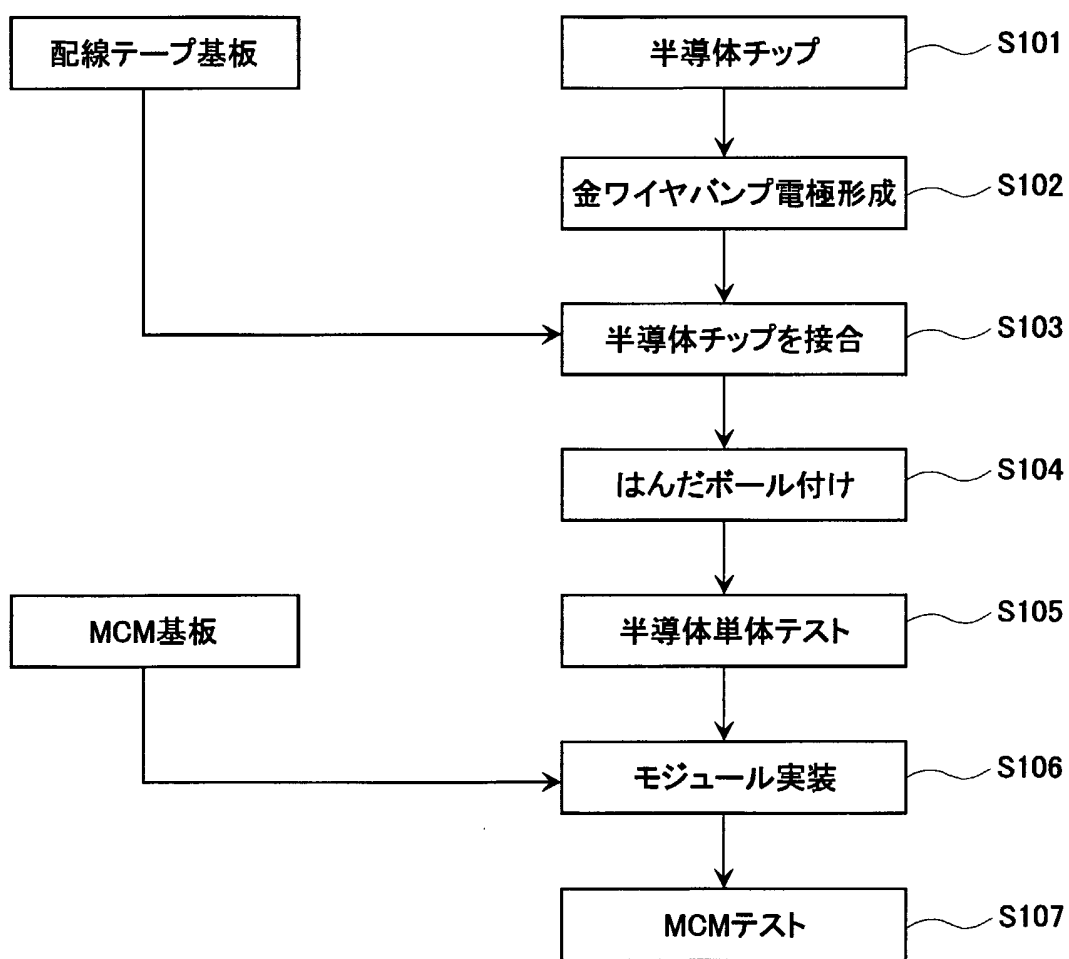


FIG.25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03868

A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁷ H01L23/12		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁷ H01L23/12, H01L21/60		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2002 Kokai Jitsuyo Shinan Koho 1971-2002 Toroku Jitsuyo Shinan Koho 1994-2002		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-168152 A (Nippon Steel Chemical Co., Ltd.), 22 June, 2001 (22.06.01), Full text	1-5, 7, 9-16, 19-23
<u>Y</u>	<u>Full text</u> (Family: none)	<u>6, 8, 17, 18,</u> <u>24-29</u>
Y	JP 11-307594 A (Mitsui Mining & Smelting Co., Ltd.), 05 November, 1999 (05.11.99), Column 8, line 46 to column 9, line 5 (Family: none)	6
Y	US 6046495 A (NEC Corp.), 04 April, 2000 (04.04.00), Column 5, lines 19 to 58; Figs. 2A to 2D & JP 10-074795 A Column 4, lines 19 to 38; Fig. 2	8, 17, 18
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family	
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 11 July, 2002 (11.07.02)	Date of mailing of the international search report 30 July, 2002 (30.07.02)	
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer	
Facsimile No.	Telephone No.	

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/03868

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-261044 A (Matsushita Electric Industrial Co., Ltd.), 24 September, 1999 (24.09.99), Column 5, lines 26 to 33; Fig. 1 (Family: none)	24-29
A	JP 9-223759 A (Casio Computer Co., Ltd.), 26 August, 1997 (26.08.97), Full text (Family: none)	1-29
A	JP 10-70211 A (Toppan Printing Co., Ltd.), 10 March, 1998 (10.03.98), Full text (Family: none)	1-29

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int. Cl⁷ H01L23/12

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int. Cl⁷ H01L23/12, H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996
 日本国公開実用新案公報 1971-2002
 日本国実用新案登録公報 1996-2002
 日本国登録実用新案公報 1994-2002

国際調査でを使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-168152 A (新日鐵化学株式会社) 2001.06.22 全文 全文 (ファミリーなし)	1-5, 7, 9-16, 19-23 6, 8, 17, 18, 24-29
Y	JP 11-307594 A (三井金属鉱業株式会社) 1999.11.05 第8欄第46行-第9欄第5行目 (ファミリーなし)	6,

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 11.07.02

国際調査報告の発送日 30.07.02

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/JJP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 田中 永一
 4R 3032
 電話番号 03-3581-1101 内線 3425

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6046495 A (NEC CORPORATION) 2000. 04. 04 第5欄第19行-第58行目, FIG. 2A-FIG. 2D & JP 10-074795 A 第4欄第19行-第38行目, 図2	8, 17, 18,
Y	JP 11-261044 A (松下電器産業株式会社) 1999. 09. 24 第5欄第26行-第33行目, 図1 (ファミリーなし)	24-29
A	JP 9-223759 A (カシオ計算機株式会社) 1997. 08. 26 全文 (ファミリーなし)	1-29
A	JP 10-70211 A (凸版印刷株式会社) 1998. 03. 10 全文 (ファミリーなし)	1-29