



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년08월29일
 (11) 등록번호 10-1892750
 (24) 등록일자 2018년08월22일

(51) 국제특허분류(Int. Cl.)
 H01C 1/14 (2006.01) H01C 7/00 (2006.01)
 (21) 출원번호 10-2011-0137250
 (22) 출원일자 2011년12월19일
 심사청구일자 2016년12월01일
 (65) 공개번호 10-2013-0070682
 (43) 공개일자 2013년06월28일
 (56) 선행기술조사문헌
 US04647900 A*
 US04245210 A*
 JP2000100601 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 박장호
 경기도 수원시 영통구 매탄로 82, 207동 704호 (매탄동, 우남퍼스트빌)
 김영기
 서울특별시 동작구 여의대방로16길 12-18 (신대방동)
 (뒷면에 계속)
 (74) 대리인
 특허법인씨엔에스

전체 청구항 수 : 총 47 항

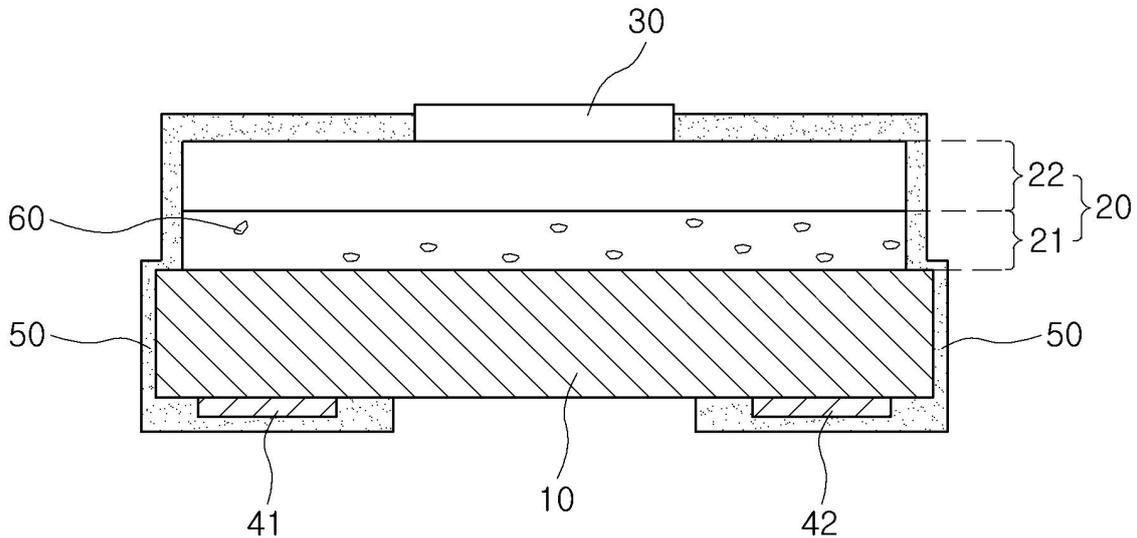
심사관 : 노영철

(54) 발명의 명칭 칩 저항 부품 및 그의 제조 방법

(57) 요약

본 발명은 칩 저항 부품에 관한 것으로, 세라믹 기판; 상기 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 제1 글래스를 포함하는 제1 저항층; 및 상기 제1 저항층 상에 형성되고, 제2 도전성 금속 및 제2 글래스를 포함하고, 상기 제1 저항층보다 글래스 함량이 적은 제2 저항층;을 포함할 수 있으며, 본 발명에 의하면 저항이 작고 TCR이 작은 칩 저항 부품을 얻을 수 있다.

대표도 - 도1



(72) 발명자

서기원

경기도 수원시 팔달구 동말로13번길 16, 가동 B10
1호 (화서동, 몬드빌라)

윤장석

경기도 수원시 권선구 세권로 334 334동 702호 (권
선동, 주공아파트)

한진만

서울특별시 관악구 봉천로13나길 6, 궁전그린파크
201호 (봉천동)

김성준

경기도 수원시 영통구 중부대로271번길 27-9, 218
동 502호 (원천동, 주공아파트)

명세서

청구범위

청구항 1

세라믹 기판;

상기 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 제1 글래스를 포함하는 제1 저항층; 및

상기 제1 저항층 상에 형성되고, 제2 도전성 금속 및 제2 글래스를 포함하고, 상기 제1 저항층보다 글래스 함량이 적은 제2 저항층;

을 포함하며,

상기 제2 저항층은 상기 제1 저항층 보다 큰 두께를 가지는 칩 저항 부품.

청구항 2

제1항에 있어서,

상기 제2 저항층은 2 이상의 층을 포함하는 칩 저항 부품.

청구항 3

제1항에 있어서,

상기 제1 도전성 금속은 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 4

제1항에 있어서,

상기 제2 도전성 금속은 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 5

제1항에 있어서,

상기 제1 및 제2 도전성 금속은 조성이 동일한 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 6

제3항 또는 제4항에 있어서,

상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%인 칩 저항 부품.

청구항 7

제1항에 있어서,

상기 제1 저항층의 상기 제1 글래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부인 칩 저항 부품.

청구항 8

제1항에 있어서,

상기 제1 저항층의 두께는 5~40um 인 칩 저항 부품.

청구항 9

제1항에 있어서,

상기 제2 저항층의 두께는 10~70um인 칩 저항 부품.

청구항 10

제1항에 있어서,

상기 제1 및 제2 저항층의 두께의 합은 110um 이하인 칩 저항 부품.

청구항 11

제1항에 있어서,

상기 세라믹 기판은 알루미나 기판인 칩 저항 부품.

청구항 12

세라믹 기판;

상기 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 글래스를 포함하는 제1 저항층; 및

상기 제1 저항층 상에 형성되고, 제2 도전성 금속을 포함하고, 글래스를 포함하지 않는 제2 저항층;

을 포함하며,

상기 제2 저항층은 상기 제1 저항층 보다 큰 두께를 가지는 칩 저항 부품.

청구항 13

제12항에 있어서,

상기 제2 저항층은 2 이상의 층을 포함하는 칩 저항 부품.

청구항 14

제12항에 있어서,

상기 제1 도전성 금속은 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 15

제12항에 있어서,

상기 제2 도전성 금속은 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 16

제12항에 있어서,

상기 제1 및 제2 도전성 금속은 조성이 구리-니켈 합금을 포함하는 칩 저항 부품.

청구항 17

제14항 또는 제15항에 있어서,

상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%인 칩 저항 부품.

청구항 18

제12항에 있어서,

상기 제1 저항층의 상기 글래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부인 칩 저항 부품.

청구항 19

제12항에 있어서,

상기 제1 저항층의 두께는 5~40um인 칩 저항 부품.

청구항 20

제12항에 있어서,
상기 제2 저항층의 두께는 10~70um인 칩 저항 부품.

청구항 21

제12항에 있어서,
상기 제1 및 제2 저항층의 두께의 합은 110um 이하인 칩 저항 부품.

청구항 22

제12항에 있어서,
상기 세라믹 기판은 알루미나 기판인 칩 저항 부품.

청구항 23

세라믹 기판 상에, 제1 도전성 금속 및 제1 글래스를 함유하는 제1 도전성 페이스트로 제1 저항층을 형성하는 단계; 및
상기 제1 저항층 상에, 제2 도전성 금속 및 제2 글래스를 함유하고 상기 제1 도전성 페이스트보다 글래스 함량이 적은 제2 도전성 페이스트로 제2 저항층을 형성하는 단계;
를 포함하며,
상기 제2 저항층은 상기 제1 저항층 보다 큰 두께로 형성되는 칩 저항 부품의 제조 방법.

청구항 24

제23항에 있어서,
상기 세라믹 기판은 알루미나 기판인 칩 저항 부품의 제조 방법.

청구항 25

제23항에 있어서,
상기 제1 도전성 금속은 구리 및 니켈을 포함하는 칩 저항 부품의 제조 방법.

청구항 26

제23항에 있어서,
상기 제2 도전성 금속은 구리 및 니켈을 포함하는 칩 저항 부품의 제조 방법.

청구항 27

제25항 또는 제26항에 있어서,
상기 니켈의 평균 입경은 상기 구리의 평균 입경의 2분의 1 이하인 칩 저항 부품의 제조 방법.

청구항 28

제23항에 있어서,
상기 제1 및 제2 도전성 금속은 조성이 동일한 구리-니켈 합금을 포함하는 칩 저항 부품의 제조 방법.

청구항 29

제25항 또는 제26항에 있어서,
상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%인 칩 저항 부품의 제조 방법.

청구항 30

제23항에 있어서,

상기 제1 클래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부인 칩 저항 부품의 제조 방법.

청구항 31

제23항에 있어서,

상기 제1 및 제2 저항층은 인쇄 방식에 의하여 형성되는 칩 저항 부품의 제조 방법.

청구항 32

제23항에 있어서,

상기 제2 도전성 금속의 평균 입경은 제1 도전성 금속의 평균 입경보다 큰 칩 저항 부품의 제조 방법.

청구항 33

제23항에 있어서,

상기 제2 저항층을 형성하는 단계 이후에, 소결하는 단계를 더 포함하는 칩 저항 부품의 제조 방법.

청구항 34

제33항에 있어서,

상기 소결 단계는 순차적으로 산화 분위기 및 환원 분위기에서 수행되는 칩 저항 부품의 제조 방법.

청구항 35

제34항에 있어서,

상기 환원 분위기는 수소 분위기인 칩 저항 부품의 제조 방법.

청구항 36

세라믹 기판 상에, 제1 도전성 금속 및 글래스를 함유하는 제1 도전성 페이스트로 제1 저항층을 형성하는 단계;
및

상기 제1 저항층 상에, 제2 도전성 금속을 포함하되 글래스를 함유하지 않는 제2 도전성 페이스트로 제2 저항층을 형성하는 단계;

를 포함하며,

상기 제2 저항층은 상기 제1 저항층 보다 큰 두께로 형성되는 칩 저항 부품의 제조 방법.

청구항 37

제36항에 있어서,

상기 세라믹 기판은 알루미늄이나 기판인 칩 저항 부품의 제조 방법.

청구항 38

제36항에 있어서,

상기 제1 도전성 금속은 구리 및 니켈을 포함하는 칩 저항 부품의 제조 방법.

청구항 39

제36항에 있어서,

상기 제2 도전성 금속은 구리 및 니켈을 포함하는 칩 저항 부품의 제조 방법.

청구항 40

제38항 또는 제39에 있어서,
 상기 니켈의 평균 입경은 상기 구리의 평균 입경의 2분의 1 이하인 칩 저항 부품의 제조 방법.

청구항 41

제36항에 있어서,
 상기 제1 및 제2 도전성 금속은 동일한 조성의 구리-니켈 합금을 포함하는 칩 저항 부품의 제조 방법.

청구항 42

제38항 또는 제39항에 있어서,
 상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%인 칩 저항 부품의 제조 방법.

청구항 43

제36항에 있어서,
 상기 제1 및 제2 저항층은 인쇄 방식에 의하여 형성되는 칩 저항 부품의 제조 방법.

청구항 44

제36항에 있어서,
 상기 제2 도전성 금속의 평균 입경은 제1 도전성 금속의 평균 입경보다 큰 칩 저항 부품의 제조 방법.

청구항 45

제36항에 있어서,
 상기 제2 저항층을 형성하는 단계 이후에, 소결하는 단계를 더 포함하는 칩 저항 부품의 제조 방법.

청구항 46

제45항에 있어서,
 상기 소결 단계는 순차적으로 산화 분위기 및 환원 분위기에서 수행되는 칩 저항 부품의 제조 방법.

청구항 47

제46항에 있어서,
 상기 환원 분위기는 수소 분위기인 칩 저항 부품의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 칩 저항 부품 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 종래 50mΩ~1Ω 영역의 낮은 저항기는 후막 방식을 이용하여 제작하였으며, 저항체 전극으로는 은-팔라듐 페이스트를 이용하고 측면 전극부는 은 페이스트를 이용하여 형성하였다.

[0003] 저항체 전극과 측면 전극부의 패턴 사이즈를 변경하고 저항체의 은-팔라듐 페이스트 내의 팔라듐 조성을 조절함으로써 저항의 온도계수(TCR, Temperature Coefficient of Resistance, 이하 “TCR” 이라 함)을 조절하였다.

[0004] 50mΩ 이하의 낮은 저항과 500ppm/K 이하의 TCR을 가진 금속 재료를 호일이나 판상으로 사용하고, 치수 및 형상을 가공하여 저항값을 조절할 수 있다.

[0005] 하지만, 이러한 금속판 방법은 요구되는 저항대 및 사이즈에 따라 금속판과 금형이 필요하기 때문에 다양한 기종의 생산시 비용 증가가 크고, 후막 방식에 비해 대량 생산이 어렵고, 원재료의 사용량과 단가가 높아서 칩 저항기에서 재료비가 높다는 단점이 있다.

[0006] 또한, 은-팔라듐에서 팔라듐의 함량이 증가함에 따라 저항값이 증가하는 반면에 TCR은 감소될 수 있으며, 이러한 방법으로는 50mΩ 이하의 저저항과 500ppm/K 이하의 TCR을 구현하는 것은 한계가 있다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 저항이 작고 TCR이 작은 칩 저항 부품 및 그의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0008] 본 발명의 일 실시 형태는 세라믹 기판; 상기 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 제1 글래스를 포함하는 제1 저항층; 및 상기 제1 저항층 상에 형성되고, 제2 도전성 금속 및 제2 글래스를 포함하고, 상기 제1 저항층보다 글래스 함량이 적은 제2 저항층;을 포함하는 칩 저항 부품일 수 있다.

[0009] 상기 제2 저항층은 2 이상의 층을 포함할 수 있다.

[0010] 상기 제1 도전성 금속은 구리-니켈 합금을 포함할 수 있다.

[0011] 상기 제2 도전성 금속은 구리-니켈 합금을 포함할 수 있다.

[0012] 상기 제1 및 제2 도전성 금속은 조성이 동일한 구리-니켈 합금을 포함할 수 있다.

[0013] 상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%일 수 있다.

[0014] 상기 제1 저항층의 상기 제1 글래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부일 수 있다.

[0015] 상기 제1 저항층의 두께는 5~40um 일 수 있다.

[0016] 상기 제2 저항층의 두께는 10~70um일 수 있다.

[0017] 상기 제1 및 제2 저항층의 두께의 합은 110um 이하일 수 있다.

[0018] 상기 세라믹 기판은 알루미나 기판일 수 있다.

[0019] 본 실시 형태의 다른 측면은 세라믹 기판; 상기 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 글래스를 포함하는 제1 저항층; 및 상기 제1 저항층 상에 형성되고, 제2 도전성 금속을 포함하고, 글래스를 포함하지 않는 제2 저항층;을 포함하는 칩 저항 부품일 수 있다.

[0020] 상기 제2 저항층은 2 이상의 층을 포함할 수 있다.

[0021] 상기 제1 도전성 금속은 구리-니켈 합금을 포함할 수 있다.

[0022] 상기 제2 도전성 금속은 구리-니켈 합금을 포함할 수 있다.

[0023] 상기 제1 및 제2 도전성 금속은 조성이 구리-니켈 합금을 포함할 수 있다.

[0024] 상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%일 수 있다.

[0025] 상기 제1 저항층의 상기 제1 글래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부일 수 있다.

[0026] 상기 제1 저항층의 두께는 5~40um일 수 있다.

[0027] 상기 제2 저항층의 두께는 10~70um일 수 있다.

[0028] 상기 제1 및 제2 저항층의 두께의 합은 110um 이하일 수 있다.

[0029] 상기 세라믹 기판은 알루미나 기판일 수 있다.

- [0030] 본 발명의 다른 실시 형태는 세라믹 기판 상에, 제1 도전성 금속 및 제1 글래스를 함유하는 제1 도전성 페이스트로 제1 저항층을 형성하는 단계; 및 상기 제1 저항층 상에, 제2 도전성 금속 및 제2 글래스를 함유하고 상기 제1 도전성 페이스트보다 글래스 함량이 적은 제2 도전성 페이스트로 제2 저항층을 형성하는 단계;를 포함하는 칩 저항 부품의 제조 방법일 수 있다.
- [0031] 상기 세라믹 기판은 알루미늄이나 기판일 수 있다.
- [0032] 상기 제1 도전성 금속은 구리 및 니켈을 포함할 수 있다.
- [0033] 상기 제2 도전성 금속은 구리 및 니켈을 포함할 수 있다.
- [0034] 상기 니켈의 평균 입경은 상기 구리의 평균 입경의 2분의 1 이하일 수 있다.
- [0035] 상기 제1 및 제2 도전성 금속은 조성이 동일한 구리-니켈 합금을 포함할 수 있다.
- [0036] 상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%일 수 있다.
- [0037] 상기 제1 글래스의 함량은 상기 제1 도전성 금속 100 중량부 대비 3~40 중량부일 수 있다.
- [0038] 상기 제1 및 제2 저항층은 인쇄 방식에 의하여 형성될 수 있다.
- [0039] 상기 제2 도전성 금속의 평균 입경은 제1 도전성 금속의 평균 입경보다 클 수 있다.
- [0040] 상기 제2 저항층을 형성하는 단계 이후에, 소결하는 단계를 더 포함할 수 있다.
- [0041] 상기 소결 단계는 순차적으로 산화 분위기 및 환원 분위기에서 수행될 수 있다.
- [0042] 상기 환원 분위기는 수소 분위기일 수 있다.

[0043] 본 실시 형태의 다른 측면은 세라믹 기판 상에, 제1 도전성 금속 및 글래스를 함유하는 제1 도전성 페이스트로 제1 저항층을 형성하는 단계; 및 상기 제1 저항층 상에, 제2 도전성 금속을 포함하되 글래스를 함유하지 않는 제2 도전성 페이스트로 제2 저항층을 형성하는 단계;를 포함하는 칩 저항 부품의 제조 방법일 수 있다.

- [0044] 상기 세라믹 기판은 알루미늄이나 기판일 수 있다.
- [0045] 상기 제1 도전성 금속은 구리 및 니켈을 포함할 수 있다.
- [0046] 상기 제2 도전성 금속은 구리 및 니켈을 포함할 수 있다.
- [0047] 상기 니켈 분말 입자의 평균 입경은 상기 구리 분말 입자의 평균 입경의 2분의 1 이하일 수 있다.
- [0048] 상기 제1 및 제2 도전성 금속은 동일한 조성의 구리-니켈 합금을 포함할 수 있다.
- [0049] 상기 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%일 수 있다.
- [0050] 상기 제1 및 제2 저항층은 인쇄 방식에 의하여 형성될 수 있다.
- [0051] 상기 제2 도전성 금속의 평균 입경은 제1 도전성 금속의 평균 입경보다 클 수 있다.
- [0052] 상기 제2 저항층을 형성하는 단계 이후에, 소결하는 단계를 더 포함할 수 있다.
- [0053] 상기 소결 단계는 순차적으로 산화 분위기 및 환원 분위기에서 수행될 수 있다.
- [0054] 상기 환원 분위기는 수소 분위기일 수 있다.

발명의 효과

[0055] 본 발명에 의하면 저항이 작고 TCR이 작은 칩 저항 부품을 얻을 수 있다.

도면의 간단한 설명

- [0056] 도 1은 본 발명의 일 측면에 따른 칩 저항 부품의 단면도이다.
 도 2는 본 발명의 일 측면에 따른 칩 저항 부품에 대한 니켈 함량에 따른 TCR 및 시트 저항 측정 결과를 나타내는 그래프이다.

도 3은 본 발명의 일 측면에 따른 칩 저항 부품에 대한 글래스 함량에 따른 TCR 및 시트 저항을 측정한 결과를 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0057] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다.
- [0058] 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0059] 또한, 본 발명의 실시 형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0060] 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0061] 도 1은 본 발명의 일 측면에 따른 칩 저항 부품의 단면도이다.
- [0062] 도 1을 참조하면, 본 발명의 일 측면인 칩 저항 부품은 세라믹 기판(10); 세라믹 기판 상에 형성된 저항층(20);을 포함할 수 있다.
- [0063] 세라믹 기판은 세라믹 재료로 이루어진 전기 절연성 기판을 의미할 수 있다. 세라믹 기판은, 이에 제한되는 것은 아니나, 알루미늄 기판일 수 있다.
- [0064] 세라믹 기판은 절연성이 우수하고, 열전도성이 우수하고, 저항 소자와의 밀착성이 우수한 것이면 특별히 제한되지 않는다.
- [0065] 세라믹 기판의 하부에는 하부 전극(41, 42)이 형성될 수 있다. 하부 전극에는 외부 회로에 연결될 수 있다.
- [0066] 저항층(20)은 제1 저항층(21) 및 제2 저항층(22)을 포함할 수 있다.
- [0067] 제1 저항층(21)은 세라믹 기판 상에 형성되고, 제1 도전성 금속 및 제1 글래스를 포함할 수 있다.
- [0068] 제1 도전성 금속은 구리-니켈 합금을 포함할 수 있다.
- [0069] 제1 도전성 금속으로는 금, 은(Ag), 구리, 니켈, 주석, 팔라듐(Pd) 및 이들의 합금으로 이루어진 그룹으로부터 선택된 어느 하나 이상을 포함할 수 있지만, 금, 은, 팔라듐 등의 귀금속은 가격이 비싸고, 구리-니켈 합금은 비교적 가격이 저렴하다.
- [0070] 제1 및 제2 도전성 금속 중 니켈의 함량은 18~70 중량%일 수 있다.
- [0071] 구리와 니켈의 합금이 일체형 저항체로 사용하기에 적합한 것은 니켈의 함량이 18~70%인 경우이다.
- [0072] 표 1에는 주요 금속에 대한 TCR 및 비저항을 나타내었다. TCR은 온도에 따른 저항값의 변동율이며, 통상적으로 -55℃, 상온, 125℃ 사이의 저항값 변동률로 계산할 수 있다.

표 1

금속	TCR($\times 10^{-6}$ mm/℃)	비저항(nΩ?m)
주석(Sn)	4,600	10.1

팔라듐(Pd)	3,900	10.5
니켈(Ni)	6,800	6.2
은(Ag)	4,100	1.47
구리(Cu)	4,300	1.58

- [0074] 니켈 및 구리 분말은 산소와의 반응성이 좋아 산화되기 쉽다. 특히 니켈 및 구리 분말이 300℃ 이상에서 공기에 노출되면 공기 중의 산소와 반응하여 산화되어 니켈-구리의 소결 및 합금화를 저해할 수 있으며, 저항을 증가시킬 수 있다.
- [0075] 제1 저항층은 제1 글래스를 포함될 수 있다. 제1 저항층에 제1 글래스를 첨가함으로써 인하여, 제1 저항층과 세라믹 기판 사이의 접합 강도를 향상시킬 수 있다.
- [0076] 제1 저항층은 세라믹 기판 상에 형성될 수 있는데, 제1 저항층은 금속이고 세라믹 기판은 세라믹이다. 금속과 세라믹은 이질 재료이므로 금속과 세라믹 간에는 접합력이 약할 수 있다.
- [0077] 금속 측에 세라믹의 일종인 글래스를 첨가함으로써 재료의 이질성을 완화시킬 수 있으며, 이로써 금속과 세라믹 간의 접합 강도를 향상시킬 수 있으며, 외부 충격에 대한 내성이 향상될 수 있다.
- [0078] 또한, 제1 저항층에 제1 글래스를 첨가함으로써 제1 저항층의 TCR을 작게 할 수 있다. 글래스는 세라믹 재료의 일종이기 때문에 금속과 비교하여 TCR이 작을 수 있다. 제1 저항층에 제1 글래스를 첨가하면 그만큼 제1 저항층의 TCR 이 작아질 수 있다.
- [0079] 요컨대, 제1 저항층에 제1 글래스를 첨가함으로써 제1 저항층은 칩 저항 부품의 기계적 신뢰성 및 TCR 특성을 향상시키는 기능을 수행할 수 있다.
- [0080] 제1 글래스의 함량은 제1 도전성 금속 100 중량부 대비 3~40 중량부일 수 있으며, 바람직하게는 5~10 중량부일 수 있다.
- [0081] 제1 글래스의 함량이 3 중량부 미만인 경우 세라믹 기판과 제1 저항층 간의 접합 강도가 약하여 외부로부터의 충격 등에 의하여 박리될 수도 있고, 전기적 특성도 저하될 수 있다. 제1 글래스의 함량이 40 중량부 초과인 경우에는 첨가된 글래스에 의하여 저항이 증가할 수 있다.
- [0082] 제1 저항층의 두께는 5~40um 일 수 있다.
- [0083] 제1 저항층의 두께가 5um 미만이면 제1 저항층을 형성하여 달성하고자 하는 접합 강도의 향상 및 TCR 감소의 효과가 미미하다.
- [0084] 제1 저항층의 두께가 40um 이상이면 인쇄 정밀도가 떨어질 수 있고, 또한 소성시 제1 저항층 내부에 존재하는 유기 용제 등 유기 성분을 제거되지 않을 수 있기 때문에 저항이 증가될 수 있으며, 또한 제1 저항층이 너무 두껍기 때문에 이후에 트리밍 공정을 행할 수 없다.
- [0085] 제2 저항층은 제1 저항층 상에 형성될 수 있고, 제2 도전성 금속 및 제2 글래스를 포함할 수 있으며, 제2 저항층은 제1 저항층보다 글래스 함량이 적을 수 있다. 또한 제2 저항층에는 글래스가 포함되지 않을 수 있다.

- [0086] 제2 저항층은 제1 저항층과의 접합력 향상 및 비저항 감소 측면을 고려하여 설계할 수 있다.
- [0087] 제2 도전성 금속은 구리-니켈 합금을 포함할 수 있으며, 제2 도전성 금속은 제1 도전성 금속과 조성이 동일할 수 있다. 이는 제2 저항층과 제1 저항층의 접합력을 향상시키기 위한 것이다.
- [0088] 제2 저항층에는 글래스가 포함되지 않거나 또는 제1 저항층에 비하여 글래스의 함량이 더 적을 수 있다. 전기적 부도체인 글래스의 함량을 줄임으로써 비저항을 감소시킬 수 있다.
- [0089] 또한, 제2 저항층의 두께를 두껍게 형성함으로써 비저항을 낮출 수도 있다. 이는 도전성 페이스트를 반복하여 인쇄함으로써 구현할 수 있으며, 또는 니켈 분말 입자와 구리 분말 입자의 평균 입경을 제1 저항층의 경우보다 더 크게 함으로써 막 두께를 두껍게 형성할 수도 있다.
- [0090] 제2 저항층(22)은 2 이상의 층으로 분할되어 형성될 수 있다. 제2 저항층(22)을 2 이상의 층으로 형성함으로써 제2 저항층의 두께를 더 두껍게 형성할 수 있고 저항을 낮출 수 있다. 예를 들면 제2 저항층(22)은 2개의 층으로 형성될 수 있으며, 이 경우 저항층(20)은 총 3개의 층으로 구성될 수 있다.
- [0091] 제2 저항층이 2 이상의 층으로 형성된 경우 각 층의 조성이 동일한 경우에는 소결 후 일체화되기 때문에 각 층을 구별하기 쉽지 않을 수 있다. 다만 각 층의 조성을 달리하거나 글래스의 함량을 다르게 하는 경우에는 EPMA 등을 이용한 매핑(mapping)에 의하여 각 층을 구별할 수 있다.
- [0092] 제2 저항층은 제1 저항층보다 더 두꺼울 수 있다.
- [0093] 제1 저항층은 세라믹 기판과의 접합 강도 향상 및 TCR 감소를 위하여 형성된 층으로, 글래스를 포함하고 있기 때문에 저항이 크다. 제2 저항층은 저항을 낮추기 위하여 형성되는 층으로, 글래스가 포함되지 않거나 또는 아주 적은 양이 포함될 수 있다. 세라믹 기판과의 접합 강도 및 TCR에 문제가 없다면 제2 저항층을 제1 저항층보다 두껍게 형성하여 저항을 감소시킬 수 있다.
- [0094] 제2 저항층의 두께는 10~70um 일 수 있으며, 제1 및 제2 저항층의 소성 후 두께의 합은 110um 이하일 수 있다.
- [0095] 제1 및 제2 저항층의 소성후 두께의 합이 110um 초과하면 세라믹 기판의 휨이 상당히 크기 때문에 후 공정 중에 깨지는 등의 문제가 발생할 수 있고, 작업성이 현저히 떨어질 수 있다.
- [0096] 제1 및 제2 저항층이 두꺼워질수록 소성시 금속의 소성 수축에 의하여 세라믹 기판에 휨이 발생할 수 있다. 이는 금속을 주로 포함하는 제1 및 제2 저항층이 세라믹 기판보다 소성 수축이 더 크기 때문이다.
- [0097] 저항층 보호부(30)가 저항층(20) 상에 형성될 수 있다. 저항층 보호부(30)는 붕규산계 글래스를 스크린 인쇄한 후 고온 소성하여 형성될 수 있다.
- [0098] 도전층(50)이 세라믹 기판(10) 및 저항층(20)을 둘러싸도록 형성될 수 있다. 도전층은 도금층일 수 있으며, 구체적으로는 전기 도금에 의하여 형성된 니켈 도금층일 수 있다.
- [0099] 본 발명의 다른 측면은 세라믹 기판 상에 제1 저항층을 형성하는 단계 및 상기 제1 저항층 상에 제2 저항층을 형성하는 단계를 포함하는 칩 저항 부품의 제조 방법일 수 있다.

- [0100] 세라믹 기판은 알루미늄 기판일 수 있다.
- [0101] 제1 저항층은 제1 글래스를 함유하는 제1 도전성 페이스트로 형성될 수 있으며, 제2 저항층은 제1 저항층 상에 제2 글래스를 함유하는 제2 도전성 페이스트로 형성될 수 있다. 제1 및 제2 저항층은 인쇄 방식에 의하여 형성될 수 있다.
- [0102] 다만, 제2 저항층은 글래스를 포함하지 않을 수도 있다.
- [0103] 제1 및 제2 도전성 페이스트는 구리 및 니켈을 포함할 수 있으며, 제1 및 제2 도전성 페이스트에 함유된 구리-니켈 조성은 동일할 수 있다.
- [0104] 니켈 분말 입자의 평균 입경은 구리 분말 입자의 평균 입경의 2분의 1 이하일 수 있다.
- [0105] 제1 도전성 금속이 구리-니켈 합금인 경우, 니켈의 함량이 증가할수록 TCR이 감소하지만, 니켈 함량이 지나치게 많아지면 구리-니켈 간에 소결 반응이 원활하게 진행되지 않을 수 있기 때문에 오히려 TCR이 증가할 수 있다.
- [0106] 이는 니켈의 소결 온도가 구리의 소결 온도보다 더 높기 때문인데, 이를 해결하기 위하여 평균 입경이 1 μ m 이하이고 구리 분말 입자의 평균 입경의 2분의 1 이하인 니켈 분말 입자를 사용하여, 니켈로 인한 소결 온도 상승을 억제하고 소결의 치밀도를 향상시킬 수 있다.
- [0107] 제2 도전성 페이스트에 함유된 구리 입자 및 니켈 입자의 평균 입경은, 각각 제2 도전성 페이스트에 함유된 구리 입자 및 니켈 입자의 평균 입경보다 더 클 수 있으며, 구체적으로는 2배 이상일 수 있다.
- [0108] 제2 저항층의 도전성 금속의 평균 입경을 큰 것을 사용함으로써 인쇄 회수를 줄일 수 있다.
- [0109] 제2 저항층을 형성하는 단계 이후에, 소결하는 단계를 더 포함할 수 있다.
- [0110] 제1 저항층과 제2 저항층에 대하여는 소결 온도가 다를 수 있다. 즉 각 층 별로 개별 소성을 할 수 있다. 제1 저항층에는 글래스가 포함되어 있고, 제2 저항층에는 글래스가 포함되어 있지 않거나 또는 미량의 글래스만이 포함되기 때문이다.
- [0111] 제2 저항층을 2층 이상으로 형성하는 경우에는 제2 저항층은 구성 성분이 유사하거나 동일하기 때문에 동일한 조건에서 소결을 할 수 있다. 즉 각 층을 동시 소성할 수 있다. 다만, 각 층이 50 μ m 이상으로 두꺼운 경우에는 개별 소성을 할 수 있다.
- [0112] 동시 소성은 생산성이 좋지만, 저항층의 밀도가 떨어져서 저항이 다소 높을 수 있다.
- [0113] 소결 단계는 순차적으로 산화 분위기 및 환원 분위기에서 수행될 수 있고, 환원 분위기는 수소 분위기일 수 있다.
- [0114] 니켈-구리 페이스트를 소결하는 경우, 질소 분위기만으로는 세라믹 기판과 저항층 간의 접합 강도 향상, 니켈-구리 분말의 산화 방지 및 합금화를 충분히 얻을 수 없다.
- [0115] 질소 가스를 이용하여 전체적인 분위기를 조절하되, 탈바인더, 글래스와 금속 간의 결합을 위하여는 산소를 공급하는 산화 분위기가 필요하고, 금속 간의 소결 및 저항층의 치밀화를 위하여는 환원 분위기가 필요하다.
- [0116] 특히 니켈의 경우 미립 분말을 사용하고 고온에서 작업이 수행되므로 산화가 쉽게 일어날 수 있다. 수소 등을 이용하여 환원 분위기를 형성함으로써 니켈-구리의 치밀도를 향상시키고 산화를 방지할 수 있다.

- [0117] 제2 저항층 상에 저항층 보호부를 형성하고, 저항층 및 세라믹 기판을 둘러싸도록 도전층을 형성할 수 있다.
- [0118] 기타 세라믹 기판, 제1 및 제2 저항층, 저항층 보호부, 도전층 등에 관한 사항은 앞에서 설명한 바와 동일하다.
- [0119] 이하에서는 실시예 및 비교예를 참조하여, 본 발명에 대하여 상세하게 설명한다.
- [0120] 본 발명의 일 실시예에 따른 칩 저항 부품은 다음과 같이 마련하였다.
- [0121] 제1 저항층을 형성하기 위한 제1 도전성 페이스트는 다음과 같이 제조하였다.
- [0122] 먼저, 도전성 금속으로 평균 입경이 0.5um인 구리 분말과 평균 입경이 0.18um인 니켈을 준비하였다.
- [0123] 구리와 니켈의 중량비가 55:45 가 되도록 구리 분말과 니켈 분말을 혼합하고, 도전성 금속(구리와 니켈의 중량의 합) 100 중량부 대비 5 중량부가 되도록 글래스를 혼합하였다.
- [0124] 여기에 유기 용매, 바인더를 혼합한 후 이를 볼 밀링하여 제1 도전성 페이스트를 마련하였다.
- [0125] 제2 저항층용 제2 도전성 페이스트는 제1 도전성 페이스트와 마찬가지로의 방법에 의하여 준비하였으며, 다만, 글래스를 함유하지 않으며, 평균 입경이 2.5um인 구리 분말, 평균 입경이 0.4um인 니켈 분말을 사용하였다는 점이 상이하다.
- [0126] 다음으로, 알루미늄 기판 상에 제1 도전성 페이스트를 인쇄하여 제1 저항층을 형성한 후, 900℃에서 소결하였다.
- [0127] 다음으로, 제1 저항층 상에 제2 도전성 페이스트를 인쇄하고, 이를 2회 반복하여 제2 저항층을 형성한 후, 950℃에서 소결하였다. 제2 저항층을 2 층으로 형성한 것이다.
- [0128] 다음으로, 제2 저항층 상에 붕규산계 글래스 페이스트를 인쇄한 후 소결하여 저항층 보호부를 형성하였다.
- [0129] 다음으로, 전기도금 방식에 의하여 알루미늄 기판 및 제1 및 제2 저항층을 모두 둘러싸도록 니켈 도금층을 형성하였다.
- [0130] 상기와 같이 제조된 칩 저항 부품에 대하여 TCR 및 시트 저항을 측정하였다.
- [0131] 도 2는 알루미늄 기판 상에 구리-니켈 합금의 저항층을 형성하고 TCR 특성 및 저항을 측정한 결과를 나타내는 그래프이다. 니켈의 함량은 0~100 중량%로 변화시키면서 측정하였다.
- [0132] 도 2를 참조하면, 니켈의 함량이 45 중량%인 경우 TCR이 가장 작은 값을 나타냄을 확인할 수 있다.
- [0133] 도 3은 본 발명의 일 측면에 따른 칩 저항 부품에 대한 글래스 함량에 따른 TCR 및 시트 저항을 측정한 결과를 나타내는 그래프로서, 니켈 함량이 45 중량%인 경우에 관한 것이다.
- [0134] 도 3을 참조하면, 글래스 함량이 증가함에 따라 TCR은 감소하고, 시트 저항은 증가함을 확인할 수 있다.
- [0135] 표 2에는 인쇄 회수를 변화시키면서 저항층의 두께, 저항, TCR을 측정한 결과를 나타내었다.

표 2

[0136]

인쇄 회수	저항층 두께(um)	저항(mΩ)	TCR(ppm/K)
2	55	13.7	12
3	73	10.1	31
4	84	8.9	33

[0137]

표 2를 참조하면, 인쇄 회수가 증가할수록 저항은 감소하고, TCR은 증가함을 확인할 수 있다.

[0138]

본 발명에서 사용한 용어는 특정한 실시예를 설명하기 위한 것으로, 본 발명을 한정하고자 하는 것이 아니다. 단수의 표현은 문맥상 명백하지 않는 한, 복수의 의미를 포함한다고 보아야 할 것이다.

[0139]

'포함하다' 또는 '가지다' 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성 요소 또는 이들을 조합한 것이 존재한다는 것을 의미하는 것이지, 이를 배제하기 위한 것이 아니다.

[0140]

본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다.

[0141]

따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

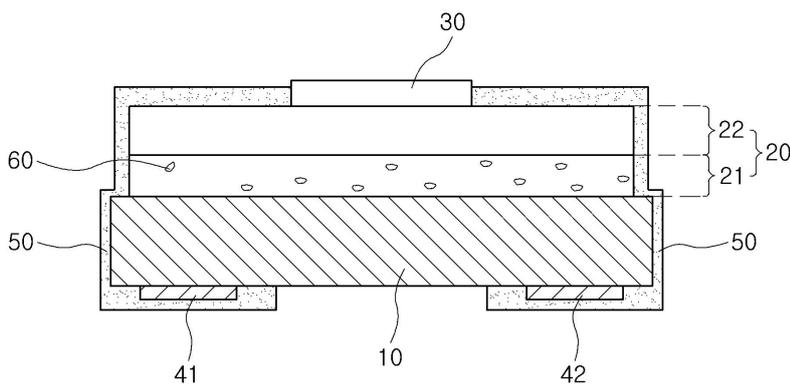
부호의 설명

[0142]

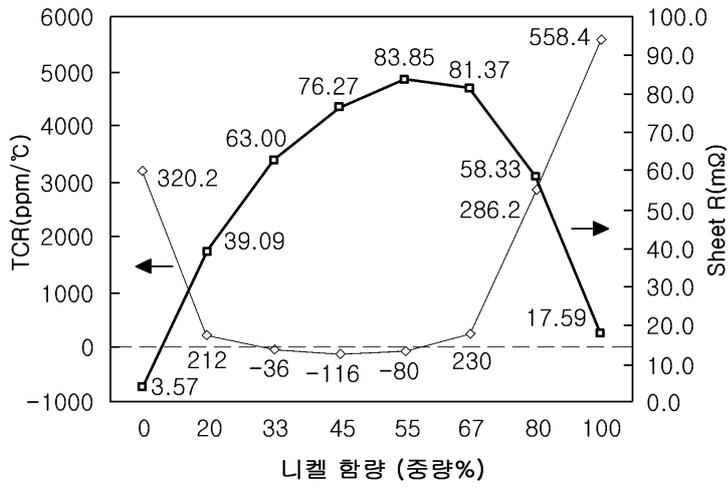
- 10: 세라믹 기판
- 20: 저항층
- 21, 22: 제1 및 제2 저항층
- 30: 저항층 보호부
- 40: 하부 전극
- 50: 도전층
- 60: 글래스

도면

도면1



도면2



도면3

