

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年9月6日(06.09.2024)



(10) 国際公開番号

WO 2024/180432 A1

(51) 国際特許分類:

H01L 29/786 (2006.01) H01L 27/088 (2006.01)
H01L 21/336 (2006.01) H10B 12/00 (2023.01)
H01L 21/822 (2006.01) H10B 41/70 (2023.01)
H01L 21/8234 (2006.01) H10B 53/20 (2023.01)
H01L 27/04 (2006.01) H10B 53/30 (2023.01)
H01L 27/06 (2006.01)

(72) 発明者: 山崎 舜平 (YAMAZAKI, Shunpei); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 村川 努(MURAKAWA, Tsutomu); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 國武寛司(KUNITAKE, Hitoshi); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 手塚祐朗(TEZUKA, Sachiaki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 松崎隆徳(MATSUZAKI, Takanori); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 岡本佑樹(OKAMOTO, Yuki). 宮田翔希(MIYATA, Shoki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(21) 国際出願番号: PCT/IB2024/051695

(22) 国際出願日: 2024年2月22日(22.02.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2023-030612 2023年3月1日(01.03.2023) JP
特願 2023-032587 2023年3月3日(03.03.2023) JP

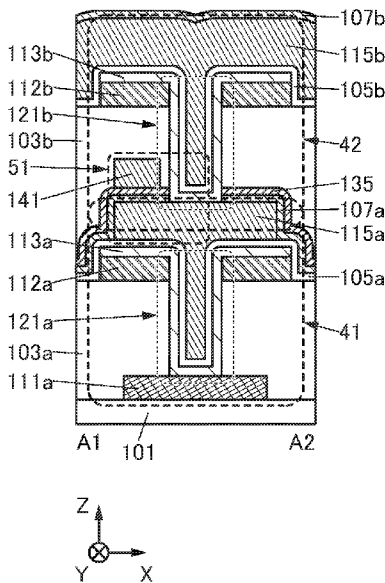
(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN,

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR PRODUCING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置、及び、半導体装置の作製方法

図5B



(57) Abstract: Provided is a semiconductor device that can be miniaturized or highly integrated. The semiconductor device has a memory device, a sense amplifier, and a processing unit. The sense amplifier and the processing unit are disposed on a first layer, and the memory device is disposed on a second layer stacked on the first layer. The memory device has a first transistor, a second transistor, and a capacitor, and the second transistor and the capacitor are each provided overlapping on the first transistor. The first and second transistors are provided with source electrodes and drain electrodes overlapping at different heights with respect to the substrate surface. The gate electrode of the first transistor functions as one of the source electrode or drain electrode of the second transistor and also functions as one electrode of the capacitor. A dielectric layer of the capacitor is provided on the gate electrode of the first transistor. The other electrode of the capacitor is provided on the dielectric layer of the capacitor, with a gap between the electrode and the gate electrode of the second transistor.

WO 2024/180432 A1

CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))
- 一 白黒。出願原本にはカラー又はグレースケールの情報が含まれており、PATENTSCOPE からのダウンロードが可能。

(57) 要約: 微細化又は高集積化が可能な半導体装置を提供する。記憶装置、センスアンプ、処理部を有する。センスアンプと処理部は第1の層上に配置され、記憶装置は第1の層上に積層された第2の層上に配置される。記憶装置は、第1のトランジスタ、第2のトランジスタ、容量を有し、第2のトランジスタ及び容量は、第1のトランジスタ上にそれぞれ重畳して設けられる。第1及び第2のトランジスタは、それぞれ、基板面に対してソース電極とドレイン電極が異なる高さに重畳して設けられる。第1のトランジスタのゲート電極は、第2のトランジスタのソース電極又はドレイン電極の一方としての機能と、容量の一方の電極としての機能と、を兼ねる。第1のトランジスタのゲート電極上に、容量の誘電体層が設けられる。容量の誘電体層上には、第2のトランジスタのゲート電極との間に間隔を有して、容量の他方の電極が設けられる。

明細書

発明の名称

半導体装置、及び、半導体装置の作製方法

技術分野

[0001]

本発明の一態様は、半導体装置に関する。また、本発明の一態様は、記憶装置、及び、記憶装置の作製方法に関する。また、本発明の一態様は、トランジスタ、及び、トランジスタの作製方法に関する。また、本発明の一態様は、容量、及び、容量の作製方法に関する。また、本発明の一態様は、電子機器に関する。

[0002]

なお、本発明の一態様は、上記の技術分野に限定されない。本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、照明装置、入力装置（例えば、タッチセンサ）、入出力装置（例えば、タッチパネル）、それらを有する電子機器、それらの駆動方法、又はそれらの製造方法を一例として挙げるができる。

[0003]

なお、本明細書等において、半導体装置とは、半導体特性を利用した装置であり、半導体素子（トランジスタ、ダイオード、フォトダイオード等）を含む回路、同回路を有する装置等をいう。また、半導体特性を利用することで機能し得る装置全般をいう。例えば、集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品は半導体装置の一例である。また、記憶装置、表示装置、発光装置、照明装置、及び電子機器は、それ自体が半導体装置であり、かつ、それぞれが半導体装置を有している場合がある。

背景技術

[0004]

近年、半導体装置の開発が進められ、例えば、大規模集積回路（LSI：Large Scale Integration）が半導体装置に用いられている。例えば、中央処理装置（CPU：Central Processing Unit）、及びメモリ等が半導体装置に用いられている。CPUは、半導体ウエハを加工し、チップ化された半導体集積回路（少なくともトランジスタ及びメモリ）を有し、接続端子である電極が形成された半導体素子の集合体である。

[0005]

CPU及びメモリ等の半導体回路（ICチップ）は、回路基板、例えば、プリント配線基板に実装され、様々な電子機器の部品の一つとして用いられる。

[0006]

また、絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは集積回路（IC：Integrated Circuit）、及び表示装置のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

[0007]

また、酸化物半導体を用いたトランジスタは、非導通状態においてリーク電流が極めて小さいことが知られている。例えば、特許文献1には、酸化物半導体を用いたトランジスタのリーク電流が小さ

いという特性を応用した低消費電力のCPU等が開示されている。また、例えば、特許文献2には、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置等が、開示されている。

[0008]

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。また、集積回路を含む半導体装置の生産性の向上が求められている。例えば、特許文献3及び非特許文献1では、酸化物半導体膜を用いる第1のトランジスタと、酸化物半導体膜を用いる第2のトランジスタとを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。

[0009]

さらに、トランジスタを縦型とすることができれば、集積回路の高密度化を図ることができる。例えば、特許文献4には、酸化物半導体の側面が、ゲート絶縁層を介してゲート電極に覆われている縦型のトランジスタが開示されている。

[先行技術文献]

[特許文献]

[0010]

[特許文献1] 特開2012-257187号公報

[特許文献2] 特開2011-151383号公報

[特許文献3] 国際公開第2021/053473号

[特許文献4] 特開2013-211537号公報

[非特許文献]

[0011]

[非特許文献1] M. Oota et. al, "3D-Stacked CAAC-In-Ga-Zn Oxide FETs with Gate Length of 72nm", IEDM Tech. Dig., 2019, pp. 50-53

発明の概要

発明が解決しようとする課題

[0012]

本発明の一態様は、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、信頼性の高い半導体装置、記憶装置、又はトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、オン電流が大きいトランジスタを提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好なトランジスタ、記憶装置、又は半導体装置を提供することを課題の1つとする。又は、本発明の一態様は、低価格な半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、消費電力の低い半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、動作速度が速い半導体装置、又は記憶装置を提供することを課題の1つとする。又は、本発明の一態様は、新規な半導体装置、記憶装置、又はトランジスタを提供することを課題の1つとする。

[0013]

又は、本発明の一態様は、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、信頼性の高い半導体装置、

記憶装置、又はトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、オン電流が大きいトランジスタの作製方法を提供することを課題の1つとする。又は、本発明の一態様は、電気特性が良好なトランジスタ、記憶装置、又は半導体装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、歩留まりが高い半導体装置、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、消費電力の低い半導体装置、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、動作速度が速い半導体装置、又は記憶装置の作製方法を提供することを課題の1つとする。又は、本発明の一態様は、新規な半導体装置、記憶装置、又はトランジスタの作製方法を提供することを課題の1つとする。

[0014]

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。明細書、図面、請求項の記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

[0015]

本発明の一態様は、第1のトランジスタと、第2のトランジスタと、容量と、第1の絶縁層と、第2の絶縁層と、を有し、第2のトランジスタ及び容量は、第1のトランジスタ上にそれぞれ重畳して設けられ、第1のトランジスタ及び第2のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、第1の絶縁層は、第1のトランジスタのソース電極とドレイン電極の間に設けられ、第1のトランジスタのソース電極又はドレイン電極の一方に達する第1の開口を有し、第1のトランジスタのソース電極又はドレイン電極の他方は、第1の絶縁層上に設けられ、第1のトランジスタの半導体層は、第1の開口内における第1のトランジスタのソース電極又はドレイン電極の一方の上面、第1の開口内における第1の絶縁層の側面、第1の開口内における第1のトランジスタのソース電極又はドレイン電極の他方の側面、及び、第1のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第1のトランジスタのゲート絶縁層は、第1のトランジスタの半導体層上に接して設けられ、第1のトランジスタのゲート電極は、第1のトランジスタの半導体層と重なる領域を有するように、第1のトランジスタのゲート絶縁層上に設けられ、第2のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、容量の一方の電極としての機能も有し、第2の絶縁層は、第2のトランジスタのソース電極とドレイン電極の間に設けられ、第1のトランジスタのゲート電極に達する第2の開口を有し、第2のトランジスタのソース電極又はドレイン電極の他方は、第2の絶縁層上に設けられ、第2のトランジスタの半導体層は、第2の開口内における第1のトランジスタのゲート電極の上面、第2の開口内における第2の絶縁層の側面、第2の開口内における第2のトランジスタのソース電極又はドレイン電極の他方の側面、及び、第2のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第2のトランジスタのゲート絶縁層は、第2のトランジスタの半導体層上に接して設けられ、第2のトランジスタのゲート電極は、第2のトランジスタの半導体層と重なる領域を有するように、第2のトランジスタのゲート絶縁層上に設けられ、容量の誘電体層は、第1のトランジスタのゲート電極上に設けられ、容量の他方の電極は、第1のトランジスタのゲート電極と重なる領域を有し、平面視にて、第2の開口との間に間隔を有して、容量の誘電体層上に設けられる半導体装置である。

[0016]

また上記において、第1のトランジスタの半導体層、及び、第2のトランジスタの半導体層の少な

くとも一は、金属酸化物を有するトランジスタであることが好ましい。

[0017]

また上記において、第1のトランジスタの半導体層の側面と、第1のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有し、第2のトランジスタの半導体層の側面と、第2のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有していることが好ましい。

[0018]

また上記において、容量の他方の電極は、第1の開口に面しない側の端部が、第1のトランジスタのゲート電極の端部よりも外側に位置していることが好ましい。

[0019]

また上記において、容量の他方の電極は、第1のトランジスタのゲート電極の第1の側端部上と、第1の側端部と対向する第2の側端部上と、の2箇所に設けられていることが好ましい。

[0020]

また上記において、容量の他方の電極は、第2の開口を取り囲むように、第1のトランジスタのゲート電極の上面と重なる領域を有していることが好ましい。

[0021]

また上記において、容量の誘電体層は、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有していることが好ましい。

[0022]

また上記において、容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、又はチタン酸バリウムのいずれかを有していることが好ましい。

[0023]

また上記において、第1の絶縁層、及び、第2の絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有していることが好ましい。

[0024]

また、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁層、及び、第1の導電膜を形成し、第1の絶縁層、及び、第1の導電膜を加工して、第1の導電膜から第2の導電層を形成し、第1の導電膜、及び、第1の絶縁層に、第1の導電層に達する第1の開口を形成し、第2の導電層を加工して、第3の導電層を形成し、第1の開口内における第1の導電層の上面、第1の開口内における第1の絶縁層の側面、第1の開口内における第3の導電層の側面、及び、第3の導電層の上面に接して、第1の金属酸化物膜を形成し、第1の金属酸化物膜を加工して、第1の開口と重なる領域を有するように、第1の半導体層を形成し、第1の半導体層の上面に接して、第2の絶縁層を形成し、第2の絶縁層上に、第2の導電膜を形成し、第2の導電膜を加工して、第1の半導体層と重なる領域を有するように、第4の導電層を形成し、第4の導電層上、及び、第2の絶縁層上に、第3

の絶縁層を形成し、第3の絶縁層上に、第3の導電膜を形成し、第3の導電膜を加工して、第4の導電層と重なる領域を有するように、第5の導電層を形成し、第5の導電層上、及び、第3の絶縁層上に、第4の絶縁層、及び、第4の導電膜を形成し、第4の絶縁層、及び、第4の導電膜を加工して、第4の導電膜から第6の導電層を形成し、第4の導電膜、及び、第4の絶縁層に、第4の導電層に達する第2の開口を形成し、第6の導電層を加工して、第7の導電層を形成し、第2の開口内における第4の導電層の上面、第2の開口内における第3の絶縁層の側面、第2の開口内における第7の導電層の側面、及び、第7の導電層の上面に接して、第2の金属酸化物膜を形成し、第2の金属酸化物膜を加工して、第2の開口と重なる領域を有するように、第2の半導体層を形成し、第2の半導体層の上面に接して、第5の絶縁層を形成し、第5の絶縁層上に、第5の導電膜を形成し、第5の導電膜を加工して、第2の半導体層と重なる領域を有するように、第8の導電層を形成する半導体装置の作製方法である。

[0025]

また、本発明の一態様は、第1の導電層を形成し、第1の導電層上に、第1の絶縁層、及び、第1の導電膜を形成し、第1の絶縁層、及び、第1の導電膜を加工して、第1の導電膜から第2の導電層を形成し、第1の導電膜、及び、第1の絶縁層に、第1の導電層に達する第1の開口を形成し、第1の開口内における第1の導電層の上面、第1の開口内における第1の絶縁層の側面、第1の開口内における第2の導電層の側面、及び、第2の導電層の上面に接して、第1の金属酸化物膜を形成し、第1の金属酸化物膜を加工して、第1の開口と重なる領域を有するように、第1の半導体層を形成し、第2の導電層を加工して、第1の半導体層と重なる領域を有するように、第3の導電層を形成し、第1の半導体層の上面に接して、第2の絶縁層を形成し、第2の絶縁層上に、第2の導電膜を形成し、第2の導電膜を加工して、第1の半導体層と重なる領域を有するように、第4の導電層を形成し、第4の導電層上、及び、第2の絶縁層上に、第3の絶縁層を形成し、第3の絶縁層上に、第3の導電膜を形成し、第3の導電膜を加工して、第4の導電層と重なる領域を有するように、第5の導電層を形成し、第5の導電層上、及び、第3の絶縁層上に、第4の絶縁層、及び、第4の導電膜を形成し、第4の絶縁層、及び、第4の導電膜を加工して、第4の導電膜から第6の導電層を形成し、第4の導電膜、及び、第4の絶縁層に、第4の導電層に達する第2の開口を形成し、第2の開口内における第4の導電層の上面、第2の開口内における第3の絶縁層の側面、第2の開口内における第4の絶縁層の側面、第2の開口内における第6の導電層の側面、及び、第6の導電層の上面に接して、第2の金属酸化物膜を形成し、第2の金属酸化物膜を加工して、第2の開口と重なる領域を有するように、第2の半導体層を形成し、第6の導電層を加工して、第2の半導体層と重なる領域を有するように、第7の導電層を形成し、第2の半導体層の上面に接して、第5の絶縁層を形成し、第5の絶縁層上に、第5の導電膜を形成し、第5の導電膜を加工して、第2の半導体層と重なる領域を有するように、第8の導電層を形成する半導体装置の作製方法である。

[0026]

また、本発明の一態様は、記憶部と、処理部と、を有し、記憶部は、記憶装置と、センスアンプと、を有し、処理部は、CPU、MPU、又はGPUを有し、センスアンプと、処理部と、は第1の層上に配置され、記憶装置は、第2の層上に配置され、第1のトランジスタと、第2のトランジスタと、容量と、第1の絶縁層と、第2の絶縁層と、を有し、第2の層は、第1の層上に積層して設けられ、第2のトランジスタ及び容量は、第1のトランジスタ上にそれぞれ重畳して設けられ、第1のトランジスタ及び第2のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる

高さ位置し、第1の絶縁層は、第1のトランジスタのソース電極とドレイン電極の間に設けられ、第1のトランジスタのソース電極又はドレイン電極の一方に達する第1の開口を有し、第1のトランジスタのソース電極又はドレイン電極の他方は、第1の絶縁層上に設けられ、第1のトランジスタの半導体層は、第1の開口内における第1のトランジスタのソース電極又はドレイン電極の一方の上面、第1の開口内における第1の絶縁層の側面、第1の開口内における第1のトランジスタのソース電極又はドレイン電極の他方の側面、及び、第1のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第1のトランジスタのゲート絶縁層は、第1のトランジスタの半導体層上に接して設けられ、第1のトランジスタのゲート電極は、第1のトランジスタの半導体層と重なる領域を有するように、第1のトランジスタのゲート絶縁層上に設けられ、第2のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、容量の一方の電極としての機能も有し、第2の絶縁層は、第2のトランジスタのソース電極とドレイン電極の間に設けられ、第1のトランジスタのゲート電極に達する第2の開口を有し、第2のトランジスタのソース電極又はドレイン電極の他方は、第2の絶縁層上に設けられ、第2のトランジスタの半導体層は、第2の開口内における第1のトランジスタのゲート電極の上面、第2の開口内における第2の絶縁層の側面、第2の開口内における第2のトランジスタのソース電極又はドレイン電極の他方の側面、及び、第2のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、第2のトランジスタのゲート絶縁層は、第2のトランジスタの半導体層上に接して設けられ、第2のトランジスタのゲート電極は、第2のトランジスタの半導体層と重なる領域を有するように、第2のトランジスタのゲート絶縁層上に設けられ、容量の誘電体層は、第1のトランジスタのゲート電極上に設けられ、容量の他方の電極は、第1のトランジスタのゲート電極と重なる領域を有し、平面視にて、第2の開口との間に間隔を有して、容量の誘電体層上に設けられる半導体装置である。

[0027]

また上記において、第1のトランジスタの半導体層、及び、第2のトランジスタの半導体層の少なくとも一は、金属酸化物を有するトランジスタであることが好ましい。

[0028]

また上記において、第1のトランジスタの半導体層の側面と、第1のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有し、第2のトランジスタの半導体層の側面と、第2のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有していることが好ましい。

[0029]

また上記において、容量の他方の電極は、第1の開口に面しない側の端部が、第1のトランジスタのゲート電極の端部よりも外側に位置していることが好ましい。

[0030]

また上記において、容量の他方の電極は、第1のトランジスタのゲート電極の第1の側端部上と、第1の側端部と対向する第2の側端部上と、の2箇所設けられていることが好ましい。

[0031]

また上記において、容量の他方の電極は、第2の開口を取り囲むように、第1のトランジスタのゲート電極の上面と重なる領域を有していることが好ましい。

[0032]

また上記において、容量の誘電体層は、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化

タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有していることが好ましい。

[0033]

また上記において、容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、又はチタン酸バリウムのいずれかを有していることが好ましい。

[0034]

また上記において、第1の絶縁層、及び、第2の絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有していることが好ましい。

発明の効果

[0035]

本発明の一態様により、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタを提供することができる。又は、本発明の一態様により、信頼性の高い半導体装置、記憶装置、又はトランジスタを提供することができる。又は、本発明の一態様により、オン電流が大きいトランジスタを提供することができる。又は、本発明の一態様により、電気特性が良好なトランジスタ、記憶装置、又は半導体装置を提供することができる。又は、本発明の一態様により、低価格な半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、消費電力の低い半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、動作速度が速い半導体装置、又は記憶装置を提供することができる。又は、本発明の一態様により、新規な半導体装置、記憶装置、又はトランジスタを提供することができる。

[0036]

又は、本発明の一態様により、微細化又は高集積化が可能な半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。又は、本発明の一態様により、信頼性の高い半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。又は、本発明の一態様により、オン電流が大きいトランジスタの作製方法を提供することができる。又は、本発明の一態様により、電気特性が良好なトランジスタ、記憶装置、又は半導体装置の作製方法を提供することができる。又は、本発明の一態様により、歩留まりが高い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、消費電力の低い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、動作速度が速い半導体装置、又は記憶装置の作製方法を提供することができる。又は、本発明の一態様により、新規な半導体装置、記憶装置、又はトランジスタの作製方法を提供することができる。

[0037]

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。明細書、図面、請求項の記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

[0 0 3 8]

図 1 A は、電子計算機の構成例を説明するブロック図である。図 1 B 及び図 1 C は、電子計算機の構成例を説明する模式図である。

図 2 は、電子計算機の構成例を説明する模式図である。

図 3 は、半導体装置の構成例を説明する回路図である。

図 4 A 乃至図 4 D は、半導体装置の構成例を説明する回路図である。

図 5 A は、記憶装置の構成例を示す平面図である。図 5 B 及び図 5 C は、記憶装置の構成例を示す断面図である。

図 6 は、記憶装置の構成例を示す断面図である。

図 7 A は、トランジスタの構成例を示す断面図である。図 7 B は、トランジスタの構成例を示す平面図である。

図 8 A は、記憶装置の構成例を示す平面図である。図 8 B 及び図 8 C は、記憶装置の構成例を示す断面図である。

図 9 A は、記憶装置の構成例を示す平面図である。図 9 B 及び図 9 C は、記憶装置の構成例を示す断面図である。

図 1 0 A は、記憶装置の構成例を示す平面図である。図 1 0 B 及び図 1 0 C は、記憶装置の構成例を示す断面図である。

図 1 1 は、半導体装置の構成例を説明する回路図である。

図 1 2 は、半導体装置の動作例を説明するタイミングチャートである。

図 1 3 は、記憶装置の構成例を説明するブロック図である。

図 1 4 A 及び図 1 4 B は、記憶装置の構成例を説明する回路図である。

図 1 5 は、記憶装置の構成例を説明する模式図である。

図 1 6 は、半導体装置の構成例を説明する回路図である。

図 1 7 は、半導体装置の動作例を説明するタイミングチャートである。

図 1 8 A 乃至図 1 8 D は、半導体装置の動作例を説明する模式図である。

図 1 9 は、半導体装置の動作例を説明するタイミングチャートである。

図 2 0 A 乃至図 2 0 G は、半導体装置の動作例を説明する模式図である。

図 2 1 は、CPU を説明するブロック図である。

図 2 2 A 及び図 2 2 B は、半導体装置の斜視図である。

図 2 3 A 及び図 2 3 B は、半導体装置の斜視図である。

図 2 4 A 及び図 2 4 B は、各種の記憶装置を階層ごとに示す図である。

図 2 5 A は、記憶装置の作製方法例を示す平面図である。図 2 5 B 及び図 2 5 C は、記憶装置の作製方法例を示す断面図である。

図 2 6 は、記憶装置の作製方法例を示す断面図である。

図 2 7 A は、記憶装置の作製方法例を示す平面図である。図 2 7 B 及び図 2 7 C は、記憶装置の作製方法例を示す断面図である。

図 2 8 は、記憶装置の作製方法例を示す断面図である。

図 2 9 A は、記憶装置の作製方法例を示す平面図である。図 2 9 B 及び図 2 9 C は、記憶装置の作製方法例を示す断面図である。

図 3 0 は、記憶装置の作製方法例を示す断面図である。

図 3 1 A は、記憶装置の作製方法例を示す平面図である。図 3 1 B 及び図 3 1 C は、記憶装置の作製方法例を示す断面図である。

図 3 2 は、記憶装置の作製方法例を示す断面図である。

図 3 3 A は、記憶装置の作製方法例を示す平面図である。図 3 3 B 及び図 3 3 C は、記憶装置の作製方法例を示す断面図である。

図 3 4 は、記憶装置の作製方法例を示す断面図である。

図 3 5 A は、記憶装置の作製方法例を示す平面図である。図 3 5 B 及び図 3 5 C は、記憶装置の作製方法例を示す断面図である。

図 3 6 は、記憶装置の作製方法例を示す断面図である。

図 3 7 A は、記憶装置の作製方法例を示す平面図である。図 3 7 B 及び図 3 7 C は、記憶装置の作製方法例を示す断面図である。

図 3 8 は、記憶装置の作製方法例を示す断面図である。

図 3 9 A は、記憶装置の作製方法例を示す平面図である。図 3 9 B 及び図 3 9 C は、記憶装置の作製方法例を示す断面図である。

図 4 0 は、記憶装置の作製方法例を示す断面図である。

図 4 1 A は、記憶装置の作製方法例を示す平面図である。図 4 1 B 及び図 4 1 C は、記憶装置の作製方法例を示す断面図である。

図 4 2 は、記憶装置の作製方法例を示す断面図である。

図 4 3 A は、記憶装置の作製方法例を示す平面図である。図 4 3 B 及び図 4 3 C は、記憶装置の作製方法例を示す断面図である。

図 4 4 は、記憶装置の作製方法例を示す断面図である。

図 4 5 A は、記憶装置の作製方法例を示す平面図である。図 4 5 B 及び図 4 5 C は、記憶装置の作製方法例を示す断面図である。

図 4 6 は、記憶装置の作製方法例を示す断面図である。

図 4 7 A は、記憶装置の作製方法例を示す平面図である。図 4 7 B 及び図 4 7 C は、記憶装置の作製方法例を示す断面図である。

図 4 8 は、記憶装置の作製方法例を示す断面図である。

図 4 9 A は、記憶装置の作製方法例を示す平面図である。図 4 9 B 及び図 4 9 C は、記憶装置の作製方法例を示す断面図である。

図 5 0 は、記憶装置の作製方法例を示す断面図である。

図 5 1 は、記憶装置の構成例を示す断面図である。

図 5 2 A 及び図 5 2 B は、電子部品の一例を示す図である。

図 5 3 A 及び図 5 3 B は、電子機器の一例を示す図である。図 5 3 C 乃至図 5 3 E は、大型計算機の一例を示す図である。

図 5 4 は、宇宙用機器の一例を示す図である。

図 5 5 は、データセンターに適用可能なストレージシステムの一例を示す図である。

発明を実施するための形態

[0039]

実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当

業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

[0040]

なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

[0041]

また、図面において示す各構成の、位置、大きさ、及び、範囲等は、理解の簡単のため、実際の位置、大きさ、及び、範囲等を表していない場合がある。このため、開示する発明は、必ずしも、図面に開示された位置、大きさ、及び、範囲等に限定されない。例えば、実際の製造工程において、エッチング等の処理により層又はレジストマスク等が意図せずに目減りすることがあるが、理解を容易とするため、図に反映しないことがある。

[0042]

なお、本明細書等において、「第1」、「第2」という序数詞は、便宜上用いるものであり、構成要素の数、又は、構成要素の順序（例えば、工程順、又は積層順）を限定するものではない。また、本明細書のある箇所において構成要素に付す序数詞と、本明細書の他の箇所、又は特許請求の範囲において、当該構成要素に付す序数詞と、が一致しない場合がある。

[0043]

また、トランジスタは半導体素子の一種であり、電流又は電圧を増幅する機能、及び、導通又は非導通を制御するスイッチング動作等を実現することができる。本明細書におけるトランジスタは、IGFET (Insulated Gate Field Effect Transistor) 及び薄膜トランジスタ (TFT: Thin Film Transistor) を含む。

[0044]

また、本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域、又はドレイン電極）とソース（ソース端子、ソース領域、又はソース電極）の間にチャンネルが形成される領域（チャンネル形成領域ともいう。）を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

[0045]

また、「ソース」と「ドレイン」の機能は、異なる極性のトランジスタを採用する場合、又は回路動作において電流の方向が変化する場合等には入れ替わることがある。このため、本明細書においては、「ソース」と「ドレイン」の用語は、入れ替えて用いることができるものとする。

[0046]

なお、半導体の不純物とは、例えば、半導体を構成する主成分以外をいう。例えば、濃度が0.1 atomic %未満の元素は不純物といえる。不純物が含まれることにより、例えば、半導体の欠陥準位密度が高くなること、又は結晶性が低下すること等が起こる場合がある。半導体が酸化物半導体である場合、半導体の特性を変化させる不純物としては、例えば、第1族元素、第2族元素、第13族元素、第14族元素、第15族元素、及び酸化物半導体の主成分以外の遷移金属等がある。具体的には、例えば、水素、リチウム、ナトリウム、シリコン、ホウ素、リン、炭素、及び窒素等がある。

なお、水も不純物として機能する場合がある。また、例えば、不純物の混入によって、酸化物半導体に酸素欠損（ V_o とも記す。）が形成される場合がある。

[0047]

なお、本明細書等において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指す。窒化酸化物とは、その組成として酸素よりも窒素の含有量が多い材料を指す。

[0048]

膜に含まれる水素、酸素、炭素、及び窒素等の元素の含有量の分析には、例えば、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）、又はX線光電子分光法（XPS：X-ray Photoelectron Spectroscopy）を用いることができる。目的の元素の含有率が高い（例えば、0.5 atomic%以上、又は1 atomic%以上）場合は、XPSが適している。一方、目的の元素の含有率が低い（例えば、0.5 atomic%以下、又は1 atomic%以下）場合には、SIMSが適している。元素の含有量を比較する際には、SIMSとXPSの両方の分析手法を用いた複合解析を行うことがより好ましい。

[0049]

また、本明細書等において、「膜」及び「層」といった語句は、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合があり、「導電膜」という用語を、「導電層」という用語に変更することが可能な場合がある。また、例えば「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合があり、「絶縁層」という用語を、「絶縁膜」という用語に変更することが可能な場合がある。さらに、例えば「半導体膜」という用語を、「半導体層」という用語に変更することが可能な場合があり、「半導体層」という用語を、「半導体膜」という用語に変更することが可能な場合がある。

[0050]

また、本明細書等において、「平行」とは、二つの直線が -10 度以上 10 度以下の角度で配置されている状態をいう。したがって、 -5 度以上 5 度以下の場合も含まれる。また、「概略平行」とは、二つの直線が -30 度以上 30 度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80 度以上 100 度以下の角度で配置されている状態をいう。したがって、 85 度以上 95 度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が 60 度以上 120 度以下の角度で配置されている状態をいう。

[0051]

また、本明細書等において、「接続」は「電氣的接続」を含む。

[0052]

「AとBとが電氣的に接続されている」とは、AとBとが絶縁体を介さずに接続されているもの（AとBとが導電体又は半導体を介して接続されているもの。AとBとが接触しているもの。）のうち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあるものを意味する。すなわち、回路の動作中に、AとBの間に電気信号の授受又は電位の相互作用が発生しないタイミングがあるとしても、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあれば、「AとBとが電氣的に接続されている」と言える。

[0053]

「電氣的接続」には、回路素子（例えば、トランジスタ。ただし、配線は除く。）を介さない接続

(直接接続) と、一つ以上の回路素子を介する接続 (間接接続) と、がある。

[0054]

「AとBとが電氣的に接続されている」例としては、AとBとが回路素子を介さずに接続されている場合、AとBとが一つ以上のトランジスタのソース及びドレインを介して接続されている場合などがある。ただし、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングがあることを前提にする。

[0055]

AとBとが絶縁体を介して接続されているため、「AとBとが電氣的に接続されている」とは言えない例としては、AとBの間に容量素子の誘電体、トランジスタのゲート絶縁膜などが介在している場合がある。

[0056]

AとBとが絶縁体を介さずに接続されているが、AとBの間に電気信号の授受又は電位の相互作用が発生するタイミングのいずれもないため、「AとBとが電氣的に接続されている」とは言えない例としては、AからBまでの経路に、電源、信号源などからの電位Vが供給されている場合 (ただし、回路素子を介して電位Vが供給されている場合は含まない。)、AとCとがトランジスタTrPのソース及びドレインを介して接続され、BとCとがトランジスタTrQのソース及びドレインを介して接続されているもののうち、トランジスタTrP及びトランジスタTrQの双方が同時にオン状態になるタイミングがない場合などがある。

[0057]

また、本明細書等において、「抵抗素子」とは、例えば、 $0\ \Omega$ よりも高い抵抗値を有する回路素子、又は $0\ \Omega$ よりも高い抵抗値を有する配線とすることができる。そのため、本明細書等において、「抵抗素子」は、抵抗値を有する配線、ソースドレイン間に電流が流れるトランジスタ、ダイオード、又はコイルを含むものとする。そのため、「抵抗素子」という用語は、「抵抗」、「負荷」、又は「抵抗値を有する領域」という用語に言い換えることができる場合がある。逆に「抵抗」、「負荷」、又は「抵抗値を有する領域」という用語は、「抵抗素子」という用語に言い換えることができる場合がある。抵抗値としては、例えば、好ましくは $1\text{ m}\Omega$ 以上 $10\ \Omega$ 以下、より好ましくは $5\text{ m}\Omega$ 以上 $5\ \Omega$ 以下、更に好ましくは $10\text{ m}\Omega$ 以上 $1\ \Omega$ 以下とすることができる。また、例えば、 $1\ \Omega$ 以上 $1 \times 10^9\ \Omega$ 以下としてもよい。

[0058]

また、本明細書等において、「容量素子」とは、例えば、 0 F よりも高い静電容量の値を有する回路素子、 0 F よりも高い静電容量の値を有する配線の領域、寄生容量、又はトランジスタのゲート容量とすることができる。また、「容量素子」、「寄生容量」、又は「ゲート容量」という用語は、「容量」という用語に言い換えることができる場合がある。逆に、「容量」という用語は、「容量素子」、「寄生容量」、又は「ゲート容量」という用語に言い換えることができる場合がある。また、「容量」(3端子以上の「容量」を含む。)は、絶縁体と、当該絶縁体を挟んだ一対の導電体と、を含む構成となっている。そのため、「容量」の「一対の導電体」という用語は、「一対の電極」、「一対の導電領域」、「一対の領域」、又は「一対の端子」に言い換えることができる。また、「一対の端子の一方」、及び「一対の端子の他方」という用語は、それぞれ第1端子、及び第2端子と呼称する場合がある。なお、静電容量の値としては、例えば、 0.05 fF 以上 10 pF 以下とすることができる。また、例えば、 1 pF 以上 $10\ \mu\text{F}$ 以下としてもよい。

[0059]

また、本明細書等において、トランジスタは、ゲート、ソース、及びドレインと呼ばれる3つの端子を有する。ゲートは、トランジスタの導通状態を制御する制御端子である。ソース又はドレインとして機能する2つの端子は、トランジスタの入出力端子である。2つの入出力端子は、トランジスタの導電型（nチャンネル型、pチャンネル型）及びトランジスタの3つの端子に与えられる電位の高低によって、一方がソースとなり他方がドレインとなる。このため、本明細書等においては、ソース、又はドレインという用語は、互いに言い換えることができる場合がある。また、本明細書等では、トランジスタの接続関係を説明する際、「ソース又はドレインの一方」（又は第1電極、又は第1端子）、「ソース又はドレインの他方」（又は第2電極、又は第2端子）という表記を用いる。なお、トランジスタの構造によっては、上述した3つの端子に加えて、バックゲートを有する場合がある。この場合、本明細書等において、トランジスタのゲート又はバックゲートの一方を第1のゲートと呼称し、トランジスタのゲート又はバックゲートの他方を第2のゲートと呼称することがある。さらに、同じトランジスタにおいて、「ゲート」と「バックゲート」の用語は互いに入れ換えることができる場合がある。また、トランジスタが、3以上のゲートを有する場合は、本明細書等においては、それぞれのゲートを第1のゲート、第2のゲート、第3のゲートなどと呼称することがある。

[0060]

例えば、本明細書等において、トランジスタの一例としては、ゲートが2個以上のマルチゲート構造のトランジスタを用いることができる。マルチゲート構造にすると、チャンネル形成領域が直列に接続されるため、複数のトランジスタが直列に接続された構造となる。よって、マルチゲート構造により、オフ電流の低減、トランジスタの耐圧向上（信頼性の向上）を図ることができる。又は、マルチゲート構造により、飽和領域で動作する時に、ドレインとソースとの間の電圧が変化しても、ドレインとソースとの間の電流があまり変化せず、傾きがフラットである電圧・電流特性を得ることができる。傾きがフラットである電圧・電流特性を利用すると、理想的な電流源回路、又は非常に高い抵抗値をもつ能動負荷を実現することができる。その結果、特性のよい差動回路又はカレントミラー回路などを実現することができる。

[0061]

また、回路図上では、単一の回路素子が図示されている場合でも、当該回路素子が複数の回路素子を有する場合がある。例えば、回路図上に1個の抵抗が記載されている場合は、2個以上の抵抗が直列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個の容量が記載されている場合は、2個以上の容量が並列に電氣的に接続されている場合を含むものとする。また、例えば、回路図上に1個のトランジスタが記載されている場合は、2個以上のトランジスタが直列に電氣的に接続され、かつそれぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。また、同様に、例えば、回路図上に1個のスイッチが記載されている場合は、当該スイッチが2個以上のトランジスタを有し、2個以上のトランジスタが直列、又は並列に電氣的に接続され、それぞれのトランジスタのゲート同士が電氣的に接続されている場合を含むものとする。

[0062]

また、本明細書等において、ノードは、回路構成、及びデバイス構造に応じて、端子、配線、電極、導電層、導電体、又は不純物領域と言い換えることが可能である。また、端子、配線等をノードと言い換えることが可能である。

[0063]

また、本明細書等において、「電圧」と「電位」は、適宜言い換えることができる。「電圧」は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、「電圧」を「電位」に言い換えることができる。なお、グラウンド電位は必ずしも0Vを意味するとは限らない。また、電位は相対的なものであり、基準となる電位が変わることによって、配線に与えられる電位、回路などに印加される電位、回路などから出力される電位なども変化する。

[0064]

また、本明細書等において、「高レベル電位」及び「低レベル電位」という用語は、特定の電位を意味するものではない。例えば、2本の配線において、両方とも「高レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの高レベル電位は、互いに等しくなくてもよい。また、同様に、2本の配線において、両方とも「低レベル電位を供給する配線として機能する」と記載されていた場合、両方の配線が与えるそれぞれの低レベル電位は、互いに等しくなくてもよい。

[0065]

また、「電流」とは、電荷の移動現象（電気伝導）のことであり、例えば、「正の荷電体の電気伝導が起きている」という記載は、「その逆向きに負の荷電体の電気伝導が起きている」と換言することができる。そのため、本明細書等において、「電流」とは、特に断らない限り、キャリアの移動に伴う電荷の移動現象（電気伝導）をいうものとする。ここでいうキャリアとしては、例えば、電子、正孔、アニオン、カチオン、及び錯イオンが挙げられ、電流の流れる系（例えば、半導体、金属、電解液、及び真空中）によってキャリアが異なる。また、配線等における「電流の向き」は、正電荷となるキャリアが移動する方向とし、正の電流量で記載する。換言すると、負電荷となるキャリアが移動する方向は、電流の向きと逆の方向となり、負の電流量で表現される。そのため、本明細書等において、電流の正負（又は電流の向き）について断りがない場合、「素子Aから素子Bに電流が流れる」の記載は「素子Bから素子Aに電流が流れる」に言い換えることができるものとする。また、「素子Aに電流が入力される」の記載は「素子Aから電流が出力される」に言い換えることができるものとする。

[0066]

本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう。）にあるときのソースドレイン間のリーク電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い（pチャネル型トランジスタでは、 V_{th} よりも高い）状態をいう。

[0067]

なお、本明細書等において、テーパ形状とは、構造の側面の少なくとも一部が、基板面又は被形成面に対して傾斜して設けられる形状のことを指す。例えば、傾斜した側面と基板面又は被形成面とがなす角（テーパ角ともいう。）が90度未満である領域を有することを指す。なお、構造の側面、基板面、及び被形成面は、必ずしも完全に平坦である必要はなく、微細な曲率を有する略平面状、又は微細な凹凸を有する略平面状であってもよい。

[0068]

本明細書等において、AはBと接する、と記載されている場合、Aの少なくとも一部がBと接する。そのため、例えば、AはBと接する領域を有する、と言い換えることができる。

[0069]

本明細書等において、AはB上に位置する、と記載されている場合、Aの少なくとも一部がB上に位置する。そのため、例えば、AはB上に位置する領域を有する、と言い換えることができる。

[0070]

本明細書等において、AはBを覆う、と記載されている場合、Aの少なくとも一部がBを覆う。そのため、例えば、AはBを覆う領域を有する、と言い換えることができる。

[0071]

本明細書等において、AはBと重なる、と記載されている場合、Aの少なくとも一部がBと重なる。そのため、例えば、AはBと重なる領域を有する、と言い換えることができる。

[0072]

また、本明細書等において、「上」、「下」、「左」、及び「右」等の配置を示す語句は、構成要素同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

[0073]

本明細書等において、金属酸化物 (metal oxide) とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体 (透明酸化物導電体を含む。)、及び酸化物半導体 (Oxide Semiconductor 又は単にOSともいう。) 等に分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体という場合がある。つまり、OSトランジスタと記載する場合においては、金属酸化物又は酸化物半導体を有するトランジスタと言い換えることができる。なお、窒素を有する金属酸化物も金属酸化物と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物 (metal oxynitride) といってもよい。

[0074]

(実施の形態1)

本発明の一態様の半導体装置は、電子計算機 (コンピュータという場合もある。) として機能し得る。本発明の一態様に係る電子計算機は、少なくともその一部を、例えば、マイクロコンピュータ (Microcomputer)、パーソナルコンピュータ (Personal computer)、ワークステーション (Workstation)、メインフレーム (Mainframe)、及びスーパーコンピュータ (Supercomputer) などに用いることができる。

[0075]

本発明の一態様の半導体装置は、その構成要素のうち、CPU等の処理部と、記憶部の一部 (例えば、センスアンプ) と、を同一層上 (第1の層上) に形成することができる。したがって、処理部と、記憶部と、をそれぞれ別の層上に形成する場合に比べて、少ない工程数で半導体装置を作製することができる。また、処理部と、記憶部の一部と、を同一層上 (第1の層上) に形成することで、両者の物理的距離を近付けることができるため、両者間の配線の信号遅延等の影響を低減することができる。そのため、半導体装置の動作速度の向上、及び、消費電力の低減を図ることができる。

[0076]

また、本発明の一態様の半導体装置は、記憶部を構成するメモリセル (記憶装置という場合もある。) が、前述の第1の層とは異なる層 (第2の層) 上に設けられる。ここで、第2の層は、第1の層上に積層して設けられる層である。本発明の一態様の半導体装置では、当該メモリセルを、微細なトラン

ジスタと、容量と、で形成することができる。また、当該メモリセルを構成するトランジスタと、容量と、は重畳して設けられ、かつ、それぞれの構成要素の一部は、互いに兼用するように形成される。したがって、微細で集積度の高い半導体装置を実現することができる。また、工程数が少なく、低価格な半導体装置を実現することができる。以下では、本発明の一態様の半導体装置に適用することができる電子計算機について、図面を参照しながら説明する。

[0077]

<電子計算機の構成例>

図1Aは、本発明の一態様の半導体装置に適用することができる電子計算機900の構成例を説明するブロック図である。

[0078]

図1Aに示すように、電子計算機900は、処理部910（プロセッサという場合もある。）と、記憶部920（メモリという場合もある。）と、制御部930と、を有する。処理部910、記憶部920、及び制御部930は、互いにバスライン971を介して、電氣的に接続されている。

[0079]

なお、図示していないが、電子計算機900は、例えば、入出力部（インターフェースという場合もある。）を有してもよい。当該入出力部は、例えば、電子計算機900の外部に設けられる機能デバイス（例えば、入力装置、出力装置、及び記憶装置など）と、データなどのやり取りを行う機能を有する。

[0080]

処理部910は、例えば、プログラムに応じた処理を逐次実行することで、一連の処理（タスク）を実行する機能を有する。また、例えば、複数のタスクを実行する機能を有する。処理部910の少なくとも一部を、例えば、CPU、MPU（Micro Processing Unit）、及びGPU（Graphics Processing Unit）などに用いることができる。

[0081]

処理部910は、演算部911（コアという場合もある。）と、制御部912と、レジスタ部913と、を有する。レジスタ部913は、一又は複数のレジスタユニット914を有する。

[0082]

レジスタユニット914は、スキャンフリップフロップ915と、バックアップメモリ916と、を有する。レジスタユニット914の少なくとも一部を、例えば、汎用レジスタ、及び専用レジスタ（例えば、プログラムカウンタ（PC：Program Counter）、命令レジスタ（IR：Instruction Register）、及びステータスレジスタ（SR：Status Register）など）などに用いることができる。

[0083]

演算部911は、例えば、算術論理演算装置（ALU：Arithmetic Logic Unit）、及び浮動小数点演算装置（FPU：Floating Point Unit）などを有することができる。

[0084]

制御部912は、処理部910の動作を制御する機能を有する。例えば、複数のタスクを切り替えながら行う処理を制御する機能を有する。また、例えば、命令デコーダ（ID：Instruction Decoder）などを有することができる。

[0085]

レジスタユニット914の具体的な構成例については、後述する。

[0086]

記憶部920は、例えば、プログラム及びデータを記憶する機能を有する。記憶部920の少なくとも一部を、例えば、メインメモリ (Main Memory)、及びキャッシュメモリ (Cache Memory) などに用いることができる。

[0087]

記憶部920は、メモリアレイ部921と、制御部922と、を有する。

[0088]

メモリアレイ部921は、一又は複数のメモリブロック923を有する。メモリブロック923は、一又は複数のメモリユニット924と、センスアンプ926と、を有する。メモリユニット924は、一又は複数のメモリセル925を有する。

[0089]

ここで、図1Aにおいて点線で囲って示している複数のメモリセル925のまとまりを、メモリアレイという場合がある。

[0090]

制御部922は、記憶部920の動作を制御する機能を有する。例えば、メモリアレイ部921に対して、データの書き込み及び読み出しを制御する機能を有する。

[0091]

メモリブロック923の具体的な構成例、及び、記憶部920の具体的な構成例については、後述する。

[0092]

制御部930は、電子計算機900の動作を制御する機能を有する。また、例えば、電源管理ユニット (PMU: Power Management Unit) などを有することができる。当該PMUは、例えば、パワーゲーティングの動作を制御する機能を有する。例えば、パワースイッチ (図示しない。) を導通状態又は非導通状態にすることで、電子計算機900が有する各構成要素への電源の供給を制御する機能を有する。

[0093]

図1Bは、電子計算機900の層構造の一例を説明する模式図である。

[0094]

図1Bに示すように、電子計算機900は、層985と、層982と、を有する。層982は、層983と、複数の層984 (層984 [1] 乃至層984 [K] (Kは2以上の整数)) と、を有する。なお、1つの層984を有する構成であってもよい。

[0095]

層983は、層985の上に積層して設けられている。層984 [1] 乃至層984 [K] は、層983の上に積層して設けられている。

[0096]

なお、以下の説明において、各構成要素の位置関係の説明をわかりやすくするため、X方向、Y方向、及びZ方向を規定している。X方向、Y方向、及びZ方向は、互いに垂直又は概略垂直である。なお、概略垂直とは、対象となる二つの要素のなす角度が、85度以上95度以下である状態をいう。

Z方向は、層985の上に、層983、及び層984 [1] 乃至層984 [K] が積層される方向であるとする。よって、X方向、及びY方向は、層985、層983、及び層984 [1] 乃至層984 [K] のそれぞれの面に沿った方向であるとする。

[0097]

層985は、様々な材料を含む絶縁性基板又は半導体基板に設けることができる。

[0098]

本発明の一態様は、例えば、層985が、シリコンを含む基板に設けられた構成とすることができる。すなわち、層985に、Siトランジスタ（チャンネル形成領域にシリコンを含むトランジスタ）が設けられた構成とすることができる。よって、本発明の一態様は、例えば、層985において、nチャンネル型のSiトランジスタのゲートと、pチャンネル型のSiトランジスタのゲートと、を電氣的に接続することで、CMOS回路（例えば、相補的に動作する回路、CMOS論理ゲート、又はCMOS論理回路など）を構成することができる。

[0099]

層983、及び層984 [1] 乃至層984 [K] のそれぞれは、例えば、導電体、半導体、及び絶縁体などの様々な材料を有することができる。また、層983、及び層984 [1] 乃至層984 [K] のそれぞれには、例えば、容量、及びトランジスタなどの様々な素子を設けることができる。

[0100]

なお、層983に設けられるトランジスタのチャンネル形成領域を含む半導体層と、層984 [1] 乃至層984 [K] に設けられるトランジスタのチャンネル形成領域を含む半導体層と、のそれぞれは、同じ材料を有してもよいし、異なる材料を有してもよい。また、層983に設けられるトランジスタと、層984 [1] 乃至層984 [K] に設けられるトランジスタと、のそれぞれは、同じ構造であってもよいし、異なる構造であってもよい。

[0101]

本発明の一態様は、例えば、層983、及び、層984 [1] 乃至層984 [K] に、OSトランジスタ（チャンネル形成領域に酸化物半導体を含むトランジスタ）が設けられた構成とすることができる。

[0102]

OSトランジスタは、オフ電流が極めて低いという特性を有する。また、高温環境下でもオフ電流がほとんど増加しない、かつ、オン電流が低下しにくい、という特性を有する。そのため、例えば、OSトランジスタのソース又はドレインの一方に電氣的に接続された配線が浮遊状態（フローティングという場合もある。）である場合、当該配線に蓄積された電荷を長期間保持することができる。よって、本発明の一態様は、例えば、OSトランジスタを用いてメモリセルを構成することで、当該メモリセルに書き込まれたデータを長期間記憶することができる。

[0103]

また、本発明の一態様は、当該OSトランジスタの構造として、例えば、層983に、プレーナ型のトランジスタが設けられ、層984 [1] 乃至層984 [K] に、縦型のトランジスタ（チャンネル形成領域を含む半導体層の少なくとも一部が絶縁層に形成された開口の内部に設けられるトランジスタ）が設けられた構成とすることができる。なお、縦型のトランジスタの詳細な構成については、図7A及び図7B等で後述する。

[0104]

縦型のトランジスタは、プレーナ型のトランジスタに比べて、占有面積（フットプリント）の低減を図ることが容易な構造である。また、チャンネル長を小さく、かつ、チャンネル幅を大きくしやすい構造であることから、オン抵抗の低減（オン電流の増加）を図ることが容易な構造である。よって、本発明の一態様は、例えば、縦型のトランジスタを用いてメモリセルを構成することで、当該メモリセルのセル面積（セルサイズ）を小さくすることができる。

[0105]

プレーナ型のトランジスタは、縦型のトランジスタに比べて、チャンネル長を大きくしやすい構造であることから、例えば、ドレイン誘起障壁低下（DIBL: Drain Induced Barrier Lowering）などの短チャンネル効果の低減を図ることが容易な構造である。すなわち、飽和性が高い（トランジスタの飽和領域において、ドレイン電圧に対するドレイン電流の変化が小さい）トランジスタを実現することが容易な構造である。よって、本発明の一態様は、例えば、プレーナ型のトランジスタを用いてセンスアンプを構成することで、当該センスアンプの特性を向上させることができる。

[0106]

なお、例えば、層983に、縦型のトランジスタが設けられた構成としてもよい。また、例えば、層984[1]乃至層984[K]に、プレーナ型のトランジスタが設けられた構成としてもよい。

[0107]

また、図示していないが、電子計算機900は、層985、層983、及び層984[1]乃至層984[K]のそれぞれの層の間に、配線層が適宜設けられている構成であってもよい。当該配線層には、例えば、様々な素子同士を電気的に接続するための配線を設けることができる。

[0108]

また、図2に示すように、電子計算機900は、複数の層983（層983[1]乃至層983[H]（Hは2以上の整数））を有し、かつ、層983[1]乃至層983[H]が積層して設けられている構成であってもよい。また、複数の層982（層982[1]乃至層982[L]（Lは2以上の整数））を有し、かつ、層982[1]乃至層982[L]が積層して設けられている構成であってもよい。

[0109]

図1Cは、電子計算機900が有する各構成要素の配置の一例を説明する模式図である。電子計算機900において、図1Aに示す各構成要素は、例えば、図1Bに示す各層に、適宜配置することができる。なお、図1Cでは、電子計算機900が有する各構成要素の一部として、処理部910が有する演算部911、制御部912、スキャンフリップフロップ915、及びバックアップメモリ916を図示している。また、記憶部920が有するメモリセル925、及びセンスアンプ926を図示している。

[0110]

図1Cに示す電子計算機900は、層985と、層983と、層984[1]乃至層984[K]と、を有する。図1Cに示すように、演算部911、制御部912、スキャンフリップフロップ915、及びセンスアンプ926は、層985に配置されている。また、図示していないが、制御部930、及び、記憶部920が有する制御部922も、層985に配置されている。なお、センスアンプ926を、例えば、演算部911と制御部912との間に配置することもできる。バックアップメモリ916は、スキャンフリップフロップ915の上に重なるように、層983に配置されている。メ

メモリセル 925 は、センスアンプ 926 の上に重なるように、層 984 [1] 乃至層 984 [K] に配置されている。なお、メモリセル 925 を、例えば、演算部 911、及び制御部 912 の上に重なるように配置することもできる。また、例えば、バックアップメモリ 916 の上に重なるように配置することもできる。

[0111]

つまり、図 1C に示す電子計算機 900 は、記憶部 920 が有するメモリアレイ部 921 が、処理部 910 の内部に配置された構成であるともいえる。なお、制御部 922 も、処理部 910 の内部に配置された構成であってもよい。

[0112]

このような配置にすることで、例えば、層 983、及び、層 984 [1] 乃至層 984 [K] のデッドスペースを小さくし、面積効率を向上させることができる。そのため、メモリアレイ部 921 の面密度（記録密度）の向上を図ることができる。よって、電子計算機 900 が有する記憶部 920 の記憶容量の向上、及び、電子計算機 900 の小型化を図ることができる。また、例えば、処理部 910 と、記憶部 920 と、の間のバスライン 971 を短くすることができる。そのため、アクセス時間（データの書き込み及び読み出しに必要な時間）及びアクセスエネルギー（データの書き込み及び読み出しによって消費されるエネルギー）の低減を図ることができる。よって、電子計算機 900 の動作速度の向上、及び、消費電力の低減を図ることができる。

[0113]

以下、レジスタユニット 914 に用いることができる半導体装置、メモリブロック 923 に用いることができる半導体装置、及び、記憶部 920 に用いることができる記憶装置、のそれぞれの具体的な構成例について説明する。

[0114]

なお、以下の説明において、2 値データに対応する電位として、2 値データの“1”に対応する電位は、高電源電位である電位 VDD とし、2 値データの“0”に対応する電位は、低電源電位である電位 VSS とする。電位 VDD は、電位 VSS に対して、少なくともトランジスタのしきい値電圧よりも高い電位であるとする。なお、電位 VSS は、例えば、接地電位としてもよい。また、信号の電位は、電位 H 又は電位 L とする。電位 H は、n チャネル型のトランジスタのゲートに与えられることで、当該トランジスタが導通状態となる電位、かつ、p チャネル型のトランジスタのゲートに与えられることで、当該トランジスタが非導通状態となる電位、であるとする。電位 L は、n チャネル型のトランジスタのゲートに与えられることで、当該トランジスタが非導通状態となる電位、かつ、p チャネル型のトランジスタのゲートに与えられることで、当該トランジスタが導通状態となる電位、であるとする。電位 H は、例えば、電位 VDD と同じ電位、又は電位 VDD よりも高い電位とすることができる。電位 L は、例えば、電位 VSS と同じ電位、又は電位 VSS よりも低い電位とすることができる。

[0115]

なお、電位 H 及び電位 L のそれぞれは、複数の信号のそれぞれで、同じ電位である必要はない。複数の信号のそれぞれは、当該信号が与えられるトランジスタのしきい値電圧に応じて、信号ごとに、電位 H 及び電位 L のそれぞれの電位が異なってもよい。例えば、層 985 に設けられる Si トランジスタのゲートに与えられる信号と、層 983、及び、層 984 [1] 乃至層 984 [K] に設けられる OS トランジスタのゲートに与えられる信号とは、電位 H 及び電位 L のそれぞれの電位が異

なっているもよい。

[0116]

<記憶部920に用いることができる半導体装置>

本発明の一態様の半導体装置710について説明する。半導体装置710の少なくとも一部を、例えば、上述した図1A等に示す電子計算機900に用いることができる。例えば、記憶部920が有するメモリブロック923に用いることができる。

[0117]

[構成例]

図3は、半導体装置710の構成例を説明する回路図である。

[0118]

図3に示す半導体装置710は、複数のメモリセル741と、センス回路751と、を有する。

[0119]

本発明の一態様として、半導体装置710を、上述した電子計算機900が有するメモリブロック923に用いる場合、例えば、メモリセル741は、メモリセル925に対応し、センス回路751は、センスアンプ926に対応する。すなわち、例えば、メモリセル741は、層984[1]乃至層984[K]に配置され、センス回路751は、層985に配置される。よって、例えば、メモリセル741に、縦型のOSトランジスタを用いることができ、センス回路751に、Siトランジスタを用いることができる。

[0120]

なお、図3では、代表して、層984[1]に配置されている8個のメモリセル741と、層984[2]に配置されている8個のメモリセル741と、層984[K]に配置されている8個のメモリセル741と、を図示している。

[0121]

複数のメモリセル741の一部は、読み出しビット線として機能する配線RBLを介して、センス回路751に電氣的に接続されている。残りは、読み出しビット線として機能する配線RBLBを介して、センス回路751に電氣的に接続されている。

[0122]

センス回路751は、データの書き込みをする場合、当該データに対応する電位を、配線RBL及び配線RBLBのそれぞれに与える機能を有する。また、センス回路751は、データの読み出しをする場合、配線RBLと配線RBLBとの間の電位差に応じて、当該データに対応する電位を出力する機能を有する。

[0123]

図11は、図3に示す半導体装置710の具体的な構成例を説明する回路図である。なお、図11では、代表して、層984[1]に配置され、かつ、配線RBLに電氣的に接続されている2個のメモリセル(メモリセル741[1,1]及びメモリセル741[1,2])と、配線RBLBに電氣的に接続されている2個のメモリセル(メモリセル741[1,3]及びメモリセル741[1,4])と、を図示している。また、層984[2]に配置され、かつ、配線RBLに電氣的に接続されている2個のメモリセル(メモリセル741[2,1]及びメモリセル741[2,2])と、配線RBLBに電氣的に接続されている2個のメモリセル(メモリセル741[2,3]及びメモリセル741[2,4])と、を図示している。

[0124]

センス回路751は、スイッチ回路752と、プリチャージ回路753と、プリチャージ回路754と、アンプ回路755と、プリチャージ回路756と、を有する。スイッチ回路752、プリチャージ回路753、プリチャージ回路754、アンプ回路755、及びプリチャージ回路756のそれぞれは、配線RBL及び配線RBLBに電氣的に接続されている。スイッチ回路752は、配線DBL及び配線DBLBに電氣的に接続されている。センス回路751は、メモリセル741に対するデータの書き込み及び読み出しを制御する機能を有する。

[0125]

スイッチ回路752は、配線CSELに与えられる信号に応じて、配線RBL及び配線RBLBの配線対と、配線DBL及び配線DBLBの配線対と、の間を、導通状態又は非導通状態にする機能を有する。具体的には、スイッチ回路752は、トランジスタM721と、トランジスタM722と、を有する。トランジスタM721のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM721のソース又はドレインの他方は、配線DBLに電氣的に接続されている。トランジスタM722のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM722のソース又はドレインの他方は、配線DBLBに電氣的に接続されている。トランジスタM721のゲート、及び、トランジスタM722のゲートは、配線CSELに電氣的に接続されている。トランジスタM721及びトランジスタM722は、nチャンネル型のトランジスタである。

[0126]

プリチャージ回路753は、配線EQに与えられる信号に応じて、配線RBL及び配線RBLBを、配線VPREに与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路753は、トランジスタM731と、トランジスタM732と、トランジスタM733と、を有する。トランジスタM731のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM731のソース又はドレインの他方は、配線RBLBに電氣的に接続されている。トランジスタM732のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM733のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM732のソース又はドレインの他方、及びトランジスタM733のソース又はドレインの他方は、配線VPREに電氣的に接続されている。トランジスタM731のゲート、トランジスタM732のゲート、及び、トランジスタM733のゲートは、配線EQに電氣的に接続されている。トランジスタM731、トランジスタM732、及びトランジスタM733は、nチャンネル型のトランジスタである。

[0127]

プリチャージ回路754は、配線EQBに与えられる信号に応じて、配線RBL及び配線RBLBを、配線VPREに与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路754は、トランジスタM741と、トランジスタM742と、トランジスタM743と、を有する。トランジスタM741のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM741のソース又はドレインの他方は、配線RBLBに電氣的に接続されている。トランジスタM742のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM743のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM742のソース又はドレインの他方、及びトランジスタM743のソース又はドレインの他

方は、配線VPREに電氣的に接続されている。トランジスタM741のゲート、トランジスタM742のゲート、及び、トランジスタM743のゲートは、配線EQBに電氣的に接続されている。トランジスタM741、トランジスタM742、及びトランジスタM743は、pチャネル型のトランジスタである。

[0128]

アンプ回路755は、配線SAP及び配線SANのそれぞれに所定の電位を与えることで、配線RBLに、2値のデータ的一方に対応する電位を出力し、かつ、配線RBLBに、2値のデータの他方に対応する電位を出力する機能を有する。具体的には、アンプ回路755は、トランジスタM751と、トランジスタM752と、トランジスタM753と、トランジスタM754と、を有する。トランジスタM751のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM752のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM753のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM754のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM751のソース又はドレインの他方、及び、トランジスタM752のソース又はドレインの他方は、配線SAPに電氣的に接続されている。トランジスタM753のソース又はドレインの他方、及び、トランジスタM754のソース又はドレインの他方は、配線SANに電氣的に接続されている。トランジスタM751のゲート、及び、トランジスタM753のゲートは、配線RBLBに電氣的に接続されている。トランジスタM752のゲート、及び、トランジスタM754のゲートは、配線RBLに電氣的に接続されている。トランジスタM751及びトランジスタM752は、pチャネル型のトランジスタである。トランジスタM753及びトランジスタM754は、nチャネル型のトランジスタである。

[0129]

プリチャージ回路756は、配線RBL及び配線RBLBに電氣的に接続されている。プリチャージ回路756は、配線SW4に与えられる信号に応じて、配線RBLを、配線VPRE2に与えられる電位にプリチャージする機能を有する。また、配線SW5に与えられる信号に応じて、配線RBLBを、配線VPRE2に与えられる電位にプリチャージする機能を有する。具体的には、プリチャージ回路756は、トランジスタM771と、トランジスタM772と、を有する。トランジスタM771のソース又はドレインの一方は、配線RBLに電氣的に接続されている。トランジスタM772のソース又はドレインの一方は、配線RBLBに電氣的に接続されている。トランジスタM771のソース又はドレインの他方、及び、トランジスタM772のソース又はドレインの他方は、配線VPRE2に電氣的に接続されている。トランジスタM771のゲートは、配線SW4に電氣的に接続されている。トランジスタM772のゲートは、配線SW5に電氣的に接続されている。トランジスタM771及びトランジスタM772は、pチャネル型のトランジスタである。

[0130]

ここで、半導体装置710において、複数のメモリセル741のうち、任意の1つのメモリセル741を選択して、当該メモリセル741に対して、データの書き込みを行う場合、当該メモリセル741に電氣的に接続されている配線WWLに信号を与えればよい。例えば、図11において、層984[1]に配置されているメモリセル741[1, 1]に対して、データの書き込みを行う場合、メモリセル741[1, 1]に電氣的に接続されている配線WWLに電位Hを与え、それ以外のメモリセル741に電氣的に接続されている配線WWLに電位Lを与えればよい。

[0131]

また、半導体装置710において、複数のメモリセル741のうち、任意の1つのメモリセル741を選択して、当該メモリセル741に対して、データの読み出しを行う場合、当該メモリセル741に電氣的に接続されている配線RWLに信号を与えればよい。例えば、図11において、層984[1]に配置されているメモリセル741[1, 1]に対して、データの読み出しを行う場合、メモリセル741[1, 1]に電氣的に接続されている配線RWLに電位Hを与え、それ以外のメモリセル741に電氣的に接続されている配線RWLに電位Lを与えればよい。

[0132]

<記憶部920に用いることができるメモリセル>

本発明の一態様に係るメモリセルについて説明する。当該メモリセルを、例えば、上述した図1A等に示す電子計算機900に用いることができる。例えば、記憶部920が有するメモリセル925に用いることができる。

[0133]

図4A乃至図4Dのそれぞれは、本発明の一態様のメモリセルの構成例を説明する回路図である。

[0134]

図4Aに示すメモリセル741aは、トランジスタ42と、トランジスタ41と、容量51と、を有する。トランジスタ42のソース又はドレインの一方は、トランジスタ41のゲートと、容量51の一方の端子と、に電氣的に接続されている。トランジスタ42のソース又はドレインの他方は、書き込み用ビット線として機能する配線WBLに電氣的に接続されている。トランジスタ42のゲートは、書き込み用ワード線として機能する配線WWLに電氣的に接続されている。トランジスタ41のソース又はドレインの一方は、読み出し用ビット線として機能する配線RBLに電氣的に接続されている。トランジスタ41のソース又はドレインの他方は、読み出し用ワード線として機能する配線RWLに電氣的に接続されている。容量51の他方の端子は、配線CLに電氣的に接続されている。なお、トランジスタ42のソース又はドレインの一方と、トランジスタ41のゲートと、容量51の一方の端子と、が互いに電氣的に接続されている配線を、配線MNと記載して説明する場合がある。

[0135]

メモリセル741aは、配線MNに保持された電荷量に応じた電位の高低を、“1”又は“0”に対応させることで、2値のデータを記憶することができる。また、メモリセル741aは、データの書き込みをする場合、トランジスタ42を導通状態にすることで、配線WBLから配線MNに、データに対応した電位を与えることができる。また、メモリセル741aは、データの読み出しをする場合、配線MNの電位に応じてトランジスタ41を導通状態又は非導通状態にすることで、当該データに応じた電位を配線RBLに取り出すことができる。

[0136]

本発明の一態様は、トランジスタ42として、例えば、nチャンネル型のOSトランジスタを用いることができる。また、トランジスタ41として、例えば、nチャンネル型のトランジスタを用いることができる。

[0137]

なお、図4Aに示すメモリセル741aにおいて、トランジスタ42にOSトランジスタを用いた構成は、NOSRAM（登録商標）と呼称される場合がある。NOSRAMとは、Nonvolatile Oxide Semiconductor RAMの略称である。NOSRAMは、オフ電

流が極めて低いOSトランジスタを用いるため、データを長期間記憶することができる。また、書き込み用のトランジスタ（トランジスタ42）と、読み出し用のトランジスタ（トランジスタ41）と、異なるため、データの読み出しにおいて、非破壊読み出しとなる。よって、例えば、不揮発性メモリとして用いることができる。

[0138]

図4Bに示すメモリセル741bは、図4Aに示すメモリセル741aの変形例であり、トランジスタ42のソース又はドレインの他方が、配線BLに電氣的に接続され、トランジスタ41のソース又はドレインの一方が、配線BLに電氣的に接続されている点が異なる。

[0139]

図4Cに示すメモリセル741cは、図4Aに示すメモリセル741aの変形例であり、トランジスタ41のソース又はドレインの他方が、配線PLに電氣的に接続され、容量51の他方の端子が、配線RWLに電氣的に接続されている点が異なる。

[0140]

図4Dに示すメモリセル741dは、図4Cに示すメモリセル741cの変形例であり、トランジスタ41にpチャネル型のトランジスタを用いている点が異なる。

[0141]

<メモリセル741に用いることができる記憶装置>

以下では、本発明の一態様の半導体装置が有するメモリセル741に用いることができる記憶装置の具体的な構成例について、図面を用いて説明する。

[0142]

本発明の一態様の記憶装置は、第1のトランジスタと、第2のトランジスタと、容量と、第1の絶縁層と、第2の絶縁層と、を有する。

[0143]

本発明の一態様の記憶装置では、第1のトランジスタ、容量、及び、第2のトランジスタを、それぞれ重ねて配置する構成を有する。このため、当該記憶装置の平面視における占有面積を小さくすることができる。例えば、本発明の一態様の記憶装置を、メモリセル741に適用する場合、当該メモリセルの平面視における占有面積を小さくすることができる。よって、当該メモリセルを微細化することができ、高集積化が可能な半導体装置を実現することができる。

[0144]

また、本発明の一態様の記憶装置では、第1のトランジスタ上に、第2のトランジスタが積層して設けられる。第1のトランジスタ及び第2のトランジスタのそれぞれは、基板面に対してソース電極と、ドレイン電極と、がそれぞれ異なる高さに重畳して設けられ、ドレイン電流が高さ方向（縦方向）に流れる構造を有する（前述の「縦型のトランジスタ」）。このため、ソース電極と、ドレイン電極と、がそれぞれ同一平面上に設けられる構造のトランジスタ（プレーナ型のトランジスタ）よりも微細化を図ることができる。本発明の一態様の記憶装置が、上述の構造のトランジスタを有することで、さらに微細化及び高集積化が可能な半導体装置を実現することができる。

[0145]

なお、本発明の一態様の記憶装置において、第1の絶縁層は、第1のトランジスタのソース電極とドレイン電極との間に位置し、第2の絶縁層は、第2のトランジスタのソース電極とドレイン電極との間に位置する。

[0146]

また、本発明の一態様の記憶装置では、第1のトランジスタの構成要素の一部（ゲート電極）が、第2のトランジスタの構成要素の一部（ソース電極又はドレイン電極の一方）としても機能する。

[0147]

すなわち、本発明の一態様の記憶装置では、第1のトランジスタの構成要素の一部が、第2のトランジスタの構成要素の一部も兼ねる。

[0148]

また、本発明の一態様の記憶装置では、容量の一部を構成する絶縁層（第3の絶縁層）及び導電層が、第1のトランジスタのゲート電極と重なる領域を有するように、第1のトランジスタ上にこの順で積層して設けられる。本発明の一態様の記憶装置が有する容量において、第1のトランジスタのゲート電極は、一方の電極として機能し、前述の絶縁層（第3の絶縁層）は、誘電体層として機能し、前述の導電層は、他方の電極として機能する。すなわち、本発明の一態様の記憶装置では、第1のトランジスタと重なる領域を有するように、容量の一部を構成する絶縁層（第3の絶縁層）及び導電層が設けられ、第1のトランジスタのゲート電極が、容量の一方の電極としての機能も兼ねる構成を有しているといえることができる。

[0149]

また、本発明の一態様の記憶装置では、上述した導電層（容量の一部を構成する導電層）の側面と、第2のトランジスタのゲート電極の一部（第2の絶縁層に埋め込まれた部分）の側面と、第2の絶縁層の一部、第2のトランジスタの半導体層の一部、及び、第2のトランジスタのゲート絶縁層の一部を介して、対向して設けられる。そのため、本発明の一態様の記憶装置では、前述の導電層と、第2のトランジスタのゲート電極の一部（第2の絶縁層に埋め込まれた部分）と、の間の領域も容量として機能し得る。すなわち、本発明の一態様の記憶装置では、第2のトランジスタのゲート電極が、容量の電極としての機能も有し得るといえることができる。また、前述の導電層と、第2のトランジスタのゲート電極の一部（第2の絶縁層に埋め込まれた部分）と、に挟まれた領域における第2の絶縁層、第2のトランジスタの半導体層、及び、第2のトランジスタのゲート絶縁層が、容量の誘電体層としての機能も有し得るといえることができる。

[0150]

すなわち、本発明の一態様の記憶装置では、第1のトランジスタの構成要素の一部が、容量の構成要素の一部も兼ねる。また、第2のトランジスタの構成要素の一部が、容量の構成要素の一部も兼ねる。

[0151]

以上より、本発明の一態様の記憶装置では、第1のトランジスタと、第2のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量と、第1のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量と、第2のトランジスタと、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。したがって、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

[0152]

以下では、本発明の一態様の記憶装置の具体的な構成例について説明する。

[0153]

<記憶装置の構成例1>

図5Aは、本発明の一態様の記憶装置の構成例を示す平面図である。図5Aでは、図の明瞭化のために、絶縁層等の一部の要素を省略している。以降に示す平面図においても、一部の要素を省略する。図5Bは、図5Aに示す一点鎖線A1-A2の断面図である。図5Cは、図5Aに示す一点鎖線A3-A4の断面図である。図6は、図5Aに示す一点鎖線A5-A6の断面図である。

[0154]

本発明の一態様の記憶装置は、トランジスタ41と、トランジスタ42と、容量51と、絶縁層103aと、絶縁層103bと、を有する。

[0155]

絶縁層103aは、絶縁層101上に設けられる。トランジスタ41は、その一部が絶縁層103aに埋め込まれるように、絶縁層101上に設けられる。容量51の構成要素の一部は、トランジスタ41と重なる領域を有するように、トランジスタ41上に設けられる。絶縁層103bは、トランジスタ41及び容量51を覆うように設けられる。トランジスタ42は、その一部が絶縁層103bに埋め込まれるように、トランジスタ41及び容量51と重畳して設けられる。

[0156]

ここで、絶縁層101、絶縁層103a、及び絶縁層103bは、それぞれ層間絶縁層として機能し、平坦化されていることが好ましい。なお、層間絶縁層として機能する絶縁層が平坦化されていなくてもよい。

[0157]

トランジスタ41は、導電層111aと、導電層112aと、半導体層113aと、絶縁層105aと、導電層115aと、を有する。

[0158]

導電層111aは、トランジスタ41のソース電極又はドレイン電極の一方として機能する。導電層112aは、トランジスタ41のソース電極又はドレイン電極の他方として機能する。絶縁層105aは、トランジスタ41のゲート絶縁層として機能する。導電層115aは、トランジスタ41のゲート電極として機能する。

[0159]

絶縁層101上に導電層111aが設けられ、絶縁層101上、及び、導電層111a上に絶縁層103aが設けられ、絶縁層103a上に導電層112aが設けられる。導電層111aと導電層112aは、絶縁層103aを介して互いに重なる領域を有する。なお、図5A及び図5Bでは、X方向において、導電層111aの側端部が導電層112aの開口121aに面しない側端部より内側に位置する、すなわち導電層112aの開口121aに面しない側端部が導電層111aと重ならず、導電層111aの側端部が導電層112aと重なる例を示しているが、本発明の一態様はこれに限らない。例えば、導電層111aの側端部が、導電層112aの開口121aに面しない側端部より外側に位置してもよい。

[0160]

絶縁層103a及び導電層112aは、導電層111aに達する開口121aを有する。図5Aでは、開口121aの形状が、平面視において円形である例を示している。開口121aの上面形状(平面視における輪郭形状)を円形とすることにより、開口121aを形成する際の加工精度を高めることができ、微細なサイズの開口121aを形成することができる。なお、開口121aの上面形状は、

例えば、楕円形、四角形等の多角形、又は角の丸い多角形としてもよい。

[0161]

半導体層113aは、開口121aを覆い、開口121aの内部に位置する領域を有するように設けられる。半導体層113aは、導電層112aの上面と接する領域、開口121a内における導電層112aの側面と接する領域、開口121a内における絶縁層103aの側面と接する領域、及び、開口121a内における導電層111aの上面と接する領域を有する。半導体層113aは、導電層112aの上面、開口121a内における導電層112aの側面、開口121a内における絶縁層103aの側面、及び、開口121a内における導電層111aの上面に沿った形状を有する。これにより、半導体層113aは、開口121aと重なる位置に凹部を有する。

[0162]

なお、図5Bでは、X方向において、半導体層113aの側面が、導電層112aの開口121aに面しない側の側面と概略一致するように示されているが、本発明の一態様はこれに限らない。例えば、半導体層113aの側面が、X方向において、導電層112aの開口121aに面しない側の側面よりも外側に位置していてもよいし、内側に位置していてもよい。

[0163]

ただし、半導体層113aは、導電層112aの開口121a側の側端部を覆うことが好ましい。例えば、図5A及び図5Bでは、X方向において、半導体層113aの側端部が開口121aの外側まで延伸し、導電層112aの開口121aに面しない側の側端部と概略一致する構成を示している。X方向において、半導体層113aの下端部は、導電層112aの上端部と概略一致しているともいえる。すなわち、半導体層113aの全体が、導電層112a又は開口121aと重なる例を示している。また、図5A及び図5Bでは、X方向において、半導体層113aの側端部が、導電層111aの側端部より外側に位置する構成を示している。すなわち、半導体層113aの一部が、導電層111aと重なる例を示している。

[0164]

本明細書等において、上端部は、側端部のうち最上部を示し、下端部は、側端部のうち最下部を示す。つまり、上端部及び下端部は、それぞれ側端部の一部である。

[0165]

なお、図5B、図5C、及び図6では、半導体層113aを単層構造で示しているが、本発明の一態様はこれに限られない。半導体層113aを、2層以上の積層構造としてもよい。

[0166]

トランジスタ41のゲート絶縁層として機能する絶縁層105aは、開口121aを覆い、開口121aの内部に位置する領域を有するように設けられる。絶縁層105aは、半導体層113a上、導電層112a上、及び絶縁層103a上に設けられる。絶縁層105aは、半導体層113aの上面と接する領域、半導体層113aの側面と接する領域、導電層112aの上面と接する領域、導電層112aの側面と接する領域、及び、絶縁層103aの上面と接する領域を有する。絶縁層105aは、半導体層113aの上面、半導体層113aの側面、導電層112aの上面、導電層112aの側面、及び、絶縁層103aの上面に沿った形状を有する。これにより、絶縁層105aは、開口121aと重なる位置に凹部を有する。

[0167]

トランジスタ41のゲート電極として機能する導電層115aは、絶縁層105a上に設けられ、

絶縁層 105a の上面と接する領域を有する。導電層 115a は、絶縁層 105a を介して、半導体層 113a と重なる領域を有する。ここで、半導体層 113a は、開口 121a の内部において、絶縁層 105a を介して、導電層 115a の側面及び底面を覆う構成とすることができる。例えば、開口 121a の内部において、絶縁層 105a は、半導体層 113a の側面と接する領域、半導体層 113a の凹部上面と接する領域、導電層 115a の側面と接する領域、及び、導電層 115a の底面と接する領域を有する。

[0168]

以上より、図 5B 及び図 5C に示すトランジスタ 41 は、層間絶縁層（絶縁層 103a）に形成された開口（開口 121a）の内部に、半導体層（半導体層 113a）、ゲート絶縁層（絶縁層 105a）、及びゲート電極（導電層 115a）が設けられるトランジスタである。別言すると、平面視において、半導体層が、ゲート絶縁層を介して、ゲート電極を取り囲むように設けられるトランジスタである。これにより、トランジスタ 41 のチャンネル長方向を、断面視において、開口 121a 内における絶縁層 103a の側面に沿った方向とすることができる。よって、チャンネル長が、トランジスタ 41 の作製に用いる露光装置の性能に影響されなくなるため、チャンネル長を露光装置の限界解像度よりも小さくすることができる。したがって、トランジスタ 41 を微細化することができる。なお、例えば、図 5A では、開口 121a の全体が、導電層 111a、半導体層 113a、及び導電層 115a と重なる領域を有する例を示しているが、開口 121a の一部が、導電層 111a、半導体層 113a、及び導電層 115a のうち、少なくとも 1 つと重ならなくてもよい。

[0169]

トランジスタ 41 は、半導体層 113a よりも上方にゲート電極を有する、いわゆるトップゲート型のトランジスタである。さらに、半導体層 113a の下面（絶縁層 101 側の面）が、ソース電極及びドレイン電極のそれぞれと接することから、TGBC (Top Gate Bottom Contact) 型のトランジスタとすることができる。

[0170]

図 5B 及び図 5C 等に示すように、絶縁層 105a の一部は、開口 121a の外、つまり、導電層 112a 上、及び絶縁層 103a 上に位置する。このとき、絶縁層 105a は、半導体層 113a の側端部を覆うことが好ましい。これにより、導電層 115a と半導体層 113a がショートするのを防ぐことができる。また、絶縁層 105a は、導電層 112a の側端部を覆うことが好ましい。これにより、導電層 115a と導電層 112a がショートするのを防ぐことができる。

[0171]

また、図 5B 及び図 5C 等に示すように、導電層 115a の一部は、開口 121a の外、つまり、導電層 112a 上、及び、絶縁層 103a 上に位置する。なお、図 5B 及び図 5C 等では、導電層 115a の側端部が、半導体層 113a の側端部より内側に位置する例を示しているが、この限りではない。導電層 115a の側端部は、半導体層 113a の側端部より外側に位置していてもよい。

[0172]

絶縁層 105a の上面、導電層 115a の側面、及び、導電層 115a の上面に接して、絶縁層 107a が設けられる。絶縁層 107a 上には、絶縁層 135 が設けられる。絶縁層 135 上には、導電層 115a と重なる領域を有するように、導電層 141 が設けられる。なお、導電層 141 は、平面視にて、絶縁層 103a 及び導電層 112a に設けられた開口 121a との間に間隔を有して設けられる。

[0173]

容量51は、導電層115aと、導電層141と、絶縁層107aの一部（導電層115aと、導電層141と、に挟まれた部分）と、絶縁層135の一部（導電層115aと、導電層141と、に挟まれた部分）と、を有する。また、容量51は、上記に加えて、トランジスタ42のゲート電極として機能する導電層115bの一部（開口121b内に位置する部分）と、導電層115bの当該一部と導電層141とに挟まれた領域における、トランジスタ41上の絶縁層103b、トランジスタ42の半導体層として機能する半導体層113b、及び、トランジスタ42のゲート絶縁層として機能する絶縁層105bと、を有する。

[0174]

導電層115aは、容量51の一方の電極として機能する。導電層141は、容量51の他方の電極として機能する。絶縁層107aの一部（導電層115aと、導電層141と、に挟まれた部分）、及び、絶縁層135の一部（導電層115aと、導電層141と、に挟まれた部分）は、容量51の誘電体層として機能する。

[0175]

また、上記に加えて、導電層115bの一部（開口121b内に位置する部分）は、容量51の電極としても機能し得る。導電層141と、導電層115bの当該一部と、に挟まれた領域における絶縁層103b、半導体層113b、及び絶縁層105bは、容量51の誘電体層としても機能し得る。

[0176]

すなわち、本発明の一態様の記憶装置では、導電層141と導電層115aとの間、及び、導電層141と導電層115bの一部（開口121b内に位置する部分）との間の2箇所に、容量として機能し得る領域を有し、当該2箇所を合わせて容量51であるということが出来る。容量51がこのような構成を有することで、導電層141が微細な上面形状を有する場合であっても、導電層141の膜厚を調整することによって、本発明の一態様の記憶装置を動作させるために必要な容量値を確保することができる。

[0177]

トランジスタ41上、及び、容量51上には、絶縁層103bが設けられる。

[0178]

絶縁層107aは、容量51の誘電体層として機能するとともに、不純物がトランジスタ41に拡散することを抑制する機能を有する。例えば、不純物が半導体層113aに拡散することを抑制する機能を有する。

[0179]

絶縁層135は、前述のように、容量51の誘電体層としての機能を有する。絶縁層135には、例えば、後述する[絶縁体]の項目に記載の比誘電率が高い材料、いわゆるhigh-k材料を用いることが好ましい。絶縁層135に比誘電率が高い材料を用いることで、容量51の容量値を大きくすることができる。そのため、データの保持時間の長い記憶装置を実現することができる。また、データの保持時間が延びることで、定期的なデータ書き換え（リフレッシュ動作）の頻度を減らすことができるため、消費電力の低い記憶装置を実現することができる。

[0180]

また、絶縁層135には、例えば、後述する[絶縁体]の項目に記載の強誘電性を有し得る材料を用いてもよい。絶縁層135に強誘電性を有し得る材料を用いることで、不揮発性の記憶装置を実現

することができる。そのため、上述のリフレッシュ動作が不要となり、さらに消費電力の低い記憶装置を実現することができる。

[0181]

なお、絶縁層103bの一部も容量51の誘電体層として機能し得るが、前述のように、絶縁層103bは層間絶縁層としての機能も有する。したがって、絶縁層103bには、[絶縁体]の項目に記載の比誘電率が低い材料を用いることが好ましい。絶縁層103bに比誘電率が低い材料を用いることで、記憶装置の配線間に生じる寄生容量を低減することができる。同様の理由で、絶縁層103aについても、比誘電率が低い材料を用いることが好ましい。

[0182]

トランジスタ42は、導電層115aと、導電層112bと、半導体層113bと、絶縁層105bと、導電層115bと、を有する。

[0183]

導電層115aは、トランジスタ42のソース電極又はドレイン電極の一方として機能する。導電層112bは、トランジスタ42のソース電極又はドレイン電極の他方として機能する。絶縁層105bは、トランジスタ42のゲート絶縁層として機能する。導電層115bは、トランジスタ42のゲート電極として機能する。

[0184]

なお、導電層115aは、前述したように、トランジスタ41のゲート電極としても機能する。したがって、図5A乃至図6に示す記憶装置においては、導電層115aが、トランジスタ41のゲート電極としての機能と、トランジスタ42のソース電極又はドレイン電極の一方としての機能と、を兼ね備える。

[0185]

導電層115a上には、絶縁層103bが設けられる。絶縁層103b上には、導電層112bが設けられる。導電層115aと、導電層112bと、は絶縁層103bを介して、互いに重なる領域を有する。

[0186]

導電層112b、絶縁層103b、絶縁層135、及び絶縁層107aは、導電層115aに達する開口121bを有する。図5Aでは、開口121bの形状が、平面視において円形である例を示している。なお、開口121bは、開口121aが取り得る形状と同様の形状とすることができる。

[0187]

トランジスタ42の構成は、上述したソース電極又はドレイン電極の一方の構成以外は、前述のトランジスタ41の構成と同様の構成とすることができる。トランジスタ42の構成の説明は、上述したソース電極又はドレイン電極の一方の構成以外は、トランジスタ41、絶縁層103a、絶縁層105a、導電層112a、半導体層113a、及び導電層115aを、それぞれ、トランジスタ42、絶縁層103b、絶縁層105b、導電層112b、半導体層113b、及び導電層115bに置き換え、適宜必要な読み替えを行うことにより、トランジスタ41の構成の説明を参照することができる。

[0188]

本明細書等において、絶縁層103a及び絶縁層103bを、まとめて絶縁層103という場合がある。また、絶縁層105a及び絶縁層105bを、まとめて絶縁層105という場合がある。また、

絶縁層107a及び絶縁層107bを、まとめて絶縁層107という場合がある。また、導電層112a及び導電層112bを、まとめて導電層112という場合がある。また、半導体層113a及び半導体層113bを、まとめて半導体層113という場合がある。また、導電層115a及び導電層115bを、まとめて導電層115という場合がある。また、開口121a及び開口121bを、まとめて開口121という場合がある。

[0189]

導電層115b上及び絶縁層105b上には、絶縁層107bが設けられる。絶縁層107bは、導電層115bの上面及び側面を覆うように設けることができる。絶縁層107bは、不純物がトランジスタ42に拡散することを抑制する機能を有する。例えば、不純物が半導体層113bに拡散することを抑制する機能を有する。

[0190]

以上のように、本発明の一態様の記憶装置では、トランジスタ41と、容量51と、トランジスタ42と、をそれぞれ積層して設ける。また、トランジスタ41及びトランジスタ42は、それぞれ、層間絶縁層に形成された開口の内部に半導体層、ゲート絶縁層、及びゲート電極を設け、当該開口下にソース電極又はドレイン電極の一方を、層間絶縁層上にソース電極又はドレイン電極の他方を設ける。これにより、記憶装置の平面視における占有面積を小さくすることができる。よって、記憶装置を微細化することができる。したがって、本発明の一態様により、高集積化が可能な記憶装置を提供することができる。

[0191]

また、本発明の一態様の記憶装置では、トランジスタ41の構成要素の一部が、トランジスタ42の構成要素の一部も兼ねる。また、トランジスタ41の構成要素の一部が、容量51の構成要素の一部も兼ねる。また、トランジスタ42の構成要素の一部が、容量51の構成要素の一部も兼ねる。

[0192]

したがって、本発明の一態様の記憶装置では、トランジスタ41と、トランジスタ42と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量51と、トランジスタ41と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量51と、トランジスタ42と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。このため、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

[0193]

なお、図5B乃至図6に示す断面図において、各層の境界は明確に確認できない場合がある。例えば、互いに接する2つの絶縁層の境界は、明確に視認できない場合がある。また、互いに接する2つの導電層の境界は、明確に視認できない場合がある。さらに、互いに接する2つの半導体層の境界は、明確に視認できない場合がある。

[0194]

図7Aは、図5Cに示すトランジスタ41、及び、その近傍の拡大図である。また、図7Aに示すトランジスタの、XY面の平面図を、図7Bに示す。なお、図7Bには、導電層111aは示していない。図7Aに示す構成は、導電層111aを導電層115aに置き換えることによって、トランジスタ42にも適用することができる。図7Bに示す構成は、トランジスタ41とトランジスタ42の双方に適用することができる。

[0195]

図7Aに示すように、半導体層113は、領域113iと、領域113iを挟むように設けられる領域113na及び領域113nbと、を有する。

[0196]

領域113naは、半導体層113の導電層111aと接する領域である。領域113naの少なくとも一部は、トランジスタのソース領域又はドレイン領域の一方として機能する。領域113nbは、半導体層113の導電層112と接する領域である。領域113nbの少なくとも一部は、トランジスタのソース領域又はドレイン領域の他方として機能する。図7Bに示すように、導電層112は、半導体層113の外周全体に接する。よって、トランジスタのソース領域又はドレイン領域の他方は、半導体層113の、導電層112と同じ高さに形成される部分の外周全体に形成され得る。

[0197]

領域113iは、半導体層113の、領域113naと、領域113nbと、の間の領域である。領域113iの少なくとも一部が、トランジスタのチャンネル形成領域として機能する。つまり、トランジスタのチャンネル形成領域は、半導体層113の、導電層111aと、導電層112と、の間の領域に位置する。また、トランジスタのチャンネル形成領域は、半導体層113の、絶縁層103と接する領域又はその近傍の領域に位置する、ともいえる。

[0198]

トランジスタのチャンネル長は、ソース領域と、ドレイン領域と、の間の距離となる。つまり、トランジスタのチャンネル長は、導電層111a上の絶縁層103の厚さによって決定される、とすることができる。図7Aは、トランジスタのチャンネル長Lを実線の両矢印で示している。チャンネル長Lは、断面視において、半導体層113と導電層111aが接する領域の端部と、半導体層113と導電層112が接する領域の端部と、の距離となる。つまり、チャンネル長Lは、断面視における絶縁層103の開口121側の側面の長さに相当する。

[0199]

プレーナ型のトランジスタでは、例えば、チャンネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁層103の膜厚でチャンネル長を設定することができる。よって、トランジスタのチャンネル長を、フォトリソグラフィの露光限界以下の非常に微細な構造（例えば、1nm以上60nm以下、5nm以上50nm以下、5nm以上40nm以下、5nm以上30nm以下、5nm以上20nm以下、又は5nm以上10nm以下）にすることができる。これにより、トランジスタのオン電流が大きくなり、周波数特性の向上を図ることができる。よって、動作速度が速い記憶装置を提供することができる。例えば、記憶装置の読み出し速度及び書き込み速度を向上させることができる。

[0200]

ここで、詳細は後述するが、半導体層に金属酸化物を用いたトランジスタは、短チャンネル効果に対する耐性が、半導体層にシリコンを用いたトランジスタより高い。また、上述のように、例えば、図7A及び図7Bに示す構成のトランジスタは、プレーナ型のトランジスタよりチャンネル長を短くすることができる。以上より、トランジスタを、例えば、図7A及び図7Bに示す構成とする場合、半導体層113には、金属酸化物を用いることが好ましい。なお、半導体層113として、シリコン等、金属酸化物以外の材料を用いてもよい。

[0201]

さらに、上記のように、開口121に、チャンネル形成領域、ソース領域、及びドレイン領域を形成することができる。これにより、チャンネル形成領域、ソース領域、及びドレイン領域が、XY平面上に別々に設けられていた、プレーナ型のトランジスタと比較して、トランジスタの占有面積を低減することができる。これにより、記憶装置を高集積化することができるため、単位面積当たりの記憶容量を大きくすることができる。

[0202]

また、図7Bに示すように、半導体層113のチャンネル形成領域を含むXY平面において、半導体層113、絶縁層105、及び導電層115は、同心円状に設けられる。よって、中心に設けられた導電層115の側面は、絶縁層105を介して、半導体層113の側面と対向する。つまり、平面視において、半導体層113の内周全体がチャンネル形成領域になる。このとき、例えば、半導体層113の外周の長さによって、トランジスタのチャンネル幅が決まる。つまり、トランジスタのチャンネル幅は、開口121の最大幅（平面視において、開口121が円形である場合は、直径）の大きさによって決定される、ということができる。図7A及び図7Bは、開口121の最大幅Dを二点鎖線の両矢印で示している。図7Bは、トランジスタのチャンネル幅Wを一点鎖線の両矢印で示している。開口121の最大幅Dの大きさを大きくすることで、チャンネル幅を大きくし、オン電流を大きくすることができる。

[0203]

開口121の最大幅Dは、例えば、5nm以上100nm以下、10nm以上60nm以下、20nm以上50nm以下、20nm以上40nm以下、又は20nm以上30nm以下が好ましい。これにより、プレーナ型のトランジスタを用いる場合よりも、微細な記憶装置を実現することができる。また、集積度の高い記憶装置を実現することができる。なお、上述のように、平面視において開口121が円形である場合、開口121の最大幅Dは開口121の直径に相当し、チャンネル幅Wは“ $D \times \pi$ ”と算出することができる。

[0204]

また、本発明の一態様の記憶装置においては、トランジスタのチャンネル長Lは、少なくとも、トランジスタのチャンネル幅Wよりも小さいことが好ましい。本発明の一態様に係るトランジスタのチャンネル長Lは、トランジスタのチャンネル幅Wに対し、0.1倍以上0.99倍以下、好ましくは0.5倍以上0.8倍以下である。このような構成にすることで、良好な電気特性、及び、高い信頼性を有するトランジスタを実現することができる。

[0205]

なお、半導体層113、絶縁層105、及び導電層115を同心円状に設けることにより、導電層115と、半導体層113と、の距離が概略均一になる。よって、半導体層113に対して、導電層115からゲート電界を概略均一に印加することができる。

[0206]

開口121の側壁は、例えば、導電層111aの上面对して、垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。なお、開口121の側壁が、テーパ形状になっていてもよい。

[0207]

<記憶装置の構成例2>

図8A乃至図8Cに、図5A乃至図5Cに示すものとは異なる本発明の一態様の記憶装置の構成

例を示す。図 8 A は、記憶装置の一部の構成例を示す平面図である。図 8 B は、図 8 A に示す一点鎖線 A 1 - A 2 の断面図であり、図 8 C は、図 8 A に示す一点鎖線 A 3 - A 4 の断面図である。なお、図 8 A に示す一点鎖線 A 5 - A 6 の断面図については、図 6 を参照することができる。

[0208]

図 8 A 乃至図 8 C に示す記憶装置は、容量 5 1 の構成が、図 5 A 乃至図 5 C に示す記憶装置とは異なる。

[0209]

具体的には、図 8 A 乃至図 8 C に示す記憶装置では、容量 5 1 の開口 1 2 1 b に面しない側の端部が、図 5 A 乃至図 5 C に示す記憶装置よりも外側に位置している。

[0210]

図 8 A 乃至図 8 C に示す記憶装置が有する容量 5 1 は、導電層 1 4 1 の開口 1 2 1 b に面しない側の端部が、導電層 1 1 5 a の端部よりも外側に延伸し、導電層 1 4 1 は、導電層 1 1 5 a だけでなく、導電層 1 1 2 a、及び、絶縁層 1 0 3 a と重なる領域を有する。したがって、導電層 1 4 1 は、絶縁層 1 0 7 a 及び絶縁層 1 3 5 を介して、導電層 1 1 5 a の上面、導電層 1 1 5 a の側面、導電層 1 1 2 a の上面、導電層 1 1 2 a の側面、及び、絶縁層 1 0 3 a の上面と重なる領域を有する。

[0211]

この場合、図 5 A 乃至図 5 C に示す容量 5 1 の構成に加えて、導電層 1 4 1 と、導電層 1 1 5 a の側面と、に挟まれた領域も、容量 5 1 の一部として機能し得る。また、導電層 1 4 1 と、導電層 1 1 5 a の外側に位置する導電層 1 1 2 a の上面と、に挟まれた領域も、容量 5 1 の一部として機能し得る。また、導電層 1 4 1 と、導電層 1 1 2 a の側面と、に挟まれた領域も、容量 5 1 の一部として機能し得る。

[0212]

したがって、図 8 A 乃至図 8 C に示す容量 5 1 は、図 5 A 乃至図 5 C に示す容量 5 1 よりも、容量値を大きくすることができる。そのため、図 8 A 乃至図 8 C に示す記憶装置を用いる場合、図 5 A 乃至図 5 C に示す記憶装置を用いる場合よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。

[0213]

また、図 8 A 乃至図 8 C に示す容量 5 1 は、図 5 A 乃至図 5 C に示す容量 5 1 よりも平面視における面積が大きく、図 5 A 乃至図 5 C に示す容量 5 1 よりも、導電層 1 4 1 の加工精度を求められない。したがって、記憶装置の歩留まりを高くすることができる。

[0214]

図 8 A 乃至図 8 C に示す記憶装置において、上述した相違点以外については、図 5 A 乃至図 5 C に示す記憶装置で説明した内容を参照することができる。

[0215]

<記憶装置の構成例 3>

図 9 A 乃至図 9 C に、先に説明した構成とは異なる本発明の一態様の記憶装置の構成例を示す。図 9 A は、記憶装置の一部の構成例を示す平面図である。図 9 B は、図 9 A に示す一点鎖線 A 1 - A 2 の断面図であり、図 9 C は、図 9 A に示す一点鎖線 A 3 - A 4 の断面図である。なお、図 9 A に示す一点鎖線 A 5 - A 6 の断面図については、図 6 を参照することができる。

[0216]

図9A乃至図9Cに示す記憶装置は、容量51の構成が、先に説明した記憶装置とは異なる。

[0217]

具体的には、図5A乃至図5Cに示す記憶装置では、導電層141が、導電層115aの一方の側端部側(A1側)の上面のみに形成されているが、図9A乃至図9Cに示す記憶装置では、導電層141が、導電層115aの他方の側端部側(A2側)の上面にも形成されている。

[0218]

図9A乃至図9Cに示す記憶装置では、平面視において、2つの導電層141が、一点鎖線A3-A4を軸として線対称に配置されている。したがって、図9A乃至図9Cに示す記憶装置は、図5A乃至図5Cに示す記憶装置が有する容量51を2つ分有しているといえる。

[0219]

当該構成により、図9A乃至図9Cに示す容量51は、図5A乃至図5Cに示す容量51の2倍の容量値を有することができる。そのため、図9A乃至図9Cに示す記憶装置は、図5A乃至図5Cに示す記憶装置よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。

[0220]

図9A乃至図9Cに示す記憶装置において、上述した相違点以外については、図5A乃至図5Cに示す記憶装置で説明した内容を参照することができる。

[0221]

<記憶装置の構成例4>

図10A乃至図10Cに、先に説明した構成とは異なる本発明の一態様の記憶装置の構成例を示す。図10Aは、記憶装置の一部の構成例を示す平面図である。図10Bは、図10Aに示す一点鎖線A1-A2の断面図であり、図10Cは、図10Aに示す一点鎖線A3-A4の断面図である。なお、図10Aに示す一点鎖線A5-A6の断面図については、図6を参照することができる。

[0222]

図10A乃至図10Cに示す記憶装置は、容量51の構成が、先に説明した記憶装置とは異なる。

[0223]

具体的には、先に説明した記憶装置では、導電層141が、平面視にて、導電層115aの一部と重なる構成を有しているが、図10A乃至図10Cに示す記憶装置では、導電層141が、平面視にて、開口121bを取り囲むように導電層115aの上面全面と重なる構成を有している。

[0224]

図10A乃至図10Cに示す記憶装置では、導電層141が、平面視にて、開口121bと重なる領域に開口127を有する。開口127は、開口121bを包含するように設けられている。すなわち、図10A乃至図10Cに示す記憶装置では、導電層141が、平面視にて、開口127と重畳する領域を除く導電層115aの上面全面と重なる領域を有する。

[0225]

なお、図10Aでは、開口127の形状が、平面視において円形である例を示しているが、これに限定されない。例えば、開口127の上面形状は、楕円形、四角形等の多角形、又は角の丸い多角形としてもよい。また、図10Aでは、開口127の上面形状と、開口121a及び開口121bの上面形状と、がいずれも同じ円形である例を示しているが、この限りではない。開口127の上面形状と、開口121a及び開口121bの上面形状と、はそれぞれ異なってもよい。

[0226]

当該構成により、図10A乃至図10Cに示す容量51は、先に示した記憶装置が有する容量51よりも大きな容量値を有することができる。そのため、図10A乃至図10Cに示す記憶装置は、先に示した記憶装置よりも、データの保持時間が長く、消費電力の低い記憶装置を実現することができる。

[0227]

図10A乃至図10Cに示す記憶装置において、上述した相違点以外については、図5A乃至図5Cに示す記憶装置で説明した内容を参照することができる。

[0228]

以下では、本発明の一態様の記憶装置が有するトランジスタ（トランジスタ41、トランジスタ42）の構成要素について説明する。

[0229]

[トランジスタの構成要素]

半導体層113（半導体層113a、半導体層113b）として、後述する[金属酸化物]の項目に記載の金属酸化物を、単層又は積層で用いることができる。また、半導体層113として、後述する[その他の半導体材料]の項目に記載のシリコン等の材料を、単層又は積層で用いることができる。

[0230]

半導体層113に金属酸化物を用いる場合、半導体層113として、具体的には、 $I_n:M:Z_n=1:3:2$ [原子数比] 若しくはその近傍の組成、 $I_n:M:Z_n=1:3:4$ [原子数比] 若しくはその近傍の組成、 $I_n:M:Z_n=1:1:0.5$ [原子数比] 若しくはその近傍の組成、 $I_n:M:Z_n=1:1:1$ [原子数比] 若しくはその近傍の組成、 $I_n:M:Z_n=1:1:1.2$ [原子数比] 若しくはその近傍の組成、 $I_n:M:Z_n=1:1:2$ [原子数比] 若しくはその近傍の組成、又は $I_n:M:Z_n=4:2:3$ [原子数比] 若しくはその近傍の組成の金属酸化物を用いることができる。なお、近傍の組成とは、所望の原子数比の±30%の範囲を含む。また、元素Mとして、ガリウムを用いることが好ましい。

[0231]

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

[0232]

半導体層113に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型X線分光法（EDX:Energy Dispersive X-ray Spectrometry）、X線光電子分光法（XPS:X-ray Photoelectron Spectrometry）、誘導結合プラズマ質量分析法（ICP-MS:Inductively Coupled Plasma-Mass Spectrometry）、又は誘導結合高周波プラズマ発光分光法（ICP-AES:Inductively Coupled Plasma-Atomic Emission Spectrometry）を用いることができる。又は、これらの手法を複数組み合わせる分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Mの含有率が低い場合、分析によって得られた元素Mの含有率が、実際の含有率より低くなる場合がある。

[0233]

金属酸化物の形成には、原子層堆積（ALD:Atomic Layer Deposition）

法を好適に用いることができる。

[0234]

又は、金属酸化物の形成には、スパッタリング法、又は化学気相堆積 (CVD: Chemical Vapor Deposition) 法を用いてもよい。

[0235]

なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して50%程度にまで減少する場合がある。

[0236]

半導体層113に用いる金属酸化物は、結晶性を有することが好ましい。結晶性を有する酸化半導体として、CAAC-OS (C-Axis Aligned Crystalline Oxide Semiconductor)、nc-OS (nanocrystalline Oxide Semiconductor)、多結晶酸化半導体、及び単結晶酸化半導体等が挙げられる。半導体層113として、CAAC-OS又はnc-OSを用いることが好ましく、CAAC-OSを用いることが特に好ましい。

[0237]

CAAC-OSは、複数の層状の結晶領域を有し、c軸が被形成面の法線方向に配向していることが好ましい。例えば、半導体層113は、開口121 (開口121a、開口121b) の側壁、特に絶縁層103 (絶縁層103a、絶縁層103b) の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタのチャネル長方向に対して、半導体層113の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

[0238]

CAAC-OSは、結晶性の高い、緻密な構造を有しており、不純物及び欠陥 (例えば、酸素欠損等) が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度 (例えば、400°C以上600°C以下) で加熱処理することで、CAAC-OSをより結晶性の高い、緻密な構造にすることができる。このようにして、CAAC-OSの密度をより高めることで、当該CAAC-OS中の不純物又は酸素の拡散をより低減することができる。

[0239]

また、CAAC-OSは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起りにくいといえる。したがって、CAAC-OSを有する金属酸化物は、物理的性質が安定する。そのため、CAAC-OSを有する金属酸化物は熱に強く、信頼性が高い。

[0240]

また、半導体層113としてCAAC-OS等の結晶性を有する酸化物を用いることで、ソース電極又はドレイン電極による、半導体層113からの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、半導体層113から酸素が引き抜かれることを抑制することができるため、トランジスタは、製造工程における高い温度 (いわゆるサーマルバジェット) に対して安定である。

[0241]

半導体層113の結晶性は、例えば、X線回折 (XRD: XRay Diffraction)、透過型電子顕微鏡 (TEM: Transmission Electron Microscop

e)、又は電子線回折 (ED: Electron Diffraction) により解析することができる。又は、これらの手法を複数組み合わせる分析を行ってもよい。

[0242]

半導体層 113 の膜厚は、例えば、1 nm 以上 20 nm 以下、3 nm 以上 15 nm 以下、5 nm 以上 12 nm 以下、又は 5 nm 以上 10 nm 以下であることが好ましい。これにより、微細な径の開口 121 に対しても、被覆性良く開口 121 の側壁に対して半導体層 113 を形成することができ、トランジスタの作製歩留まりを高めることができる。

[0243]

なお、図 5 B、図 5 C、及び図 7 A 等では、半導体層 113 を単層で示したが、本発明はこれに限られるものではない。半導体層 113 は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

[0244]

ゲート絶縁層として機能する絶縁層 105 (絶縁層 105 a、絶縁層 105 b) としては、後述する [絶縁体] の項目に記載の絶縁体を、単層又は積層で用いることができる。例えば、絶縁層 105 として、酸化シリコン又は酸化窒化シリコンを用いることができる。酸化シリコン及び酸化窒化シリコンは熱に対し安定であるため、好ましい。

[0245]

また、絶縁層 105 として、後述する [絶縁体] の項目に記載の比誘電率が高い材料、いわゆる high-k 材料を用いてもよい。例えば、酸化ハフニウム又は酸化アルミニウム等を用いてもよい。

[0246]

絶縁層 105 の膜厚は、例えば、0.5 nm 以上 15 nm 以下とすることが好ましく、0.5 nm 以上 12 nm 以下とすることがより好ましく、0.5 nm 以上 10 nm 以下とすることがさらに好ましい。絶縁層 105 は、少なくとも一部において、上記のような膜厚の領域を有することが好ましい。これにより、微細な径の開口 121 に対しても、被覆性良く開口 121 の側壁に対して絶縁層 105 を形成することができ、トランジスタの作製歩留まりを高めることができる。

[0247]

絶縁層 105 中の水及び水素等の不純物濃度は、低減されていることが好ましい。これにより、半導体層 113 のチャンネル形成領域への、水及び水素等の不純物の混入を抑制することができる。

[0248]

なお、図 5 B、図 5 C、及び図 7 A 等では、絶縁層 105 を単層で示したが、本発明はこれに限られるものではない。絶縁層 105 は、積層構造であってもよい。

[0249]

ゲート電極として機能する導電層 115 (導電層 115 a、導電層 115 b) としては、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層 115 として、タングステン、アルミニウム、又は銅等の導電性が高い導電性材料を用いることができる。

[0250]

また、導電層 115 として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。当該導電性材料として、窒素を含む導電性材料 (例えば、窒化チタン又は窒化タンタル等)、及び、酸素を含む導電性材料 (例えば、酸化ルテニウム等) 等が挙げられる。これにより、導電層 115 の導電率が低下することを抑制することができる。また、導電

層 1 1 5 として、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

[0 2 5 1]

なお、図 5 B、図 5 C、及び図 7 A 等では、導電層 1 1 5 を単層で示したが、本発明はこれに限られるものではない。導電層 1 1 5 は、積層構造であってもよい。

[0 2 5 2]

導電層 1 1 1 a としては、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。導電層 1 1 1 a として、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。また、例えば、窒化チタンの上に窒化タンタルを積層した構造にしてもよい。この場合、窒化チタンが絶縁層 1 0 1 及び絶縁層 1 0 3 a に接し、窒化タンタルが半導体層 1 1 3 a に接する。このような構造にすることで、半導体層 1 1 3 a によって導電層 1 1 1 a が過剰に酸化されることを抑制することができる。また、絶縁層 1 0 1 及び絶縁層 1 0 3 a に酸化物絶縁体を用いる場合、当該絶縁層によって、導電層 1 1 1 a が過剰に酸化されることを抑制することができる。又は、導電層 1 1 1 a として、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。

[0 2 5 3]

また、導電層 1 1 1 a は、半導体層 1 1 3 a と接する領域を有するため、後述する [導電体] の項目に記載の酸素を含む導電性材料を用いることが好ましい。導電層 1 1 1 a として酸素を含む導電性材料を用いることで、導電層 1 1 1 a が酸素を吸収しても導電性を維持することができる。導電層 1 1 1 a として、例えば、インジウムスズ酸化物 (ITO ともいう。)、シリコンを添加したインジウムスズ酸化物 (ITSO ともいう。)、又はインジウム亜鉛酸化物 (IZO (登録商標) ともいう。) 等を単層又は積層で用いることができる。

[0 2 5 4]

また、図 5 B、図 5 C、及び図 7 A 等では、導電層 1 1 1 a の上面が平坦である構成を示しているが、本発明はこれに限られるものではない。例えば、導電層 1 1 1 a の上面に、開口 1 2 1 a と重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、半導体層 1 1 3 a、絶縁層 1 0 5 a、及び導電層 1 1 5 a の少なくとも一部が形成される構成にすることで、半導体層 1 1 3 a の導電層 1 1 1 a 近傍まで、導電層 1 1 5 a のゲート電界を印加しやすくすることができる。

[0 2 5 5]

同様に、導電層 1 1 5 a の上面についても、必ずしも平坦である必要はなく、例えば、導電層 1 1 5 a の上面に、開口 1 2 1 b と重なる凹部が形成される構成にしてもよい。当該凹部を埋め込むように、半導体層 1 1 3 b、絶縁層 1 0 5 b、及び導電層 1 1 5 b の少なくとも一部が形成される構成にすることで、半導体層 1 1 3 b の導電層 1 1 5 a 近傍まで、導電層 1 1 5 b のゲート電界を印加しやすくすることができる。

[0 2 5 6]

導電層 1 1 2 (導電層 1 1 2 a、導電層 1 1 2 b) としては、後述する [導電体] の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層 1 1 2 として、タングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。

[0 2 5 7]

導電層 1 1 2 も、導電層 1 1 1 a 及び導電層 1 1 5 と同様に、酸化しにくい導電性材料、又は、酸

素の拡散を抑制する機能を有する導電性材料等を用いることが好ましい。例えば、窒化チタン又は窒化タンタル等を用いることができる。このような構成にすることで、半導体層 1 1 3 によって導電層 1 1 2 が過剰に酸化されることを抑制することができる。また、導電層 1 1 2 も、導電層 1 1 5 と同様に、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

[0258]

また、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。このようにタングステンを積層して設けることで、導電層 1 1 2 の導電性を向上させることができる。

[0259]

また、導電層 1 1 2 を、第 1 の導電層と、第 2 の導電層と、を積層する構成とする場合、例えば、第 1 の導電層を、導電性が高い導電性材料を用いて形成し、第 2 の導電層を、酸素を含む導電性材料を用いて形成してもよい。絶縁層 1 0 5 と接する領域の面積が第 1 の導電層より大きい第 2 の導電層として酸素を含む導電性材料を用いることで、絶縁層 1 0 5 中の酸素が導電層 1 1 2 の第 1 の導電層に拡散することを抑制することができる。例えば、導電層 1 1 2 の第 1 の導電層としてタングステンを、導電層 1 1 2 の第 2 の導電層としてシリコンを添加したインジウムスズ酸化物を用いるとよい。

[0260]

半導体層 1 1 3 a と導電層 1 1 1 a (又は、半導体層 1 1 3 b と導電層 1 1 5 a) とが接することで、半導体層 1 1 3 (半導体層 1 1 3 a、半導体層 1 1 3 b) に金属化合物又は酸素欠損が形成され、半導体層 1 1 3 の領域 1 1 3 n a が低抵抗化する。導電層 1 1 1 a と接する半導体層 1 1 3 a (又は、導電層 1 1 5 a と接する半導体層 1 1 3 b) が低抵抗化することで、半導体層 1 1 3 a と、導電層 1 1 1 a と、の接触抵抗 (又は、半導体層 1 1 3 b と、導電層 1 1 5 a と、の接触抵抗) を低減することができる。同様に、半導体層 1 1 3 と導電層 1 1 2 とが接することで、半導体層 1 1 3 の領域 1 1 3 n b が低抵抗化する。したがって、半導体層 1 1 3 と、導電層 1 1 2 と、の接触抵抗を低減することができる。

[0261]

層間絶縁層として機能する絶縁層 1 0 1 及び絶縁層 1 0 3 (絶縁層 1 0 3 a、絶縁層 1 0 3 b) は、比誘電率が低いことが好ましい。比誘電率が低い材料を層間絶縁層とすることで、配線間に生じる寄生容量を低減することができる。絶縁層 1 0 1 及び絶縁層 1 0 3 としては、後述する [絶縁体] の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン及び酸化窒化シリコンは、熱的に安定であるため好ましい。

[0262]

また、絶縁層 1 0 1 中及び絶縁層 1 0 3 中の水、及び水素等の不純物濃度は低減されていることが好ましい。これにより、半導体層 1 1 3 のチャンネル形成領域への、水及び水素等の不純物の混入を抑制することができる。

[0263]

また、半導体層 1 1 3 のチャンネル形成領域近傍に配置される絶縁層 1 0 3 は、加熱により脱離する酸素 (以下、過剰酸素という場合がある。) を含むことが好ましい。過剰酸素を含む絶縁層 1 0 3 に熱処理を行うことで、絶縁層 1 0 3 から半導体層 1 1 3 のチャンネル形成領域に酸素を供給し、半導体層 1 1 3 の酸素欠損、及び、酸素欠損に水素が入った欠陥 (以下、 V_{OH} という場合がある。) の低減

を図ることができる。これにより、トランジスタの電気特性を安定にし、信頼性の向上を図ることができる。

[0264]

また、絶縁層103として、後述する[絶縁体]の項目に記載の、水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、半導体層113の水素を捕獲又は固着し、半導体層113の水素濃度を低減することができる。絶縁層103としては、酸化マグネシウム又は酸化アルミニウム等を用いることができる。

[0265]

なお、図5B、図5C、及び図7A等では、絶縁層103を単層で示したが、本発明はこれに限られるものではない。絶縁層103は、積層構造であってもよい。

[0266]

絶縁層107（絶縁層107a、絶縁層107b）には、後述する[絶縁体]の項目に記載の、水素に対するバリア性を有する絶縁体を用いることが好ましい。これにより、トランジスタの外から絶縁層105を介して、半導体層113に水素が拡散することを抑制することができる。窒化シリコン膜及び窒化酸化シリコン膜は、それぞれ、自身からの不純物（例えば、水及び水素）の放出が少なく、酸素及び水素が透過しにくい特徴を有するため、絶縁層107に好適に用いることができる。

[0267]

また、絶縁層107として、後述する[絶縁体]の項目に記載の、水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いることが好ましい。このような構成にすることで、絶縁層107の上方から半導体層113に水素が拡散することを抑制し、さらに半導体層113の水素を捕獲又は固着し、半導体層113の水素濃度を低減することができる。絶縁層107としては、酸化マグネシウム、酸化アルミニウム、又は酸化ハフニウム等を用いることができる。また、例えば、絶縁層107として、酸化アルミニウムと、当該酸化アルミニウム上の窒化シリコンの積層膜を用いてもよい。

[0268]

なお、図5B、図5C、及び図7A等では、トランジスタの上面に絶縁層107を形成する構成を例示したが、これに限定されない。例えば、トランジスタの側面及び下面に絶縁層107、又は、絶縁層107と同様の機能又は材料を有する絶縁層を形成し、トランジスタを絶縁層107にて取り囲む構成としてもよい。又は、トランジスタ41及びトランジスタ42の上面、側面、及び下面に絶縁層107を形成し、トランジスタ41及びトランジスタ42を絶縁層107にて取り囲む構成としてもよい。当該構成とすることで、トランジスタ41及びトランジスタ42の内部に不純物（例えば、水及び水素等）が入り込むことを抑制することができる。

[0269]

以下では、本発明の一態様の記憶装置が有する容量（容量51）の構成要素について説明する。

[0270]

[容量の構成要素]

導電層115a及び導電層141としては、後述する[導電体]の項目に記載の導電体を、単層又は積層で用いることができる。例えば、導電層115a及び導電層141として、タングステン、アルミニウム、又は銅等の、導電性が高い導電性材料を用いることができる。このように導電性が高い導電性材料を用いることで、導電層115a及び導電層141の導電性を向上させることができる。

[0271]

また、導電層115a及び導電層141は、酸化しにくい導電性材料、又は、酸素の拡散を抑制する機能を有する導電性材料等を、単層又は積層で用いることが好ましい。例えば、窒化チタン、又は、シリコンを添加したインジウムスズ酸化物等を用いてもよい。又は、例えば、タングステンの上に窒化チタンを積層した構造にしてもよい。又は、例えば、第1の窒化チタンの上にタングステンを積層し、当該タングステンの上に第2の窒化チタンを積層した構造にしてもよい。このような構造にすることで、絶縁層135に酸化物絶縁体を用いる場合、絶縁層135によって導電層115aが酸化されることを抑制することができる。また、絶縁層103bに酸化物絶縁体を用いる場合、絶縁層103bによって導電層141が酸化されることを抑制することができる。また、導電層115a及び導電層141として、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

[0272]

絶縁層107aには、前述した水素に対するバリア性を有する絶縁体を用いることが好ましい。また、前述した水素を捕獲する、又は、水素を固着する機能を有する絶縁体を用いることが好ましい。

[0273]

絶縁層135として、後述する[絶縁体]の項目に記載の比誘電率が高い材料、いわゆるhigh-k材料を用いることが好ましい。絶縁層135としてhigh-k材料を用いることで、リーク電流を抑制することができる程度に絶縁層135を厚くし、かつ容量51の静電容量を十分確保することができる。

[0274]

また、絶縁層135は、high-k材料からなる絶縁体を積層して用いることが好ましく、比誘電率が高い(high-k)材料と、当該high-k材料より絶縁耐力が大きい材料との積層構造を用いることが好ましい。例えば、絶縁層135として、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウムの順番で積層された絶縁膜を用いることができる。また、例えば、酸化ジルコニウム、酸化アルミニウム、酸化ジルコニウム、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。また、例えば、ハフニウムジルコニウム酸化物、酸化アルミニウム、ハフニウムジルコニウム酸化物、酸化アルミニウムの順番で積層された絶縁膜を用いることができる。酸化アルミニウムのような、比較的絶縁耐力が大きい絶縁体を積層して用いることで、絶縁耐力が向上し、容量51の静電破壊を抑制することができる。

[0275]

また、絶縁層135として、強誘電性を有し得る材料を用いてもよい。強誘電性を有し得る材料としては、酸化ハフニウム、酸化ジルコニウム、及び HfZrO_x (Xは0よりも大きい実数とする。)等の金属酸化物が挙げられる。また、強誘電性を有し得る材料としては、酸化ハフニウムに元素J1 (ここでの元素J1は、ジルコニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数)を添加した材料が挙げられる。ここで、ハフニウム原子の原子数と元素J1の原子数の比は適宜設定することができ、例えば、ハフニウム原子の原子数と元素J1の原子数の比を1:1又はその近傍とする。また、強誘電性を有し得る材料としては、酸化ジルコニウムに元素J2 (ここでの元素J2は、ハフニウム、シリコン、アルミニウム、ガドリニウム、イットリウム、ランタン、及びストロンチウム等から選ばれた一つ又は複数)を添加した材料、等が挙げられる。また、ジルコニウム原子の原子数と元素J2の原子数の比は適宜設定することができ、例えば、ジルコニウム原子の原子数と元素J2の原子数の比を1:1又はその近傍と

する。また、強誘電性を有し得る材料として、チタン酸鉛 (PbTiO_x)、チタン酸バリウムストロンチウム (BST)、チタン酸ストロンチウム、チタン酸ジルコン酸鉛 (PZT)、タンタル酸ビスマス酸ストロンチウム (SBT)、ビスマスフェライト (BFO)、又はチタン酸バリウム等の、ペロブスカイト構造を有する圧電性セラミックスを用いてもよい。

[0276]

また、強誘電性を有し得る材料としては、元素M1と、元素M2と、窒素と、を有する金属窒化物が挙げられる。ここで、元素M1は、アルミニウム、ガリウム、及びインジウム等から選ばれた一つ又は複数である。また、元素M2は、ホウ素、スカンジウム、イットリウム、ランタン、セリウム、ネオジム、ユーロピウム、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、及びクロム等から選ばれた一つ又は複数である。なお、元素M1の原子数と元素M2の原子数の比は適宜設定することができる。また、元素M1と、窒素と、を有する金属酸化物は、元素M2を含まなくても、強誘電性を有する場合がある。また、強誘電性を有し得る材料としては、上記金属窒化物に元素M3が添加された材料が挙げられる。なお、元素M3は、マグネシウム、カルシウム、ストロンチウム、亜鉛、及びカドミウム等から選ばれた一つ又は複数である。ここで、元素M1の原子数、元素M2の原子数、及び元素M3の原子数の比は適宜設定することができる。

[0277]

また、強誘電性を有し得る材料としては、 SrTaO_2N 及び BaTaO_2N 等のペロブスカイト型酸窒化物、並びに、 κ アルミナ型構造の GaFeO_3 等が挙げられる。

[0278]

なお、上記の説明においては、金属酸化物及び金属窒化物について例示したが、これに限定されない。例えば、上述の金属酸化物に窒素が添加された金属酸窒化物、又は、上述の金属窒化物に酸素が添加された金属窒酸化物等を用いてもよい。

[0279]

また、強誘電性を有し得る材料としては、例えば、上記に列挙した材料から選ばれた複数の材料からなる混合物又は化合物を用いることができる。又は、絶縁層135を、上記に列挙した材料から選ばれた複数の材料からなる積層構造とすることができる。ところで、例えば、上記に列挙した材料は、成膜条件だけでなく、各種プロセスによっても結晶構造(特性)が変わり得る可能性がある。よって、本明細書等では強誘電性を発現する材料のみを強誘電体と呼ぶだけでなく、強誘電性を有し得る材料又は強誘電性を有せしめる材料とも呼んでいる。

[0280]

ハフニウム及びジルコニウムの一方又は両方を含む金属酸化物は、数nmといった薄膜に加工しても強誘電性を有し得ることができるため、好ましい。ここで、絶縁層135の膜厚は、例えば、100nm以下、好ましくは50nm以下、より好ましくは20nm以下、さらに好ましくは10nm以下(代表的には、2nm以上9nm以下)にすることができる。例えば、膜厚を、8nm以上12nm以下にすることが好ましい。薄膜化できる強誘電体層とすることで、容量51を、微細化されたトランジスタ等の半導体素子に組み合わせて記憶装置を形成することができる。なお、本明細書等において、強誘電性を有し得る材料を層状にしたものを指して、強誘電体層、金属酸化物膜、又は金属窒化物膜という場合がある。また、このような、強誘電体層、金属酸化物膜、又は金属窒化物膜を有する装置を、本明細書等において、強誘電体デバイスという場合がある。

[0281]

又はハフニウム及びジルコニウム的一方又は両方を含む金属酸化物は、微小な面積でも強誘電性を有し得ることができるため、好ましい。例えば、強誘電体層の平面視における面積（占有面積）が、 $100\mu\text{m}^2$ 以下、 $10\mu\text{m}^2$ 以下、 $1\mu\text{m}^2$ 以下、又は $0.1\mu\text{m}^2$ 以下であっても、強誘電性を有することができる。また、 10000nm^2 以下、又は 1000nm^2 以下であっても、強誘電性を有する場合がある。面積が小さい強誘電体層とすることで、容量51の占有面積を小さくすることができる。

[0282]

なお、ハフニウム及びジルコニウム的一方又は両方を有する金属酸化物において、当該金属酸化物中の酸素欠損（ V_o ）濃度が高いほど、直方晶系の結晶構造を有する結晶が生成されやすい。そこで、ハフニウム及びジルコニウム的一方又は両方を有する金属酸化物に、当該金属酸化物中の酸素欠損濃度を高める元素が添加されることが好ましい。当該元素として、元素周期表における第3族元素（IIIIa族元素ともいう。）が挙げられる。上記金属酸化物に添加する、元素周期表における第3族元素は、スカンジウム、ランタン、及びイットリウムから選ばれる一又は複数であることがより好ましく、ランタン及びイットリウム的一方又は両方であることがさらに好ましい。なお、本明細書等では、元素周期表における第3族元素を、単に第3族元素と呼ぶ場合がある。

[0283]

強誘電体は、絶縁体であって、外部から電場を与えることによって内部に分極が生じ、かつ、当該電場をゼロにしても分極が残る性質を有する。このため、当該材料を誘電体として用いた容量（以下、強誘電体キャパシタという場合がある。）を用いて、不揮発性の記憶素子を形成することができる。強誘電体キャパシタを用いた不揮発性の記憶素子は、FeRAM（Ferroelectric Random Access Memory）、又は強誘電体メモリ等ともいうことがある。例えば、強誘電体メモリは、トランジスタと、強誘電体キャパシタと、を有し、トランジスタのソース及びドレインの一方が、強誘電体キャパシタの一方の端子に電気的に接続された構成を有する。よって、容量51として強誘電体キャパシタを用いる場合、本実施の形態で示す記憶装置は、強誘電体メモリとして機能する。

[0284]

なお、強誘電性は、外部電場により強誘電体層に含まれる結晶の酸素又は窒素が変位することで、発現するとされている。また、強誘電性の発現は、強誘電体層に含まれる結晶の結晶構造に依存すると推定される。よって、絶縁層135が強誘電性を発現するには、絶縁層135は結晶を含む必要がある。特に絶縁層135は、直方晶系の結晶構造を有する結晶を含むと、強誘電性が発現するため好ましい。なお、絶縁層135に含まれる結晶の結晶構造としては、立方晶系、正方晶系、直方晶系、単斜晶系、及び六方晶系の中から選ばれるいずれか一又は複数であってもよい。また、絶縁層135は、アモルファス構造を有してもよい。このとき、絶縁層135は、アモルファス構造と、結晶構造とを有する複合構造としてもよい。

[0285]

絶縁層103bは、前述したように、比誘電率が低いことが好ましい。これにより、配線間に生じる寄生容量を低減することができる。絶縁層103bとしては、後述する[絶縁体]の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層又は積層で用いることができる。特に、酸化シリコン、及び酸化窒化シリコンは、熱的に安定であるため好ましい。

[0286]

<記憶装置の構成材料>

以下では、本発明の一態様の記憶装置に用いることができる構成材料について説明する。

[0287]

[基板]

トランジスタ41、トランジスタ42、及び容量51を形成する基板としては、例えば、絶縁体基板、半導体基板、又は導電体基板を用いることができる。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（例えば、イットリア安定化ジルコニア基板）、及び樹脂基板等がある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、又は炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板等がある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、SOI (Silicon On Insulator) 基板がある。導電体基板としては、黒鉛基板、金属基板、合金基板、及び導電性樹脂基板等がある。又は、金属の窒化物を有する基板、金属の酸化物を有する基板等がある。さらには、絶縁体基板に導電体又は半導体が設けられた基板、半導体基板に導電体又は絶縁体が設けられた基板、導電体基板に半導体又は絶縁体が設けられた基板等がある。又は、これらの基板に素子が設けられたものを用いてもよい。

[0288]

[絶縁体]

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、及び金属窒化酸化物等がある。

[0289]

例えば、トランジスタの微細化及び高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流等の問題が生じる場合がある。ゲート絶縁層として機能する絶縁体に、high-k材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁層として機能する絶縁体の等価酸化膜厚(EOT)の薄膜化が可能となる。一方、層間絶縁層として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

[0290]

比誘電率が高い(high-k)材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物等が挙げられる。

[0291]

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、及び窒化酸化シリコン等の無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミド等)、ポリイミド、ポリカーボネート、及びアクリル等の樹脂が挙げられる。また、比誘電率が低い他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素及び窒素を添加した酸化シリコン等が挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。また、酸化シリコンは、例えば、テ

トラエトキシシラン (TEOS) 等の有機シランを用いて形成してもよい。

[0292]

また、金属酸化物を用いたトランジスタは、不純物及び酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。不純物及び酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、又はタンタルを含む絶縁体を、単層で、又は積層で用いることができる。具体的には、不純物及び酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタル等の金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコン等の金属窒化物を用いることができる。

[0293]

また、ゲート絶縁層等の、半導体と接する絶縁体、又は、半導体層の近傍に設ける絶縁体は、過剰酸素を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、又は、半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、又は、空孔を有する酸化シリコン等が挙げられる。

[0294]

また、酸素に対するバリア性を有する絶縁体としては、アルミニウム及びハフニウム的一方又は両方を含む酸化物、ハフニウム及びシリコンを含む酸化物 (ハフニウムシリケート)、酸化マグネシウム、又は酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコン等が挙げられる。また、アルミニウム及びハフニウム的一方又は両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物 (ハフニウムアルミネート)、等が挙げられる。

[0295]

また、水素に対するバリア性を有する絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコン、又は窒化酸化シリコン等が挙げられる。

[0296]

酸素に対するバリア性を有する絶縁体、及び、水素に対するバリア性を有する絶縁体は、酸素及び水素の一方又は両方に対するバリア性を有する絶縁体といえる。

[0297]

また、水素を捕獲する又は固着する機能を有する絶縁体として、マグネシウムを含む酸化物、又は、アルミニウム及びハフニウム的一方又は両方を含む酸化物が挙げられる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲する又は固着する性質を有する場合がある。なお、これらの金属酸化物は、アモルファス構造であることが好ましいが、一部に結晶領域が形成されてもよい。

[0298]

なお、本明細書等において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。また、バ

リア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、又は、対応する物質の拡散を抑制する機能ともいう。）とする。なお、対応する物質を捕獲する又は固着する（ゲッターリングともいう。）機能を、バリア性と言い換えることができる。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子及びOH⁻等の水素と結合した物質等の少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャンネル形成領域又は半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N₂O、NO、NO₂等）、銅原子等の少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子及び酸素分子等のうち、少なくとも一を指す。具体的には、酸素に対するバリア性とは、酸素原子及び酸素分子等のうち、少なくとも一が拡散し難い性質を指す。

[0299]

[導電体]

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、及びランタン等から選ばれた金属元素、又は前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、又は、当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、又は、ランタンとニッケルを含む酸化物等を用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、又は、ニッケルシリサイド等のシリサイドを用いてもよい。

[0300]

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタル及びアルミニウムを含む窒化物、又はチタン及びアルミニウムを含む窒化物等の窒素を含む導電性材料、酸化ルテニウム、ストロンチウム及びルテニウムを含む酸化物、又はランタン及びニッケルを含む酸化物等の酸素を含む導電性材料、チタン、タンタル、又はルテニウム等の金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、又は、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウムスズ酸化物、酸化チタンを含むインジウムスズ酸化物、シリコンを添加したインジウムスズ酸化物、インジウム亜鉛酸化物、及び、酸化タングステンを含むインジウム亜鉛酸化物等が挙げられる。本明細書等では、酸素を含む導電性材料を、酸化物導電体ということがある。

[0301]

また、タングステン、銅、又はアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

[0302]

また、上記の材料で形成される導電体を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述し

た金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

[0303]

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から脱離した酸素がチャネル形成領域に供給されやすくなる。

[0304]

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素及び酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素及び窒素を含む導電性材料を用いてもよい。例えば、窒化チタン又は窒化タンタル等の窒素を含む導電性材料を用いてもよい。また、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、及び、シリコンを添加したインジウムスズ酸化物のうち一つ又は複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。又は、外方の絶縁体等から混入する水素を捕獲することができる場合がある。

[0305]

[金属酸化物]

金属酸化物は、格子欠陥を有する場合がある。格子欠陥として、原子空孔及び異種原子等の点欠陥、転位等の線欠陥、結晶粒界等の面欠陥、並びに、空隙等の体積欠陥が挙げられる。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、及び不純物等が挙げられる。

[0306]

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成又は捕獲等を引き起こす要因となり得る。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

[0307]

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損（ V_O ）及び不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、 V_OH を形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性（ゲート電極に電圧を印加しなくてもチャネルが存在し、トランジスタに電流が流れる特性）となりやすい。したがって、金属酸化物中のチャネル形成領域では、酸素欠損及び不純物はできる限り低減されていることが好ましい。言い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、 i 型化（真性化）、又は、実質的に i 型化されていることが好ましい。

[0308]

金属酸化物中に存在しやすい格子欠陥の種類、及び、格子欠陥の存在量は、金属酸化物の構造又は

金属酸化物の成膜方法等によって異なる。

[0309]

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、CAAC構造、多結晶（polycrystalline）構造、nc構造、擬似非晶質（a-like: amorphous-like）構造、及び非晶質構造等がある。a-like構造は、nc構造と非晶質構造との間の構造を有する。

[0310]

また、a-like構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物は、鬆又は低密度領域を有する。すなわち、a-like構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物は、nc構造を有する金属酸化物、及び、CAAC構造を有する金属酸化物と比べて、結晶性が低い。また、a-like構造を有する金属酸化物は、nc構造を有する金属酸化物、及び、CAAC構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、a-like構造を有する金属酸化物、及び、非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

[0311]

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、CAAC構造を有する金属酸化物、又は、単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

[0312]

また、トランジスタのチャンネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（nチャンネル型トランジスタの場合は、電子）の伝送を向上させる、又は、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャンネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャンネル長方向に流れやすいチャンネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

[0313]

ここで、チャンネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第1の層と、第2の層と、第3の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう。）を有する。このとき、当該結晶のc軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、及びCAAC-OS等が含まれる。

[0314]

また、上記結晶のc軸は、金属酸化物の被形成面又は膜表面に対する法線方向に配向することが好ましい。これにより、複数の層は、金属酸化物の被形成面又は膜表面に対して、平行又は概略平行に配置される。つまり、複数の層は、チャンネル長方向に広がる。

[0315]

例えば、上記のような3層の層状の結晶構造は、以下のような構造になる。第1の層は、当該第1の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第2の層は、当該第2の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を

有する。また、第3の層は、当該第3の層が有する金属が中心に存在する酸素の三方両錐形又は四面体形の、原子の配位構造を有する。

[0316]

上記結晶の結晶構造として、例えば、 $YbFe_2O_4$ 型構造、 $Yb_2Fe_3O_7$ 型構造、及び、これらの変形型構造等がある。

[0317]

さらに、第1の層乃至第3の層のそれぞれは、一の金属元素、又は、価数が同じである複数の金属元素と、酸素と、で構成されることが好ましい。なお、第1の層を構成する一又は複数の金属元素の価数と、第2の層を構成する一又は複数の金属元素の価数と、は同じであることが好ましい。また、第1の層と、第2の層と、は同じ金属元素を有してもよい。また、第1の層を構成する一又は複数の金属元素の価数と、第3の層を構成する一又は複数の金属元素の価数と、は異なることが好ましい。

[0318]

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャンネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

[0319]

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、及び亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。また、金属酸化物は、インジウムと、元素Mと、亜鉛と、の中から選ばれる二又は三を有することが好ましい。なお、元素Mは、酸素との結合エネルギーが高い金属元素又は半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素又は半金属元素である。元素Mとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、及びアンチモン等が挙げられる。金属酸化物が有する元素Mは、上記元素のいずれか一種又は複数種であることが好ましく、アルミニウム、ガリウム、スズ、及びイットリウムから選ばれた一種又は複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Mがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、及び亜鉛の中から選ばれるいずれか一又は複数種を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」ということがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

[0320]

本発明の一態様の金属酸化物として、例えば、インジウム亜鉛酸化物(In-Zn酸化物)、インジウムスズ酸化物(In-Sn酸化物)、インジウムチタン酸化物(In-Ti酸化物)、インジウムガリウム酸化物(In-Ga酸化物)、インジウムガリウムアルミニウム酸化物(In-Ga-Al酸化物)、インジウムガリウムスズ酸化物(In-Ga-Sn酸化物)、ガリウム亜鉛酸化物(Ga-Zn酸化物、GZOとも記す。)、アルミニウム亜鉛酸化物(Al-Zn酸化物、AZOとも記す。)、インジウムアルミニウム亜鉛酸化物(In-Al-Zn酸化物、IAZOとも記す。)、インジウムスズ亜鉛酸化物(In-Sn-Zn酸化物)、インジウムチタン亜鉛酸化物(In-Ti-Zn酸化物)、インジウムガリウム亜鉛酸化物(In-Ga-Zn酸化物、IGZOとも記す。)、インジウムガリウ

ムズ亜鉛酸化物（ $In-Ga-Sn-Zn$ 酸化物、IGZTOとも記す。）、インジウムガリウムアルミニウム亜鉛酸化物（ $In-Ga-Al-Zn$ 酸化物、IGAZO又はIAGZOとも記す。）等を用いることができる。又は、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（ $Ga-Sn$ 酸化物）、アルミニウムスズ酸化物（ $Al-Sn$ 酸化物）等が挙げられる。

[0321]

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

[0322]

なお、金属酸化物は、インジウムに代えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。又は、金属酸化物は、インジウムに加えて、元素周期表における周期番号が大きい金属元素の一種又は複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、元素周期表における周期番号が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。元素周期表における周期番号が大きい金属元素として、第5周期に属する金属元素、及び、第6周期に属する金属元素等が挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウム等が挙げられる。なお、ランタン、セリウム、プラセオジウム、ネオジウム、プロメチウム、サマリウム、及びユウロピウムは、軽希土類元素と呼ばれる。

[0323]

また、金属酸化物は、非金属元素の一種又は複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、及び水素等が挙げられる。

[0324]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制することができる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0325]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Mの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制することができる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

[0326]

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するInの原子数の割合を高くすることにより、トランジスタは大きいオン電流、及び、高い周波数特性を得ることができる。

[0327]

本実施の形態では、金属酸化物として、 $In-Ga-Zn$ 酸化物を例に挙げて説明する場合がある。

[0328]

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。ALD法を用いると、上記の層状の結晶構造を有する金属酸化物を形成することが容易で

ある。

[0329]

ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD (Thermal ALD) 法、及び、プラズマ励起されたリアクタントを用いるプラズマALD (PEALD: Plasma Enhanced ALD) 法等が挙げられる。

[0330]

ALD法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホール等の欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、及び、低温での成膜が可能、等の効果がある。また、PEALD法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ALD法で用いるプリカーサには、炭素又は塩素等の元素を含むものがある。このため、ALD法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素又は塩素等の元素を多く含む場合がある。なお、これらの元素の定量は、XPS又はSIMSを用いて行うことができる。

[0331]

金属酸化物の成膜方法としてALD法を用いる際、成膜時の基板温度が高い条件の採用、及び、不純物除去処理の実施の一方又は双方を適用することで、これらを適用せずにALD法を用いる場合に比べて、膜中に含まれる炭素及び塩素の量を少なくすることができる。

[0332]

例えば、金属酸化物の成膜中に、間欠的に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。また、金属酸化物の成膜後に、酸素を含む雰囲気下で、不純物除去処理を行うことが好ましい。金属酸化物の成膜中及び成膜後の一方又は双方に、不純物除去処理を行うことで、膜中の不純物を除去することができる。これにより、プリカーサ等の原料に含まれる不純物（水素、炭素、及び窒素等）が金属酸化物中に残存することを抑制することができる。したがって、金属酸化物中の不純物濃度を低減することができる。また、金属酸化物の結晶性を高めることができる。

[0333]

不純物除去処理としては、例えば、プラズマ処理、マイクロ波処理、及び加熱処理が挙げられる。

[0334]

プラズマ処理又はマイクロ波処理を行う際は、それぞれ、基板の温度を、例えば、室温（例えば、25℃）以上500℃以下、100℃以上450℃以下、200℃以上450℃以下、300℃以上450℃以下、又は400℃以上450℃以下とすることが好ましい。また、加熱処理の温度は、例えば、100℃以上500℃以下、200℃以上450℃以下、300℃以上450℃以下、又は400℃以上450℃以下とすることが好ましい。

[0335]

不純物除去処理を行う際の温度は、特に、トランジスタ又は記憶装置の作製工程における最高温度以下の温度とすることで、生産性を低下させることなく、金属酸化物中の不純物の含有量を低減することができる、好ましい。例えば、本発明の一態様の記憶装置の作製における最高温度を500℃以下、好ましくは450℃以下とすることで、記憶装置の生産性を高めることができる。

[0336]

ここで、マイクロ波処理とは、例えば、マイクロ波を用いて高密度プラズマを発生させる電源を有する装置を用いた処理のことを指す。また、本明細書等において、マイクロ波とは、300MHz以

上300GHz以下の周波数を有する電磁波を指すものとする。

[0337]

マイクロ波処理では、例えば、マイクロ波を用いた高密度プラズマを発生させる電源を有する、マイクロ波処理装置を用いることが好ましい。ここで、マイクロ波処理装置の周波数は、例えば、300MHz以上300GHz以下が好ましく、2.4GHz以上2.5GHz以下がより好ましく、例えば、2.45GHzとすることができる。高密度プラズマを用いることにより、高密度の酸素ラジカルを生成することができる。また、マイクロ波処理装置のマイクロ波を印加する電源の電力は、例えば、1000W以上10000W以下が好ましく、2000W以上5000W以下が好ましい。また、マイクロ波処理装置は、基板側にRFを印加する電源を有してもよい。基板側にRFを印加することで、高密度プラズマによって生成された酸素イオンを、効率よく膜中に導くことができる。

[0338]

マイクロ波処理は、減圧下で行うことが好ましく、圧力は、例えば、10Pa以上1000Pa以下が好ましく、300Pa以上700Pa以下がより好ましい。また、処理温度は、例えば、室温(25℃)以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下がさらに好ましい。

[0339]

また、マイクロ波処理又はプラズマ処理を行った後に、外気に曝すことなく、連続して加熱処理を行ってもよい。加熱処理の温度は、例えば、100℃以上750℃以下が好ましく、300℃以上500℃以下がより好ましく、400℃以上450℃以下がさらに好ましい。

[0340]

マイクロ波処理は、例えば、酸素ガスとアルゴンガスを用いて行うことができる。ここで、酸素流量比($O_2 / (O_2 + Ar)$)は、0%より大きく、100%以下とする。好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、0%より大きく、50%以下とする。より好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、40%以下とする。さらに好ましくは、酸素流量比($O_2 / (O_2 + Ar)$)を、10%以上、30%以下とする。

[0341]

また、加熱処理は、窒素ガス若しくは不活性ガスの雰囲気、又は、酸化性ガスを10ppm以上、1%以上、若しくは10%以上含む雰囲気で行う。例えば、窒素ガスと酸素ガスの混合雰囲気で行う場合、酸素ガスを20%程度にすることが好ましい。また、加熱処理は減圧状態で行ってもよい。又は、窒素ガス若しくは不活性ガスの雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上、1%以上、又は10%以上含む雰囲気で行ってもよい。また、加熱処理は、超乾燥空気(水の含有量が20ppm以下、好ましくは1ppm以下、好ましくは10ppb以下の空気)の雰囲気下で行ってもよい。

[0342]

このように加熱処理を行うことで、金属酸化物に含まれる水素又は炭素等の不純物を除去することができる。例えば、金属酸化物中の炭素を CO_2 及び CO として放出させ、金属酸化物中の水素を H_2O として放出させることができる。さらに、上記の不純物の除去と同時に、金属原子及び酸素原子の再配列が行われ、結晶性の向上を図ることができる。よって、結晶性の高い、層状の結晶構造の金属酸化物、特に、上記のCAAC構造の金属酸化物を形成することができる。

[0343]

A L D法は、例えば、ターゲットから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、A L D法は、優れた段差被覆性と、優れた厚さの均一性を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、A L D法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法又はC V D法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、スパッタリング法を用いて、第1の金属酸化物を成膜し、当該第1の金属酸化物上にA L D法を用いて、第2の金属酸化物を成膜する方法が挙げられる。例えば、上記第1の金属酸化物が結晶部を有する場合、上記第2の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

[0344]

A L D法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、A L D法では、原料ガスの導入量、導入回数（パルス回数ともいう。）、及び、1パルスに要する時間（パルス時間ともいう。）等を調節することによって、任意の組成の膜を成膜することができる。また、例えば、A L D法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送及び圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

[0345]

[金属酸化物を有するトランジスタ]

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。以下では、半導体層に酸化物半導体を用いたトランジスタをO Sトランジスタと記し、半導体層にシリコンを用いたトランジスタをS iトランジスタと記す場合がある。

[0346]

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。また、微細化又は高集積化されたトランジスタを実現することができる。例えば、チャネル長が2 nm以上30 nm以下のトランジスタを作製し得る。

[0347]

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{17} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{15} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{13} \text{ cm}^{-3}$ 以下、より好ましくは $1 \times 10^{11} \text{ cm}^{-3}$ 以下、さらに好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満であり、 $1 \times 10^{-9} \text{ cm}^{-3}$ 以上である。なお、酸化物半導体膜のキャリア濃度を低くする場合においては、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすることが好ましい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性、又は、実質的に高純度真性という。なお、キャリア濃度の低い酸化物半導体を、高純度真性、又は、実質的に高純度真性な酸化物半導体という場合がある。

[0348]

また、高純度真性、又は、実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

[0349]

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

[0350]

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、及び窒素等が挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が 0.1 atomic %未満の元素は不純物といえる。

[0351]

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には 1.1 eV）よりも大きいことが好ましく、好ましくは 2 eV 以上、より好ましくは 2.5 eV 以上、さらに好ましくは 3.0 eV 以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いることで、トランジスタのオフ電流（I_{off}ともいう。）を低減することができる。

[0352]

また、Si トランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Short Channel Effect：SCEともいう。）が発現する。そのため、Si トランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、OS トランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、OS トランジスタは、短チャネル効果がない、又は、短チャネル効果が極めて少ないトランジスタである。

[0353]

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（S 値と表記することがある。）の増大、及び、漏れ電流の増大等がある。ここで、S 値とは、ドレイン電圧一定にてドレイン電流を 1 桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

[0354]

また、短チャネル効果に対する耐性の指標として、特性長（Characteristic Length）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

[0355]

OS トランジスタは蓄積型のトランジスタであり、Si トランジスタは反転型のトランジスタである。したがって、Si トランジスタと比較して、OS トランジスタは、ソース領域ーチャネル形成領域間の特性長、及び、ドレイン領域ーチャネル形成領域間の特性長が小さい。したがって、OS トランジスタは、Si トランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、OS トランジスタは、Si トランジスタよりも好適である。

[0356]

チャンネル形成領域が i 型、又は、実質的に i 型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャンネルのトランジスタでは *Conduction-Band-Lowering* (CBL) 効果により、チャンネル形成領域の伝導帯下端が下がるため、ソース領域又はドレイン領域と、チャンネル形成領域と、の間の伝導帯下端のエネルギー差は、 0.1 eV 以上 0.2 eV 以下まで小さくなる可能性がある。これにより、OSトランジスタは、チャンネル形成領域が n^- 型の領域となり、ソース領域及びドレイン領域が n^+ 型の領域となる、 $n^+/n^-/n^+$ の蓄積型 *junction-less* トランジスタ構造、又は、 $n^+/n^-/n^+$ の蓄積型 *non-junction* トランジスタ構造と、捉えることもできる。

[0357]

OSトランジスタを、上記の構造とすることで、記憶装置を微細化又は高集積化しても良好な電気特性を有することができる。例えば、OSトランジスタのチャンネル長又はゲート長が、 1 nm 以上 20 nm 以下、 3 nm 以上 15 nm 以下、 5 nm 以上 10 nm 以下、 5 nm 以上 7 nm 以下、又は 5 nm 以上 6 nm 以下であっても、良好な電気特性を得ることができる。一方で、Siトランジスタは、短チャンネル効果が発現するため、 20 nm 以下、又は 15 nm 以下のゲート長とすることが困難な場合がある。したがって、OSトランジスタは、Siトランジスタと比較して、チャンネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャンネル形成領域内部を移動する方向における、ゲート電極の長さである。

[0358]

また、OSトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。OSトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば、室温環境下で、 50 GHz 以上、好ましくは 100 GHz 以上、さらに好ましくは 150 GHz 以上とすることができる。

[0359]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、オフ電流が小さいこと、チャンネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

[0360]

[金属酸化物中の不純物]

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

[0361]

酸化物半導体において、第14族元素の一つであるシリコン又は炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域における炭素の濃度は、 $1 \times 10^{20}\text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18}\text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18}\text{ atoms/cm}^3$ 以下とする。また、SIMSにより得られる酸化物半導体のチャンネル形成領域におけるシリコンの濃度は、 $1 \times 10^{20}\text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19}\text{ atoms/cm}^3$ 以下、より好ましくは $3 \times 10^{18}\text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{18}\text{ atoms/cm}^3$ 以下とする。

[0362]

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。又は、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域における窒素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

[0363]

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャンネル形成領域における水素はできる限り低減されていることが好ましい。具体的には、SIMSにより得られる酸化物半導体のチャンネル形成領域における水素濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

[0364]

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体のチャンネル形成領域中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

[0365]

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

[0366]

[その他の半導体材料]

半導体層113は、トランジスタのチャンネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体として、バンドギャップを有する半導体材料(ゼロギャップ半導体ではない半導体材料)を用いてもよい。例えば、単体元素の半導体、化合物半導体、又は層状物質(原子層物質、2次元材料等ともいう。)等を半導体材料に用いることが好ましい。

[0367]

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合又はイオン結合によって形成される層が、ファンデルワールス力のような、共有結合又はイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電

気伝導性の高い材料をチャンネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

[0368]

半導体材料に用いることができる単体元素の半導体として、シリコン、及びゲルマニウム等が挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、及び非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン(LTPS: Low Temperature Poly Silicon)が挙げられる。

[0369]

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、及びヒ化ホウ素等が挙げられる。半導体層に用いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

[0370]

層状物質として、グラフェン、シリセン、炭窒化ホウ素、及びカルコゲン化物等がある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、及びホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、及び13族カルコゲナイド等が挙げられる。

[0371]

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン(代表的には MoS_2)、セレン化モリブデン(代表的には MoSe_2)、モリブデンテルル(代表的には MoTe_2)、硫化タングステン(代表的には WS_2)、セレン化タングステン(代表的には WSe_2)、タングステンテルル(代表的には WTe_2)、硫化ハフニウム(代表的には HfS_2)、セレン化ハフニウム(代表的には HfSe_2)、硫化ジルコニウム(代表的には ZrS_2)、及びセレン化ジルコニウム(代表的には ZrSe_2)等が挙げられる。上述の遷移金属カルコゲナイドを半導体層に適用することで、オン電流が大きいトランジスタを提供することができる。

[0372]

<半導体装置710の動作例>

図12は、図11に示す半導体装置710の動作例を説明するタイミングチャートである。

[0373]

以下の動作の説明において、配線VPREに、(電位VDD-電位VSS)/2が与えられているとする。また、配線VPRE2に、(電位VDD-電位VSS)/2を超えて電位VDDを超えない電位(例えば、電位VDD)が与えられているとする。また、配線CLに、任意の固定電位(例えば、電位VSS)が与えられているとする。

[0374]

図12に示すタイミングチャートは、動作の各期間(期間T721乃至期間T725)における、配線WWL、配線RWL、配線SW4、配線SW5、配線EQ、配線EQB、及び配線CSELのそれぞれに与えられる信号の状態(電位H又は電位L)を示している。また、配線SAP及び配線SANのそれぞれに与えられる電位を示している。また、配線MN、配線RBL、配線RBLB、及び配

線WBLのそれぞれの電位の変化について、“1”のデータの読み出し及び書き込みをする場合（data 1）と、“0”のデータの読み出し及び書き込みをする場合（data 0）とを、それぞれを示している。

[0375]

期間T721乃至期間T724は、データの読み出しをする期間である。期間T725は、データの書き込みをする期間である。

[0376]

期間T721の直前において、配線WWLに、電位Lが与えられ、かつ、配線RWLに、電位Hが与えられているとする。また、配線SW4、及び配線SW5のそれぞれに、電位Hが与えられているとする。また、配線EQに、電位Hが与えられ、かつ、配線EQBに、電位Lが与えられているとする。また、配線CSELに、電位Lが与えられているとする。また、配線SAP、及び配線SANのそれぞれに、 $(\text{電位VDD} - \text{電位VSS}) / 2$ が与えられているとする。このとき、配線RBL及び配線RBLBは、それぞれ、 $(\text{電位VDD} - \text{電位VSS}) / 2$ にプリチャージされている。また、メモリセル741の配線MNに、電位VDD（データ“1”に対応する電位）又は電位VSS（データ“0”に対応する電位）が保持されているとする。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されるとする。

[0377]

期間T721において、配線EQに、電位Lが与えられ、かつ、配線EQBに、電位Hが与えられる。すると、配線RBL及び配線RBLBへのプリチャージが、停止する。よって、配線RBL及び配線RBLBが、それぞれ、フローティングになる。

[0378]

期間T722において、配線SW4に、電位Lが与えられる。すると、配線RBLが、配線VPRE2に与えられる電位にプリチャージされる。つまり、配線RBLの電位が、配線RBLBの電位よりも、高くなる。

[0379]

期間T723において、配線SW4に、電位Hが与えられる。すると、配線RBLへのプリチャージが、停止する。そして、配線RWLに、電位Lが与えられる。すると、配線RBLの電位が、配線MNの電位に応じて変化する。よって、配線MNは、配線RBLと配線RBLBとの間の電位差に変換することができる。

[0380]

具体的には、例えば、メモリセル741に記憶されていたデータが“1”である（すなわち、配線MNに電位VDDが保持されている）場合、メモリセル741が有するトランジスタM702が導通状態となり、配線RBLから配線RWLに電流が流れるため、配線RBLの電位が、配線RBLBの電位よりも、低くなる。又は、例えば、メモリセル741に記憶されていたデータが“0”である（すなわち、配線MNに電位VSSが保持されている）場合、メモリセル741が有するトランジスタM702が非導通状態となり、配線RBLから配線RWLに電流が流れないため、配線RBLの電位が、配線RBLBの電位よりも、高くなる。

[0381]

期間T724において、配線RWLに電位Hが与えられる。その後、配線SANに、電位VSSが与えられ、かつ、配線SAPに、電位VDDが与えられる。すると、アンプ回路755が動作するこ

とで、上述した期間T 7 2 3の動作によって生じた、配線R B Lと配線R B L Bとの間の電位差が、増幅される。これによって、配線R B L及び配線R B L Bのそれぞれの電位が、電位V D D又は電位V S Sのいずれかに確定する。つまり、メモリセル7 4 1に記憶されているデータの読み出しが完了する。

[0 3 8 2]

具体的には、例えば、メモリセル7 4 1に記憶されていたデータが“1”である場合、配線R B Lの電位が電位V S Sとなり、かつ、配線R B L Bの電位が電位V D Dになる。又は、例えば、メモリセル7 4 1に記憶されていたデータが“0”である場合、配線R B Lの電位が電位V D Dとなり、かつ、配線R B L Bの電位が電位V S Sになる。

[0 3 8 3]

期間T 7 2 5において、配線W W Lに、電位Hが与えられる。すると、配線W B Lの電位V D D又は電位V S Sが、配線M Nに与えられる。その後、配線W W Lに、電位Lが与えられることで、メモリセル7 4 1へのデータの書き込みが完了する。

[0 3 8 4]

なお、図1 1に示す半導体装置7 1 0において、例えば、配線W B Lと配線R B Lとがスイッチを介して電氣的に接続されている構成としてもよい。又は、例えば、配線W B Lと配線R B L Bとがスイッチを介して電氣的に接続されている構成としてもよい。このような構成とすることで、例えば、メモリセル7 4 1へのデータの書き込みの際に、当該スイッチを介して、センス回路7 5 1から配線W B Lに電位V D D又は電位V S Sを与えることができる。当該スイッチとして、例えば、層9 8 3に設けられるトランジスタ、又は層9 8 5に設けられるトランジスタを用いることができる。

[0 3 8 5]

<記憶部9 2 0に用いることができる記憶装置>

本発明の一態様の記憶装置7 2 0について説明する。記憶装置7 2 0に上述した半導体装置7 1 0の少なくとも一部を用いることができる。記憶装置7 2 0の少なくとも一部を、例えば、上述した図1 A等に示す電子計算機9 0 0に用いることができる。例えば、記憶部9 2 0に用いることができる。

[0 3 8 6]

図1 3は、記憶装置7 2 0の構成例を説明するブロック図である。

[0 3 8 7]

図1 3に示す記憶装置7 2 0は、メモリアレイ7 2 1と、駆動回路7 2 2と、を有する。

[0 3 8 8]

本発明の一態様として、記憶装置7 2 0を上述した電子計算機9 0 0が有する記憶部9 2 0に用いる場合、例えば、メモリアレイ7 2 1は、メモリアレイ部9 2 1に対応し、駆動回路7 2 2は、制御部9 2 2に対応する。

[0 3 8 9]

メモリアレイ7 2 1は、複数のセンス回路7 5 1と、複数のメモリセル7 4 1と、を有する。

[0 3 9 0]

本発明の一態様として、上述したように、センス回路7 5 1は、層9 8 5に配置され、複数のメモリセル7 4 1は、層9 8 4 [1]乃至層9 8 4 [K]に配置される。

[0 3 9 1]

複数のメモリセル741は、K層×M行×N列（K、M、及びNは、それぞれ、1以上の整数）の3次元のマトリクス状に配置されている。

[0392]

なお、図13では、代表して、1層1行1列目のメモリセル741 [1, 1, 1] と、1層1行N列目のメモリセル741 [1, 1, N] と、1層M行1列目のメモリセル741 [1, M, 1] と、K層1行1列目のメモリセル741 [K, 1, 1] と、K層1行N列目のメモリセル741 [K, 1, N] と、K層M行1列目のメモリセル741 [K, M, 1] と、K層M行N列目のメモリセル741 [K, M, N] と、を図示している。

[0393]

また、1層1行目のN個のメモリセル741に電氣的に接続されている配線WL [1, 1] と、1層M行目のN個のメモリセル741に電氣的に接続されている配線WL [1, M] と、K層1行目のN個のメモリセル741に電氣的に接続されている配線WL [K, 1] と、K層M行目のN個のメモリセル741に電氣的に接続されている配線WL [K, M] と、を図示している。

[0394]

駆動回路722は、パワースイッチ761と、パワースイッチ762と、周辺回路771と、を有する。周辺回路771は、周辺回路781と、制御回路772と、電圧生成回路773と、を有する。

[0395]

本発明の一態様として、例えば、駆動回路722は、層985に配置される。よって、例えば、駆動回路722に、Siトランジスタを用いることができる。なお、駆動回路722の少なくとも一部を、層983、及び層984 [1] 乃至層984 [K] に配置することもできる。よって、駆動回路722の少なくとも一部に、プレーナ型のOSトランジスタ、及び、縦型のOSトランジスタを用いることもできる。

[0396]

端子BW、端子CE、端子GW、端子MCK、端子WAKE、端子ADDR、端子WDA、端子PON1、及び端子PON2のそれぞれには、例えば、記憶装置720の外部から信号が与えられる。また、端子RDAからは、例えば、記憶装置720の外部に信号が出力される。

[0397]

例えば、端子MCKには、クロック信号が与えられる。また、端子BW、端子CE、及び端子GWのそれぞれには、制御信号が与えられる。端子CEには、チップイネーブル信号が与えられる。端子GWには、グローバル書き込みイネーブル信号が与えられる。端子BWには、バイト書き込みイネーブル信号が与えられる。端子ADDRには、アドレス信号が与えられる。端子WDAには、書き込みデータが与えられる。端子RDAには、読み出しデータが与えられる。端子PON1及び端子PON2には、パワーゲーティング制御用信号が与えられる。なお、端子PON1及び端子PON2に与えられる信号は、例えば、制御回路772で生成してもよい。

[0398]

制御回路772は、記憶装置720の動作を制御する機能を有する。制御回路772は、例えば、端子CE、端子GW、及び端子BWのそれぞれに与えられる信号を論理演算して、記憶装置720の動作モード（例えば、書き込み動作、又は、読み出し動作）を決定する機能を有する。また、当該動作モードが実行されるように、周辺回路781を制御する信号を生成する機能を有する。

[0399]

電圧生成回路773は、駆動回路722を動作させるための、任意の電位を生成する機能を有する。電圧生成回路773は、例えば、端子WAKEに与えられる信号に応じて、端子MCKに与えられるクロック信号が入力されることで、任意の電位を生成する機能を有する。端子WAKEには、例えば、端子MCKに与えられるクロック信号が電圧生成回路773に入力されるか否かを制御する信号が与えられる。

[0400]

周辺回路781は、メモリセル741に対して、データの書き込み及び読み出しを行う機能を有する。周辺回路781は、例えば、メモリセル741及びセンス回路751の動作を制御するための各種信号を生成する機能を有する。周辺回路781は、行デコーダ782と、列デコーダ784と、行ドライバ783と、列ドライバ785と、データドライバ786と、入力回路787と、出力回路788と、を有する。

[0401]

行デコーダ782及び列デコーダ784は、端子ADDRに与えられるアドレス信号をデコードする機能を有する。行デコーダ782は、アクセスする行を指定する機能を有する。また、アクセスする層を指定する機能を有する。列デコーダ784は、アクセスする列を指定する機能を有する。行ドライバ783は、行デコーダ782が指定する行及び層を選択し、例えば、対応するメモリセル741、及びセンス回路751などに対して、所望の信号を与える機能を有する。列ドライバ785は、列デコーダ784が指定する列を選択し、例えば、対応するセンス回路751などに対して、所望の信号を与える機能を有する。

[0402]

データドライバ786は、行ドライバと、列ドライバと、によって選択されたメモリセル741に対して、データの書き込み及び読み出しを行う機能を有する。入力回路787は、記憶装置720の外部から端子WDAに与えられるデータを保持する機能を有する。入力回路787に保持されたデータ（データDin）は、データドライバ786を介して、メモリセル741に書き込まれる。メモリセル741に記憶されているデータは、データドライバ786を介して、出力回路788に読み出される。出力回路788は、読み出されたデータ（データDout）を保持する機能を有する。また、保持されたデータを端子RDAから記憶装置720の外部に出力する機能を有する。

[0403]

パワースイッチ761は、端子VMDに与えられる電位を周辺回路771へ供給するか否かを制御する機能を有する。パワースイッチ762は、端子VMHに与えられる電位を行ドライバ783へ供給するか否かを制御する機能を有する。ここで、例えば、端子VMDには、駆動回路722を動作させるための高電源電位（例えば、電位VDD）が与えられ、端子VMSには、低電源電位（例えば、電位VSS）が与えられる。また、例えば、端子VMHには、メモリセル741及びセンス回路751などを動作させるための高電源電位（例えば、電位H）が与えられる。パワースイッチ761は、端子PON1に与えられる信号によって、導通状態又は非導通状態に制御される。パワースイッチ762は、端子PON2に与えられる信号によって、導通状態又は非導通状態に制御される。

[0404]

なお、駆動回路722において、各回路、及び各端子は、必要に応じて、適宜取捨することができる。また、他の回路、及び他の端子を、適宜追加してもよい。

[0405]

図14Aは、一つのサブセンス回路736と、複数のメモリセル741と、配線LBLと、を有するメモリユニット717の回路図である。

[0406]

メモリユニット717において、K層の層984[1]乃至層984[K]の1層あたり、P個(Pは1以上の整数)のメモリセル741が配置されている。すなわち、メモリユニット717は、 $K \times P$ 個のメモリセル741を有する。

[0407]

図14Aでは、代表して、1層目(層984[1])に配置されているメモリセル741[1, 1]及びメモリセル741[1, P]と、K層目(層984[K])に配置されているメモリセル741[K, 1]及びメモリセル741[K, P]と、を図示している。

[0408]

図14Bは、一つのセンス回路751と、一つのスイッチ回路737と、複数のメモリユニット717と、配線GBLと、配線GBLBと、配線SA_GBLと、配線SA_GBLBと、を有するメモリブロック718の回路図である。ここで、メモリブロック718は、上述した半導体装置710に相当する。

[0409]

メモリブロック718において、Q個(Qは2以上の偶数)のメモリユニット717が配置されている。すなわち、メモリブロック718は、 $K \times P \times Q$ 個のメモリセル741を有する。

[0410]

図14Bでは、代表して、配線GBLに電氣的に接続されているメモリユニット717[1]及びメモリユニット717[$Q/2$]と、配線GBLBに電氣的に接続されているメモリユニット717[$Q/2+1$]及びメモリユニット717[Q]と、を図示している。

[0411]

図15は、記憶装置720が有する各構成要素の配置の一例を説明する模式図である。

[0412]

図15に示す記憶装置720において、メモリアレイ721は、列方向(X方向)に配列されたR個(Rは1以上の整数)のメモリサブアレイ723を有し、かつ、一つのメモリサブアレイ723は、行方向(Y方向)に配列されたN個のメモリブロック718を有する。すなわち、メモリアレイ721は、 $R \times N$ 個のメモリブロック718を有する。

[0413]

なお、図15では、代表して、3個のメモリサブアレイ723を図示し、そのうちの2個(メモリサブアレイ723[1]及びメモリサブアレイ723[R])を破線で囲って示している。また、代表して、2個のメモリブロック718(メモリブロック718[1]及びメモリブロック718[N])を破線で囲って示している。

[0414]

前述のように、メモリアレイ721は、 $R \times N$ 個(R行 \times N列)のメモリブロック718を有する。また、メモリブロック718は、 $K \times P \times Q$ 個(K層 \times ($P \times Q$ 行))のメモリセル741を有する。つまり、記憶装置720は、メモリアレイ721において、K層 \times M行($P \times Q \times R$ 行) \times N列の3次元のマトリクス状に配置された、 $K \times P \times Q \times R \times N$ 個のメモリセル741を有する。また、記憶装置720は、 $R \times N$ 個のセンス回路751を有するため、複数のセンス回路751に同時にアクセ

スすることで、メモリアレイ 721 に記憶されたデータを、超並列に読み出すことができる。

[0415]

また、記憶装置 720 において、メモリアレイ 721 の周囲の層 985 に、ワード線ドライバ 724 と、列ドライバ 725 と、センスアンプドライバ 726 と、データドライバ 727 と、メモリコントローラ 728 と、が配置されている。

[0416]

ここで、例えば、ワード線ドライバ 724 及びセンスアンプドライバ 726 は、行ドライバ 783 に相当し、列ドライバ 725 は、列ドライバ 785 に相当し、データドライバ 727 は、データドライバ 786、入力回路 787、及び出力回路 788 に相当し、メモリコントローラ 728 は、制御回路 772 及び電圧生成回路 773 に相当する。

[0417]

なお、図示していないが、記憶装置 720 は、ワード線ドライバ 724 の上の層 983、及び、層 984 [1] 乃至層 984 [K] に配置される、層選択ドライバを有することができる。当該層選択ドライバは、ワード線ドライバ 724 によって生成される信号を、任意の層に与える機能を有することができる。

[0418]

本発明の一態様に係る半導体装置において、上述した説明では、OS トランジスタが、ゲート（第 1 のゲート）、ソース、及びドレインの 3 端子の半導体素子であるとしたが、バックゲート（第 2 のゲート）を有することで、4 端子の半導体素子であるとしてもよい。OS トランジスタがバックゲートを有する場合、例えば、バックゲートにゲートと同じ電位を与えることで、オン抵抗を低減（オン電流を増加）させることができる。また、例えば、バックゲートにソースと同じ電位を与えることで、トランジスタの外部で生じる電界がチャネル形成領域に作用しにくくなるため、電気特性が安定し、信頼性を高めることができる。また、例えば、バックゲートに任意の電位を与えることで、しきい値電圧を変化させることができる。また、例えば、ゲート及びバックゲートのそれぞれに与える電位に応じて、ソースとドレインの間に流れる電流を独立して制御することができる。

[0419]

また、上述した半導体装置の動作例の説明において、電位が変化する際に、例えば、配線などの負荷（寄生容量及び寄生抵抗）によって、立ち上がり時間及び立ち下がり時間が生じる場合がある。当該時間は、例えば、0 秒を超えて、1000 ナノ秒未満、100 ナノ秒未満、10 ナノ秒未満、又は 1 ナノ秒未満である。また、例えば、異なる 2 つの動作が同じタイミングであるように示している場合であっても、必ずしも厳密に同じタイミングであることを意味するものではない。例えば、配線での信号遅延などによる多少の時間差を含む場合であっても、同じタイミングであるとみなせる場合がある。当該時間差は、例えば、0 秒を超えて、1000 ナノ秒未満、100 ナノ秒未満、10 ナノ秒未満、又は 1 ナノ秒未満である。

[0420]

また、複数の配線のそれぞれに与えられる電位 H 又は電位 L は、配線ごとに同じ電位である必要はない。例えば、当該電位が与えられるトランジスタのしきい値電圧などを考慮して、配線ごとに異なる電位であってもよい。なお、各配線に与えられる電位 H 又は電位 L は、例えば、トランジスタのしきい値電圧による電位の低下を含む場合がある。

[0421]

また、タイミングチャートにおいて、各期間を同じ長さで図示している場合であっても、各期間の長さは異なってもよい。つまり、実際に半導体装置を動作させる場合に、各期間の長さを適宜設定すればよい。

[0422]

本発明の一態様に係る電子計算機、半導体装置、及び記憶装置は、上述した説明に限定されない。本実施の形態で例示した構成例、動作例、及び、それらに対応する図面等は、少なくともその一部を、他の構成例、動作例、他の図面、及び本明細書等に記載する他の実施の形態等と適宜組み合わせることができる。

[0423]

<処理部910に用いることができる半導体装置>

本発明の一態様の半導体装置810について説明する。半導体装置810の少なくとも一部を、例えば、上述した図1A等に示す電子計算機900に用いることができる。例えば、処理部910が有するレジスタユニット914に用いることができる。

[0424]

[構成例]

図16は、半導体装置810の構成例を説明する回路図である。

[0425]

図16に示す半導体装置810は、スキャンフリップフロップ回路850と、バックアップ回路830と、を有する。

[0426]

本発明の一態様として、半導体装置810を上述した電子計算機900が有するレジスタユニット914に用いる場合、例えば、スキャンフリップフロップ回路850は、スキャンフリップフロップ915に対応し、バックアップ回路830は、バックアップメモリ916に対応する。すなわち、例えば、スキャンフリップフロップ回路850は、層985に配置され、バックアップ回路830は、層983に配置される。よって、例えば、スキャンフリップフロップ回路850に、Siトランジスタを用いることができ、バックアップ回路830に、OSトランジスタを用いることができる。

[0427]

スキャンフリップフロップ回路850は、セクタ回路851と、フリップフロップ回路852と、を有する。バックアップ回路830は、保持回路831 [1] 乃至保持回路831 [G] (Gは2以上の整数) と、トランジスタM801と、を有する。保持回路831 [1] 乃至保持回路831 [G] のそれぞれは、トランジスタM802と、トランジスタM803と、容量C801と、を有する。

[0428]

半導体装置810の動作を制御する各種信号が、配線BK [1] 乃至配線BK [G]、配線RV [1] 乃至配線RV [G]、配線SE、配線PCK、及び配線GBKに与えられる。

[0429]

半導体装置810は、配線PCKに与えられるクロック信号に同期して、配線Dから入力されるデータ又は配線SDから入力されるデータを、スキャンフリップフロップ回路850内のフリップフロップ回路852に格納して保持し、配線Qに出力することができる。フリップフロップ回路852に保持されたデータは、配線BK [1] 乃至配線BK [G] に与えられる信号によって、配線Qを介して、バックアップ回路830内の保持回路831 [1] 乃至保持回路831 [G] のいずれか一に

書き込まれた後、保持される。このような動作を、例えば、セーブ、退避、ストア、又はバックアップなどという場合がある。保持回路831 [1] 乃至保持回路831 [G] のいずれかに保持されたデータは、配線RV [1] 乃至配線RV [G] に与えられる信号によって、配線SDを介して、フリップフロップ回路852に書き戻された後、保持される。このような動作を、例えば、ロード、復帰、リストア、又はリカバリなどという場合がある。

[0430]

フリップフロップ回路852は、配線PCKに与えられるクロック信号に同期して、入力端子Dfに与えられるデータを格納して保持し、出力端子Qfから出力する機能を有する。フリップフロップ回路852には、標準的な回路ライブラリに用意されているフリップフロップ回路を用いることができる。例えば、ポジティブエッジトリガ型のDフリップフロップを用いることができる。

[0431]

セクタ回路851は、配線SEに与えられる信号によって、配線D又は配線SDに与えられるデータをフリップフロップ回路852に伝える機能を有する。配線Dには、半導体装置810の外部より入力されるデータが与えられる。配線SDには、バックアップ回路830内の保持回路831 [1] 乃至保持回路831 [G] のいずれかに保持されたデータ、又は配線SD_INより入力されるデータが与えられる。配線SD_INには、スキャンテスト用のデータが与えられる。

[0432]

バックアップ回路830は、パワーゲーティングの動作を行う際に、スキャンフリップフロップ回路850の状態を、保持回路831 [1] 乃至保持回路831 [G] のいずれかに、保持することができる。また、バックアップ回路830は、複数のタスクを切り替えながら処理を行う際に、タスクごとのスキャンフリップフロップ回路850の状態を、保持回路831 [1] 乃至保持回路831 [G] のそれぞれに、一対一で対応するように、保持することができる。

[0433]

バックアップ回路830は、データのセーブを行う際に、配線BK [1] 乃至配線BK [G] に与えられる信号によって、保持回路831 [1] 乃至保持回路831 [G] のいずれか一、が選択される。また、バックアップ回路830は、データのロードを行う際に、配線RV [1] 乃至配線RV [G] に与えられる信号によって、保持回路831 [1] 乃至保持回路831 [G] のいずれか一、が選択される。配線BK [1] 乃至配線BK [G] のそれぞれ、及び、配線RV [1] 乃至配線RV [G] のそれぞれには、保持回路831 [1] 乃至保持回路831 [G] のそれぞれに、一対一で対応するように信号が与えられる。

[0434]

なお、保持回路831 [1] 乃至保持回路831 [G] のそれぞれに共通する内容を、保持回路831と記載して説明する場合がある。その場合、配線BK [1] 乃至配線BK [G] のそれぞれを、配線BKと記載し、かつ、配線RV [1] 乃至配線RV [G] のそれぞれを、配線RVと記載して説明する場合がある。

[0435]

図16に示すように、保持回路831は、配線Q及び配線SDのそれぞれに、電氣的に接続されている。保持回路831において、配線Qに電氣的に接続されている端子（配線）を入力端子とし、かつ、配線SDに電氣的に接続されている端子（配線）を出力端子とする。つまり、半導体装置810において、フリップフロップ回路852の出力端子Qfは、保持回路831の入力端子に電氣的に接

続され、かつ、フリップフロップ回路 8 5 2 の入力端子 D f は、セレクト回路 8 5 1 を介して、保持回路 8 3 1 の出力端子に電氣的に接続されている。

[0 4 3 6]

保持回路 8 3 1 において、トランジスタ M 8 0 2 のソース又はドレインの一方は、容量 C 8 0 1 の一方の端子に電氣的に接続されている。トランジスタ M 8 0 3 のソース又はドレインの一方は、容量 C 8 0 1 の一方の端子に電氣的に接続されている。容量 C 8 0 1 の他方の端子は、配線 C M に電氣的に接続されている。トランジスタ M 8 0 2 のソース又はドレインの他方は、保持回路 8 3 1 の入力端子（すなわち配線 Q）に電氣的に接続されている。トランジスタ M 8 0 3 のソース又はドレインの他方は、保持回路 8 3 1 の出力端子（すなわち配線 S D）に電氣的に接続されている。トランジスタ M 8 0 2 のゲートは、配線 B K に電氣的に接続されている。トランジスタ M 8 0 3 のゲートは、配線 R V に電氣的に接続されている。

[0 4 3 7]

なお、保持回路 8 3 1 [1] 乃至保持回路 8 3 1 [G] のそれぞれにおいて、トランジスタ M 8 0 2 のソース又はドレインの一方と、トランジスタ M 8 0 3 のソース又はドレインの一方と、容量 C 8 0 1 の一方の端子と、が互いに電氣的に接続されている配線を、配線 S N [1] 乃至配線 S N [G] と記載して説明する場合がある。また、保持回路 8 3 1 [1] 乃至保持回路 8 3 1 [G] のそれぞれに共通する内容を説明する場合、配線 S N [1] 乃至配線 S N [G] のそれぞれを、配線 S N と記載して説明する場合がある。

[0 4 3 8]

バックアップ回路 8 3 0 において、トランジスタ M 8 0 1 のソース又はドレインの一方は、配線 S D に電氣的に接続されている。トランジスタ M 8 0 1 のソース又はドレインの他方は、配線 S D__ I N に電氣的に接続されている。

[0 4 3 9]

トランジスタ M 8 0 1 のゲートは、配線 G B K に電氣的に接続されている。配線 G B K には、スキヤンテストを行うか否かを制御する信号が与えられる。

[0 4 4 0]

本発明の一態様は、トランジスタ M 8 0 1、トランジスタ M 8 0 2、及びトランジスタ M 8 0 3 として、例えば、O S トランジスタを用いることができる。O S トランジスタは、オフ電流が極めて低いという特性を有する。また、高温環境下でもオフ電流がほとんど増加しない、かつ、オン電流が低下しにくい、という特性を有する。

[0 4 4 1]

それによって、保持回路 8 3 1 は、トランジスタ M 8 0 2 及びトランジスタ M 8 0 3 を非導通状態にすることで、配線 S N に書き込まれたデータを長期間保持することができる。例えば、パワーゲーティングの動作によって、スキヤンフリップフロップ回路 8 5 0 に電力が供給されない状態においても、データを保持し続けることができる。すなわち、保持回路 8 3 1 は、不揮発性メモリとして用いることができる。

[0 4 4 2]

ここで、半導体装置 8 1 0 において、配線 S N に保持したデータをフリップフロップ回路 8 5 2 に書き戻す際に、配線 S D の寄生容量によって、当該データの電位が変化する場合がある。そこで、当該データの電位の変化量が、例えば、フリップフロップ回路 8 5 2 などの論理しきい値よりも小さく

なるように、容量C801の静電容量を、配線SDの寄生容量よりも大きくするとよい。

[0443]

なお、半導体装置810の他の構成例として、例えば、複数の保持回路831ごとに、トランジスタM801を設ける構成としてもよい。また、例えば、トランジスタM801に、Siトランジスタを用いる構成としてもよい。

[0444]

また、半導体装置810において、面積オーバーヘッドを増大させることなく保持回路831の数を増やすため、複数の層983を積層し、それぞれの層983にバックアップ回路830を設ける構成としてもよい。

[0445]

本発明の一態様は、半導体装置810において、スキャンフリップフロップ回路850の回路構成及びレイアウトを変更することなく、バックアップ回路830を設けることができる。つまり、バックアップ回路830は、汎用性が非常に高い回路である。

[0446]

また、半導体装置810において、スキャンフリップフロップ回路850の上に積層して、バックアップ回路830が設けられる構成であるため、互いを電氣的に接続する配線の距離を短くすることができる。そのため、データのセーブ及びロードに必要なエネルギー（アクセスエネルギー）を抑制することができる。よって、半導体装置810の消費電力の低減を図ることができる。

[0447]

[動作例1]

図17は、図16に示す半導体装置810の動作例を説明するタイミングチャートである。

[0448]

本動作例1では、例えば、上述した電子計算機900において、パワーゲーティングの動作を行う場合における、半導体装置810の動作例について説明する。

[0449]

ここでは、半導体装置810の動作を説明するための一例として、バックアップ回路830が有する保持回路831の数を4つ（ $G=4$ ）として説明する。

[0450]

以下の動作の説明において、フリップフロップ回路852は、配線PCKに与えられるクロック信号が電位Lから電位Hに切り替わるタイミング（立ち上がりエッジ）に同期して、入力端子Dfに与えられるデータを格納し、当該データを出力端子Qfから出力するものとする。また、配線GBKに、電位Lが与えられているとする。また、配線CMに定電位（例えば、電位VSS）が与えられているとする。

[0451]

図17に示すタイミングチャートは、動作の各期間（期間T811乃至期間T814）における、配線PCK、配線BK[1]、配線RV[1]、及び配線SEの、それぞれに与えられる信号の状態（電位H又は電位L）を図示している。なお、配線BK[2]乃至配線BK[4]、及び、配線RV[2]乃至配線RV[4]についての図示を省略している。また、配線D、配線Q、配線SD、及び配線SN[1]のそれぞれに与えられているデータの状態（データD1乃至データD3のいずれか一）を図示している。なお、配線SN[2]乃至配線SN[4]についての図示を省略している。また、スキ

キャンフリップフロップ回路850に電力が供給されている状態(Power on)又は供給されていない状態(Power off)を図示している。

[0452]

図18A乃至図18Dは、図17に示すタイミングチャートの各期間において、スキャンフリップフロップ回路850と、バックアップ回路830が有する保持回路831[1]乃至保持回路831[4]と、にデータが格納されている様子を示す模式図である。当該模式図において、データが入出力される様子(データの流れ)を破線矢印で図示している。

[0453]

期間T811の直前において、配線BK[1]乃至配線BK[4]、配線RV[1]乃至配線RV[4]、及び配線SEのそれぞれに、電位Lが与えられているとする。また、配線SN[1]、及び配線SN[2]のそれぞれに与えられているデータの状態は、不定であるとする(データD1乃至データD3のいずれも図示していない)。また、配線PCKに、クロック信号が与えられているとする。また、スキャンフリップフロップ回路850に、電力が供給されているとする。また、スキャンフリップフロップ回路850にデータD1が格納されているとする。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されるとする。

[0454]

期間T811において、まず、配線PCKに与えられるクロック信号が停止される。

[0455]

次に、配線BK[1]に電位Hを与えることで、配線Qに出力されたデータD1が、保持回路831[1]の配線SN[1]に格納される。その後、配線BK[1]に電位Lを与えることで、配線SN[1]に格納されたデータD1が、保持される。

[0456]

期間T812において、スキャンフリップフロップ回路850への電力の供給が遮断される。すると、スキャンフリップフロップ回路850に格納されたデータD1が、消失される。このとき、保持回路831[1]の配線SN[1]に保持されたデータD1は、保持される。

[0457]

期間T813において、まず、スキャンフリップフロップ回路850への電力の供給が再開される。

[0458]

次に、配線RV[1]に電位Hを与えることで、保持回路831[1]の配線SN[1]に格納されているデータD1が、配線SDに与えられ、かつ、配線SEに電位Hを与えることで、配線SDが選択される。

[0459]

次に、配線PCKにパルス信号を与えることで、立ち上がりエッジに同期して、配線SDに与えられたデータD1が、スキャンフリップフロップ回路850に格納され、配線Qに出力される。その後、配線RV[1]及び配線SEに電位Lを与える。

[0460]

期間T814において、まず、配線PCKに与えられるクロック信号が再開される。また、配線DにデータD2が与えられるとする。すると、当該クロック信号の立ち上がりエッジに同期して、配線Dに与えられたデータD2が、スキャンフリップフロップ回路850に格納され、配線Qに出力される。

[0461]

以上、半導体装置810を、図17に示すタイミングチャートのように動作させることができる。それによって、電子計算機900において、パワーゲーティング動作を行う場合に、例えば、スキャンフリップフロップ回路850をパワーオンした際に、パワーオフする直前の状態に素早く戻すことができ、処理を再開するまでの時間を短くすることができる。

[0462]

[動作例2]

図19は、図16に示す半導体装置810の動作例を説明するタイミングチャートである。

[0463]

本動作例2では、例えば、上述した電子計算機900において、複数のタスクを切り替えながら処理を行う場合における、半導体装置810の動作例について説明する。

[0464]

ここでは、半導体装置810の動作を説明するための一例として、バックアップ回路830が有する保持回路831の数を4つ ($G=4$) として説明する。

[0465]

以下の動作の説明において、フリップフロップ回路852は、配線PCKに与えられるクロック信号が電位Lから電位Hに切り替わるタイミング（立ち上がりエッジ）に同期して、入力端子Dfに与えられるデータを格納し、当該データを出力端子Qfから出力するものとする。また、配線GBKに、電位Lが与えられているとする。また、配線CMに定電位（例えば、電位VSS）が与えられているとする。

[0466]

図19に示すタイミングチャートは、動作の各期間（期間T821乃至期間T827）における、配線PCK、配線BK [1]、配線BK [2]、配線RV [1]、配線RV [2]、及び配線SEの、それぞれに与えられる信号の状態（電位H又は電位L）を図示している。なお、配線BK [3]、配線BK [4]、配線RV [3]、及び配線RV [4] についての図示を省略している。また、配線D、配線Q、配線SD、配線SN [1]、及び配線SN [2] のそれぞれに与えられているデータの状態（データD1乃至データD7のいずれか一）を図示している。なお、配線SN [3]、及び配線SN [4] についての図示を省略している。

[0467]

図20A乃至図20Gは、図19に示すタイミングチャートの各期間において、スキャンフリップフロップ回路850と、バックアップ回路830が有する保持回路831 [1] 乃至保持回路831 [4] と、にデータが格納されている様子を示す模式図である。当該模式図において、データが入出力される様子（データの流れ）を破線矢印で図示している。

[0468]

期間T821の直前において、配線BK [1] 乃至配線BK [4]、配線RV [1] 乃至配線RV [4]、及び配線SEのそれぞれに、電位Lが与えられているとする。また、配線SN [1]、及び配線SN [2] のそれぞれに与えられているデータの状態は、不定であるとする（データD1乃至データD7のいずれも図示していない。）。なお、以下の説明において、特に明記が無い場合、直前の状態が維持されたとする。

[0469]

期間T 8 2 1において、配線PCKに与えられる信号の立ち上がりエッジに同期して、配線Dに与えられたデータD 1が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。

[0 4 7 0]

期間T 8 2 2において、配線PCKに与えられる信号の立ち上がりエッジに同期して、配線Dに与えられたデータD 2が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。

[0 4 7 1]

このとき、配線BK [1] に電位Hを与えることで、配線Qに出力されたデータD 2が、保持回路8 3 1 [1] の配線SN [1] に格納される。その後、配線BK [1] に電位Lを与えることで、配線SN [1] に格納されたデータD 2が、保持される。

[0 4 7 2]

期間T 8 2 3において、配線PCKに与えられる信号の立ち上がりエッジに同期して、配線Dに与えられたデータD 3が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。

[0 4 7 3]

このとき、配線BK [2] に電位Hを与えることで、配線Qに出力されたデータD 3が、保持回路8 3 1 [2] の配線SN [2] に格納される。その後、配線BK [2] に電位Lを与えることで、配線SN [2] に格納されたデータD 3が、保持される。

[0 4 7 4]

期間T 8 2 4において、配線PCKに与えられる信号の立ち上がりエッジに同期して、配線Dに与えられたデータD 4が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。

[0 4 7 5]

期間T 8 2 5において、まず、配線RV [1] に電位Hを与えることで、保持回路8 3 1 [1] の配線SN [1] に格納されているデータD 2が、配線SDに与えられる。なお、データD 5が、配線Dに与えられるが、配線SEに電位Hを与えることで、配線SDが選択される。

[0 4 7 6]

次に、配線PCKの立ち上がりエッジに同期して、配線SDに与えられたデータD 2が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。その後、配線RV [1] に電位Lを与える。

[0 4 7 7]

期間T 8 2 6において、まず、配線RV [2] に電位Hを与えることで、保持回路8 3 1 [2] の配線SN [2] に格納されているデータD 3が、配線SDに与えられる。なお、データD 6が、配線Dに与えられるが、配線SEに電位Hを与えることで、配線SDが選択される。

[0 4 7 8]

次に、配線PCKの立ち上がりエッジに同期して、配線SDに与えられたデータD 3が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。その後、配線RV [2] に電位Lを与え、かつ、配線SEに電位Lを与える。

[0 4 7 9]

期間T 8 2 7において、配線PCKに与えられる信号の立ち上がりエッジに同期して、配線Dに与えられたデータD 7が、スキャンフリップフロップ回路8 5 0に格納され、配線Qに出力される。

[0 4 8 0]

以上、半導体装置8 1 0を、図1 9に示すタイミングチャートのように動作させることができる。

それによって、電子計算機900において、複数のタスクを切り替えながら処理を行う場合に、例えば、中断したタスクのデータをセーブし、再開するタスクのデータをロードする構成とすることができる。

[0481]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0482]

(実施の形態2)

本実施の形態では、本発明の一態様に係る記憶装置720を備えることができる演算処理装置の一例について説明する。

[0483]

図21に、演算装置960のブロック図を示す。図21に示す演算装置960は、例えばCPUに適用することができる。また、演算装置960は、CPUよりも並列処理可能なプロセッサコアを多数(数10~数100個)有するGPU、TPU(Tensor Processing Unit)、NPU(Neural Processing Unit)などのプロセッサにも適用することができる。

[0484]

図21に示す演算装置960は、基板990上に、ALU991(ALU:Arithmetic Logic Unit、演算回路)、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、タイミングコントローラ995、レジスタ996、レジスタコントローラ997、バスインターフェイス998、キャッシュ999、及びキャッシュインターフェイス989を有している。基板990は、半導体基板、SOI基板、ガラス基板などを用いる。書き換え可能なROM及びROMインターフェイスを有してもよい。また、キャッシュ999及びキャッシュインターフェイス989は、別チップに設けてもよい。

[0485]

キャッシュ999は、別チップに設けられたメインメモリとキャッシュインターフェイス989を介して、接続される。キャッシュインターフェイス989は、メインメモリに保持されているデータの一部をキャッシュ999に供給する機能を有する。また、キャッシュインターフェイス989は、キャッシュ999に保持されているデータの一部を、バスインターフェイス998を介して、ALU991又はレジスタ996等に出力する機能を有する。

[0486]

後述するように、演算装置960上に積層して、メモリアレイ721を設けることができる。メモリアレイ721はキャッシュとして用いることができる。このとき、キャッシュインターフェイス989はメモリアレイ721に保持されているデータをキャッシュ999に供給する機能を有している。また、このとき、キャッシュインターフェイス989の一部に、駆動回路722を有することが好ましい。

[0487]

なお、キャッシュ999を設けず、メモリアレイ721のみをキャッシュとして用いることもできる。

[0488]

図21に示す演算装置960は、その構成を簡略化して示した一例に過ぎず、実際の演算装置960はその用途によって多種多様な構成を有している。例えば、図21に示す演算装置960を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作する、いわゆるマルチコアの構成とすることが好ましい。コアの数が多いほど、演算性能を高めることができる。コアの数は多いほど好ましいが、例えば2個、好ましくは4個、より好ましくは8個、さらに好ましくは12個、さらに好ましくは16個又はそれ以上とすることが好ましい。また、サーバー用途など非常に高い演算性能が求められる場合には、16個以上、好ましくは32個以上、さらに好ましくは64個以上のコアを有するマルチコアの構成とすることが好ましい。また、演算装置960が内部演算回路、データバスなどで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

[0489]

バスインターフェイス998を介して演算装置960に入力された命令は、インストラクションデコーダ993に入力され、デコードされた後、ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995に入力される。

[0490]

ALUコントローラ992、インタラプトコントローラ994、レジスタコントローラ997、タイミングコントローラ995は、デコードされた命令に基づき、各種制御を行う。具体的にALUコントローラ992は、ALU991の動作を制御するための信号を生成する。また、インタラプトコントローラ994は、演算装置960のプログラム実行中に、外部の入出力装置、周辺回路などからの割り込み要求を、その優先度、マスク状態などから判断し、処理する。レジスタコントローラ997は、レジスタ996のアドレスを生成し、演算装置960の状態に応じてレジスタ996の読み出し又は書き込みを行う。

[0491]

また、タイミングコントローラ995は、ALU991、ALUコントローラ992、インストラクションデコーダ993、インタラプトコントローラ994、及びレジスタコントローラ997の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ995は、基準クロック信号を元に、内部クロック信号を生成する内部クロック生成部を備えており、内部クロック信号を上記各種回路に供給する。

[0492]

図21に示す演算装置960において、レジスタコントローラ997は、ALU991からの指示に従い、レジスタ996における保持動作の選択を行う。すなわち、レジスタ996が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ996内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ996内のメモリセルへの電源電圧の供給を停止することができる。

[0493]

メモリアレイ721と演算装置960は、重ねて設けることができる。図22A及び図22Bに半導体装置970Aの斜視図を示す。半導体装置970Aは、演算装置960上に、メモリアレイが設

けられた層933を有する。層933には、メモリアレイ721L1、メモリアレイ721L2、及びメモリアレイ721L3が設けられている。演算装置960と各メモリアレイは、互いに重なる領域を有する。半導体装置970Aの構成を分かりやすくするため、図22Bでは演算装置960及び層933を分離して示している。

[0494]

メモリアレイを有する層933と演算装置960を重ねて設けることで、両者の接続距離を短くすることができる。よって、両者間の通信速度を高めることができる。また、接続距離が短いため消費電力を低減することができる。

[0495]

メモリアレイを有する層933と演算装置960とを積層する方法としては、演算装置960上に直接メモリアレイを有する層933を積層する方法（モノリシック積層ともいう。）を用いてもよいし、演算装置960と層933とをそれぞれ異なる基板上に形成し、2つの基板を貼り合せ、貫通ビア又は導電膜の接合技術（Cu-Cu接合など）を用いて電氣的に接続する方法を用いてもよい。前者は、貼合わせにおける位置ずれを考慮する必要がないため、チップサイズを小さくできるだけでなく、作製コストを削減することができる。

[0496]

ここで、演算装置960にキャッシュ999を有さず、層933に設けられるメモリアレイ721L1、メモリアレイ721L2、及びメモリアレイ721L3は、それぞれキャッシュとして用いることができる。このとき、例えばメモリアレイ721L1をL1キャッシュ（レベル1キャッシュともいう。）として用い、メモリアレイ721L2をL2キャッシュ（レベル2キャッシュともいう。）として用い、メモリアレイ721L3をL3キャッシュ（レベル3キャッシュともいう。）として用いることができる。3つのメモリアレイのうち、メモリアレイ721L3が最も容量が大きく、かつ、最もアクセス頻度が低い。また、メモリアレイ721L1が最も容量が小さく、かつ、最もアクセス頻度が高い。

[0497]

なお、演算装置960に設けられるキャッシュ999をL1キャッシュとして用いる場合は、層933に設けられる各メモリアレイを、それぞれ下位のキャッシュ、又はメインメモリとして用いることができる。メインメモリはキャッシュよりも容量が大きく、アクセス頻度の低いメモリである。

[0498]

また、図22Bに示すように、駆動回路722L1、駆動回路722L2、及び駆動回路722L3が設けられている。駆動回路722L1は、接続電極940L1を介してメモリアレイ721L1と接続されている。同様に、駆動回路722L2は、接続電極940L2を介してメモリアレイ721L2と、駆動回路722L3は、接続電極940L3を介してメモリアレイ721L3と接続されている。

[0499]

なお、ここではキャッシュとして機能するメモリアレイを3つとした場合を示したが、1つ又は2つでもよいし、4つ以上であってもよい。

[0500]

メモリアレイ721L1をキャッシュとして用いる場合、駆動回路722L1はキャッシュインターフェイス989の一部として機能してもよいし、駆動回路722L1がキャッシュインターフ

ェイス 989 と接続される構成としてもよい。同様に、駆動回路 722L2、駆動回路 722L3 も、キャッシュインターフェイス 989 の一部として機能する、又はこれと接続される構成としてもよい。

[0501]

メモリアレイ 721 をキャッシュとして機能させるか、メインメモリとして機能させるかは、各駆動回路 722 が有する制御回路 772 によって決定される。制御回路 772 は、演算装置 960 から供給された信号に基づいて、記憶装置 720 が有する複数のメモリセル 741 の一部を RAM として機能させることができる。

[0502]

記憶装置 720 は、複数のメモリセル 741 の一部をキャッシュとして機能させ、他の一部をメインメモリとして機能させることができる。すなわち、記憶装置 720 はキャッシュとしての機能と、メインメモリとしての機能を併せ持つことができる。本発明の一態様に係る記憶装置 720 は、例えば、ユニバーサルメモリとして機能することができる。

[0503]

また、一つのメモリアレイ 721 を有する層 933 を演算装置 960 に重ねて設けてもよい。図 23A に半導体装置 970B の斜視図を示す。

[0504]

半導体装置 970B では、一つのメモリアレイ 721 を複数のエリアに分けて、それぞれ異なる機能で使用することができる。図 23A では、領域 L1 を L1 キャッシュとして、領域 L2 を L2 キャッシュとして、領域 L3 を L3 キャッシュとして用いる場合の例を示している。

[0505]

また、半導体装置 970B では、領域 L1 乃至領域 L3 のそれぞれの容量を状況に応じて変えることができる。例えば L1 キャッシュの容量を増やしたい場合には、領域 L1 の面積を大きくすることにより実現する。このような構成とすることで、演算処理の効率化を図ることができ、処理速度を向上させることができる。

[0506]

また、複数のメモリアレイを積層してもよい。図 23B に半導体装置 970C の斜視図を示している。

[0507]

半導体装置 970C は、メモリアレイ 721L1 を有する層 933L1 と、その上にメモリアレイ 721L2 を有する層 933L2 と、その上にメモリアレイ 721L3 を有する層 933L3 とが積層されている。最も演算装置 960 に物理的に近いメモリアレイ 721L1 を上位のキャッシュに用い、最も遠いメモリアレイ 721L3 を下位のキャッシュ又はメインメモリに用いることができる。このような構成とすることで、各メモリアレイの容量を増大させることができるため、より処理能力を向上させることができる。

[0508]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0509]

(実施の形態 3)

本実施の形態では、本発明の一態様に係る記憶装置の応用例について説明する。

[0510]

一般に、コンピュータなどの半導体装置では、用途に応じて様々な記憶装置が用いられる。図24Aに、半導体装置に用いられる各種の記憶装置を階層ごとに示す。上層に位置する記憶装置ほど速い動作速度が求められ、下層に位置する記憶装置ほど大きな記憶容量と高い記録密度が求められる。図24Aでは、最上層から順に、CPUなどの演算処理装置にレジスタ (register) として混載されるメモリ、L1キャッシュ (L1 cache)、L2キャッシュ (L2 cache)、L3キャッシュ (L3 cache)、メインメモリ (main memory)、ストレージ (storage) 等がある。なお、ここではL3キャッシュまで有する例を示したが、さらに下位のキャッシュを有していてもよい。

[0511]

CPUなどの演算処理装置にレジスタとして混載されるメモリは、演算結果の一時保存などに用いられるため、演算処理装置からのアクセス頻度が高い。よって、記憶容量よりも速い動作速度が求められる。また、レジスタは演算処理装置の設定情報などを保持する機能も有する。

[0512]

キャッシュは、メインメモリ (main memory) に保持されているデータの一部を複製して保持する機能を有する。使用頻繁が高いデータを複製してキャッシュに保持しておくことで、データへのアクセス速度を高めることができる。キャッシュに求められる記憶容量はメインメモリより少ないが、メインメモリよりも速い動作速度が求められる。また、キャッシュで書き換えられたデータは複製されてメインメモリに供給される。

[0513]

メインメモリは、ストレージ (storage) から読み出されたプログラム、データなどを保持する機能を有する。

[0514]

ストレージは、長期保存が必要なデータ、演算処理装置で使用する各種のプログラムなどを保持する機能を有する。よって、ストレージには動作速度よりも大きな記憶容量と高い記録密度が求められる。例えば、3D NANDなどの高容量かつ不揮発性の記憶装置を用いることができる。

[0515]

本発明の一態様に係る酸化物半導体を用いた記憶装置 (OSメモリ (OS memory)) は、動作速度が速く、長期間のデータ保持が可能である。そのため、図24Aに示すように、本発明の一態様に係る記憶装置は、キャッシュが位置する階層とメインメモリが位置する階層の双方に好適に用いることができる。また、本発明の一態様に係る記憶装置は、ストレージが位置する階層にも適用することができる。

[0516]

また、図24Bでは、キャッシュの一部にSRAMを、他の一部に本発明の一態様のOSメモリを適用した場合の例を示す。

[0517]

キャッシュのうち、最も下位に位置するものを、LLC (Last Level Cache) と呼ぶことができる。LLCはこれよりも上位のキャッシュよりも速い動作速度は求められないものの、大きな記憶容量を有することが望ましい。本発明の一態様のOSメモリは動作速度が速く、長期間のデータ保持が可能であるため、LLCに好適に用いることができる。なお、本発明の一態様のO

Sメモリは、FLC (Final Level Cache) にも適用することができる。

[0518]

例えば、図24Bに示すように、上位のキャッシュ (L1キャッシュ、L2キャッシュ等) にSRAMを用い、LLCに本発明の一態様のOSメモリを用いる構成とすることができる。また、図24Bに示すように、メインメモリには、OSメモリだけでなく、DRAMを適用することもできる。

[0519]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[0520]

(実施の形態4)

本実施の形態では、本発明の一態様の記憶装置の作製方法例について、図面を参照して説明する。

[0521]

<記憶装置の作製方法例>

以下では、本発明の一態様の記憶装置の作製方法として、図5A乃至図6に示す記憶装置の作製方法例を説明する。

[0522]

図25A、図27A、図29A、図31A、図33A、図35A、図37A、図39A、図41A、図43A、図45A、図47A、及び図49Aは、平面図を示す。また、図25B、図27B、図29B、図31B、図33B、図35B、図37B、図39B、図41B、図43B、図45B、図47B、及び図49Bは、それぞれ、図25A、図27A、図29A、図31A、図33A、図35A、図37A、図39A、図41A、図43A、図45A、図47A、及び図49AにA1-A2の一点鎖線で示す部位に対応する断面図である。また、図25C、図27C、図29C、図31C、図33C、図35C、図37C、図39C、図41C、図43C、図45C、図47C、及び図49Cは、それぞれ、図25A、図27A、図29A、図31A、図33A、図35A、図37A、図39A、図41A、図43A、図45A、図47A、及び図49AにA3-A4の一点鎖線で示す部位に対応する断面図である。また、図26、図28、図30、図32、図34、図36、図38、図40、図42、図44、図46、図48、及び図50は、それぞれ図25A、図27A、図29A、図31A、図33A、図35A、図37A、図39A、図41A、図43A、図45A、図47A、及び図49AにおけるA5-A6の一点鎖線で示す部位に対応する断面図である。なお、図25A、図27A、図29A、図31A、図33A、図35A、図37A、図39A、図41A、図43A、図45A、図47A、及び図49Aの平面図では、図の明瞭化のために一部の要素を省いている。

[0523]

以下において、絶縁体を形成するための絶縁性材料、導電体を形成するための導電性材料、又は、半導体を形成するための半導体材料は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて成膜することができる。

[0524]

なお、スパッタリング法には、スパッタリング用電源に高周波電源を用いるRFスパッタリング法、直流電源を用いるDCスパッタリング法、さらに、パルス的に電極に印加する電圧を変化させるパルスDCスパッタリング法がある。RFスパッタリング法は、主に、絶縁膜を成膜する場合に用いられ、DCスパッタリング法は、主に、金属導電膜を成膜する場合に用いられる。また、パルスDCスパッタリング法は、主に、酸化物、窒化物、又は炭化物等の化合物をリアクティブスパッタリング法で成

膜する際に用いられる。

[0525]

なお、CVD法は、プラズマを利用するプラズマCVD (PECVD) 法、熱を利用する熱CVD (TCVD: Thermal CVD) 法、及び、光を利用する光CVD (Photo CVD) 法等に分類することができる。さらに、用いる原料ガスによって金属CVD (MCVD: Metal CVD) 法、有機金属CVD (MOCVD: Metal Organic CVD) 法に分けることができる。

[0526]

プラズマCVD法は、比較的低温で高品質の膜が得られる。また、熱CVD法は、プラズマを用いないため、被処理物へのプラズマダメージを小さくすることが可能な成膜方法である。例えば、記憶装置に含まれる配線、電極、及び素子（トランジスタ、容量等）等は、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、又は素子等が破壊される場合がある。一方、プラズマを用いない熱CVD法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、熱CVD法では、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

[0527]

また、ALD法としては、プリカーサ及びリアクタントの反応を熱エネルギーのみで行う熱ALD法、プラズマ励起されたリアクタントを用いるPEALD法等を用いることができる。

[0528]

CVD法及びALD法は、ターゲット等から放出される粒子が堆積するスパッタリング法とは異なる。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ALD法は、優れた段差被覆性と、優れた厚さの均一性と、を有するため、例えば、アスペクト比の高い開口部の表面を被覆する場合に好適である。ただし、ALD法は、比較的成膜速度が遅いため、成膜速度の速いCVD法等の他の成膜方法と組み合わせて用いることが好ましい場合もある。

[0529]

また、CVD法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。例えば、CVD法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送又は圧力調整にかかる時間を要さない分、成膜にかかる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

[0530]

また、ALD法では、異なる複数種のプリカーサを同時に導入することで、任意の組成の膜を成膜することができる。又は、異なる複数種のプリカーサを導入する場合、各プリカーサのサイクル数を制御することで、任意の組成の膜を成膜することができる。

[0531]

まず、基板（図示しない。）を準備し、当該基板上に絶縁層101を形成する。絶縁層101には、上述の絶縁性材料を適宜用いることができる。絶縁層101の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0532]

次に、絶縁層101上に、導電層111aを形成する（図25A乃至図26）。例えば、導電層1

1 1 a となる導電膜を形成し、当該導電膜を加工することにより、導電層 1 1 1 a を形成することができる。導電層 1 1 1 a となる導電膜には、上述の導電層 1 1 1 a に適用可能な導電性材料を適宜用いることができる。

[0 5 3 3]

導電層 1 1 1 a となる導電膜の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。例えば、導電層 1 1 1 a となる導電膜として、CVD法を用いて、タングステン、窒化チタンの順に成膜された積層膜を形成することができる。導電層 1 1 1 a となる導電膜の形成後、例えば、リソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法又はウェットエッチング法等を用いて上記導電膜を加工することにより、導電層 1 1 1 a を形成することができる。ここで、上記導電膜の加工をドライエッチング法で行うと、微細加工ができ、好ましい。

[0 5 3 4]

なお、リソグラフィ法では、まず、マスクを介してレジストを露光する。次に、露光された領域を、現像液を用いて除去又は残存させてレジストマスクを形成する。これにより、パターンが形成される。

[0 5 3 5]

例えば、KrFエキシマレーザ光、ArFエキシマレーザ光、又はEUV光等を用いて、レジストを露光することでレジストマスクを形成する。また、基板と投影レンズとの間に液体（例えば、水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビーム又はイオンビームを用いてもよい。なお、電子ビーム又はイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクは、アッシング等のドライエッチング処理を行う、ウェットエッチング処理を行う、ドライエッチング処理後にウェットエッチング処理を行う、又はウェットエッチング処理後にドライエッチング処理を行うことで、除去することができる。

[0 5 3 6]

次に、当該レジストマスクを介してエッチング処理を行う。これにより、導電層、半導体層、及び絶縁層等を所望の形状に加工することができる。

[0 5 3 7]

上記エッチング処理としてドライエッチング処理を行う場合、エッチングガスとしては、ハロゲンを含むエッチングガスを用いることができ、具体的には、フッ素、塩素、及び臭素のうち、一又は複数を含むエッチングガスを用いることができる。例えば、エッチングガスとして、 C_4F_6 ガス、 C_5F_6 ガス、 C_4F_8 ガス、 CF_4 ガス、 SF_6 ガス、 NF_3 ガス、 CHF_3 ガス、 Cl_2 ガス、 BCl_3 ガス、 $SiCl_4$ ガス、 CCl_4 ガス、又は BBr_3 ガス等を単独又は2以上のガスを混合して用いることができる。また、上記のエッチングガスに酸素ガス、炭酸ガス、窒素ガス、ヘリウムガス、アルゴンガス、水素ガス、又は炭化水素ガス等を適宜添加することができる。エッチング条件は、エッチングする対象に合わせて適宜設定することができる。

[0 5 3 8]

ドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ (CCP: Capacitively Coupled Plasma) エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。又は平行平板型電極の一方の電極に複数の異なった高周波電圧を印加

する構成でもよい。又は平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。又は平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。又は高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）エッチング装置を用いることができる。

[0539]

次に、絶縁層101上、及び、導電層111a上に、層間絶縁層として機能する絶縁層103aを形成する。絶縁層103aには、上述の絶縁性材料を適宜用いることができる。絶縁層103aの形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。例えば、絶縁層103aとして、スパッタリング法を用いて酸化シリコン膜を成膜する。なお、絶縁層103aは、成膜後に化学機械研磨（CMP：Chemical Mechanical Polishing）処理を行って、上面を平坦化させることが好ましい。絶縁層103aの平坦化処理を行うことで、後の工程で、トランジスタ41のソース電極又はドレイン電極の他方として機能する導電層112aを好適に形成することができる。また、絶縁層103a上に、例えば、スパッタリング法によって、酸化アルミニウムを成膜した後、絶縁層103aに達するまで、CMP処理を行ってもよい。当該CMP処理を行うことで絶縁層103a表面の平坦化及び平滑化を行うことができる。当該酸化アルミニウムを絶縁層103a上に配置してCMP処理を行うことで、CMP処理の終点検出が容易となる。

[0540]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁層103aの上面は、凸曲面形状を有する。平坦化処理を行わないことにより、作製コストを低くするとともに、生産歩留まりを高めることができる。

[0541]

なお、絶縁層101に凹部を設け、当該凹部を埋め込むように導電層111aを形成してもよい。絶縁層101の上面の高さと、導電層111aの上面の高さと、を概略一致するように形成し、その後、絶縁層101及び導電層111a上に、絶縁層103aを形成してもよい。

[0542]

また、絶縁層103aを、酸素を含む雰囲気中で、スパッタリング法で成膜することで、過剰酸素を含む絶縁層103aを形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層103a中の水素濃度を低減することができる。このように、絶縁層103aを成膜することで、絶縁層103aから後の工程で形成する半導体層113aのチャネル形成領域に酸素を供給し、酸素欠損及び V_{OH} の低減を図ることができる。

[0543]

次に、絶縁層103a上に、後に導電層112aとなる導電膜112Aを形成する（図27A乃至図28）。導電膜112Aには、上述の導電層112に適用可能な導電性材料を適宜用いることができる。導電膜112Aの形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0544]

次に、導電膜112Aの一部、及び、絶縁層103aの一部をそれぞれ加工して、導電層111aに達する開口121aを形成する（図29A乃至図30）。開口121aの形成は、例えば、リソグ

ラフイー法及びエッチング法を用いて行うことができる。当該加工により、導電膜112Aから、開口を有する導電層112fが形成される。

[0545]

ここで、開口121aの側壁は、導電層111aの上面に対して垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。また、開口121aの側壁は、テーパ形状であってもよい。開口121aの側壁をテーパ形状にすることで、例えば、後述する半導体層113aとなる金属酸化物膜等の被覆性が向上し、鬆等の欠陥を低減することができる。

[0546]

開口121aの最大幅（平面視において、開口121aが円形である場合は直径）の大きさは、微細であることが好ましい。例えば、開口121aの最大幅は、1nm以上60nm以下、5nm以上50nm以下、5nm以上40nm以下、5nm以上30nm以下、又は5nm以上20nm以下であることが好ましい。

[0547]

開口121aはアスペクト比が大きいため、異方性エッチングを用いて、導電膜112Aの一部、及び、絶縁層103aの一部をそれぞれ加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、それぞれ異なる条件で行ってもよい。なお、導電膜112Aの一部、及び、絶縁層103aの一部の加工を行う条件によっては、開口121a内における導電層112fの側面の傾きと、開口121a内における絶縁層103aの側面の傾きと、がそれぞれ異なることがある。

[0548]

続いて、加熱処理を行ってもよい。加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下、さらに好ましくは320℃以上450℃以下で行えばよい。なお、加熱処理は、例えば、窒素ガス若しくは不活性ガスの雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。以上のような加熱処理を行うことで、後述する半導体層113aとなる金属酸化物膜の成膜前に、絶縁層103a等に含まれる、水等の不純物を低減することができる。

[0549]

また、上記加熱処理で用いるガスは、高純度化されていることが好ましい。例えば、上記加熱処理で用いるガスに含まれる水分量が1ppb以下、好ましくは0.1ppb以下、より好ましくは0.05ppb以下にする。高純度化されたガスを用いて加熱処理を行うことで、例えば、絶縁層103aに水分が取り込まれることを可能な限り防ぐことができる。

[0550]

次に、導電層112fを加工して、平面視にて、導電層111aと重なる領域を有するように、導電層112aを形成する。例えば、リソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法又はウェットエッチング法等を用いて導電層112fを加工することにより、導電層112aを形成することができる。ここで、導電層112fの加工をドライエッチング法で行うと、微細加工ができ、好ましい。

[0551]

次に、導電層112aの上面、開口121a内における導電層112aの側面、開口121a内における絶縁層103aの側面、及び、開口121a内における導電層111aの上面に接して、後に

半導体層 1 1 3 a となる金属酸化物膜を形成する。半導体層 1 1 3 a となる金属酸化物膜には、上述の半導体層 1 1 3 に適用可能な金属酸化物を適宜用いることができる。半導体層 1 1 3 a となる金属酸化物膜の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。ここで、半導体層 1 1 3 a となる金属酸化物膜は、アスペクト比の大きい開口 1 2 1 a 内において、導電層 1 1 2 a の側面、絶縁層 1 0 3 a の側面、及び、導電層 1 1 1 a の上面に接して形成されることが好ましい。よって、半導体層 1 1 3 a となる金属酸化物膜は、被覆性が良好な成膜方法を用いて形成することが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、半導体層 1 1 3 a となる金属酸化物膜として、ALD法を用いて、In-Ga-Zn 酸化物を成膜する。

[0552]

なお、開口 1 2 1 a の側壁がテーパ形状である場合、半導体層 1 1 3 a となる金属酸化物膜の成膜は、CVD法又はALD法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

[0553]

また、半導体層 1 1 3 a を積層構造とする場合、半導体層 1 1 3 a に含まれる各層の成膜方法は同じであってもよいし、異なってもよい。例えば、半導体層 1 1 3 a を 2 層の積層構造とする場合、半導体層 1 1 3 a となる金属酸化物膜の下層をスパッタリング法で成膜し、上層をALD法で成膜してもよい。スパッタリング法を用いて成膜された金属酸化物膜は結晶性を有しやすい。そこで、半導体層 1 1 3 a となる金属酸化物膜の下層に結晶性を有する金属酸化物膜を設けることで、上層の結晶性を高めることができる。また、スパッタリング法で成膜した金属酸化物膜の下層にピンホール又は段切れ等が形成されたとしても、それらと重畳する部分を、被覆性の良好なALD法で成膜した金属酸化物膜の上層で塞ぐことができる。

[0554]

ここで、半導体層 1 1 3 a となる金属酸化物膜は、開口 1 2 1 a 内における導電層 1 1 1 a の上面、開口 1 2 1 a 内における絶縁層 1 0 3 a の側面、開口 1 2 1 a 内における導電層 1 1 2 a の側面、及び、導電層 1 1 2 a の上面に接して形成されることが好ましい。当該金属酸化物膜を導電層 1 1 1 a と接して形成することで、導電層 1 1 1 a は、トランジスタ 4 1 のソース電極又はドレイン電極の一方として機能する。

[0555]

次に、加熱処理を行うことが好ましい。加熱処理は、半導体層 1 1 3 a となる金属酸化物膜が多結晶化しない温度範囲で行えばよく、250°C以上650°C以下、好ましくは400°C以上600°C以下で行えばよい。加熱処理の詳細は、前述の記載を参照することができる。

[0556]

ここで、半導体層 1 1 3 a となる金属酸化物膜に、過剰酸素を含む絶縁層 1 0 3 a を接して設けた状態で、上記加熱処理を行うことが好ましい。このように加熱処理を行うことで、絶縁層 1 0 3 a から、半導体層 1 1 3 a となる金属酸化物膜に酸素を供給し、後に形成される半導体層 1 1 3 a 中の酸素欠損及びV_oHの低減を図ることができる。

[0557]

なお、上記においては、半導体層 1 1 3 a となる金属酸化物膜の成膜後に加熱処理を行ったが、本発明はこれに限られるものではない。さらに後の工程で加熱処理を行う構成にしてもよい。

[0558]

次に、半導体層113aとなる金属酸化物膜を加工して、平面視にて、開口121aと重なる領域を有するように、半導体層113aを形成する(図31A乃至図32)。例えば、半導体層113aとなる金属酸化物膜に対して、リソグラフィ法によるパターン形成を行った後、当該パターンに基づいて、エッチング法により加工する。これにより、開口121aと重なる領域を有するように、半導体層113aを形成することができる。これにより、半導体層113aの一部が、開口121aに形成される。また、半導体層113aは、導電層112aの上面に接する。以上により、開口121a内にて導電層111aの上面と接する領域、開口121a内にて絶縁層103aの側面と接する領域、開口121a内にて導電層112aの側面と接する領域、及び、導電層112aの上面と接する領域を有する半導体層113aが形成される。

[0559]

なお、図31A及び図31Bでは、X方向において、半導体層113aの端部が、導電層112aの端部と概略一致して形成する例を示しているが、この限りではない。半導体層113aの端部は、X方向において、導電層112aの端部よりも内側に位置していてもよい。また、半導体層113aの端部は、X方向において、導電層112aの端部よりも外側に位置していてもよく、半導体層113aの下面が、導電層112aの開口121aに面しない側の側面、及び、絶縁層103aの上面に接していてもよい。

[0560]

また、上記では、導電層112aの形成を行った後に半導体層113aを形成する例について述べたが、この限りではない。例えば、本発明の一態様では、開口121aの形成後(図29A乃至図30)に、半導体層113aとなる金属酸化物膜を形成し、当該金属酸化物膜を加工して半導体層113aを形成した後に、導電層112fを加工して、導電層112aを形成してもよい。

[0561]

次に、半導体層113aの上面に接して、絶縁層105aを形成する(図33A乃至図34)。絶縁層105aには、上述の絶縁性材料を適宜用いることができる。絶縁層105aの形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。ここで、絶縁層105aは、アスペクト比の大きい開口121a内において、半導体層113aの上面に接して形成されることが好ましい。よって、絶縁層105aの成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、絶縁層105aとして、ALD法を用いて、酸化シリコンを成膜する。

[0562]

なお、開口121aの側壁がテーパ形状である場合、絶縁層105aの成膜は、CVD法又はALD法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

[0563]

半導体層113aを形成した後に、絶縁層105aを形成する構成にすることで、半導体層113aの側端部が絶縁層105aで覆われる。したがって、半導体層113aと、後の工程で形成する導電層115aのショートを防ぐことができる。また、上記構成にすることで、導電層112aの側端部が絶縁層105aで覆われる。したがって、導電層112aと導電層115aのショートを防ぐことができる。

[0564]

次に、開口121aを埋めるように、絶縁層105a上に、導電層115aとなる導電膜を形成す

る。導電層 115a となる導電膜には、上述の導電層 115 に適用可能な導電性材料を適宜用いることができる。導電層 115a となる導電膜の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。ここで、導電層 115a となる導電膜は、アスペクト比の大きい開口 121a に設けられた絶縁層 105a に接して形成されることが好ましい。よって、導電層 115a となる導電膜の形成は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。

[0565]

なお、CVD法を用いて導電層 115a となる導電膜を形成した場合、当該導電膜の上面の平均面粗さが大きくなることがある。この場合、CMP法を用いて、当該導電膜を平坦化することが好ましい。このとき、CMP処理を行う前に、当該導電膜上に酸化シリコン膜又は酸化窒化シリコン膜を成膜し、当該酸化シリコン膜又は酸化窒化シリコン膜を除去するまで、CMP処理を行ってもよい。なお、CMP処理は、行わなくてもよい。

[0566]

また、上記においては、導電層 115a となる導電膜が開口 121a を埋め込むように設けられるが、本発明はこれに限られるものではない。例えば、導電層 115a となる導電膜の上部に、開口 121a の形状を反映した凹部が形成される場合がある。また、当該凹部を、例えば、無機絶縁材料で充填する構成にしてもよい。なお、当該凹部を、無機絶縁材料等で充填しなくてもよい。

[0567]

次に、導電層 115a となる導電膜の一部を加工して、導電層 115a を形成する（図 35A 乃至図 36）。導電層 115a の形成は、例えば、リソグラフィ法によるパターン形成を行った後、当該パターンに基づいて導電層 115a となる導電膜をエッチング法で加工することにより行うことができる。当該加工は、例えば、ドライエッチング法又はウェットエッチング法を用いることができるが、ドライエッチング法による加工は微細加工に適して好ましい。導電層 115a は、半導体層 113a と重なる領域を有するように、絶縁層 105a 上に形成される。

[0568]

以上のようにして、導電層 111a、導電層 112a、半導体層 113a、絶縁層 105a、及び導電層 115a を有するトランジスタ 41 を形成することができる。

[0569]

前述のように、導電層 111a は、トランジスタ 41 のソース電極又はドレイン電極の一方として機能する。導電層 112a は、トランジスタ 41 のソース電極又はドレイン電極の他方として機能する。絶縁層 105a は、トランジスタ 41 のゲート絶縁層として機能する。導電層 115a は、トランジスタ 41 のゲート電極として機能する。

[0570]

次に、導電層 115a 及び絶縁層 105a を覆って、絶縁層 107a を形成する。その後、絶縁層 107a 上に絶縁層 135 を形成する。絶縁層 107a 及び絶縁層 135 は、それぞれ、上述の絶縁層 107a 及び絶縁層 135 に適用可能な絶縁性材料を適宜用いることができる。絶縁層 107a 及び絶縁層 135 の形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0571]

次に、絶縁層 135 上に、後に導電層 141 となる導電膜 141f を形成する（図 37A 乃至図 3

8)。導電膜141fには、上述の導電層141に適用可能な導電性材料を適宜用いることができる。導電膜141fの形成は、スパッタリング法、CVD法、MBE法、PLD法、又はALD法等の成膜方法を適宜用いて行うことができる。

[0572]

次に、導電膜141fを加工し、平面視にて、導電層115aと重なる領域を有するように、導電層141を形成する(図39A乃至図40)。導電層141の形成は、例えば、リソグラフィー法によるパターン形成を行った後、当該パターンに基づいて導電膜141fをエッチング法で加工することにより行うことができる。当該加工は、例えば、ドライエッチング法又はウェットエッチング法を用いることができるが、ドライエッチング法による加工は微細加工に適して好ましい。導電層141は、平面視にて、開口121aとの間に間隔を有して形成される。

[0573]

次に、導電層141上、及び、絶縁層135上に、層間絶縁層として機能する絶縁層103bを形成する。絶縁層103bは、前述の絶縁層103aと同じ材料を用いて、同じ方法で形成することができる。なお、絶縁層103bは、成膜後にCMP処理を行って、上面を平坦化させることが好ましい。絶縁層103bの平坦化処理を行うことで、後の工程で、トランジスタ42のソース電極又はドレイン電極の他方として機能する導電層112bを好適に形成することができる。

[0574]

なお、CMP処理を行わなくてもよい場合がある。このとき、絶縁層103bの上面は、凸曲面形状を有する。平坦化処理を行わないことにより、作製コストを低くするとともに、生産歩留まりを高めることができる。

[0575]

また、絶縁層103bを、酸素を含む雰囲気中、スパッタリング法で成膜することで、過剰酸素を含む絶縁層103bを形成することができる。また、成膜ガスに水素を含む分子を用いなくてもよいスパッタリング法を用いることで、絶縁層103b中の水素濃度を低減することができる。このように、絶縁層103bを成膜することで、絶縁層103bから後の工程で形成する半導体層113bのチャネル形成領域に酸素を供給し、酸素欠損及び V_{OH} の低減を図ることができる。

[0576]

次に、絶縁層103b上に、後に導電層112bとなる導電膜112Bを形成する(図41A乃至図42)。導電膜112Bは、前述の導電膜112Aと同じ材料を用いて、同じ方法で形成することができる。

[0577]

次に、導電膜112Bの一部、絶縁層103bの一部、絶縁層135の一部、及び、絶縁層107aの一部をそれぞれ加工して、導電層115aに達する開口121bを形成する(図43A乃至図44)。開口121bの形成には、前述の開口121aの形成と同じ方法を用いることができる。当該加工により、導電膜112Bから、開口を有する導電層112sが形成される。

[0578]

ここで、開口121bの側壁は、導電層115aの上面に対して垂直であることが好ましい。このような構成にすることで、記憶装置の微細化又は高集積化を図ることができる。また、開口121bの側壁は、テーパ形状であってもよい。開口121bの側壁をテーパ形状にすることで、例えば、後述する半導体層113bとなる金属酸化物膜等の被覆性が向上し、鬆等の欠陥を低減することがで

きる。

[0579]

開口121bの最大幅（平面視において、開口121bが円形である場合は直径）の大きさは、微細であることが好ましい。例えば、開口121bの最大幅は、1nm以上60nm以下、5nm以上50nm以下、5nm以上40nm以下、5nm以上30nm以下、又は5nm以上20nm以下であることが好ましい。

[0580]

開口121bはアスペクト比が大きいため、異方性エッチングを用いて、導電膜112Bの一部、絶縁層103bの一部、絶縁層135の一部、及び、絶縁層107aの一部をそれぞれ加工することが好ましい。特に、ドライエッチング法による加工は、微細加工に適しているため好ましい。また、当該加工は、それぞれ異なる条件で行ってもよい。なお、導電膜112Bの一部、絶縁層103bの一部、絶縁層135の一部、及び、絶縁層107aの一部の加工を行う条件によっては、開口121b内における導電層112sの側面の傾きと、開口121b内における絶縁層103bの側面の傾きと、開口121b内における絶縁層135の側面の傾きと、開口121b内における絶縁層107aの側面の傾きと、がそれぞれ異なることがある。

[0581]

続いて、加熱処理を行ってもよい。加熱処理の詳細については、上述の開口121aの形成後に行うことができる加熱処理に係る記載を参照することができる。当該加熱処理を行うことで、後述する半導体層113bとなる金属酸化物膜の成膜前に、絶縁層103b等に含まれる、水等の不純物を低減することができる。

[0582]

次に、導電層112sを加工して、平面視にて、導電層115aと重なる領域を有するように、導電層112bを形成する。例えば、リソグラフィ法によるパターン形成を行い、当該パターンに基づいてドライエッチング法又はウェットエッチング法等を用いて導電層112sを加工することにより、導電層112bを形成することができる。ここで、導電層112sの加工をドライエッチング法で行うと、微細加工ができ、好ましい。

[0583]

次に、導電層112bの上面、開口121b内における導電層112bの側面、開口121b内における絶縁層103bの側面、開口121b内における絶縁層135の側面、開口121b内における絶縁層107aの側面、及び、開口121b内における導電層115aの上面に接して、後に半導体層113bとなる金属酸化物膜を形成する。半導体層113bとなる金属酸化物膜は、上述の半導体層113aとなる金属酸化物膜と同じ材料を用いて、同じ方法で形成することができる。ここで、半導体層113bとなる金属酸化物膜は、アスペクト比の大きい開口121b内において、導電層112bの側面、絶縁層103bの側面、絶縁層135の側面、絶縁層107aの側面、及び、導電層115aの上面に接して形成されることが好ましい。よって、半導体層113bとなる金属酸化物膜は、被覆性が良好な成膜方法を用いて形成することが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、半導体層113bとなる金属酸化物膜として、ALD法を用いて、In-Ga-Zn酸化物を成膜する。

[0584]

なお、開口121bの側壁がテーパ形状である場合、半導体層113bとなる金属酸化物膜の成膜

は、CVD法又はALD法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

[0585]

また、半導体層113bを積層構造としてもよい。半導体層113bを積層構造とする場合の各層の成膜方法については、前述の半導体層113aを積層構造とする場合の各層の成膜方法に係る記載を参照することができる。

[0586]

ここで、半導体層113bとなる金属酸化物膜は、開口121b内における導電層115aの上面、開口121b内における絶縁層107aの側面、開口121b内における絶縁層135の側面、開口121b内における絶縁層103bの側面、開口121b内における導電層112bの側面、及び、導電層112bの上面に接して形成されることが好ましい。当該金属酸化物膜を導電層115aと接して形成することで、トランジスタ41のゲート電極として機能する導電層115aは、トランジスタ42のソース電極又はドレイン電極の一方としても機能する。

[0587]

次に、加熱処理を行うことが好ましい。加熱処理の詳細については、前述の半導体層113aとなる金属酸化物膜の形成後に行うことができる加熱処理に係る記載を参照することができる。

[0588]

次に、半導体層113bとなる金属酸化物膜を加工して、平面視にて、開口121bと重なる領域を有するように、半導体層113bを形成する（図45A乃至図46）。半導体層113bの形成方法については、前述の半導体層113aの形成方法に係る記載を参照することができる。これにより、開口121bと重なる領域を有するように、半導体層113bを形成することができる。これにより、半導体層113bの一部が、開口121bに形成される。また、半導体層113bは、導電層115aの上面に接する。以上により、開口121b内にて導電層115aの上面と接する領域、開口121b内にて絶縁層107aの側面と接する領域、開口121b内にて絶縁層135の側面と接する領域、開口121b内にて絶縁層103bの側面と接する領域、開口121b内にて導電層112bの側面と接する領域、及び、導電層112bの上面と接する領域を有する半導体層113bが形成される。

[0589]

なお、図45A及び図45Bでは、X方向において、半導体層113bの端部が、導電層112bの端部と概略一致して形成する例を示しているが、この限りではない。半導体層113bの端部は、X方向において、導電層112bの端部よりも内側に位置していてもよい。また、半導体層113bの端部は、X方向において、導電層112bの端部よりも外側に位置していてもよく、半導体層113bの下面が、導電層112bの開口121bに面しない側の側面、及び、絶縁層103bの上面に接していてもよい。

[0590]

また、上記では、導電層112bの形成を行った後に半導体層113bを形成する例について述べたが、この限りではない。例えば、本発明の一態様では、開口121bの形成後（図43A乃至図44）に、半導体層113bとなる金属酸化物膜を形成し、当該金属酸化物膜を加工して半導体層113bを形成した後に、導電層112sを加工して、導電層112bを形成してもよい。

[0591]

次に、半導体層113bの上面に接して、絶縁層105bを形成する（図47A乃至図48）。絶

絶縁層105bの形成は、前述の絶縁層105aと同じ材料を用いて、同じ方法で形成することができる。ここで、絶縁層105bは、アスペクト比の大きい開口121b内において、半導体層113bの上面に接して形成されることが好ましい。よって、絶縁層105bの成膜は、被覆性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。例えば、絶縁層105bとして、ALD法を用いて、酸化シリコンを成膜する。

[0592]

なお、開口121bの側壁がテーパ形状である場合、絶縁層105bの成膜は、CVD法又はALD法を用いる場合に限られない。例えば、スパッタリング法を用いてもよい。

[0593]

半導体層113bを形成した後に、絶縁層105bを形成する構成にすることで、半導体層113bの側端部が絶縁層105bで覆われる。したがって、半導体層113bと、後の工程で形成する導電層115bのショートを防ぐことができる。また、上記構成にすることで、導電層112bの側端部が絶縁層105bで覆われる。したがって、導電層112bと導電層115bのショートを防ぐことができる。

[0594]

次に、開口121bを埋めるように、絶縁層105b上に、導電層115bとなる導電膜を形成する。導電層115bとなる導電膜は、前述の導電層115aとなる導電膜と同じ材料を用いて、同じ方法で形成することができる。ここで、導電層115bとなる導電膜は、アスペクト比の大きい開口121bに設けられた絶縁層105bに接して形成されることが好ましい。よって、導電層115bとなる導電膜の形成は、被覆性又は埋め込み性が良好な成膜方法を用いることが好ましく、CVD法又はALD法等を用いることがより好ましい。

[0595]

なお、CVD法を用いて導電層115bとなる導電膜を形成した場合、当該導電膜の上面の平均面粗さが大きくなることがある。この場合、CMP法を用いて、当該導電膜を平坦化することが好ましい。このとき、CMP処理を行う前に、当該導電膜上に酸化シリコン膜又は酸化窒化シリコン膜を成膜し、当該酸化シリコン膜又は酸化窒化シリコン膜を除去するまで、CMP処理を行ってもよい。なお、CMP処理は、行わなくてもよい。

[0596]

また、上記においては、導電層115bとなる導電膜が開口121bを埋め込むように設けられるが、本発明はこれに限られるものではない。例えば、導電層115bとなる導電膜の上部に、開口121bの形状を反映した凹部が形成される場合がある。また、当該凹部を、例えば、無機絶縁材料で充填する構成にしてもよい。なお、当該凹部を、無機絶縁材料等で充填しなくてもよい。

[0597]

次に、導電層115bとなる導電膜の一部を加工して、導電層115bを形成する(図49A乃至図50)。導電層115bの形成には、前述の導電層115aの形成と同じ方法を用いることができる。導電層115bは、半導体層113bと重なる領域を有するように、絶縁層105b上に形成される。

[0598]

以上のようにして、導電層115a、導電層112b、半導体層113b、絶縁層105b、及び導電層115bを有するトランジスタ42を形成することができる。

[0599]

前述のように、導電層115aは、トランジスタ42のソース電極又はドレイン電極の一方として機能する。導電層112bは、トランジスタ42のソース電極又はドレイン電極の他方として機能する。絶縁層105bは、トランジスタ42のゲート絶縁層として機能する。導電層115bは、トランジスタ42のゲート電極として機能する。

[0600]

また、導電層115a、導電層141、絶縁層107aの一部（導電層115aと、導電層141と、に挟まれた部分）、絶縁層135の一部（導電層115aと、導電層141と、に挟まれた部分）、導電層115bの一部（開口121b内に位置する部分）、導電層115bの当該一部と導電層141とに挟まれた領域における、絶縁層103b、半導体層113b、及び、絶縁層105bを有する容量51を形成することができる。

[0601]

前述のように、導電層115aは、容量51の一方の電極として機能する。導電層141は、容量51の他方の電極として機能する。絶縁層107の一部（導電層115aと、導電層141と、に挟まれた部分）、及び、絶縁層135の一部（導電層115aと、導電層141と、に挟まれた部分）は、容量51の誘電体層として機能する。

[0602]

また、上記に加えて、導電層115bの一部（開口121b内に位置する部分）は、トランジスタ42のゲート電極として機能するとともに、容量51の一方又は他方の電極としても機能し得る。導電層141と、導電層115bの当該一部と、に挟まれた領域における絶縁層103b、半導体層113b、及び絶縁層105bは、それぞれ、層間絶縁層、トランジスタ42の半導体層、及び、トランジスタ42のゲート絶縁層として機能するとともに、容量51の誘電体層としても機能し得る。

[0603]

次に、導電層115b上、及び、絶縁層105b上に、絶縁層107bを形成する（図5A乃至図6）。絶縁層107bは、前述の絶縁層107aと同じ材料を用いて、同じ方法で形成することができる。

[0604]

以上より、図5A乃至図6に示す、トランジスタ41、トランジスタ42、容量51、絶縁層103a、及び絶縁層103bを有する記憶装置を作製することができる。

[0605]

以上のように、本発明の一態様の記憶装置では、トランジスタ41と、容量51と、トランジスタ42と、をそれぞれ積層して設ける。また、トランジスタ41及びトランジスタ42は、それぞれ、層間絶縁層に形成された開口の内部に半導体層、ゲート絶縁層、及びゲート電極を設け、当該開口下にソース電極又はドレイン電極の一方を、層間絶縁層上にソース電極又はドレイン電極の他方を設ける。これにより、記憶装置の平面視における占有面積を小さくすることができる。よって、記憶装置を微細化することができる。したがって、本発明の一態様により、高集積化が可能な記憶装置を提供することができる。

[0606]

また、本発明の一態様の記憶装置では、トランジスタ41の構成要素の一部が、トランジスタ42の構成要素の一部も兼ねる。また、トランジスタ41の構成要素の一部が、容量51の構成要素の一

部も兼ねる。また、トランジスタ 4 2 の構成要素の一部が、容量 5 1 の構成要素の一部も兼ねる。

[0607]

したがって、本発明の一態様の記憶装置では、トランジスタ 4 1 と、トランジスタ 4 2 と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量 5 1 と、トランジスタ 4 1 と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。また、容量 5 1 と、トランジスタ 4 2 と、をそれぞれ独立して作製する場合に比べて、工程数を大幅に削減することができる。このため、低価格な記憶装置を実現することができる。また、歩留まりの高い記憶装置の作製方法を提供することができる。

[0608]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1 つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0609]

(実施の形態 5)

本実施の形態では、上記実施の形態で示したメモリセル 7 4 1 を含む層が複数積層された記憶装置の構成例について、図面を用いて説明する。

[0610]

図 5 1 は、図 1 B に示す電子計算機 9 0 0 が有する層 9 8 4 [1] 乃至層 9 8 4 [n] (n は 1 以上の整数) の構成例を示す断面図であり、X Z 面を示している。図 5 1 に示すように、絶縁層 1 0 1 上に層 9 8 4 [1] が設けられ、層 9 8 4 [1] 上に層 9 8 4 [2] が設けられ、最上層に層 9 8 4 [n] が設けられる。前述のように、層 9 8 4 にはメモリセル 7 4 1 が設けられる。図 5 1 では、n 行 2 列のメモリセル 7 4 1 の構成例を示している。これにより、記憶装置の占有面積を低減することができる。また、単位面積当たりの記憶容量を高めることができる。

[0611]

メモリセル 7 4 1 は、トランジスタ 4 1、トランジスタ 4 2、及び容量 5 1 を有する。本実施の形態において、例えば、層 9 8 4 [1] が有するトランジスタ 4 1、トランジスタ 4 2、及び容量 5 1 を、それぞれ、トランジスタ 4 1 [1]、トランジスタ 4 2 [1]、及び容量 5 1 [1] とし、層 9 8 4 [2] が有するトランジスタ 4 1、トランジスタ 4 2、及び容量 5 1 を、それぞれ、トランジスタ 4 1 [2]、トランジスタ 4 2 [2]、及び容量 5 1 [2] とし、層 9 8 4 [n] が有するトランジスタ 4 1、トランジスタ 4 2、及び容量 5 1 を、それぞれ、トランジスタ 4 1 [n]、トランジスタ 4 2 [n]、及び容量 5 1 [n] とする。トランジスタ 4 1 [1]、トランジスタ 4 2 [1]、及び容量 5 1 [1] は、層 9 8 4 [1] において、メモリセル 7 4 1 [1] を構成する。トランジスタ 4 1 [2]、トランジスタ 4 2 [2]、及び容量 5 1 [2] は、層 9 8 4 [2] において、メモリセル 7 4 1 [2] を構成する。トランジスタ 4 1 [n]、トランジスタ 4 2 [n]、及び容量 5 1 [n] は、層 9 8 4 [n] において、メモリセル 7 4 1 [n] を構成する。また、前述のように、トランジスタ 4 2 上には絶縁層 1 0 7 b が設けられる。本実施の形態において、例えば、トランジスタ 4 2 [1] 上に設けられる絶縁層 1 0 7 b を絶縁層 1 0 7 b [1] とし、トランジスタ 4 2 [2] 上に設けられる絶縁層 1 0 7 b を絶縁層 1 0 7 b [2] とし、トランジスタ 4 2 [n] 上に設けられる絶縁層 1 0 7 b を絶縁層 1 0 7 b [n] とする。

[0612]

ここで、絶縁層107b上には、層間絶縁層として機能する絶縁層139が設けられる。本実施の形態において、例えば、層984[1]に設けられる絶縁層139を絶縁層139[1]とし、層984[2]に設けられる絶縁層139を絶縁層139[2]とし、層984[n]に設けられる絶縁層139を絶縁層139[n]とする。例えば、絶縁層139[1]上には、トランジスタ41[2]が設けられる。絶縁層139は、上記実施の形態に示す層間絶縁層に用いることができる材料と同様の材料を用いることができる。

[0613]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。また、本明細書において、1つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

[0614]

(実施の形態6)

本実施の形態では、本発明の一態様の記憶装置の応用例について、図面を用いて説明する。本発明の一態様の記憶装置は、例えば、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンター(Data Center:DCともいう。)に用いることができる。本発明の一態様の記憶装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターは、低消費電力化といった高性能化に有効である。

[0615]

[電子部品]

電子部品700が実装された基板(実装基板704)の斜視図を、図52Aに示す。図52Aに示す電子部品700は、モールド711内に半導体装置710を有している。図52Aは、電子部品700の内部を示すために、一部の記載を省略している。電子部品700は、モールド711の外側にランド712を有する。ランド712は電極パッド713と電気的に接続され、電極パッド713は半導体装置710とワイヤ714を介して電気的に接続されている。電子部品700は、例えば、プリント基板702に実装される。このような電子部品が複数組み合わせられて、それぞれがプリント基板702上で電気的に接続されることで実装基板704が完成する。

[0616]

また、半導体装置710は、駆動回路層715と、記憶層716と、を有する。なお、記憶層716は、複数のメモリエルアレイが積層された構成である。駆動回路層715と、記憶層716と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、TSV(Through Silicon Via)等の貫通電極技術、及び、Cu-Cu直接接合等の接合技術、を用いることなく、各層間を接続することができる。駆動回路層715と、記憶層716と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

[0617]

また、オンチップメモリの構成とすることで、TSV等の貫通電極を用いる技術と比較し、例えば接続配線のサイズを小さくできるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅(メモリバンド幅ともいう。)を向上させることが可能となる。

[0618]

また、記憶層716が有する、複数のメモリセルアレイを、OSトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、及びメモリのアクセスレイテンシの一方又は双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層716にSiトランジスタを用いる構成の場合、OSトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、OSトランジスタは、Siトランジスタよりも優れた構造であるといえる。

[0619]

また、半導体装置710を、ダイといってもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう。）に回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Si）、炭化ケイ素（SiC）、又は窒化ガリウム（GaN）等が挙げられる。例えば、シリコン基板（シリコンウエハともいう。）から得られたダイを、シリコンダイという場合がある。

[0620]

次に、電子部品730の斜視図を図52Bに示す。電子部品730は、SiP（System in Package）又はMCM（Multi Chip Module）の一例である。電子部品730は、パッケージ基板732（プリント基板）上にインターポーザ731が設けられ、インターポーザ731上に半導体装置735、及び複数の半導体装置710が設けられる。

[0621]

電子部品730では、半導体装置710を広帯域メモリ（HBM: High Bandwidth Memory）として用いる例を示している。また、半導体装置735は、CPU、GPU、又はFPGA（Field Programmable Gate Array）等の集積回路に用いることができる。

[0622]

パッケージ基板732は、例えば、セラミックス基板、プラスチック基板、又は、ガラスエポキシ基板を用いることができる。インターポーザ731は、例えば、シリコンインターポーザ、又は樹脂インターポーザを用いることができる。

[0623]

インターポーザ731は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電氣的に接続する機能を有する。複数の配線は、単層又は多層で設けられる。また、インターポーザ731は、インターポーザ731上に設けられた集積回路をパッケージ基板732に設けられた電極と電氣的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」又は「中間基板」という場合がある。また、インターポーザ731に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板732を電氣的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、TSVを用いることもできる。

[0624]

HBMでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、HBMを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、HBMを

実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

[0625]

また、シリコンインターポーザを用いた、SiP及びMCM等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する2.5Dパッケージ(2.5次元実装)では、シリコンインターポーザを用いることが好ましい。

[0626]

一方で、シリコンインターポーザ、及びTSV等を用いて端子ピッチの異なる複数の集積回路を電氣的に接続する場合、当該端子ピッチの幅等のスペースが必要となる。そのため、電子部品730のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、前述したように、OSTランジスタを用いたモノリシック積層の構成が好適である。TSVを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

[0627]

また、電子部品730と重ねてヒートシンク(放熱板)を設けてもよい。ヒートシンクを設ける場合は、インターポーザ731上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品730では、半導体装置710と半導体装置735の高さを揃えることが好ましい。

[0628]

電子部品730を他の基板に実装するため、パッケージ基板732の底部に電極733を設けてもよい。図52Bでは、電極733を半田ボールで形成する例を示している。パッケージ基板732の底部に半田ボールをマトリクス状に設けることで、BGA(Ball Grid Array)実装を実現することができる。また、電極733を導電性のピンで形成してもよい。パッケージ基板732の底部に導電性のピンをマトリクス状に設けることで、PGA(Pin Grid Array)実装を実現することができる。

[0629]

電子部品730は、BGA及びPGAに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、SPGA(Staggered Pin Grid Array)、LGA(Land Grid Array)、QFP(Quad Flat Package)、QFJ(Quad Flat J-leaded package)、及び、QFN(Quad Flat Non-leaded package)が挙げられる。

[0630]

[電子機器]

次に、電子機器6500の斜視図を図53Aに示す。図53Aに示す電子機器6500は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器6500は、筐体6501、表示部6502、電源ボタン6503、ボタン6504、スピーカ6505、マイク6506、カメラ6507、光源6508、及び制御装置6509等を有する。なお、制御装置6509としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の記憶装置は、表示部6502、及び制御装置6509等に適用することができる。

[0631]

図53Bに示す電子機器6600は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器6600は、筐体6611、キーボード6612、ポインティングデバイス6613、外部接続ポート6614、表示部6615、及び制御装置6616等を有する。なお、制御装置6616としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を有する。本発明の一態様の記憶装置は、表示部6615、及び制御装置6616等に適用することができる。なお、本発明の一態様の記憶装置を、前述の制御装置6509、及び制御装置6616に用いることで、消費電力を低減させることができるため好適である。

[0632]

[大型計算機]

次に、大型計算機5600の斜視図を図53Cに示す。図53Cに示す大型計算機5600には、ラック5610にラックマウント型の計算機5620が複数格納されている。なお、大型計算機5600を、スーパーコンピュータといってもよい。

[0633]

計算機5620は、例えば、図53Dに示す斜視図の構成とすることができる。図53Dにおいて、計算機5620は、マザーボード5630を有し、マザーボード5630は、複数のスロット5631、複数の接続端子を有する。スロット5631には、PCカード5621が挿入されている。加えて、PCカード5621は、接続端子5623、接続端子5624、接続端子5625を有し、それぞれ、マザーボード5630に接続されている。

[0634]

図53Eに示すPCカード5621は、CPU、GPU、及び記憶装置等を備えた処理ボードの一例である。PCカード5621は、ボード5622を有する。また、ボード5622は、接続端子5623と、接続端子5624と、接続端子5625と、半導体装置5626と、半導体装置5627と、半導体装置5628と、接続端子5629と、を有する。なお、図53Eには、半導体装置5626、半導体装置5627、及び半導体装置5628以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置5626、半導体装置5627、及び半導体装置5628の説明を参照することができる。

[0635]

接続端子5629は、マザーボード5630のスロット5631に挿入することができる形状を有しており、接続端子5629は、PCカード5621とマザーボード5630とを接続するためのインターフェースとして機能する。接続端子5629の規格としては、例えば、PCIeが挙げられる。

[0636]

接続端子5623、接続端子5624、接続端子5625は、例えば、PCカード5621に対して電力供給、及び信号入力等を行うためのインターフェースとすることができる。また、例えば、PCカード5621によって計算された信号の出力を行うためのインターフェースとすることができる。接続端子5623、接続端子5624、接続端子5625のそれぞれの規格としては、例えば、USB (Universal Serial Bus)、SATA (Serial ATA)、及びSCSI (Small Computer System Interface) 等が挙げられる。また、接続端子5623、接続端子5624、接続端子5625から映像信号を出力する場合、それぞ

れの規格としては、例えば、HDMI（登録商標）が挙げられる。

[0637]

半導体装置5626は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード5622が備えるソケット（図示しない。）に対して差し込むことで、半導体装置5626とボード5622を電氣的に接続することができる。

[0638]

半導体装置5627は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式の半田付けを行うことで、半導体装置5627とボード5622を電氣的に接続することができる。半導体装置5627としては、例えば、FPGA、GPU、及びCPU等が挙げられる。半導体装置5627として、例えば、電子部品730を用いることができる。

[0639]

半導体装置5628は、複数の端子を有しており、当該端子をボード5622が備える配線に対して、例えば、リフロー方式の半田付けを行うことで、半導体装置5628とボード5622を電氣的に接続することができる。半導体装置5628としては、例えば、記憶装置が挙げられる。半導体装置5628として、例えば、電子部品700を用いることができる。

[0640]

大型計算機5600は並列計算機としても機能することができる。大型計算機5600を並列計算機として用いることで、例えば、人工知能の学習、及び推論に必要な大規模の計算を行うことができる。

[0641]

[宇宙用機器]

本発明の一態様の記憶装置は、宇宙用機器に好適に用いることができる。

[0642]

本発明の一態様の記憶装置は、OSトランジスタを含む。OSトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射し得る環境において好適に用いることができる。例えば、OSトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。具体的には、OSトランジスタを、スペースシャトル、人工衛星、又は、宇宙探査機に設けられる記憶装置を構成するトランジスタに用いることができる。放射線として、例えば、X線、及び中性子線が挙げられる。なお、宇宙空間とは、例えば、高度100km以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、及び成層圏のうち一つ又は複数を含んでもよい。

[0643]

図54には、宇宙用機器の一例として、人工衛星6800を示している。人工衛星6800は、機体6801と、ソーラーパネル6802と、アンテナ6803と、二次電池6805と、制御装置6807と、を有する。なお、図54においては、宇宙空間に惑星6804を例示している。

[0644]

また、図54には、図示していないが、二次電池6805に、バッテリーマネジメントシステム（BMSともいう。）、又はバッテリー制御回路を設けてもよい。前述のバッテリーマネジメントシステム、又はバッテリー制御回路に、OSトランジスタを用いると、消費電力が低く、かつ宇宙空間においても高い信頼性を有するため好適である。

[0645]

また、宇宙空間は、地上に比べて100倍以上、放射線量の高い環境である。なお、放射線として、例えば、X線、及びガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線等に代表される粒子放射線が挙げられる。

[0646]

ソーラーパネル6802に太陽光が照射されることにより、人工衛星6800が動作するために必要な電力が生成される。しかしながら、例えば、ソーラーパネルに太陽光が照射されない状況、又はソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星6800が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星6800を動作させるために、人工衛星6800に二次電池6805を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールという場合がある。

[0647]

人工衛星6800は、信号を生成することができる。当該信号は、アンテナ6803を介して送信され、例えば、地上に設けられた受信機、又は他の人工衛星が当該信号を受信することができる。人工衛星6800が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星6800は、衛星測位システムを構成することができる。

[0648]

また、制御装置6807は、人工衛星6800を制御する機能を有する。制御装置6807としては、例えば、CPU、GPU、及び記憶装置の中から選ばれるいずれか一又は複数を用いて構成される。なお、制御装置6807には、本発明の一態様であるOSトランジスタを含む記憶装置を用いると好適である。OSトランジスタは、Siトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射し得る環境においても信頼性が高く、好適に用いることができる。

[0649]

また、人工衛星6800は、センサを有する構成とすることができる。例えば、可視光センサを有する構成とすることにより、人工衛星6800は、地上に設けられる物体に当たって反射された太陽光を検出する機能を有することができる。又は、熱赤外センサを有する構成とすることにより、人工衛星6800は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星6800は、例えば、地球観測衛星としての機能を有することができる。

[0650]

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の記憶装置は、宇宙船、宇宙カプセル、又は宇宙探査機等の宇宙用機器に好適に用いることができる。

[0651]

以上の説明の通り、OSトランジスタは、Siトランジスタと比較し、広いメモリバンド幅の実現が可能で、放射線耐性が高いこと、といった優れた効果を有する。

[0652]

[データセンター]

本発明の一態様の記憶装置は、例えば、データセンター等に適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障する等、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージ及びサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷

却設備の確保、等建屋の大型化が必要となる。

[0653]

データセンターに適用されるストレージシステムに本発明の一態様の記憶装置を用いることにより、データの保持に要する電力の低減、データを保持する記憶装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、及び冷却設備の小規模化等を図ることができる。そのため、データセンターの省スペース化を図ることができる。

[0654]

また、本発明の一態様の記憶装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、及びモジュールへの悪影響を低減することができる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現することができる。よってデータセンターの信頼性を高めることができる。

[0655]

図55にデータセンターに適用可能なストレージシステムを示す。図55に示すストレージシステム7000は、ホスト7001(Host Computerと図示)として複数のサーバ7001sbを有する。また、ストレージ7003(Storageと図示)として複数の記憶装置7003mdを有する。ホスト7001とストレージ7003とは、ストレージエリアネットワーク7004(SAN:Storage Area Networkと図示)及びストレージ制御回路7002(Storage Controllerと図示)を介して接続されている形態を図示している。

[0656]

ホスト7001は、ストレージ7003に記憶されたデータにアクセスするコンピュータに相当する。ホスト7001同士は、ネットワークで互いに接続されてもよい。

[0657]

ストレージ7003は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶及び出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるDRAMが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ7003のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶及び出力を短くしている。

[0658]

前述のキャッシュメモリは、ストレージ制御回路7002及びストレージ7003内に用いられる。ホスト7001とストレージ7003との間でやり取りされるデータは、ストレージ制御回路7002及びストレージ7003内の当該キャッシュメモリに記憶されたのち、ホスト7001又はストレージ7003に出力される。

[0659]

前述のキャッシュメモリのデータを記憶するためのトランジスタとして、OSトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

[0660]

なお、本発明の一態様の記憶装置を、電子部品、電子機器、大型計算機、宇宙用機器、及びデータセンターの中から選ばれるいずれか一又は複数に適用することで、消費電力を低減させる効果が期

待される。そのため、記憶装置の高性能化、又は高集積化に伴うエネルギー需要の増加が見込まれる中、本発明の一態様の記憶装置を用いることで、二酸化炭素（CO₂）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の記憶装置は、低消費電力であるため地球温暖化対策としても有効である。

[0661]

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

[符号の説明]

[0662]

41 [1]: トランジスタ、41 [2]: トランジスタ、41 [n]: トランジスタ、41: トランジスタ、42 [1]: トランジスタ、42 [2]: トランジスタ、42 [n]: トランジスタ、42: トランジスタ、51 [1]: 容量、51 [2]: 容量、51 [n]: 容量、51: 容量、101: 絶縁層、103a: 絶縁層、103b: 絶縁層、103: 絶縁層、105a: 絶縁層、105b: 絶縁層、105: 絶縁層、107a: 絶縁層、107b [1]: 絶縁層、107b [2]: 絶縁層、107b [n]: 絶縁層、107b: 絶縁層、107: 絶縁層、111a: 導電層、112a: 導電層、112f: 導電層、112s: 導電層、112A: 導電膜、112b: 導電層、112B: 導電膜、112: 導電層、113a: 半導体層、113b: 半導体層、113i: 領域、113na: 領域、113nb: 領域、113: 半導体層、115a: 導電層、115b: 導電層、115: 導電層、121a: 開口、121b: 開口、121: 開口、127: 開口、135: 絶縁層、139 [1]: 絶縁層、139 [2]: 絶縁層、139 [n]: 絶縁層、139: 絶縁層、141f: 導電膜、141: 導電層、700: 電子部品、702: プリント基板、704: 実装基板、710: 半導体装置、711: モールド、712: ランド、713: 電極パッド、714: ワイヤ、715: 駆動回路層、716: 記憶層、717: メモリユニット、718 [1]: メモリブロック、718 [N]: メモリブロック、718: メモリブロック、720: 記憶装置、721L1: メモリアレイ、721L2: メモリアレイ、721L3: メモリアレイ、721: メモリアレイ、722: 駆動回路、723 [1]: メモリサブアレイ、723 [R]: メモリサブアレイ、723: メモリサブアレイ、724: ワード線ドライバ、725: 列ドライバ、726: センスアンプドライバ、727: データドライバ、728: メモリコントローラ、730: 電子部品、731: インターポーザ、732: パッケージ基板、733: 電極、735: 半導体装置、736: サブセンス回路、737: スイッチ回路、741a: メモリセル、741b: メモリセル、741c: メモリセル、741d: メモリセル、741 [1]: メモリセル、741 [2]: メモリセル、741 [n]: メモリセル、741: メモリセル、751: センス回路、752: スイッチ回路、753: プリチャージ回路、754: プリチャージ回路、755: アンプ回路、756: プリチャージ回路、761: パワースイッチ、762: パワースイッチ、771: 周辺回路、772: 制御回路、773: 電圧生成回路、781: 周辺回路、782: 行デコーダ、783: 行ドライバ、784: 列デコーダ、785: 列ドライバ、786: データドライバ、787: 入力回路、788: 出力回路、810: 半導体装置、830: バックアップ回路、831 [1]: 保持回路、831 [2]: 保持回路、831 [3]: 保持回路、831 [4]: 保持回路、831 [G]: 保持回路、831: 保持回路、850: スキャンフリップフロップ回路、851: セクタ回路、852: フリップフロップ回路、900: 電子計算機、910: 処理部、911: 演算部、912: 制御部、913: レジスタ部、914: レジスタユニット、915: スキャンフリップフロップ、916: バックアップメモリ、920: 記憶部、921: メモリアレイ部、922: 制御部、923: メモリブロック、924:

メモリユニット、925:メモリセル、926:センスアンプ、930:制御部、933:層、940L1:接続電極、940L2:接続電極、940L3:接続電極、960:演算装置、970A:半導体装置、970B:半導体装置、970C:半導体装置、971:バスライン、982[1]:層、982[L]:層、982:層、983[1]:層、983[H]:層、983:層、984[1]:層、984[2]:層、984[K]:層、984[n]:層、984:層、985:層、989:キャッシュインターフェイス、990:基板、991:ALU、992:ALUコントローラ、993:インストラクションデコーダ、994:インタラプトコントローラ、995:タイミングコントローラ、996:レジスタ、997:レジスタコントローラ、998:バスインターフェイス、999:キャッシュ、5600:大型計算機、5610:ラック、5620:計算機、5621:PCカード、5622:ボード、5623:接続端子、5624:接続端子、5625:接続端子、5626:半導体装置、5627:半導体装置、5628:半導体装置、5629:接続端子、5630:マザーボード、5631:スロット、6500:電子機器、6501:筐体、6502:表示部、6503:電源ボタン、6504:ボタン、6505:スピーカ、6506:マイク、6507:カメラ、6508:光源、6509:制御装置、6600:電子機器、6611:筐体、6612:キーボード、6613:ポインティングデバイス、6614:外部接続ポート、6615:表示部、6616:制御装置、6800:人工衛星、6801:機体、6802:ソーラーパネル、6803:アンテナ、6804:惑星、6805:二次電池、6807:制御装置、7000:ストレージシステム、7001sb:サーバ、7001:ホスト、7002:ストレージ制御回路、7003md:記憶装置、7003:ストレージ、7004:ストレージエリアネットワーク

請求の範囲

[請求項 1]

第1のトランジスタと、第2のトランジスタと、容量と、第1の絶縁層と、第2の絶縁層と、を有し、

前記第2のトランジスタ及び前記容量は、前記第1のトランジスタ上にそれぞれ重畳して設けられ、

前記第1のトランジスタ及び前記第2のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、

前記第1の絶縁層は、前記第1のトランジスタのソース電極とドレイン電極の間に設けられ、前記第1のトランジスタのソース電極又はドレイン電極の一方に達する第1の開口を有し、

前記第1のトランジスタのソース電極又はドレイン電極の他方は、前記第1の絶縁層上に設けられ、

前記第1のトランジスタの半導体層は、前記第1の開口内における前記第1のトランジスタのソース電極又はドレイン電極の一方の上面、前記第1の開口内における前記第1の絶縁層の側面、前記第1の開口内における前記第1のトランジスタのソース電極又はドレイン電極の他方の側面、及び、前記第1のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第1のトランジスタのゲート絶縁層は、前記第1のトランジスタの半導体層上に接して設けられ、

前記第1のトランジスタのゲート電極は、前記第1のトランジスタの半導体層と重なる領域を有するように、前記第1のトランジスタのゲート絶縁層上に設けられ、前記第2のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、前記容量の一方の電極としての機能も有し、

前記第2の絶縁層は、前記第2のトランジスタのソース電極とドレイン電極の間に設けられ、前記第1のトランジスタのゲート電極に達する第2の開口を有し、

前記第2のトランジスタのソース電極又はドレイン電極の他方は、前記第2の絶縁層上に設けられ、

前記第2のトランジスタの半導体層は、前記第2の開口内における前記第1のトランジスタのゲート電極の上面、前記第2の開口内における前記第2の絶縁層の側面、前記第2の開口内における前記第2のトランジスタのソース電極又はドレイン電極の他方の側面、及び、前記第2のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、

前記第2のトランジスタのゲート絶縁層は、前記第2のトランジスタの半導体層上に接して設けられ、

前記第2のトランジスタのゲート電極は、前記第2のトランジスタの半導体層と重なる領域を有するように、前記第2のトランジスタのゲート絶縁層上に設けられ、

前記容量の誘電体層は、前記第1のトランジスタのゲート電極上に設けられ、

前記容量の他方の電極は、前記第1のトランジスタのゲート電極と重なる領域を有し、平面視にて、前記第2の開口との間に間隔を有して、前記容量の誘電体層上に設けられる、

半導体装置。

[請求項 2]

請求項 1 において、

前記第1のトランジスタの半導体層、及び、前記第2のトランジスタの半導体層の少なくとも一は、

金属酸化物を有するトランジスタである、
半導体装置。

[請求項 3]

請求項 1 又は請求項 2 において、
前記第 1 のトランジスタの半導体層の側面と、前記第 1 のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有し、
前記第 2 のトランジスタの半導体層の側面と、前記第 2 のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有する、
半導体装置。

[請求項 4]

請求項 1 又は請求項 2 において、
前記容量の他方の電極は、前記第 1 の開口に面しない側の端部が、前記第 1 のトランジスタのゲート電極の端部よりも外側に位置している、
半導体装置。

[請求項 5]

請求項 1 又は請求項 2 において、
前記容量の他方の電極は、前記第 1 のトランジスタのゲート電極の第 1 の側端部上と、前記第 1 の側端部と対向する第 2 の側端部上と、の 2 箇所に設けられる、
半導体装置。

[請求項 6]

請求項 1 又は請求項 2 において、
前記容量の他方の電極は、前記第 2 の開口を取り囲むように、前記第 1 のトランジスタのゲート電極の上面と重なる領域を有する、
半導体装置。

[請求項 7]

請求項 1 又は請求項 2 において、
前記容量の誘電体層は、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有する、
半導体装置。

[請求項 8]

請求項 1 又は請求項 2 において、
前記容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコン酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、又はチタン酸バリウムのいずれかを有する、
半導体装置。

[請求項 9]

請求項 1 又は請求項 2 において、

前記第1の絶縁層、及び、前記第2の絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有する、

半導体装置。

[請求項10]

第1の導電層を形成し、

前記第1の導電層上に、第1の絶縁層、及び、第1の導電膜を形成し、

前記第1の絶縁層、及び、前記第1の導電膜を加工して、前記第1の導電膜から第2の導電層を形成し、前記第1の導電膜、及び、前記第1の絶縁層に、前記第1の導電層に達する第1の開口を形成し、

前記第2の導電層を加工して、第3の導電層を形成し、

前記第1の開口内における前記第1の導電層の上面、前記第1の開口内における前記第1の絶縁層の側面、前記第1の開口内における前記第3の導電層の側面、及び、前記第3の導電層の上面に接して、第1の金属酸化物膜を形成し、

前記第1の金属酸化物膜を加工して、前記第1の開口と重なる領域を有するように、第1の半導体層を形成し、

前記第1の半導体層の上面に接して、第2の絶縁層を形成し、

前記第2の絶縁層上に、第2の導電膜を形成し、

前記第2の導電膜を加工して、前記第1の半導体層と重なる領域を有するように、第4の導電層を形成し、

前記第4の導電層上、及び、前記第2の絶縁層上に、第3の絶縁層を形成し、

前記第3の絶縁層上に、第3の導電膜を形成し、

前記第3の導電膜を加工して、前記第4の導電層と重なる領域を有するように、第5の導電層を形成し、

前記第5の導電層上、及び、前記第3の絶縁層上に、第4の絶縁層、及び、第4の導電膜を形成し、

前記第4の絶縁層、及び、前記第4の導電膜を加工して、前記第4の導電膜から第6の導電層を形成し、前記第4の導電膜、及び、前記第4の絶縁層に、前記第4の導電層に達する第2の開口を形成し、

前記第6の導電層を加工して、第7の導電層を形成し、

前記第2の開口内における前記第4の導電層の上面、前記第2の開口内における前記第3の絶縁層の側面、前記第2の開口内における前記第7の導電層の側面、及び、前記第7の導電層の上面に接して、第2の金属酸化物膜を形成し、

前記第2の金属酸化物膜を加工して、前記第2の開口と重なる領域を有するように、第2の半導体層を形成し、

前記第2の半導体層の上面に接して、第5の絶縁層を形成し、

前記第5の絶縁層上に、第5の導電膜を形成し、

前記第5の導電膜を加工して、前記第2の半導体層と重なる領域を有するように、第8の導電層を形成する、

半導体装置の作製方法。

[請求項11]

第1の導電層を形成し、
前記第1の導電層上に、第1の絶縁層、及び、第1の導電膜を形成し、
前記第1の絶縁層、及び、前記第1の導電膜を加工して、前記第1の導電膜から第2の導電層を形成し、前記第1の導電膜、及び、前記第1の絶縁層に、前記第1の導電層に達する第1の開口を形成し、
前記第1の開口内における前記第1の導電層の上面、前記第1の開口内における前記第1の絶縁層の側面、前記第1の開口内における前記第2の導電層の側面、及び、前記第2の導電層の上面に接して、第1の金属酸化物膜を形成し、
前記第1の金属酸化物膜を加工して、前記第1の開口と重なる領域を有するように、第1の半導体層を形成し、
前記第2の導電層を加工して、前記第1の半導体層と重なる領域を有するように、第3の導電層を形成し、
前記第1の半導体層の上面に接して、第2の絶縁層を形成し、
前記第2の絶縁層上に、第2の導電膜を形成し、
前記第2の導電膜を加工して、前記第1の半導体層と重なる領域を有するように、第4の導電層を形成し、
前記第4の導電層上、及び、前記第2の絶縁層上に、第3の絶縁層を形成し、
前記第3の絶縁層上に、第3の導電膜を形成し、
前記第3の導電膜を加工して、前記第4の導電層と重なる領域を有するように、第5の導電層を形成し、
前記第5の導電層上、及び、前記第3の絶縁層上に、第4の絶縁層、及び、第4の導電膜を形成し、
前記第4の絶縁層、及び、前記第4の導電膜を加工して、前記第4の導電膜から第6の導電層を形成し、前記第4の導電膜、及び、前記第4の絶縁層に、前記第4の導電層に達する第2の開口を形成し、
前記第2の開口内における前記第4の導電層の上面、前記第2の開口内における前記第3の絶縁層の側面、前記第2の開口内における前記第4の絶縁層の側面、前記第2の開口内における前記第6の導電層の側面、及び、前記第6の導電層の上面に接して、第2の金属酸化物膜を形成し、
前記第2の金属酸化物膜を加工して、前記第2の開口と重なる領域を有するように、第2の半導体層を形成し、
前記第6の導電層を加工して、前記第2の半導体層と重なる領域を有するように、第7の導電層を形成し、
前記第2の半導体層の上面に接して、第5の絶縁層を形成し、
前記第5の絶縁層上に、第5の導電膜を形成し、
前記第5の導電膜を加工して、前記第2の半導体層と重なる領域を有するように、第8の導電層を形成する、
半導体装置の作製方法。

[請求項12]

記憶部と、処理部と、を有し、
前記記憶部は、記憶装置と、センスアンプと、を有し、
前記処理部は、CPU、MPU、又はGPUを有し、

前記センスアンプと、前記処理部と、は第1の層上に配置され、
前記記憶装置は、第2の層上に配置され、第1のトランジスタと、第2のトランジスタと、容量と、第1の絶縁層と、第2の絶縁層と、を有し、
前記第2の層は、前記第1の層上に積層して設けられ、
前記第2のトランジスタ及び前記容量は、前記第1のトランジスタ上にそれぞれ重畳して設けられ、
前記第1のトランジスタ及び前記第2のトランジスタのそれぞれは、基板面に対してソース電極とドレイン電極が異なる高さに位置し、
前記第1の絶縁層は、前記第1のトランジスタのソース電極とドレイン電極の間に設けられ、前記第1のトランジスタのソース電極又はドレイン電極の一方に達する第1の開口を有し、
前記第1のトランジスタのソース電極又はドレイン電極の他方は、前記第1の絶縁層上に設けられ、
前記第1のトランジスタの半導体層は、前記第1の開口内における前記第1のトランジスタのソース電極又はドレイン電極の一方の上面、前記第1の開口内における前記第1の絶縁層の側面、前記第1の開口内における前記第1のトランジスタのソース電極又はドレイン電極の他方の側面、及び、前記第1のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、
前記第1のトランジスタのゲート絶縁層は、前記第1のトランジスタの半導体層上に接して設けられ、
前記第1のトランジスタのゲート電極は、前記第1のトランジスタの半導体層と重なる領域を有するように、前記第1のトランジスタのゲート絶縁層上に設けられ、前記第2のトランジスタのソース電極又はドレイン電極の一方としての機能、及び、前記容量の一方の電極としての機能も有し、
前記第2の絶縁層は、前記第2のトランジスタのソース電極とドレイン電極の間に設けられ、前記第1のトランジスタのゲート電極に達する第2の開口を有し、
前記第2のトランジスタのソース電極又はドレイン電極の他方は、前記第2の絶縁層上に設けられ、
前記第2のトランジスタの半導体層は、前記第2の開口内における前記第1のトランジスタのゲート電極の上面、前記第2の開口内における前記第2の絶縁層の側面、前記第2の開口内における前記第2のトランジスタのソース電極又はドレイン電極の他方の側面、及び、前記第2のトランジスタのソース電極又はドレイン電極の他方の上面に接する領域を有し、
前記第2のトランジスタのゲート絶縁層は、前記第2のトランジスタの半導体層上に接して設けられ、
前記第2のトランジスタのゲート電極は、前記第2のトランジスタの半導体層と重なる領域を有するように、前記第2のトランジスタのゲート絶縁層上に設けられ、
前記容量の誘電体層は、前記第1のトランジスタのゲート電極上に設けられ、
前記容量の他方の電極は、前記第1のトランジスタのゲート電極と重なる領域を有し、平面視にて、前記第2の開口との間に間隔を有して、前記容量の誘電体層上に設けられる、
半導体装置。

[請求項13]

請求項12において、
前記第1のトランジスタの半導体層、及び、前記第2のトランジスタの半導体層の少なくとも一は、

金属酸化物を有するトランジスタである、
半導体装置。

[請求項 1 4]

請求項 1 2 又は請求項 1 3 において、
前記第 1 のトランジスタの半導体層の側面と、前記第 1 のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有し、
前記第 2 のトランジスタの半導体層の側面と、前記第 2 のトランジスタのソース電極又はドレイン電極の他方の側面と、は略面一になる領域を有する、
半導体装置。

[請求項 1 5]

請求項 1 2 又は請求項 1 3 において、
前記容量の他方の電極は、前記第 1 の開口に面しない側の端部が、前記第 1 のトランジスタのゲート電極の端部よりも外側に位置している、
半導体装置。

[請求項 1 6]

請求項 1 2 又は請求項 1 3 において、
前記容量の他方の電極は、前記第 1 のトランジスタのゲート電極の第 1 の側端部上と、前記第 1 の側端部と対向する第 2 の側端部上と、の 2 箇所に設けられる、
半導体装置。

[請求項 1 7]

請求項 1 2 又は請求項 1 3 において、
前記容量の他方の電極は、前記第 2 の開口を取り囲むように、前記第 1 のトランジスタのゲート電極の上面と重なる領域を有する、
半導体装置。

[請求項 1 8]

請求項 1 2 又は請求項 1 3 において、
前記容量の誘電体層は、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウム及びハフニウムを有する酸化物、アルミニウム及びハフニウムを有する酸化窒化物、シリコン及びハフニウムを有する酸化物、シリコン及びハフニウムを有する酸化窒化物、並びに、シリコン及びハフニウムを有する窒化物のいずれかを有する、
半導体装置。

[請求項 1 9]

請求項 1 2 又は請求項 1 3 において、
前記容量の誘電体層は、酸化ハフニウム、酸化ジルコニウム、チタン酸鉛、チタン酸バリウムストロンチウム、チタン酸ストロンチウム、チタン酸ジルコニウム酸鉛、タンタル酸ビスマス酸ストロンチウム、ビスマスフェライト、又はチタン酸バリウムのいずれかを有する、
半導体装置。

[請求項 2 0]

請求項 1 2 又は請求項 1 3 において、

前記第1の絶縁層、及び、前記第2の絶縁層は、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、ポリエステル、ポリオレフィン、ポリアミド、ポリイミド、ポリカーボネート、及びアクリルのいずれかを有する、
半導体装置。

図 1A

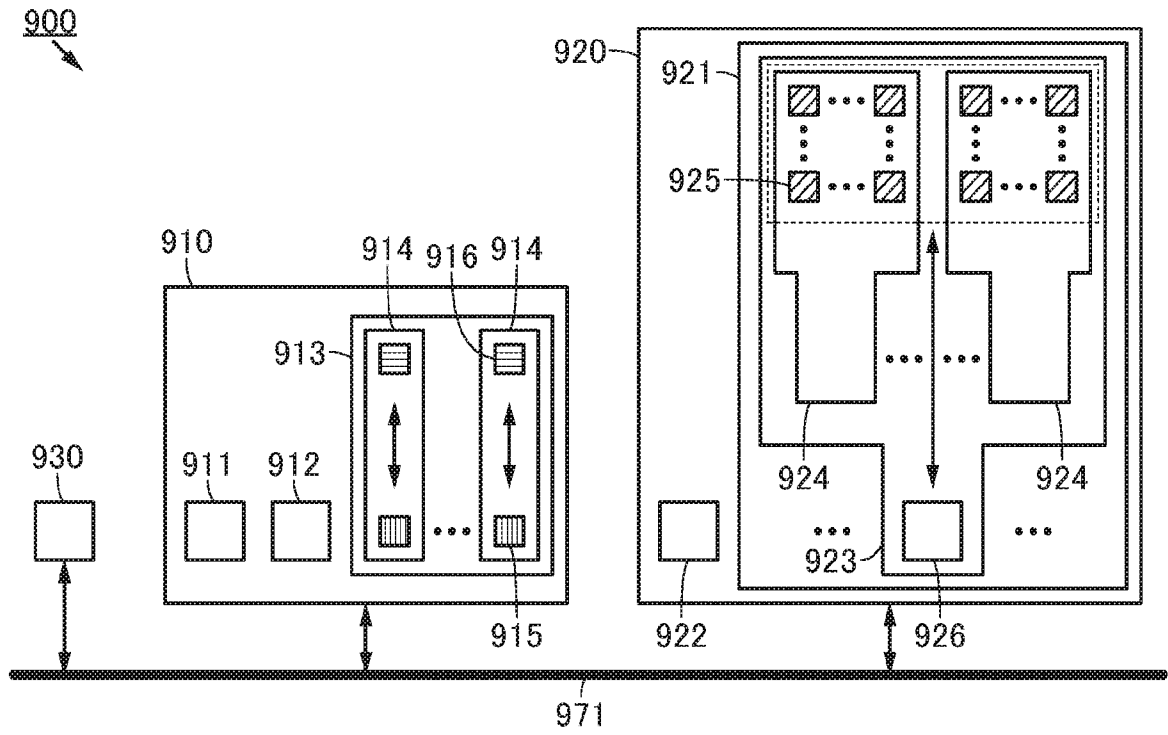


図 1B

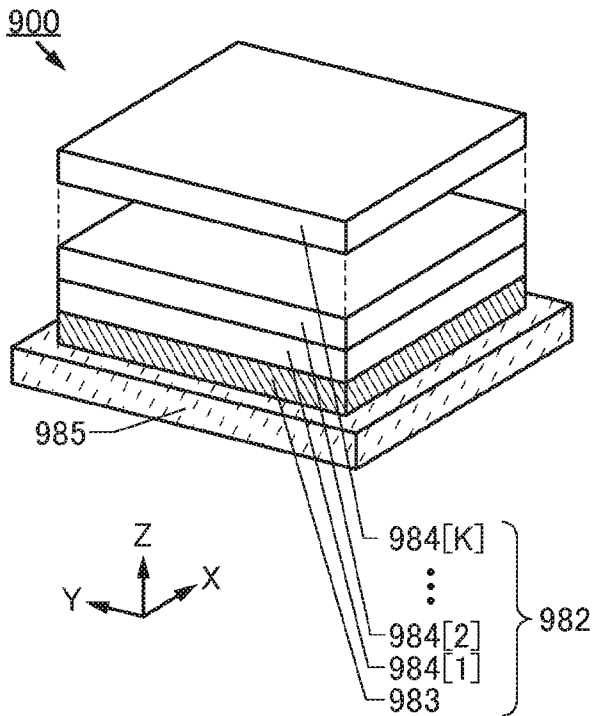


図 1C

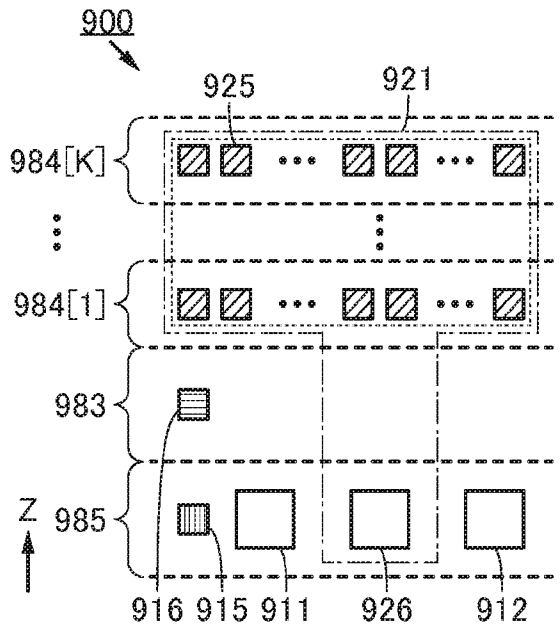
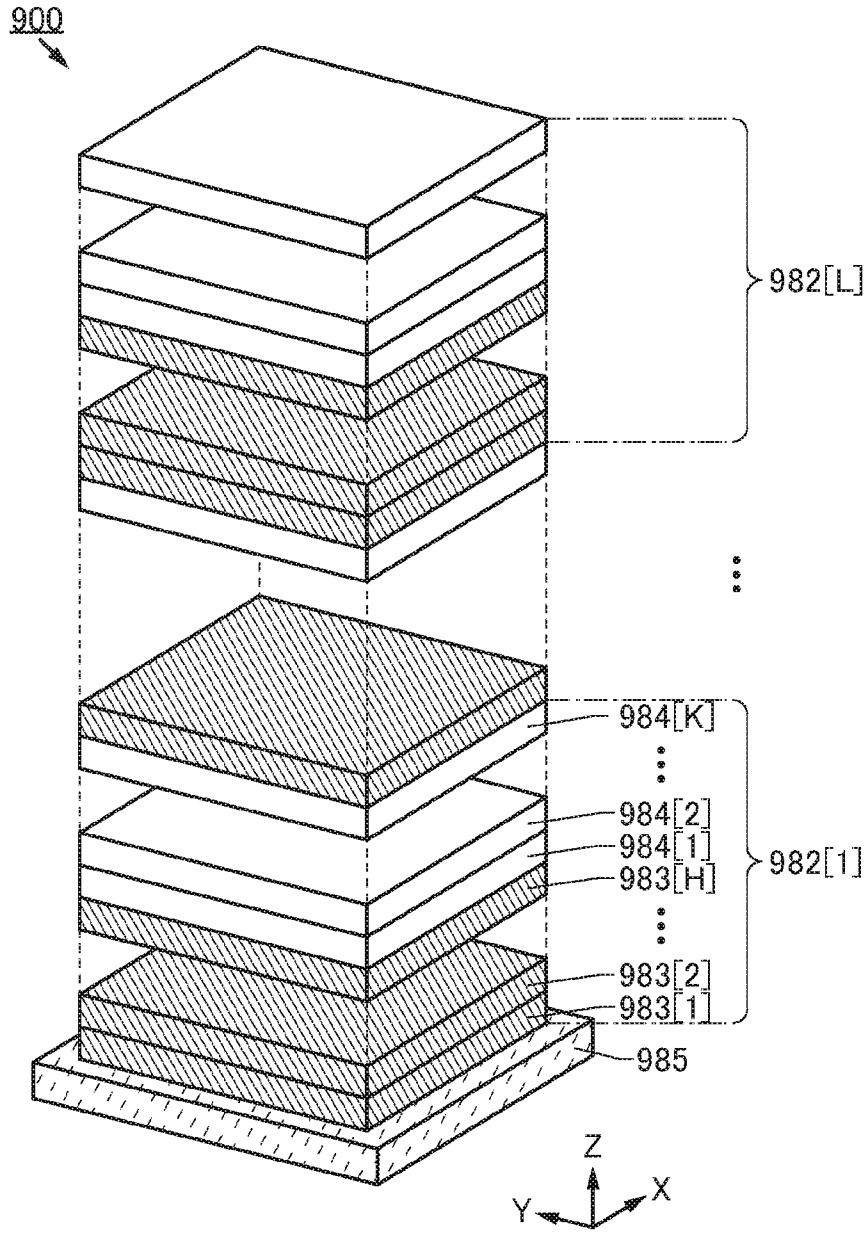


図2



3

710

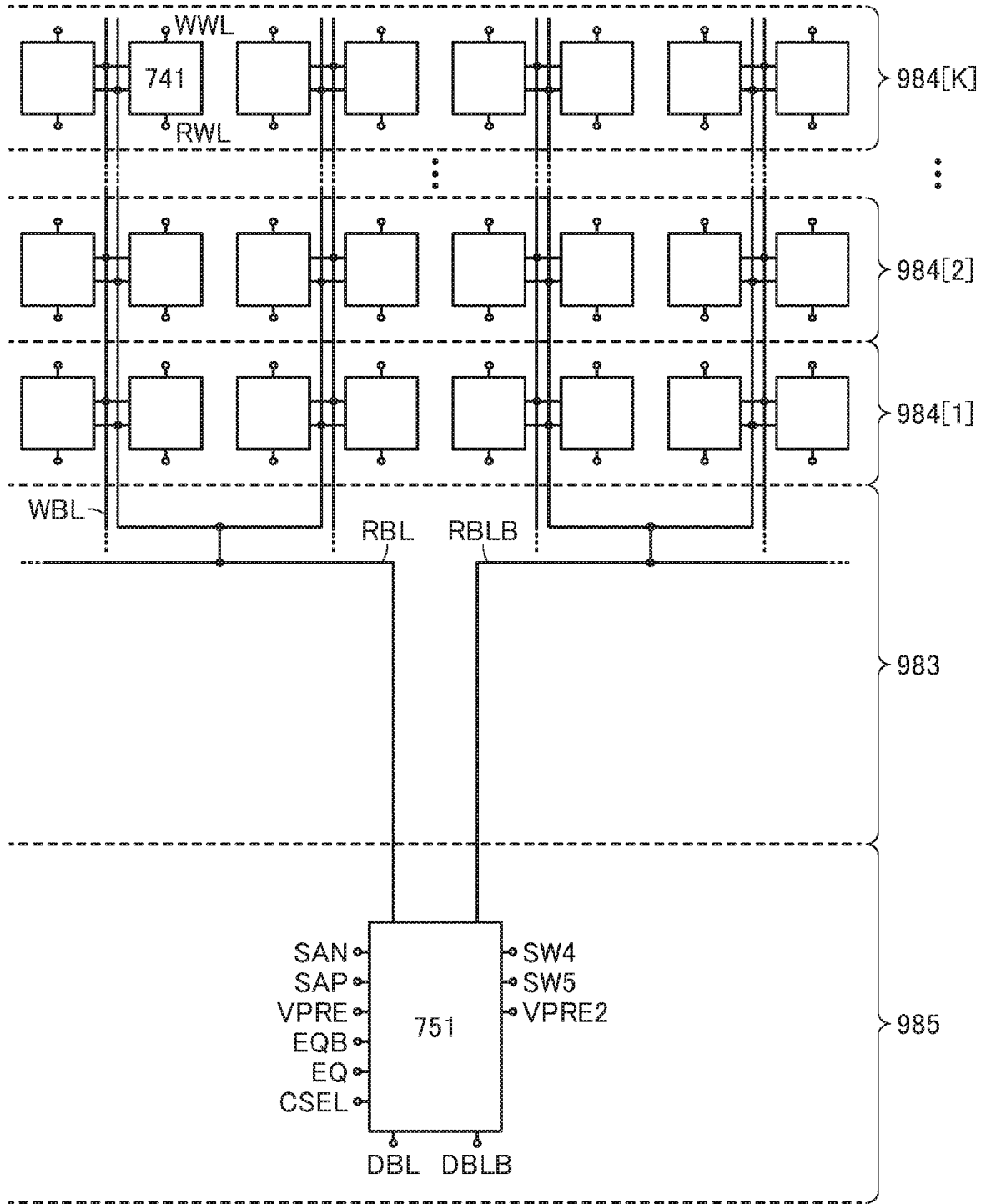


図4A

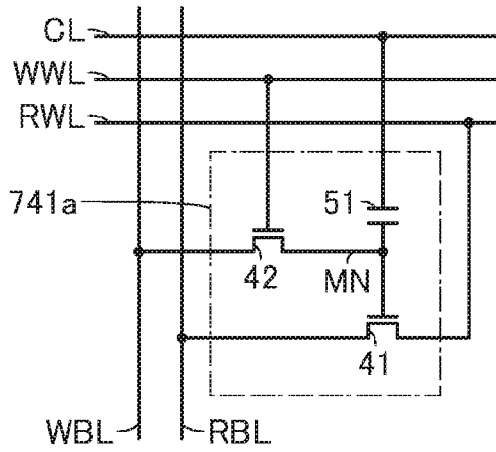


図4B

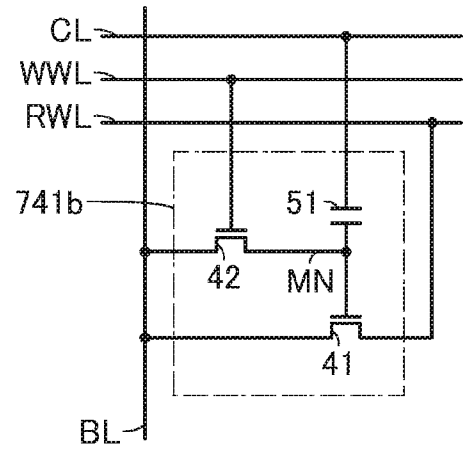


図4C

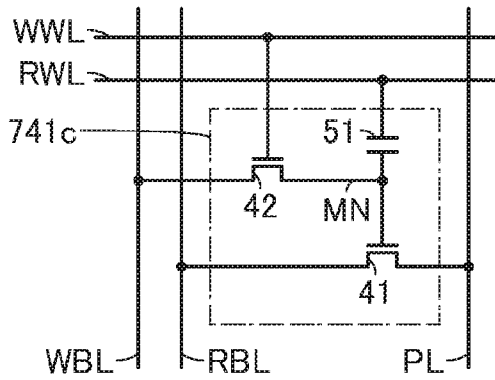


図4D

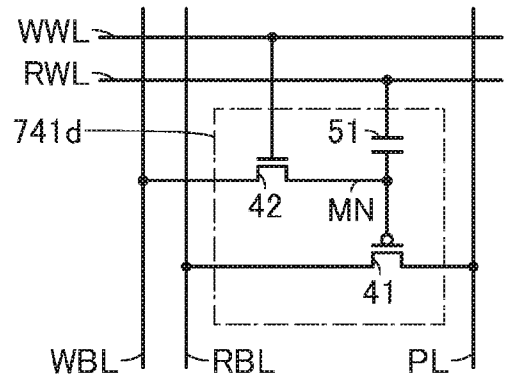


図5A

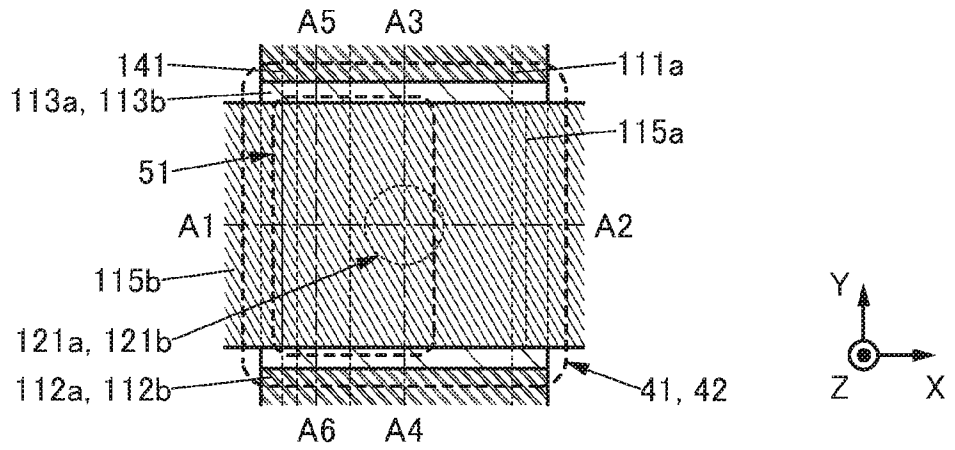
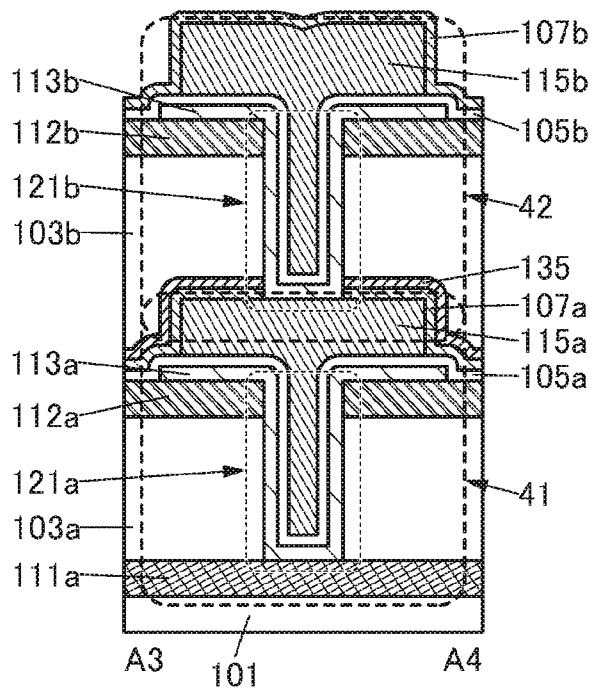
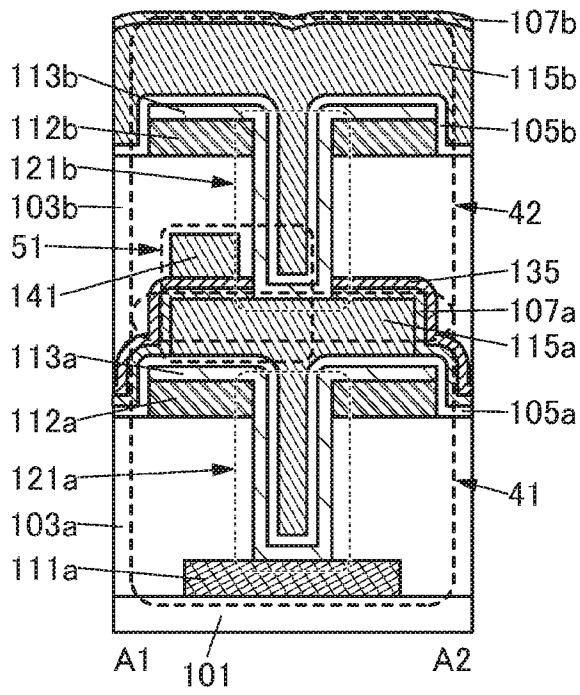


図5B

図5C



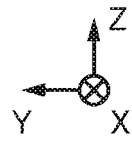
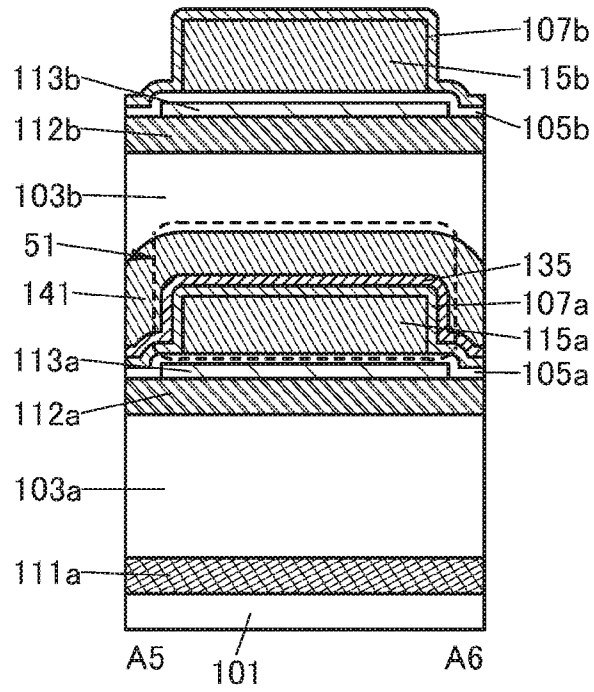


図7A

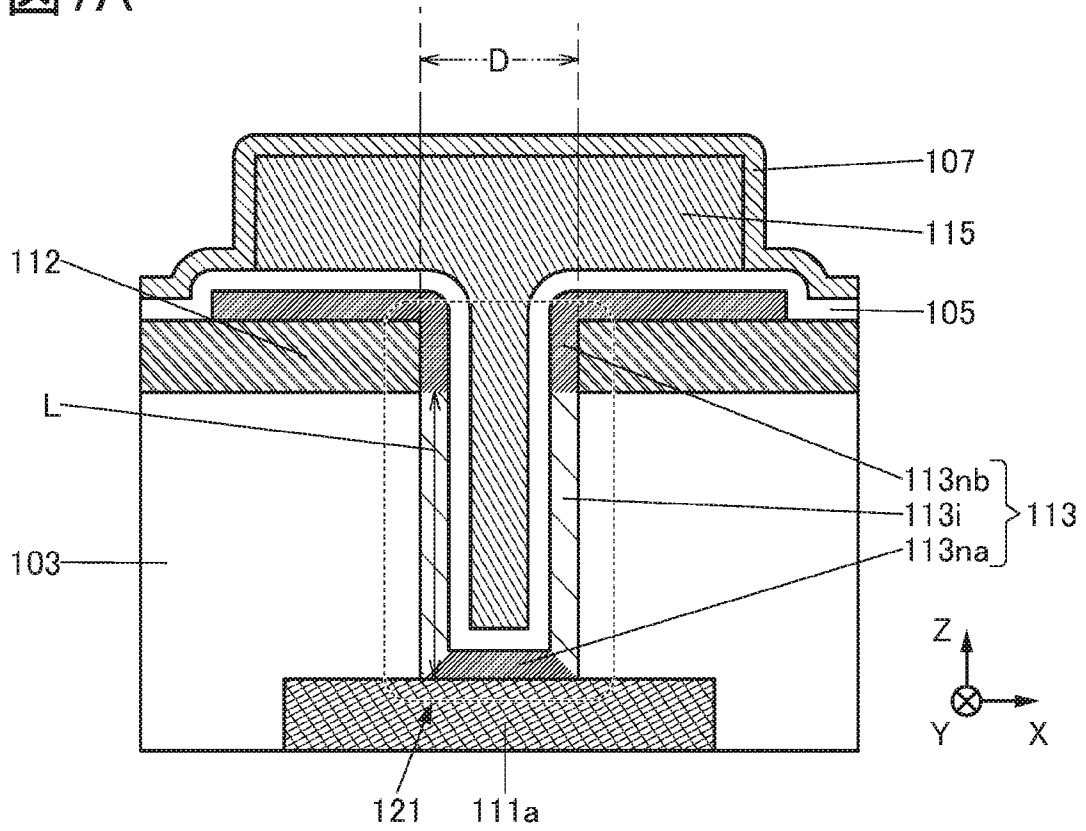
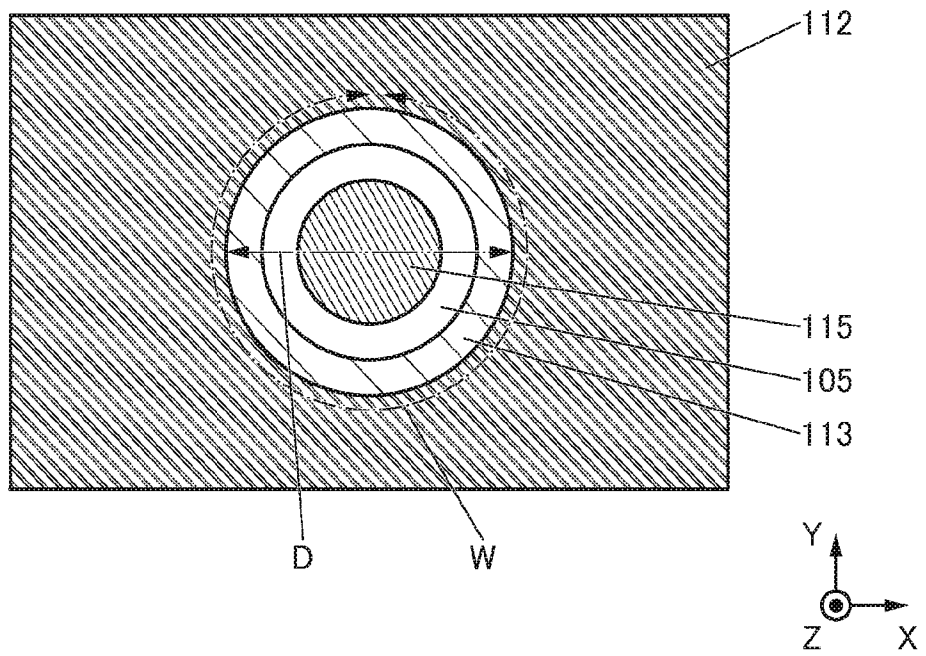
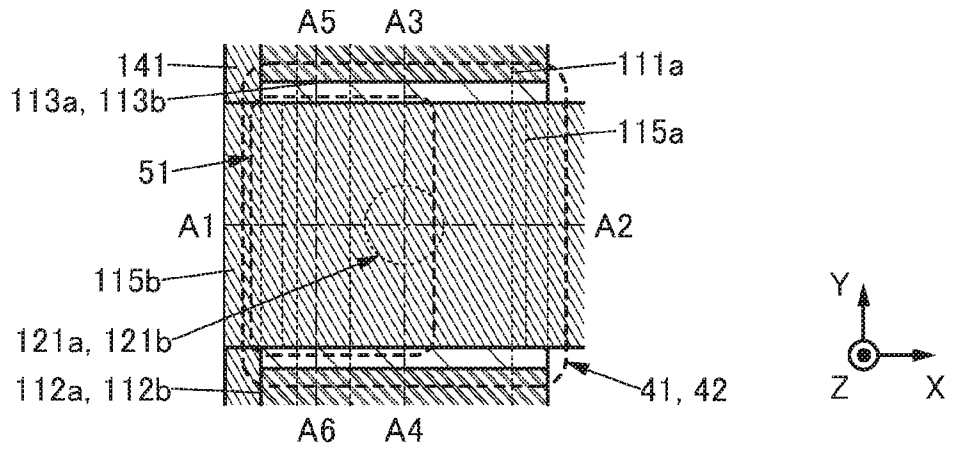


図7B

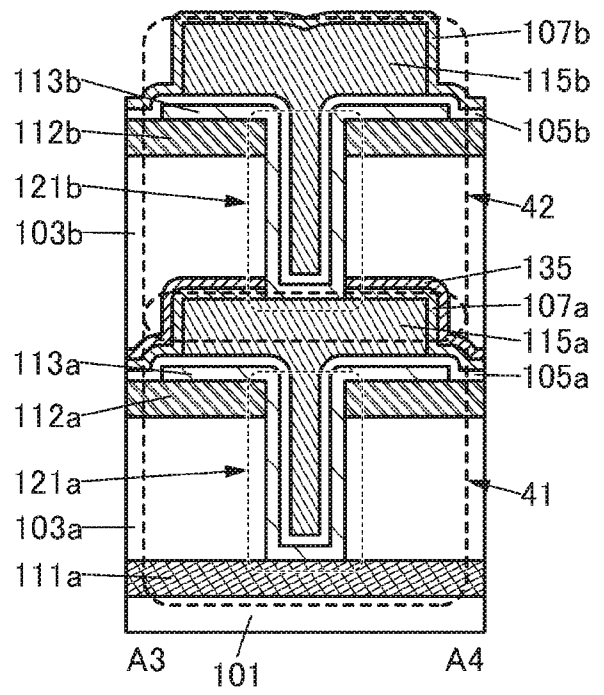
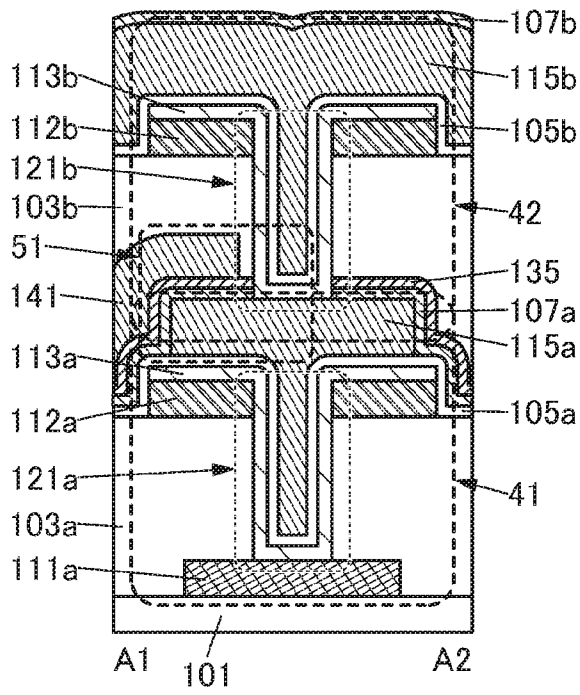


8A

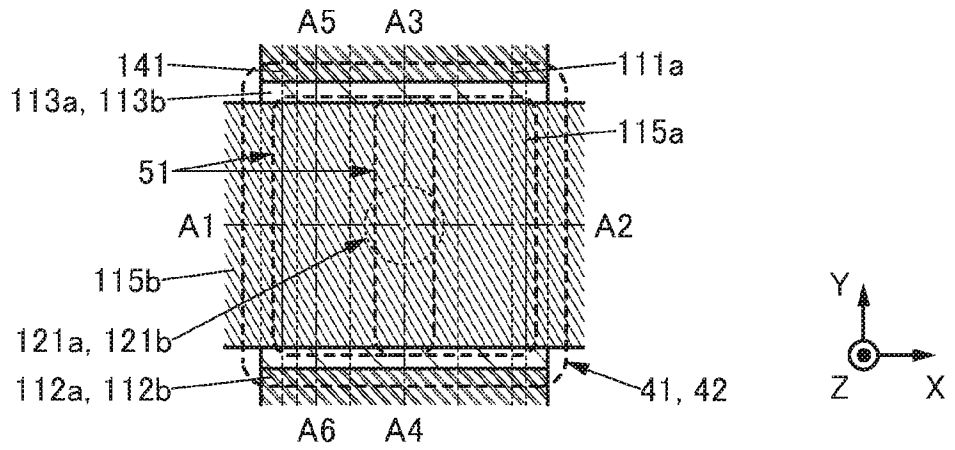


8B

8C

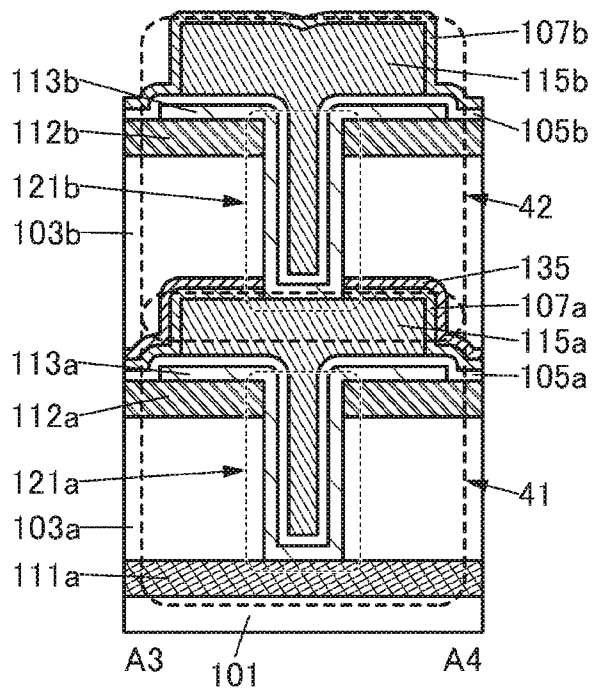
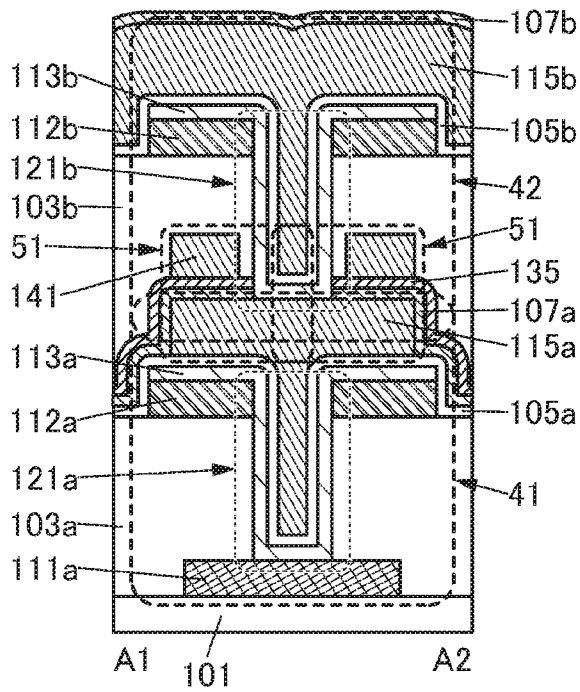


9A

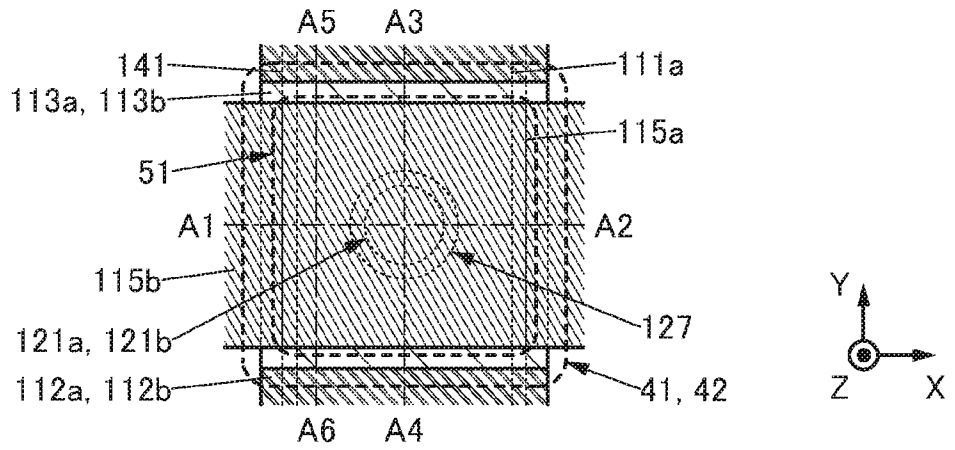


9B

9C

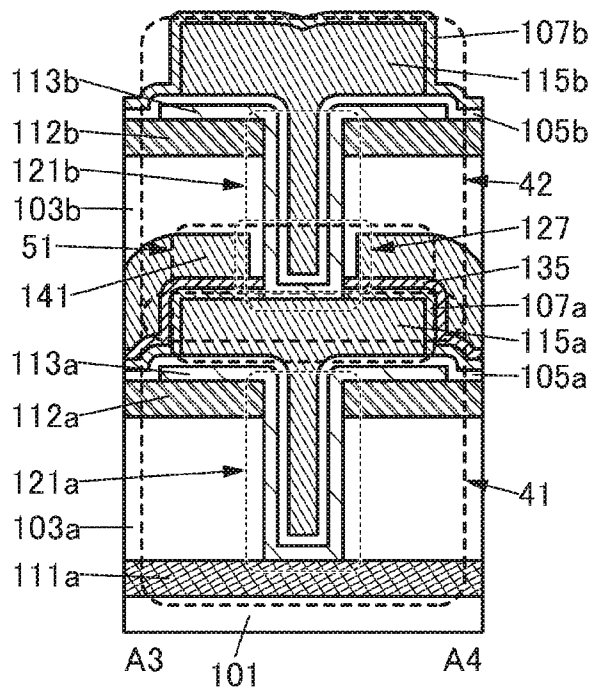
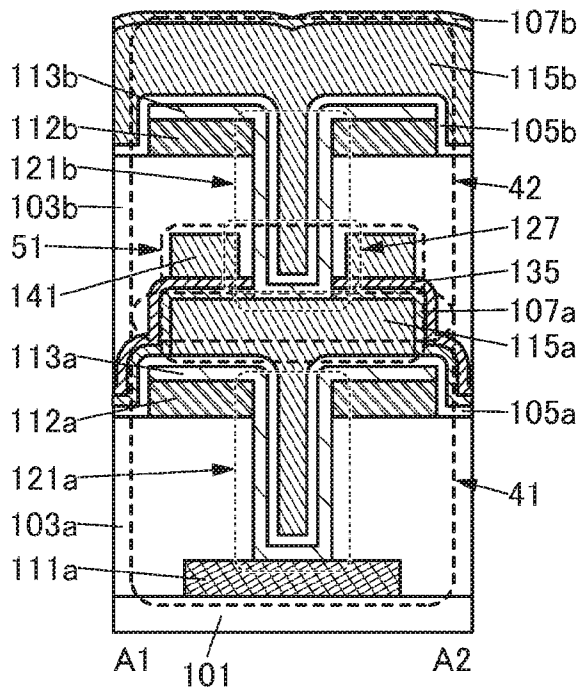


10A

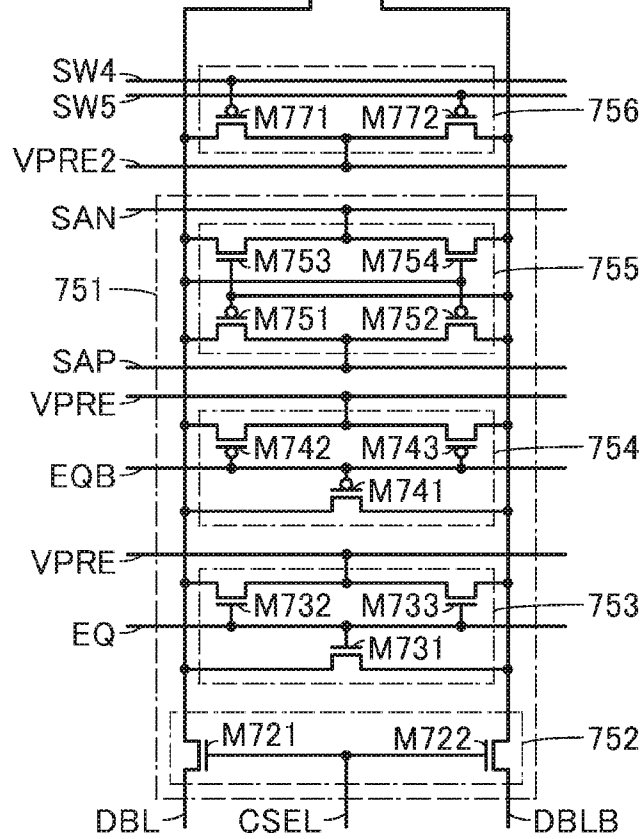
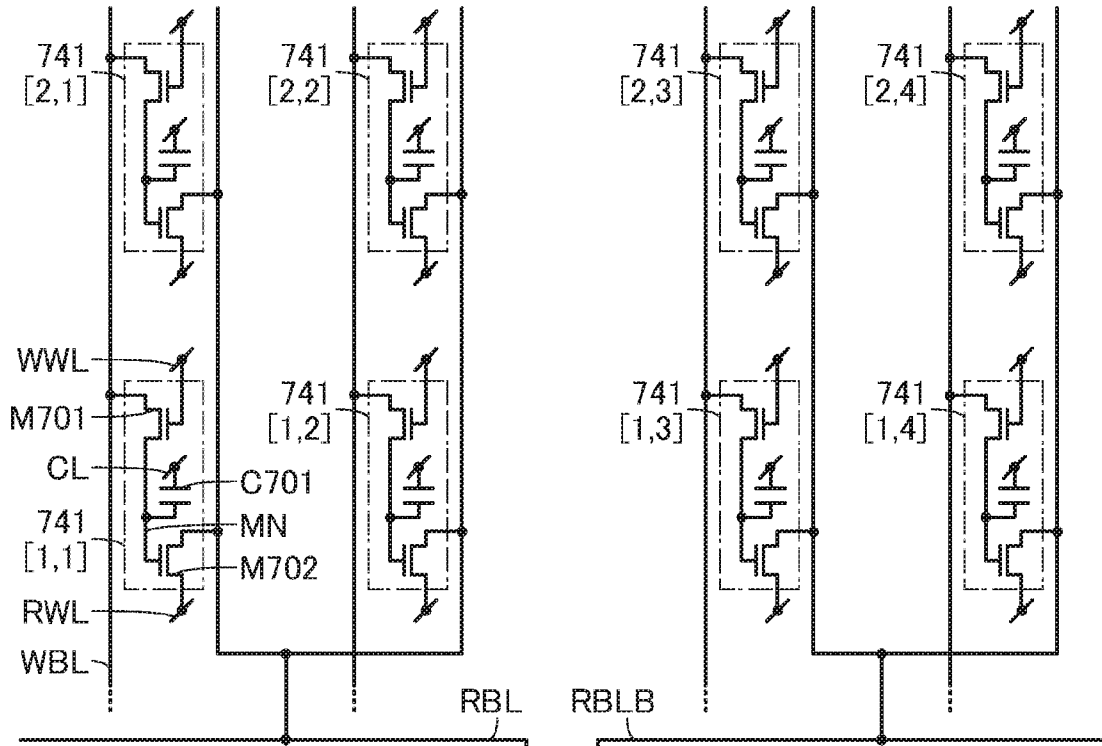


10B

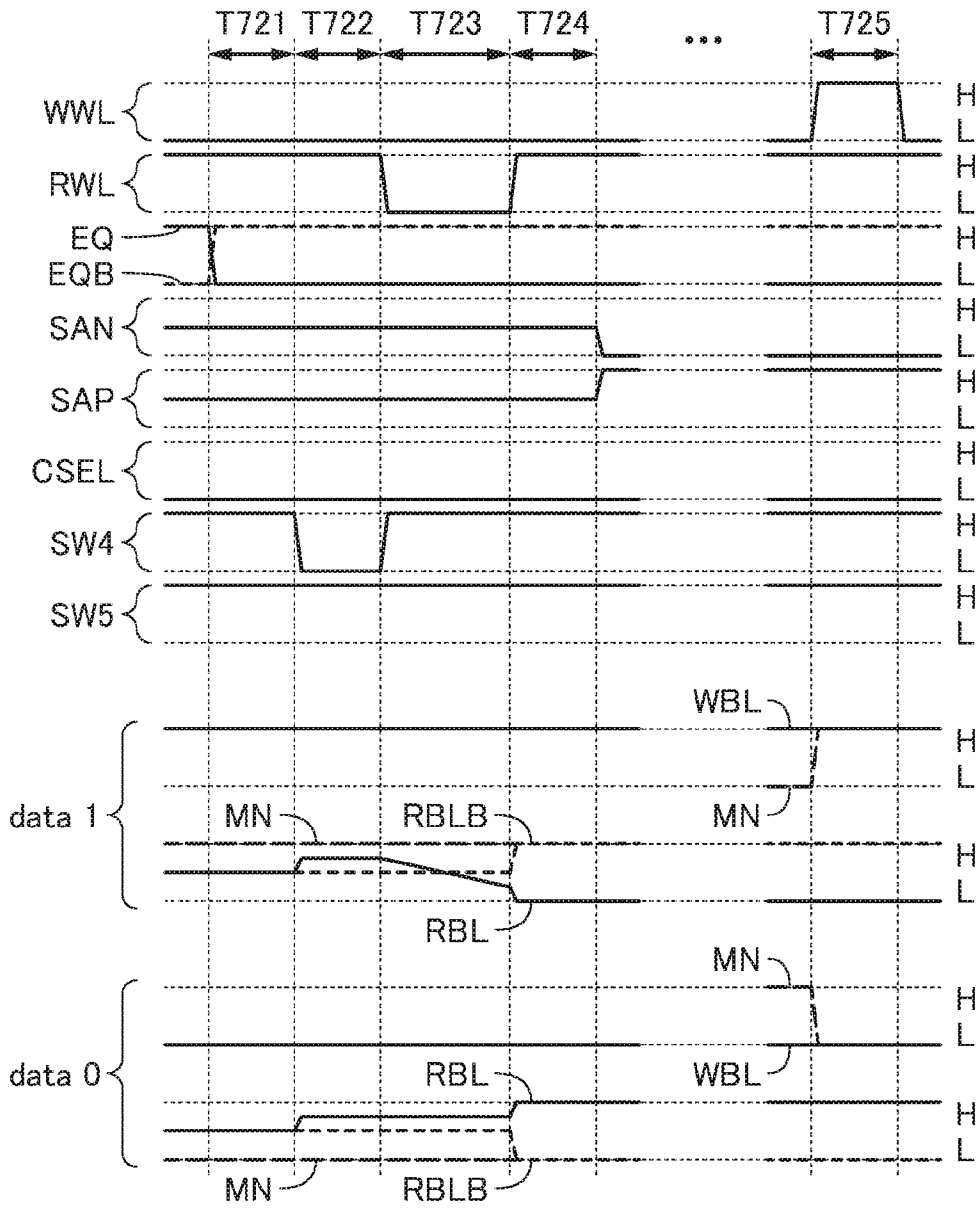
10C



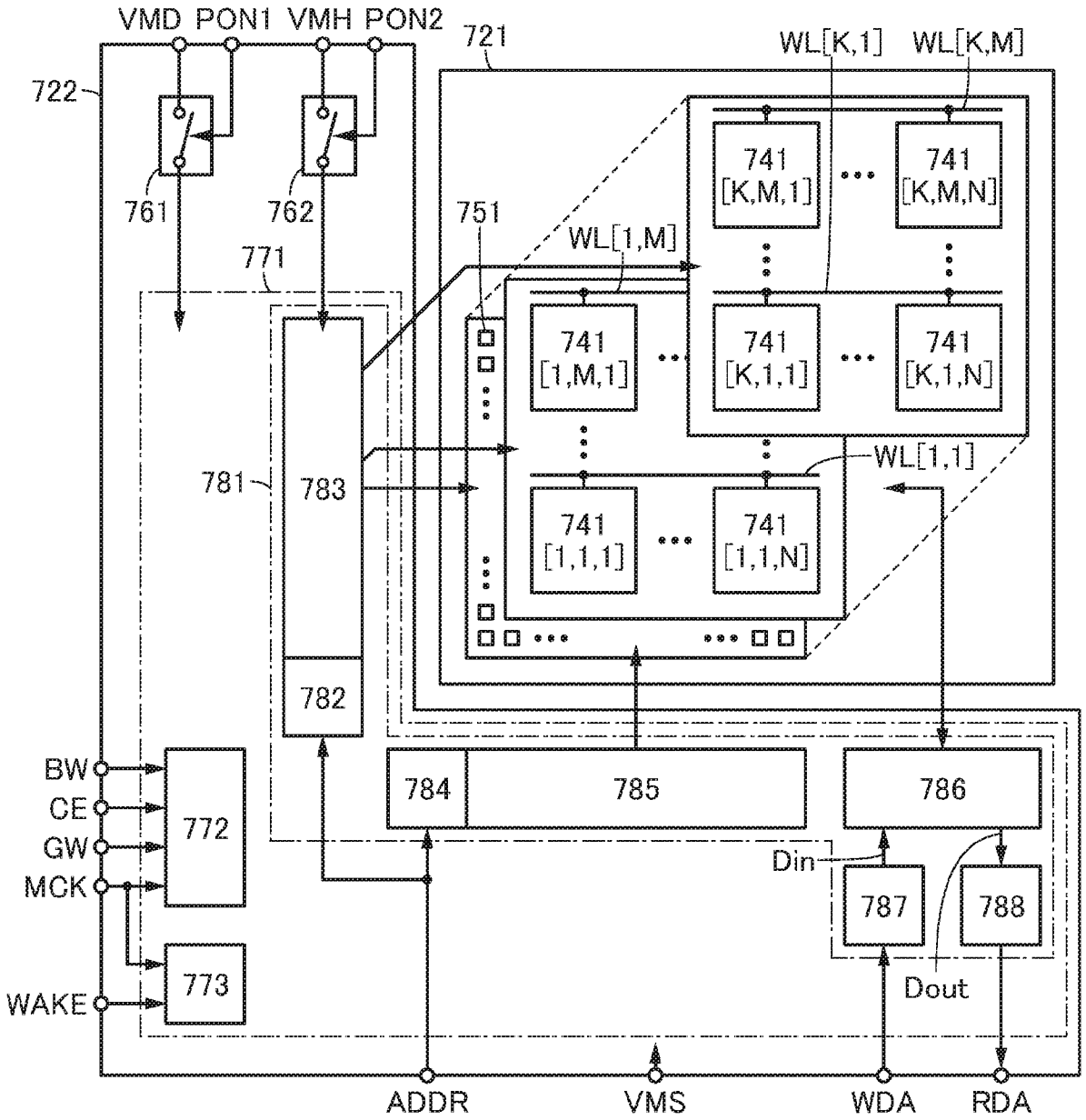
11



12

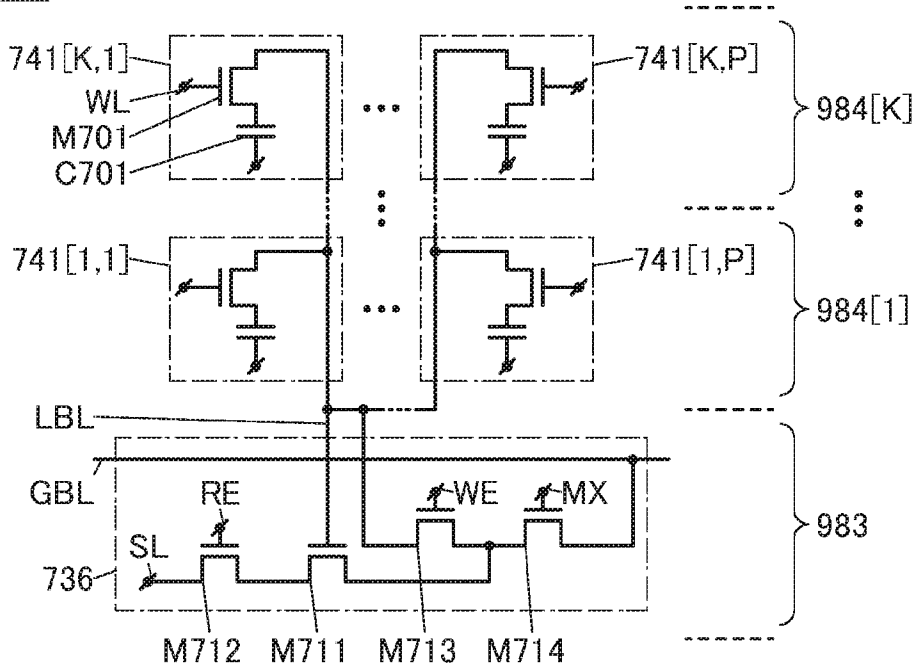


13
720



14A

717



14B

718

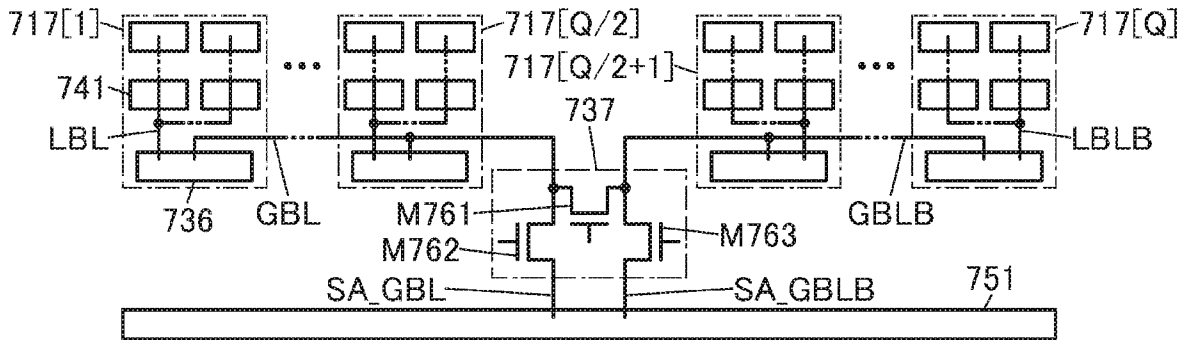
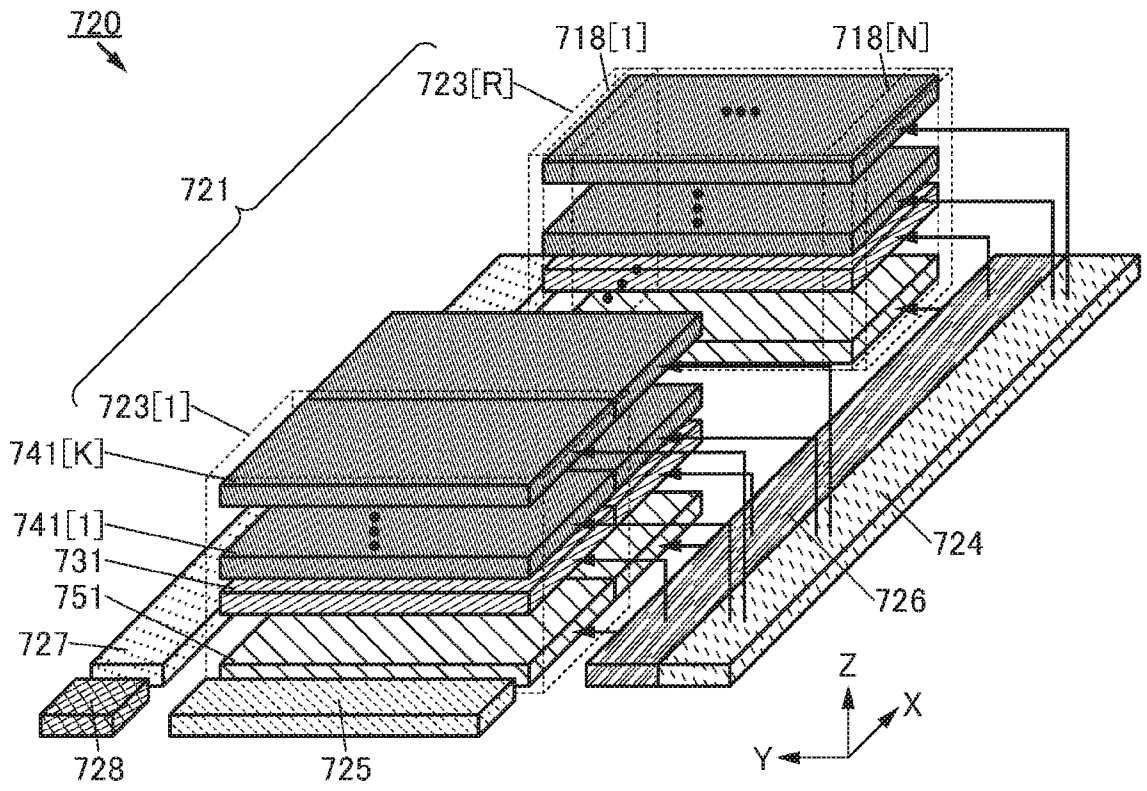
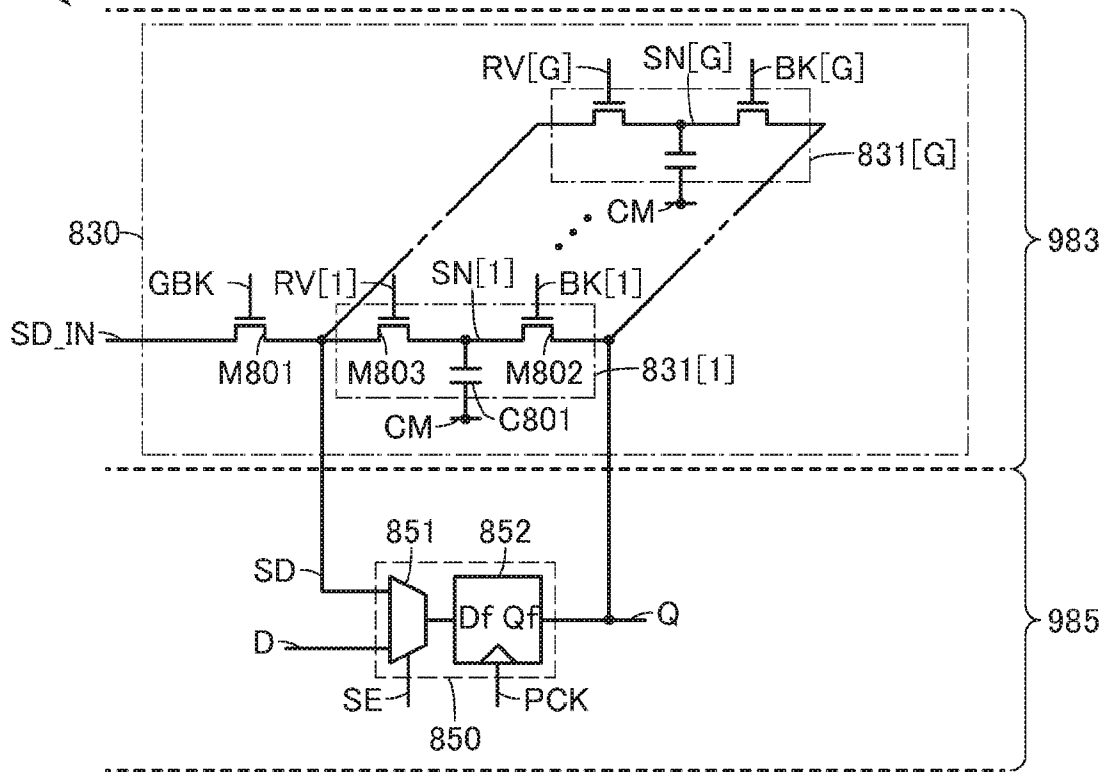


図 15



16

810



17

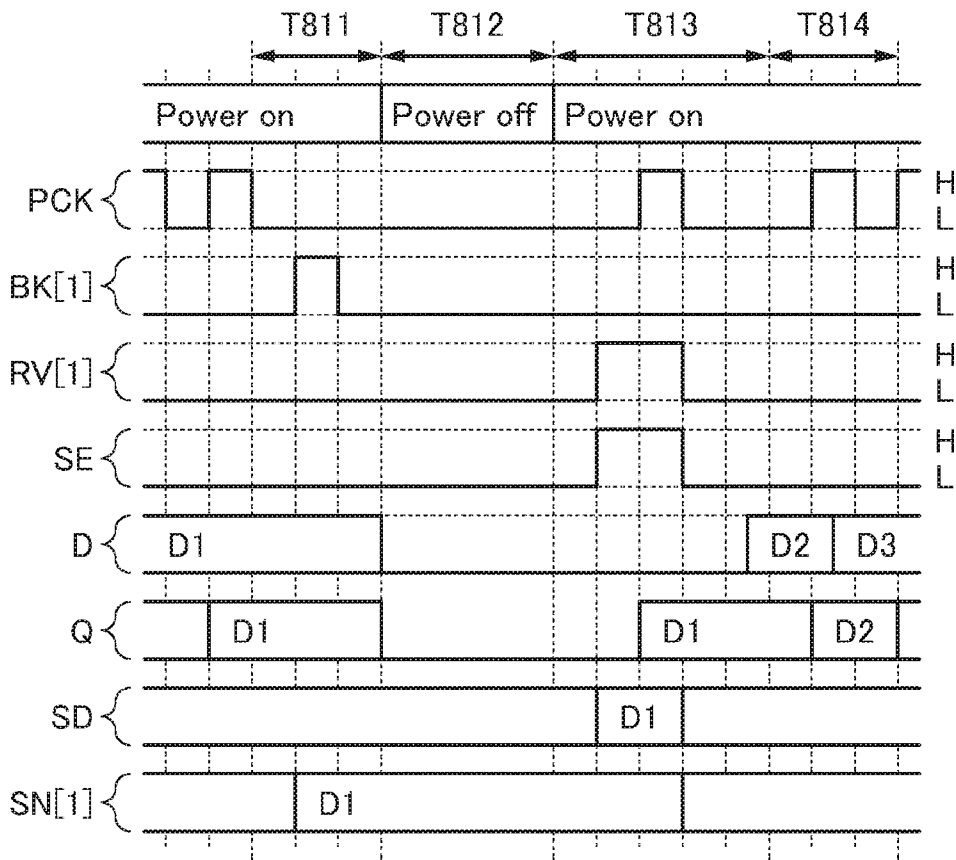


図 18A

T811

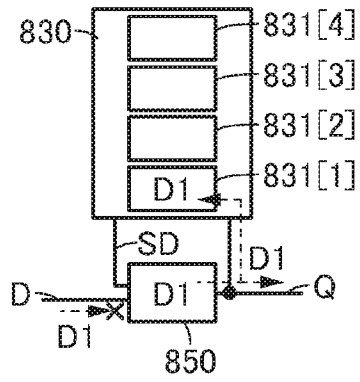


図 18B

T812

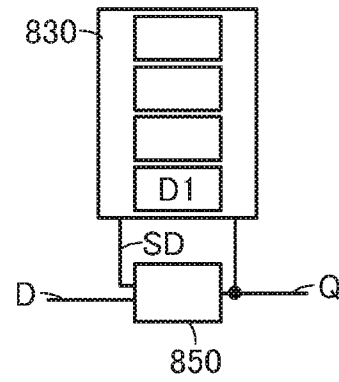


図 18C

T813

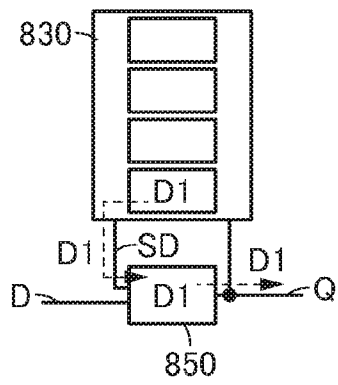
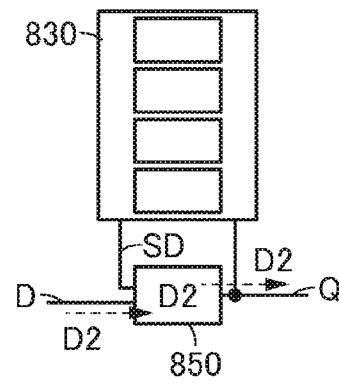
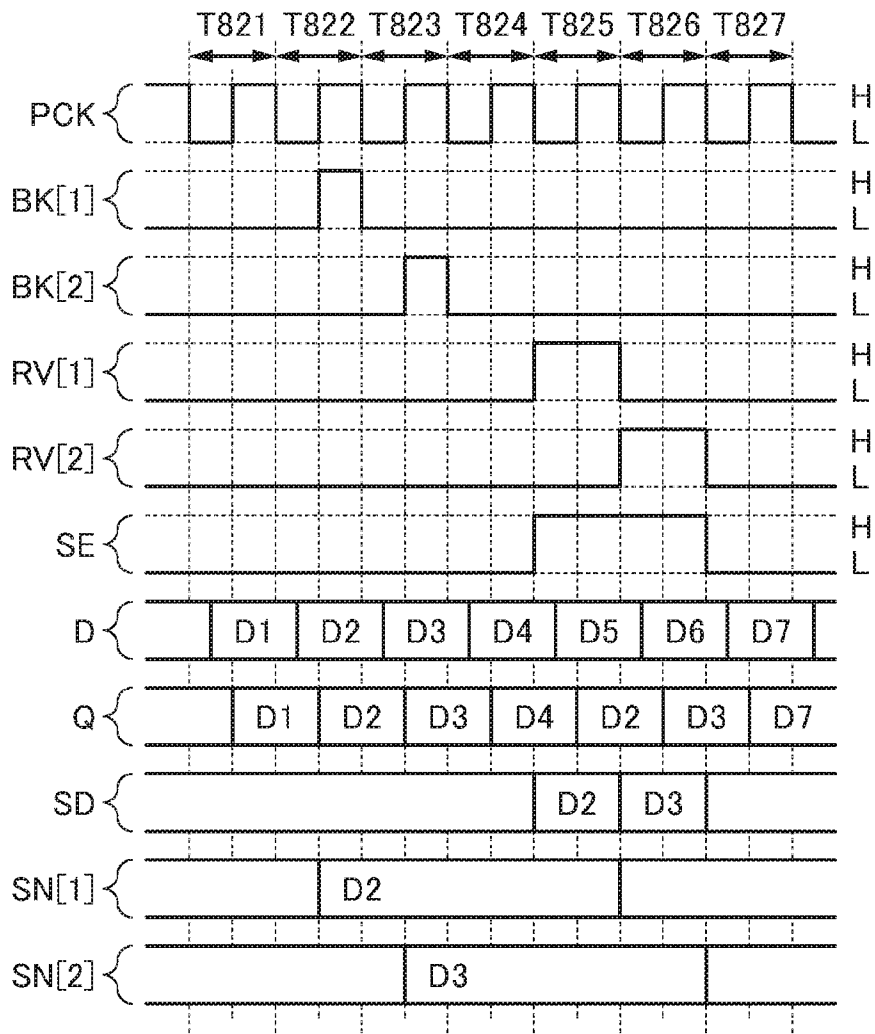


図 18D

T814

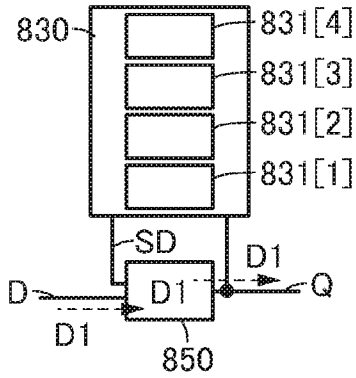


19



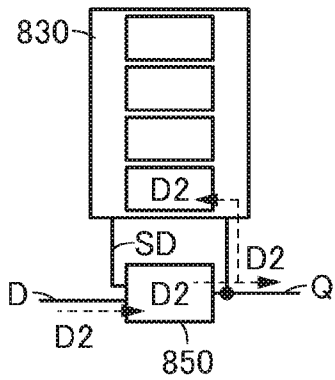
20A

T821



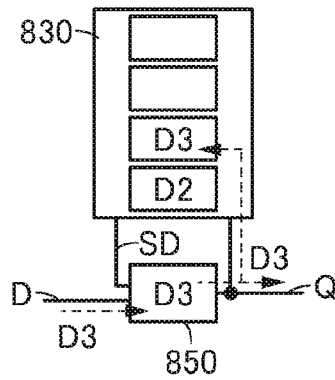
20B

T822



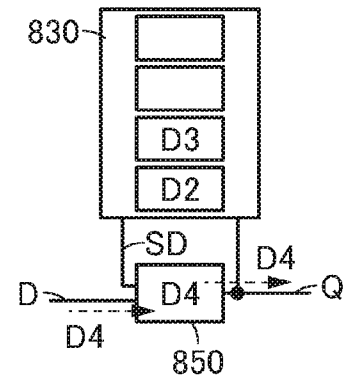
20C

T823



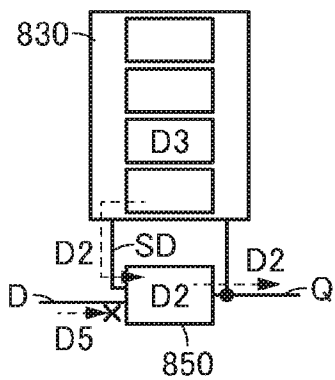
20D

T824



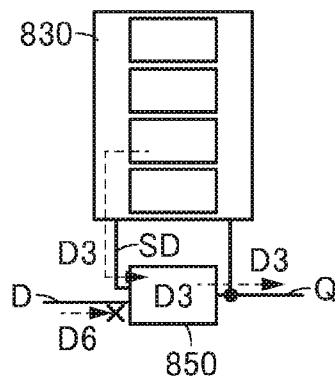
20E

T825



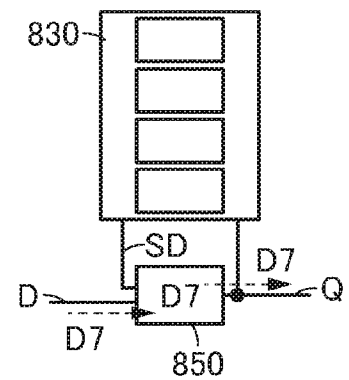
20F

T826

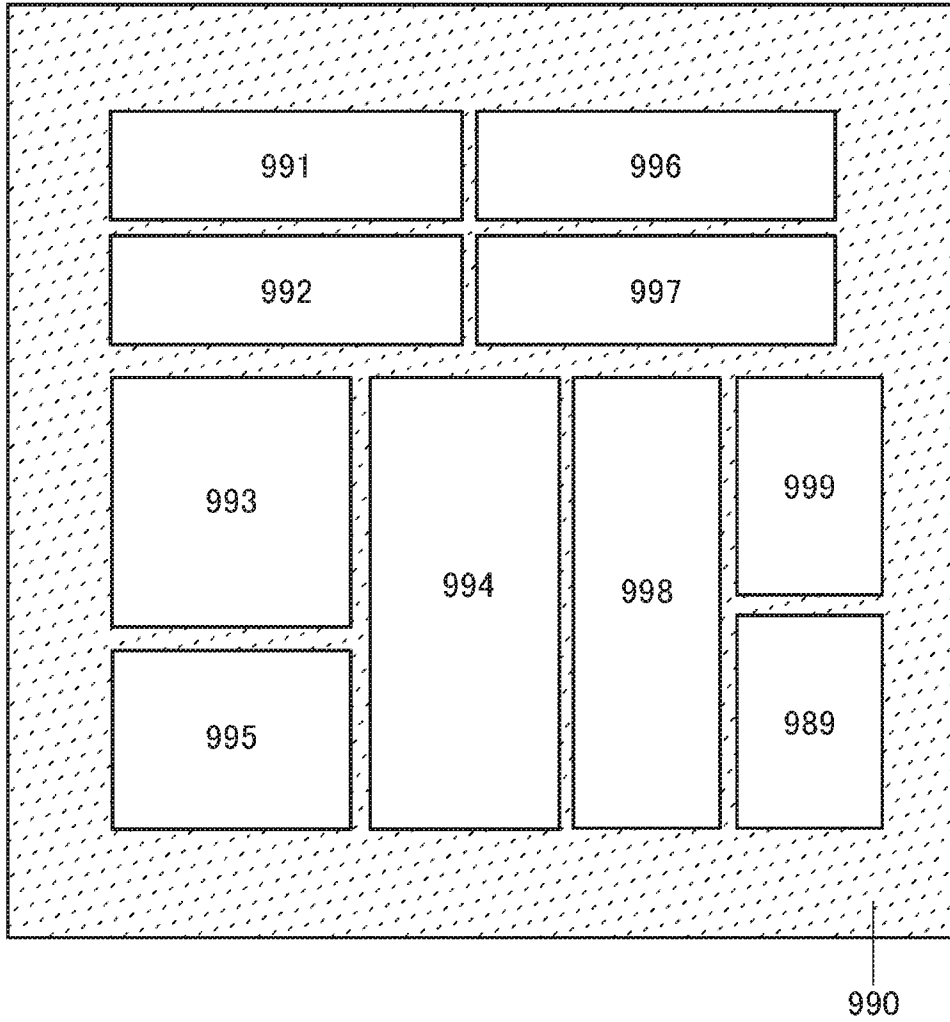


20G

T827

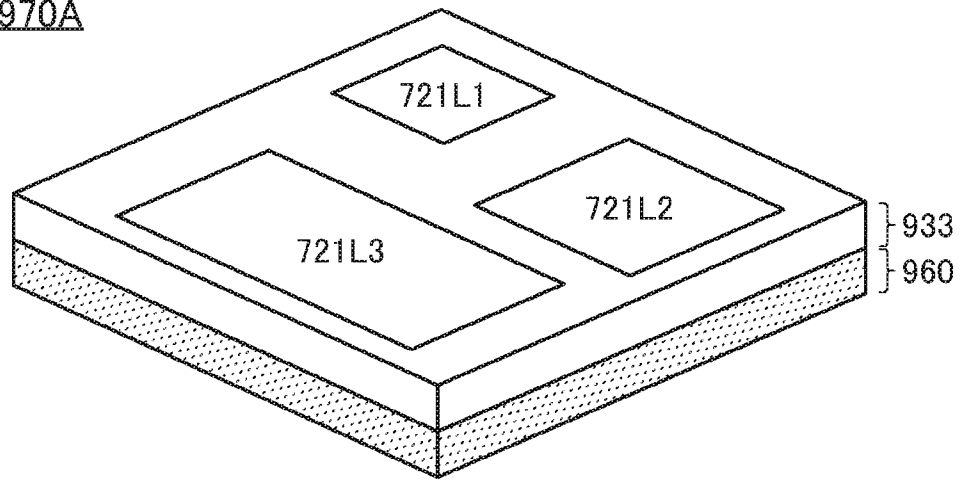


960



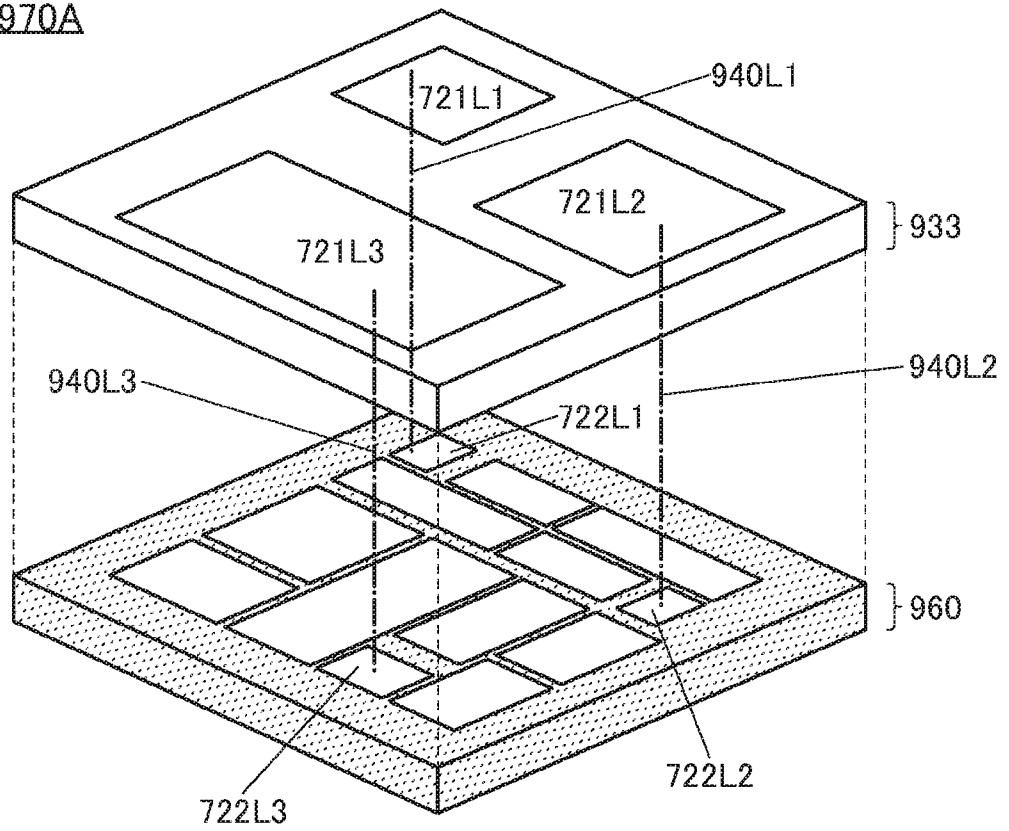
22A

970A



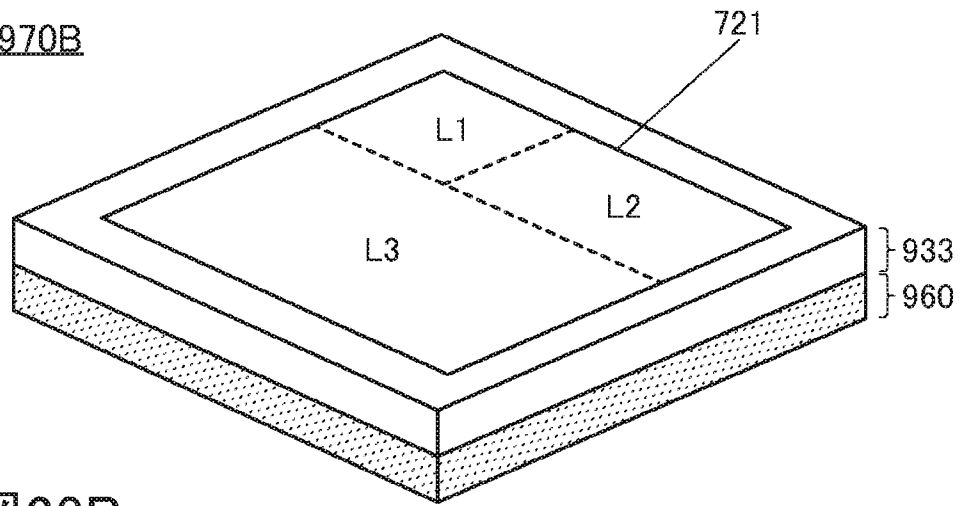
22B

970A



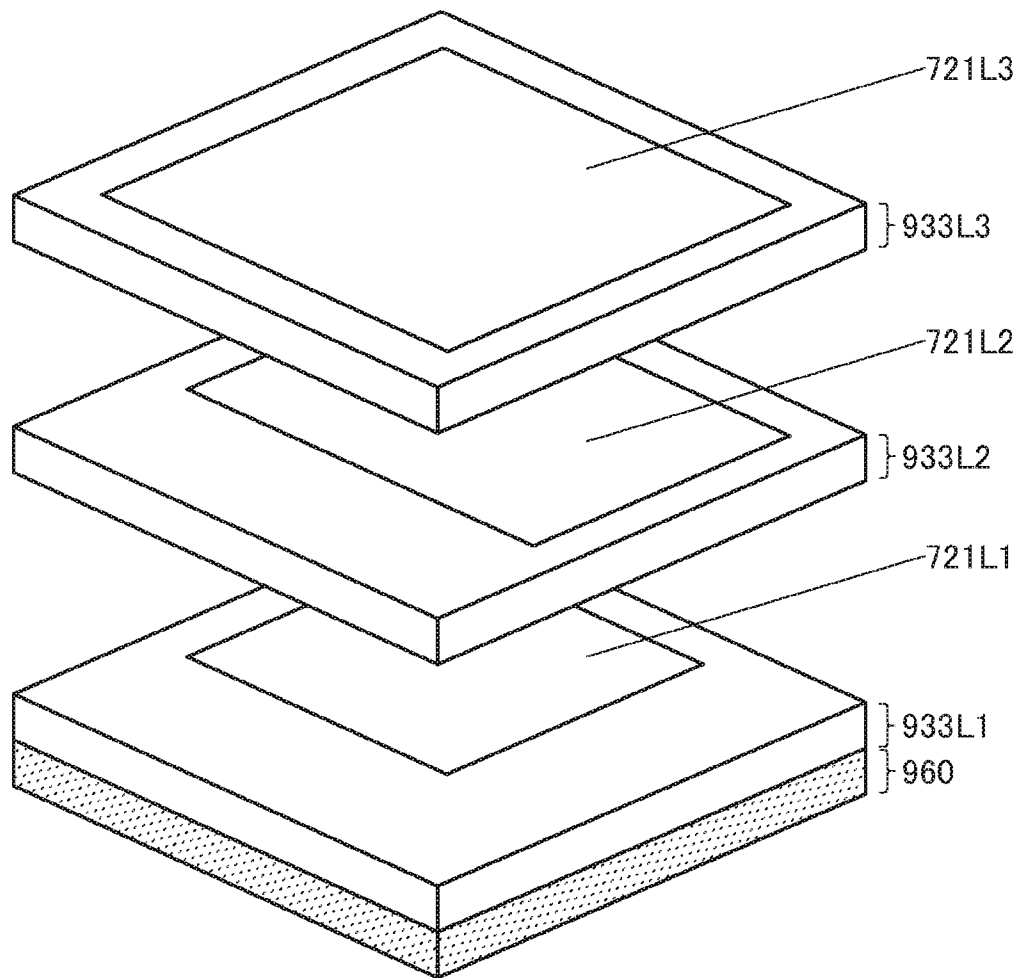
23A

970B

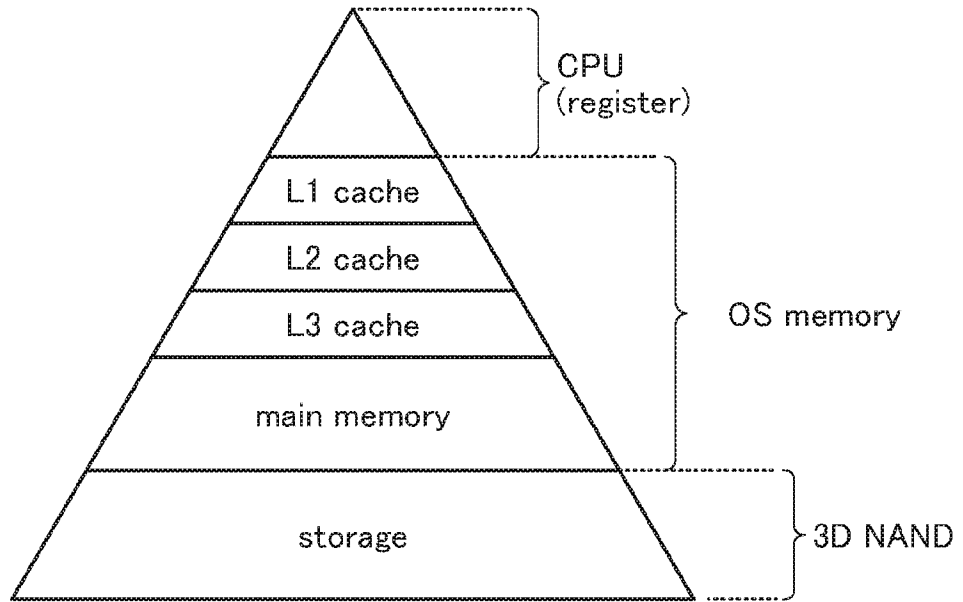


23B

970C



24A



24B

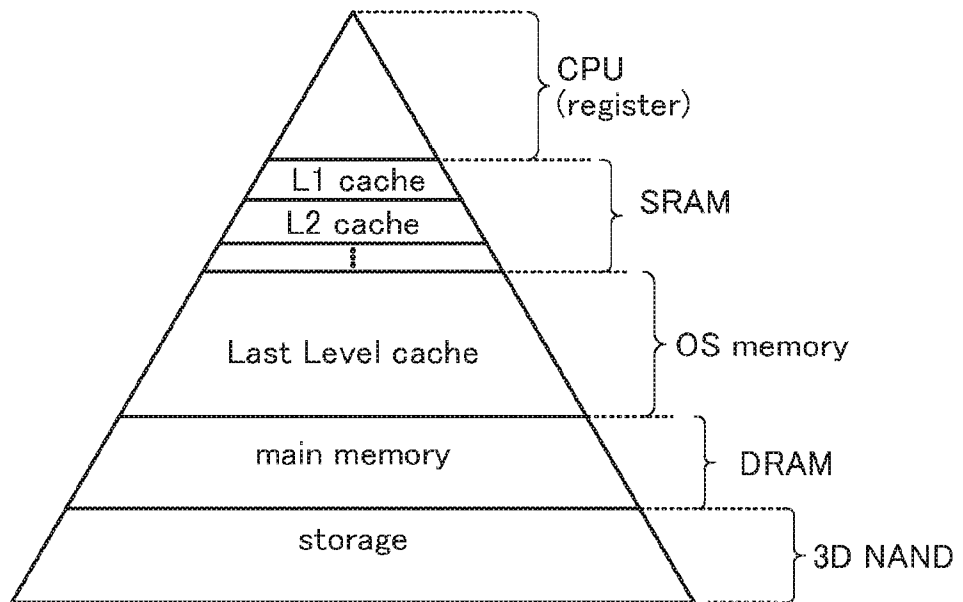


図25A

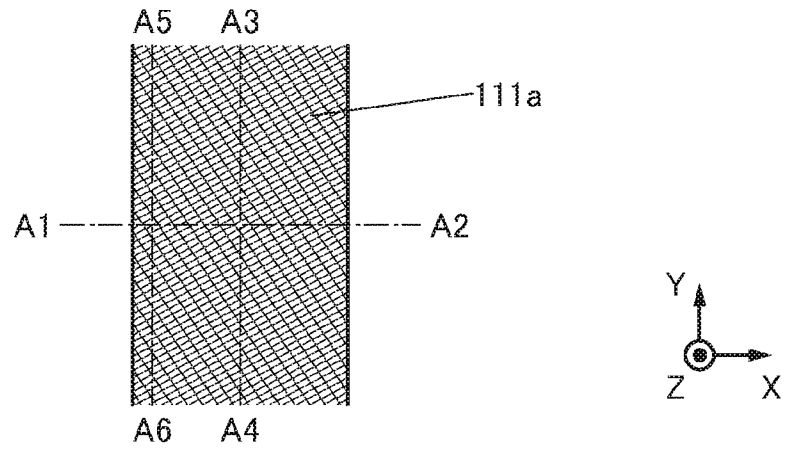


図25B

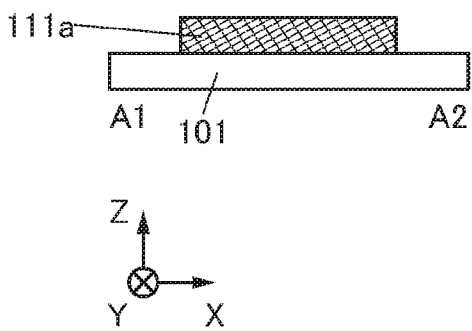
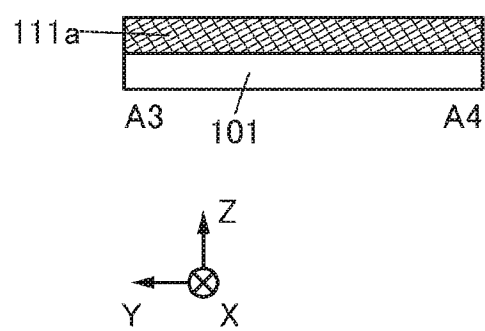


図25C



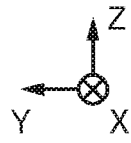
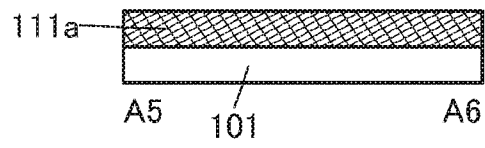


図27A

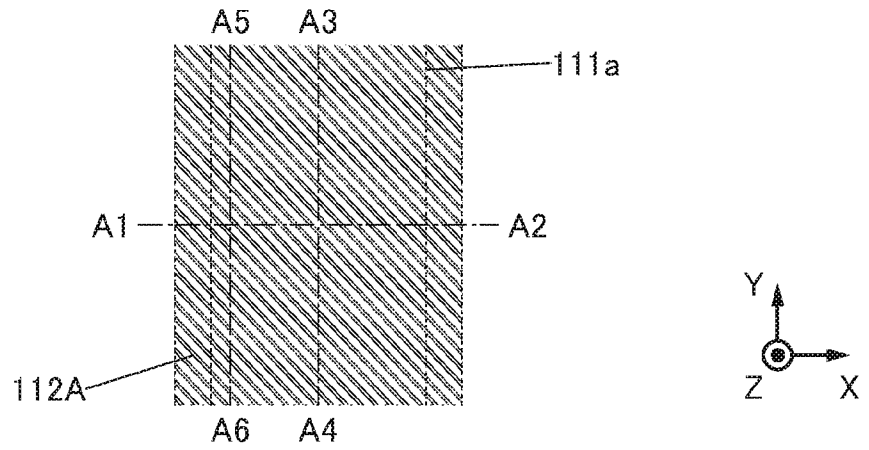


図27B

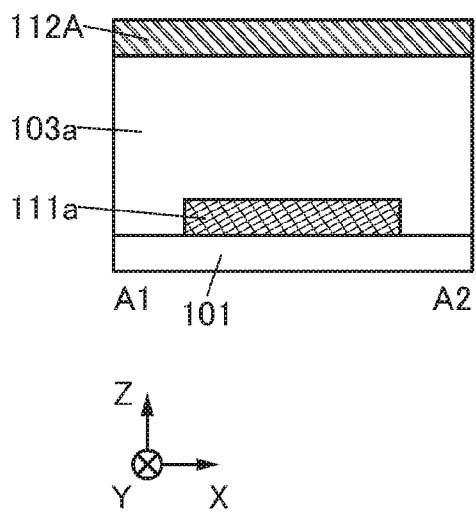
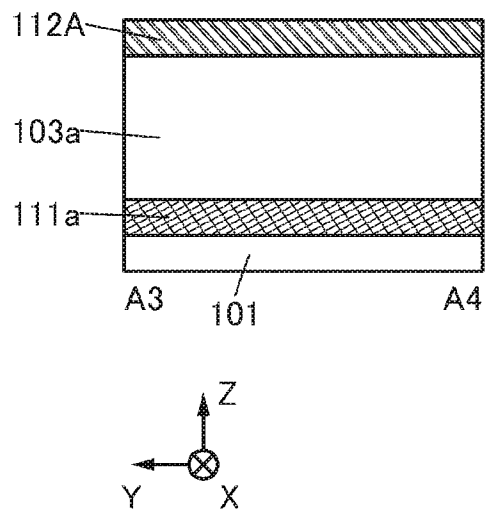


図27C



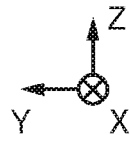
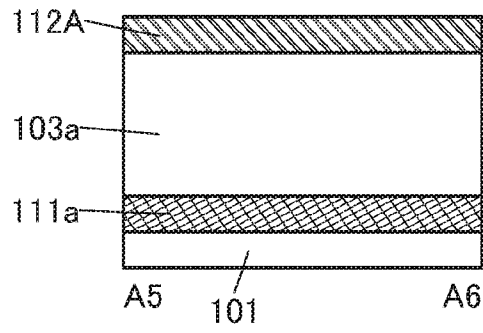


図29A

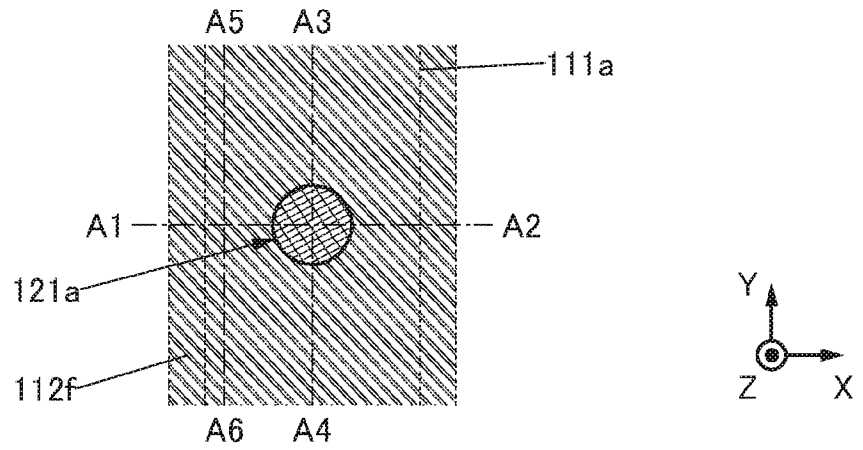


図29B

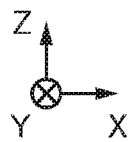
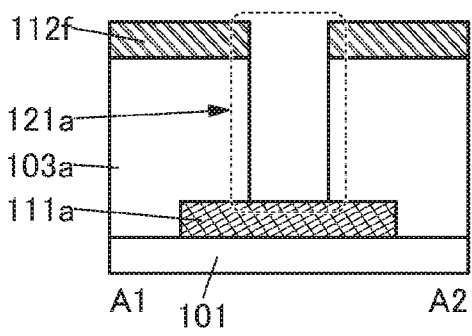
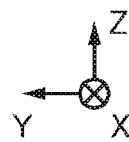
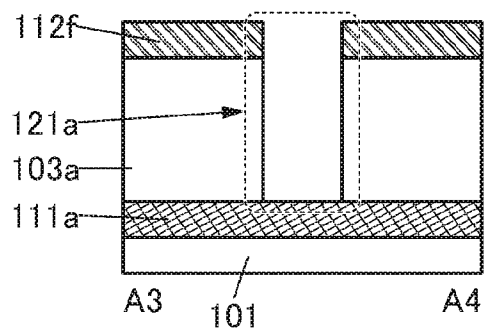


図29C



30

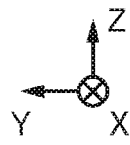
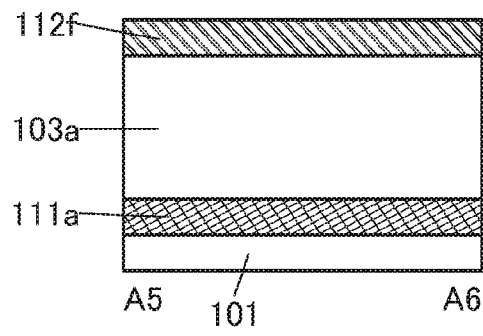


図31A

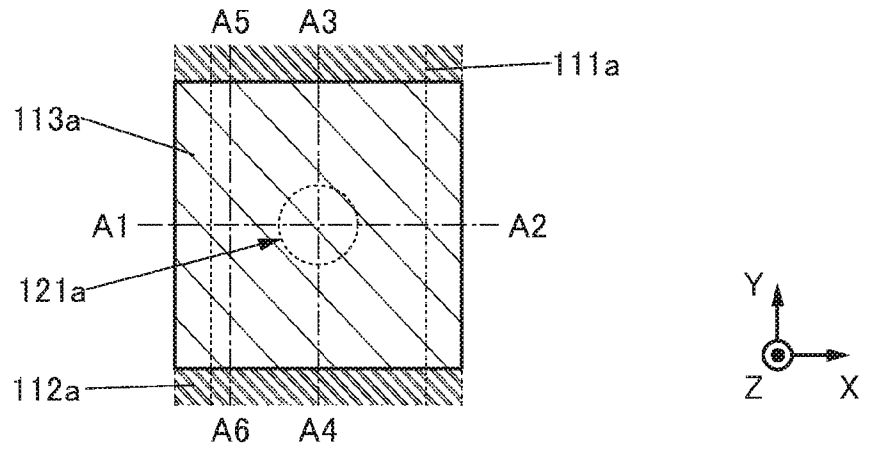


図31B

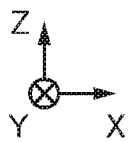
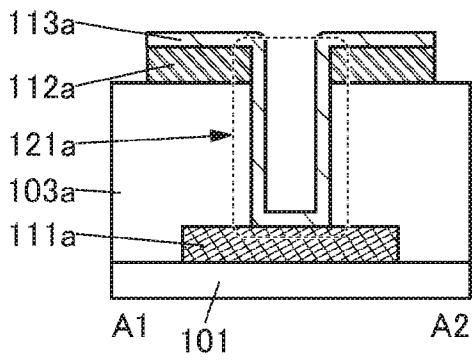
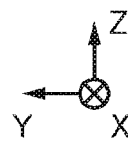
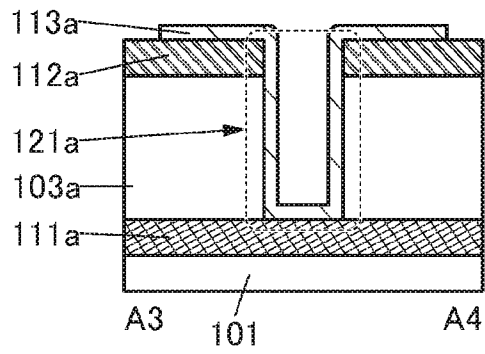
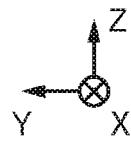
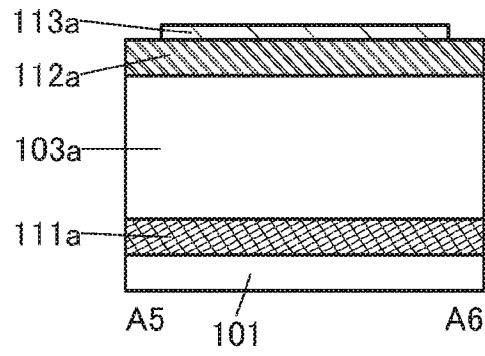


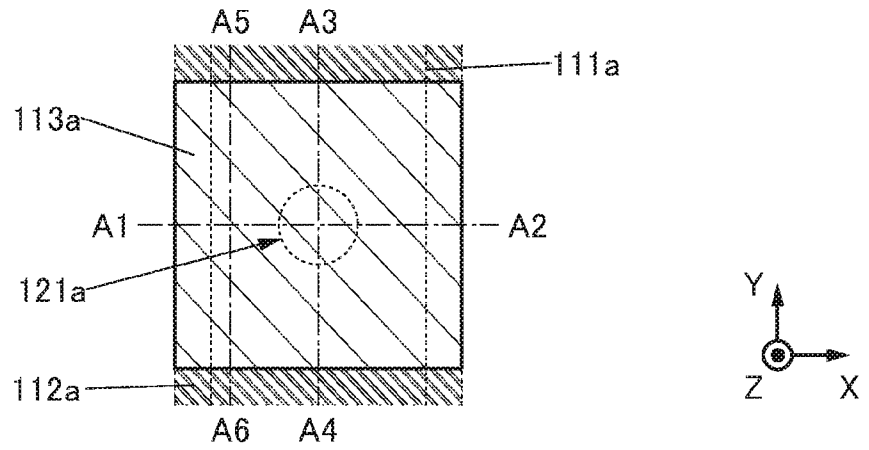
図31C



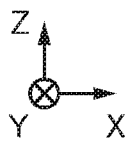
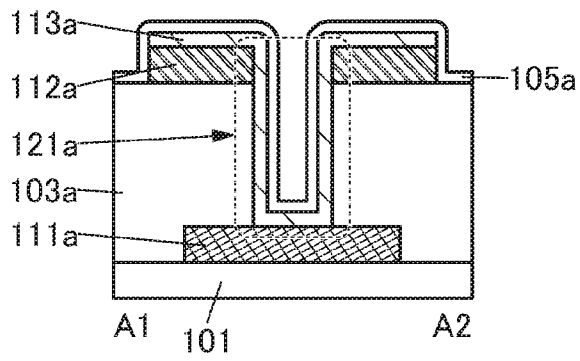
32



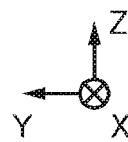
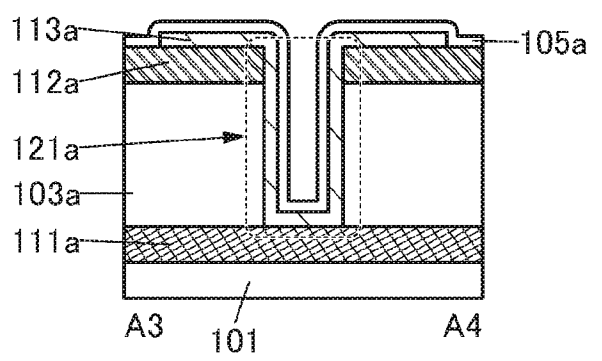
33A



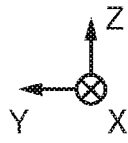
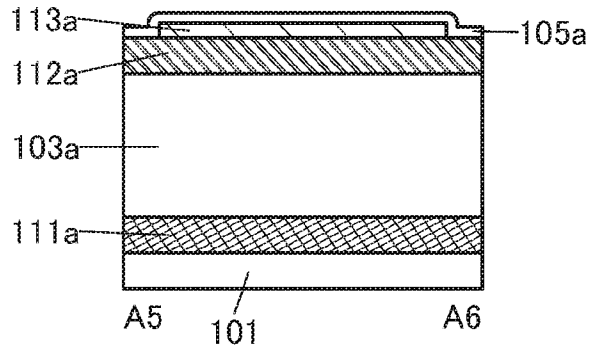
33B



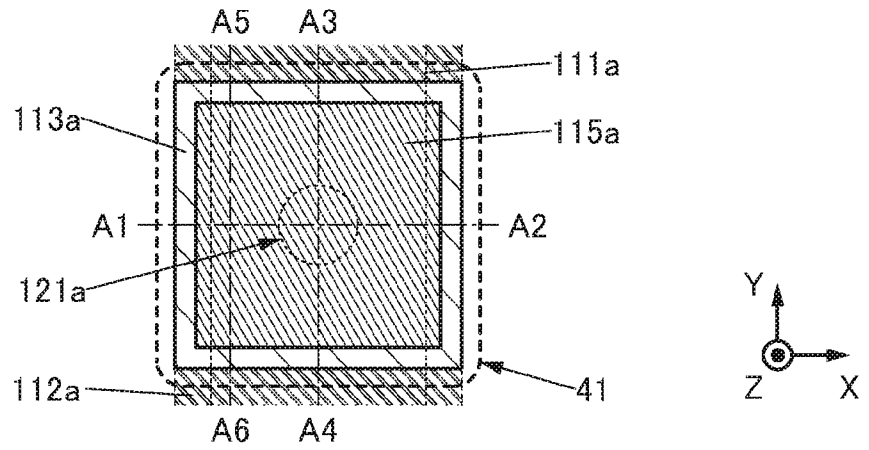
33C



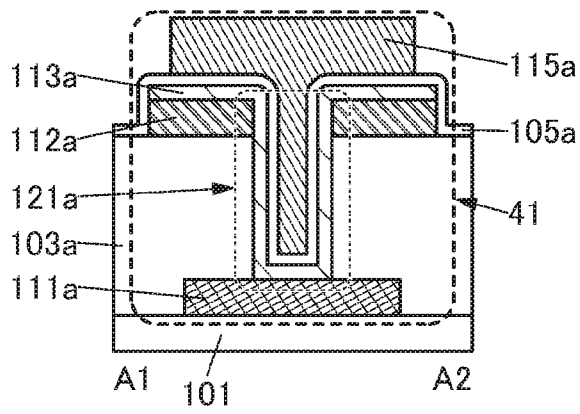
34



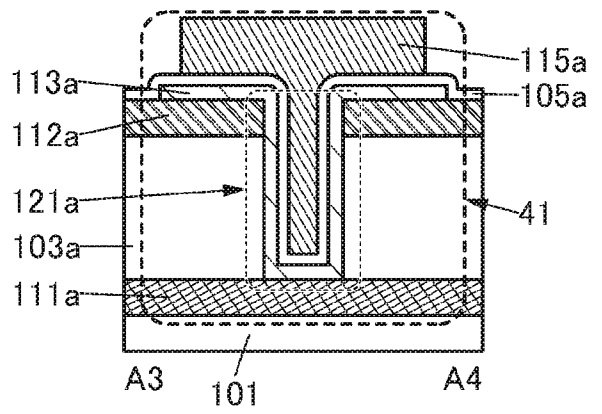
35A



35B



35C



36

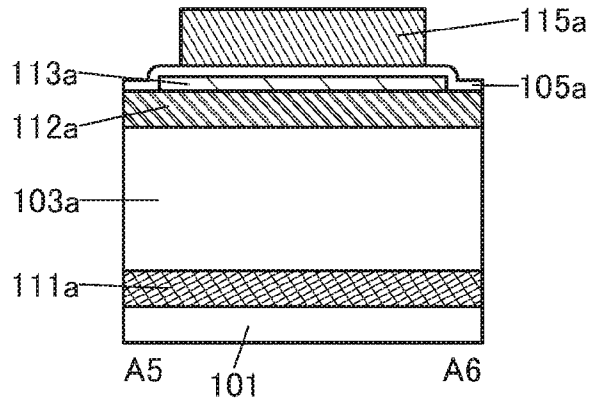


図37A

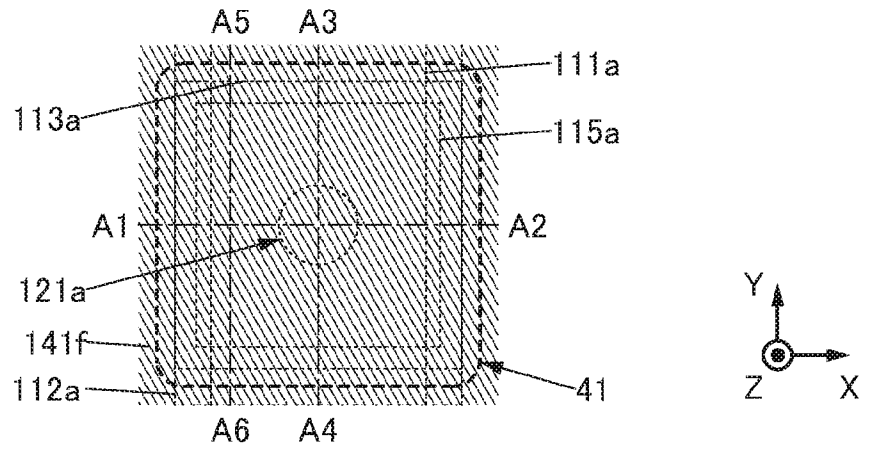


図37B

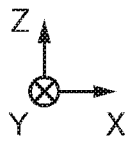
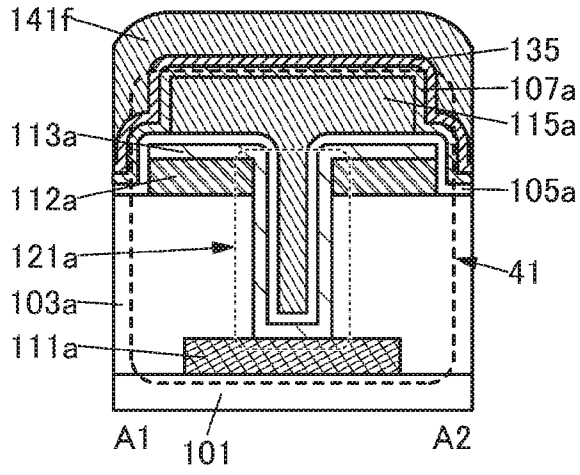
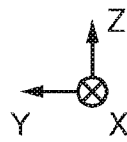
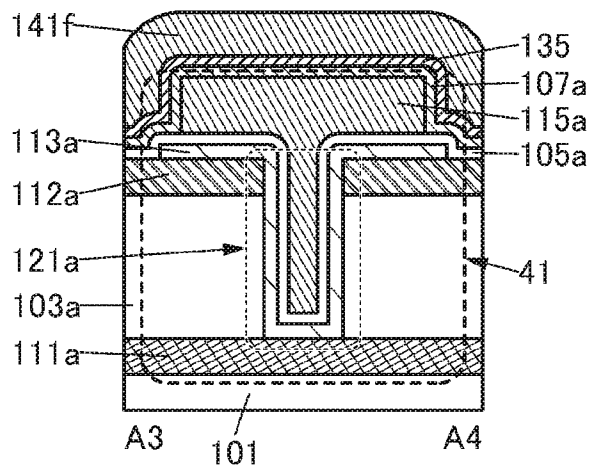
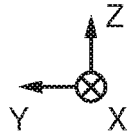
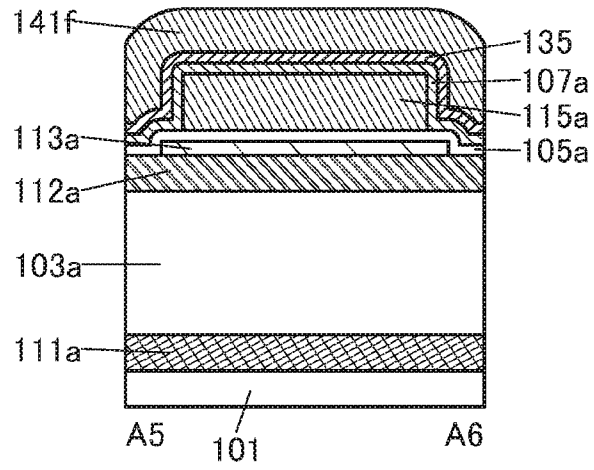


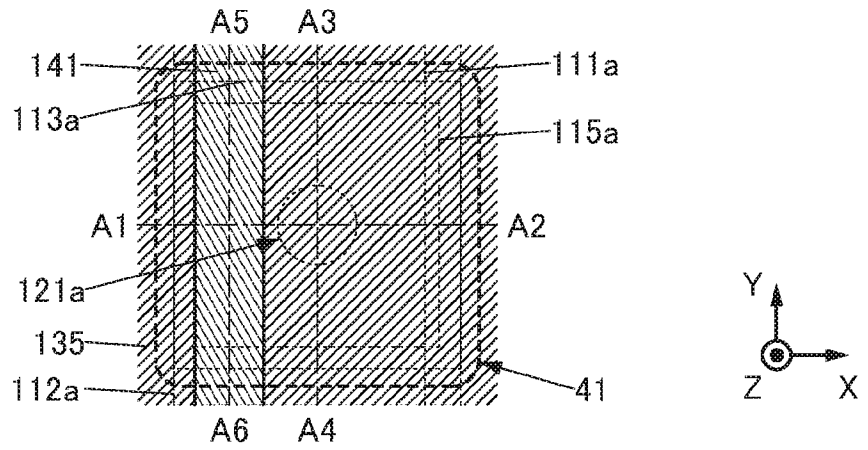
図37C



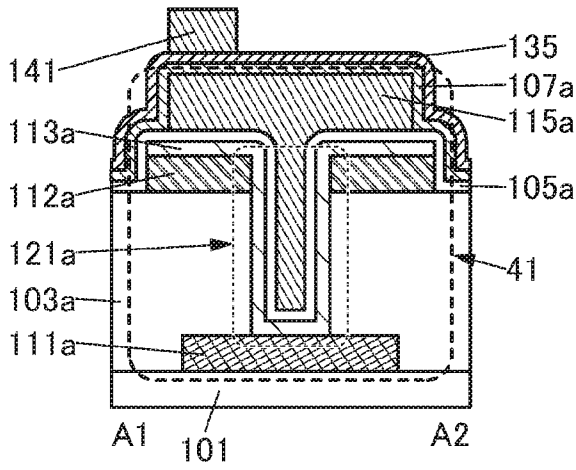
38



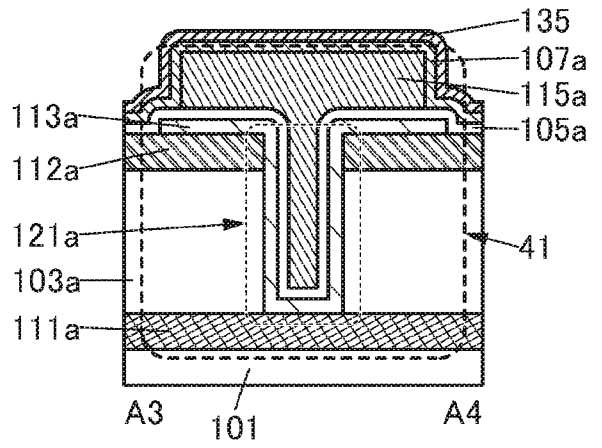
39A



39B



39C



40

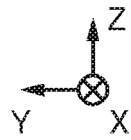
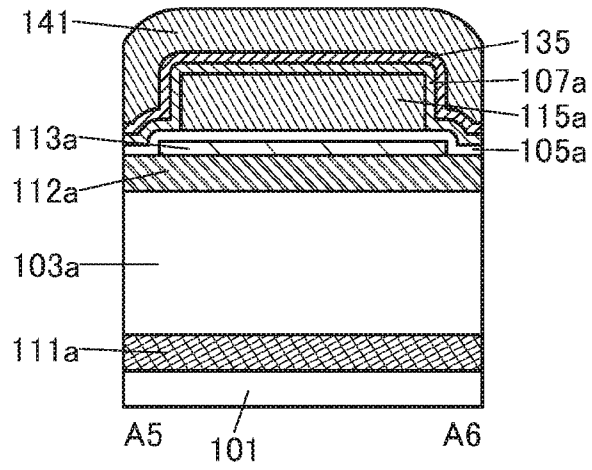


図41A

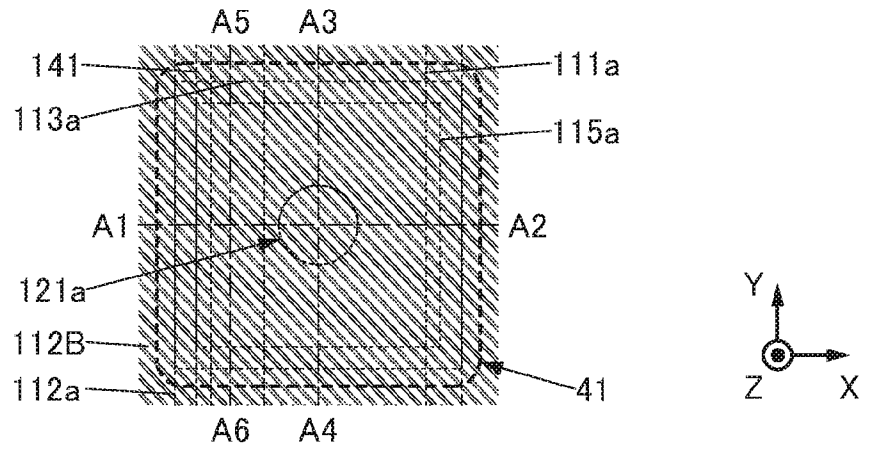


図41B

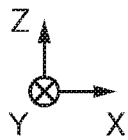
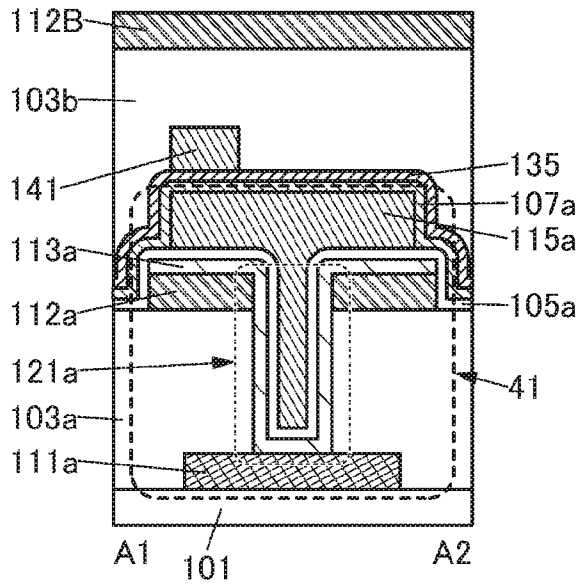
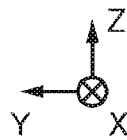
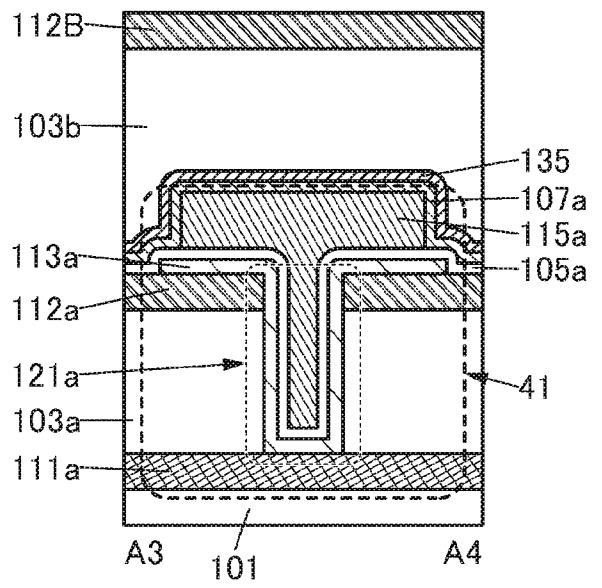


図41C



42

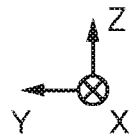
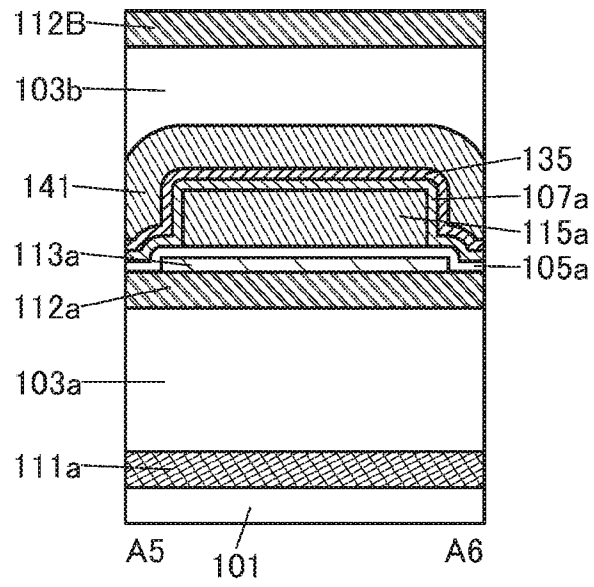


図43A

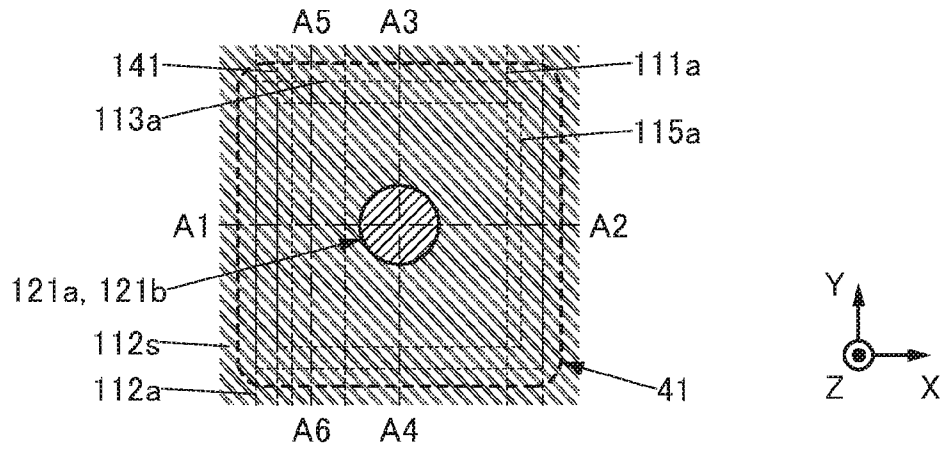


図43B

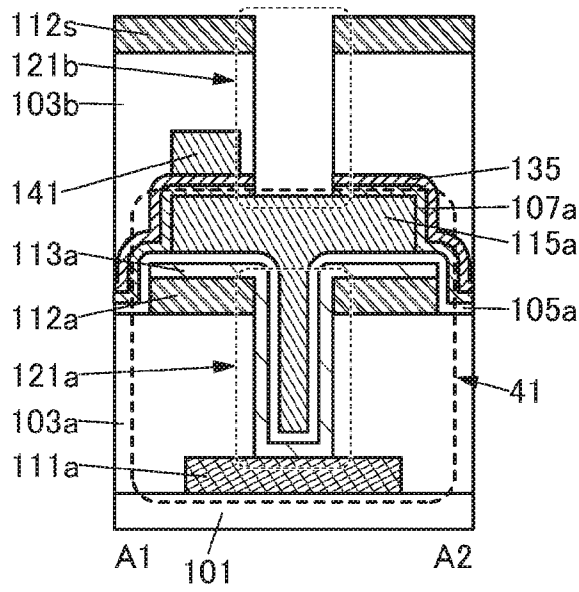
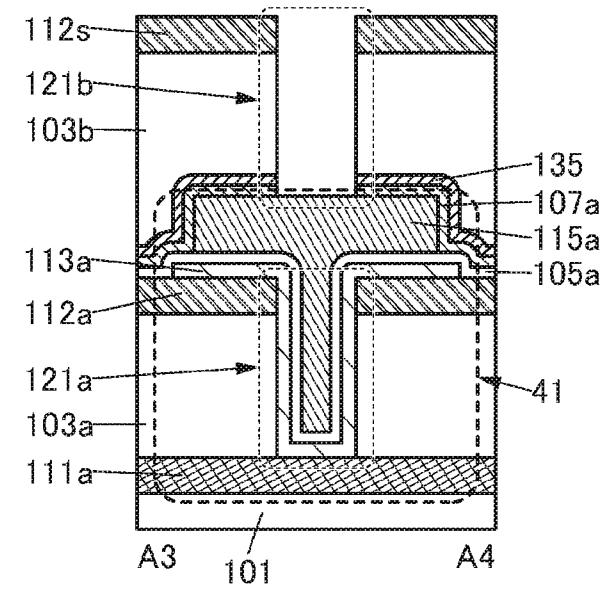


図43C



44

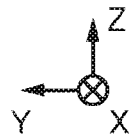
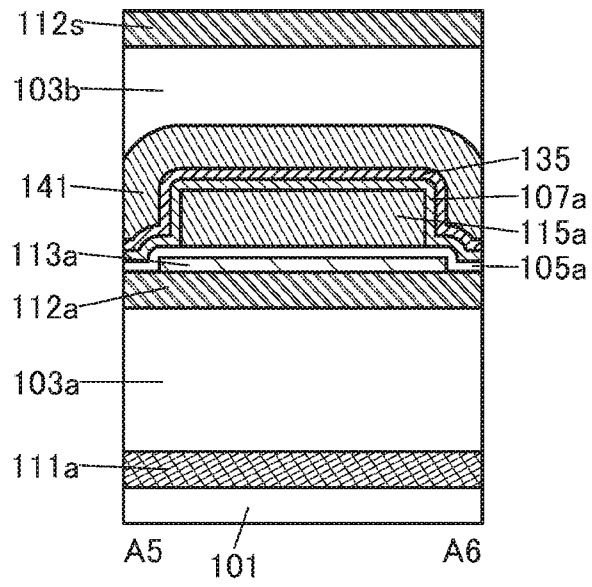


図45A

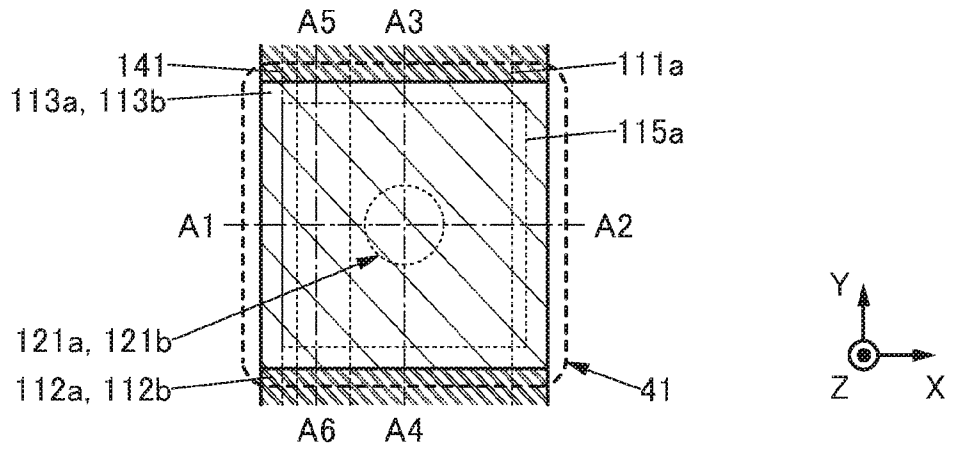


図45B

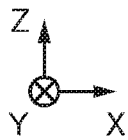
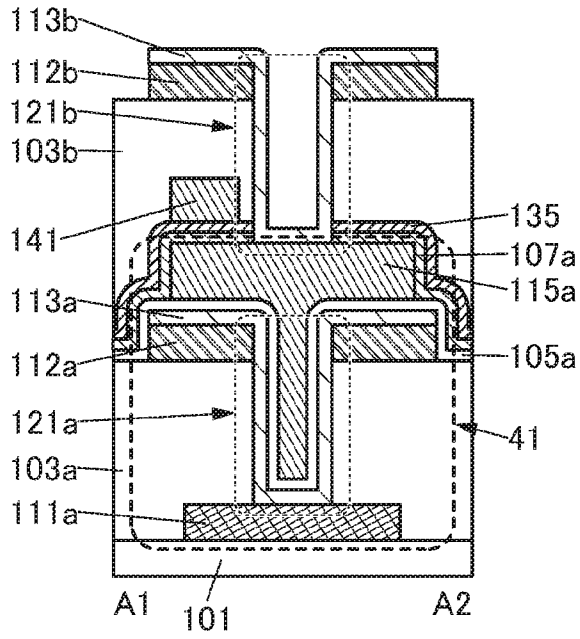
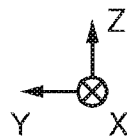
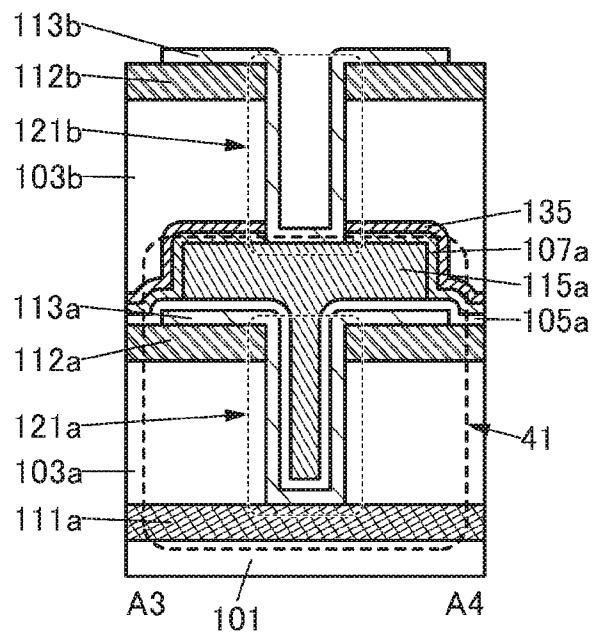


図45C



46

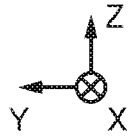
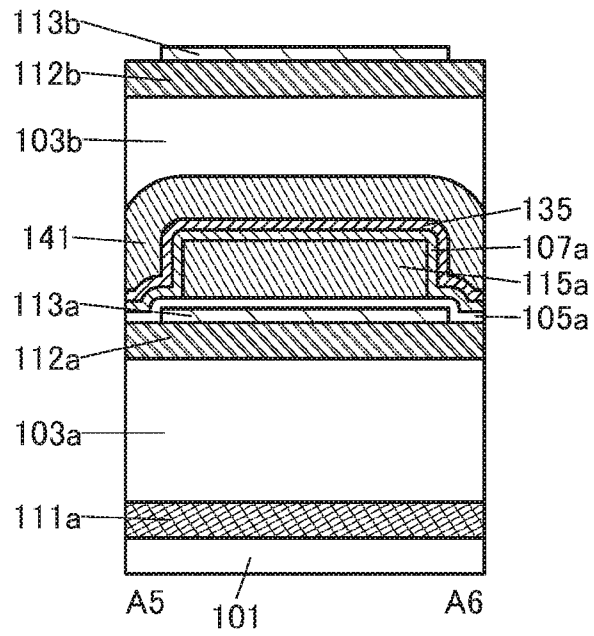


図47A

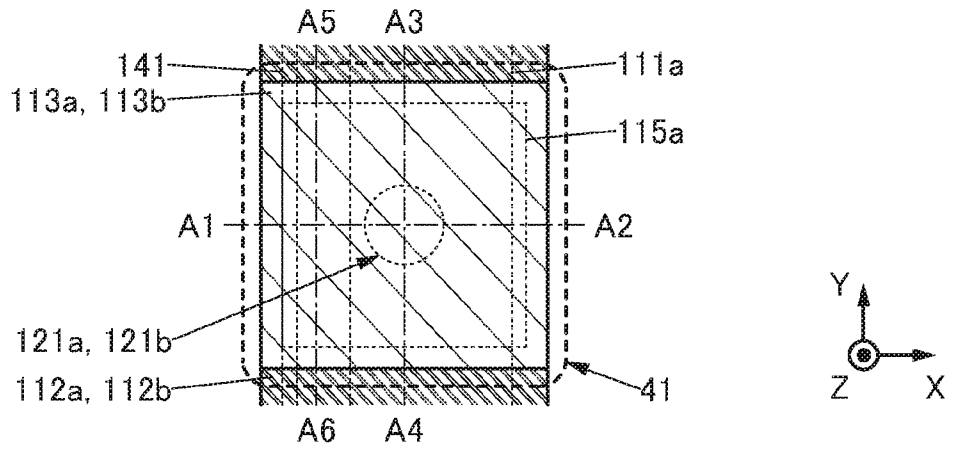


図47B

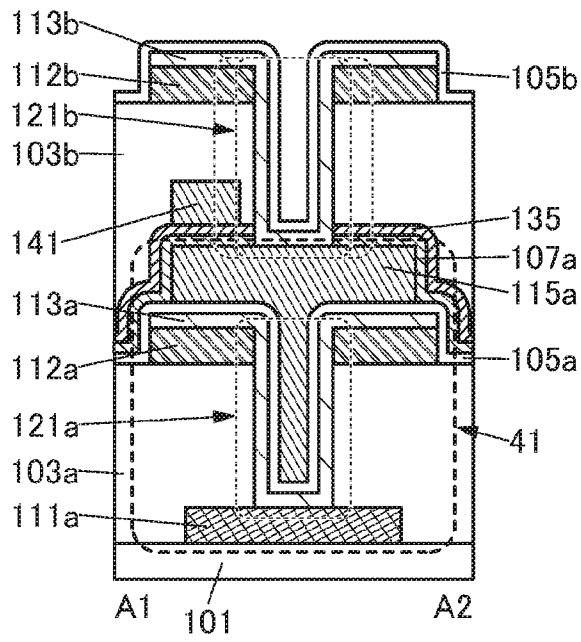
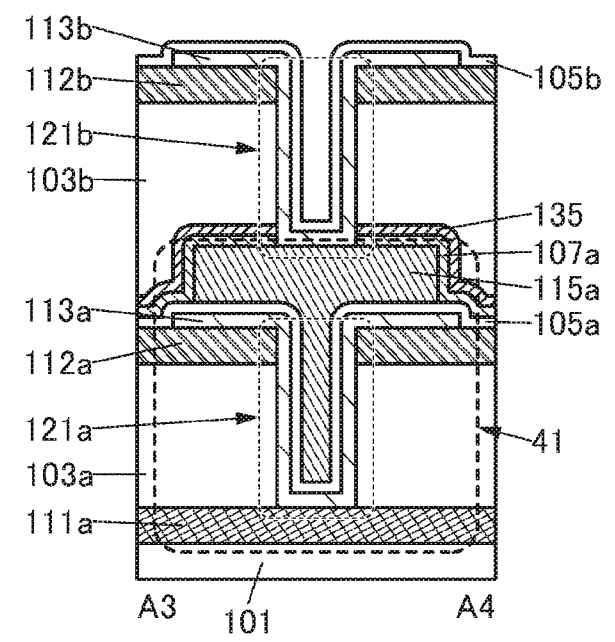
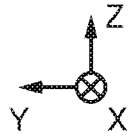
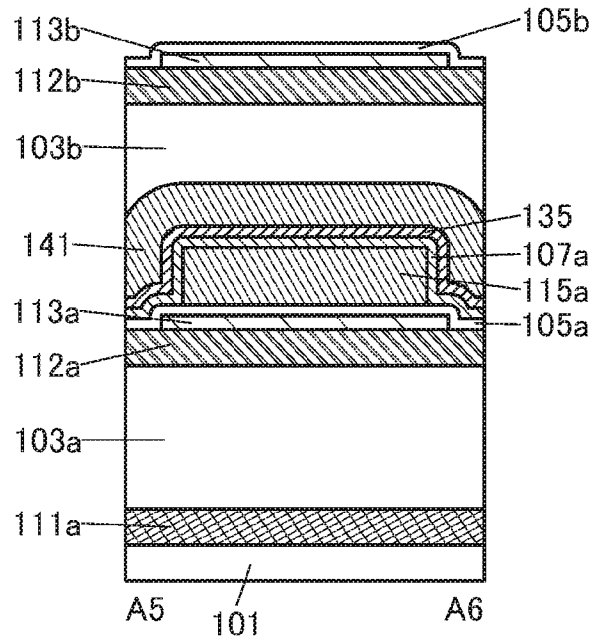
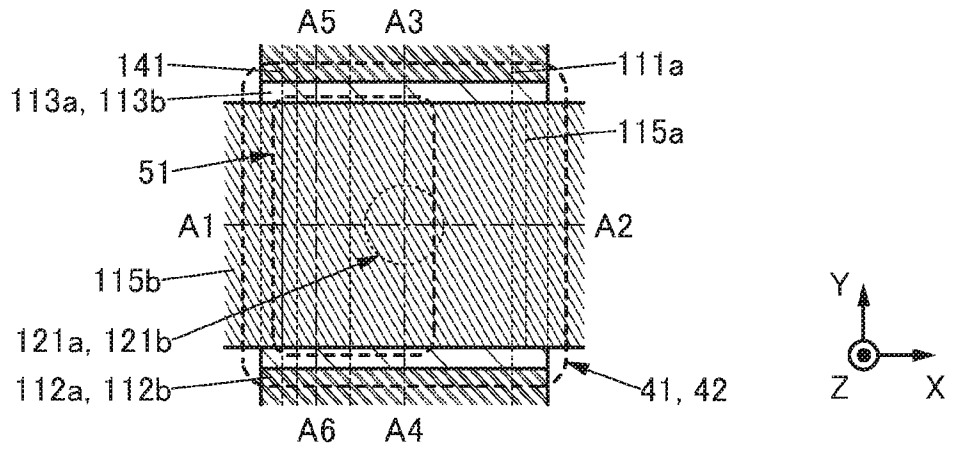


図47C

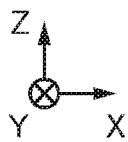
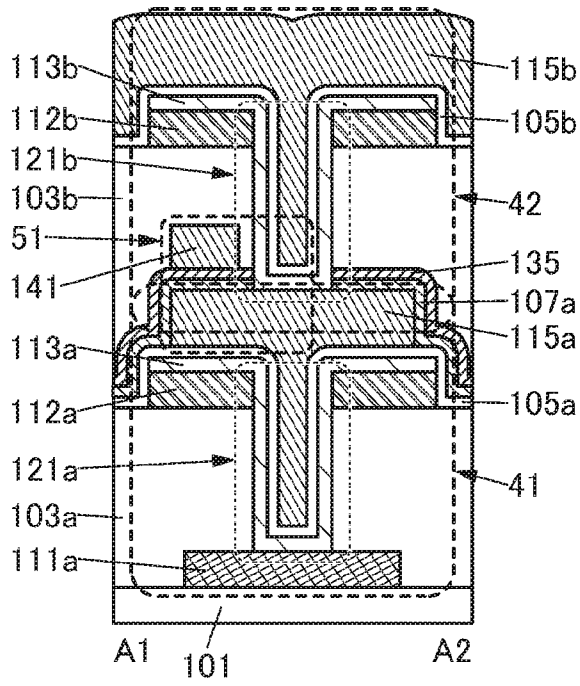




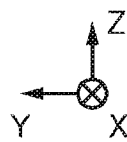
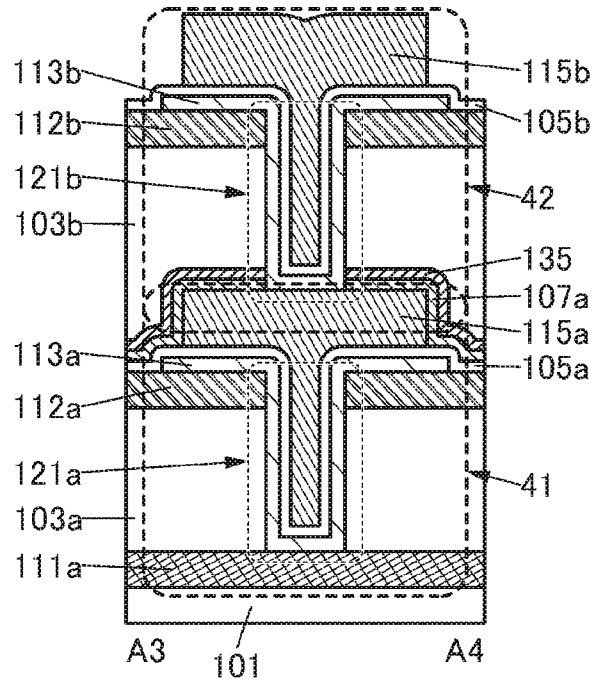
49A



49B



49C



50

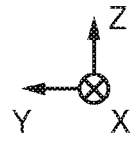
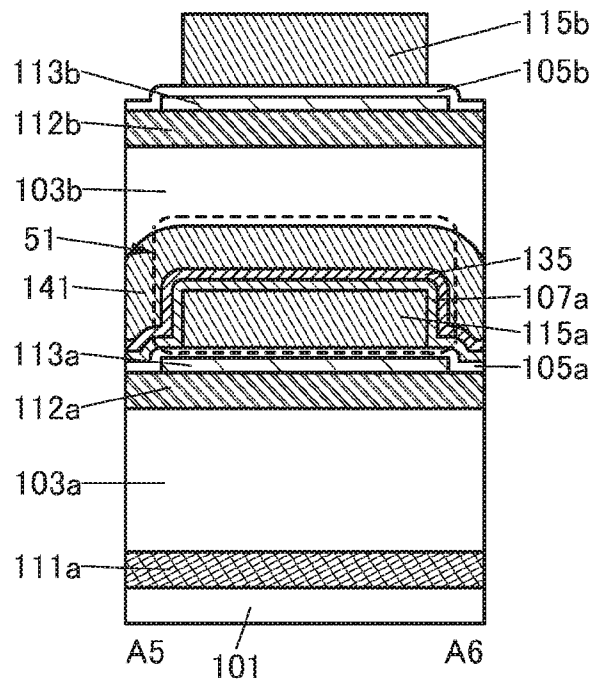


図51

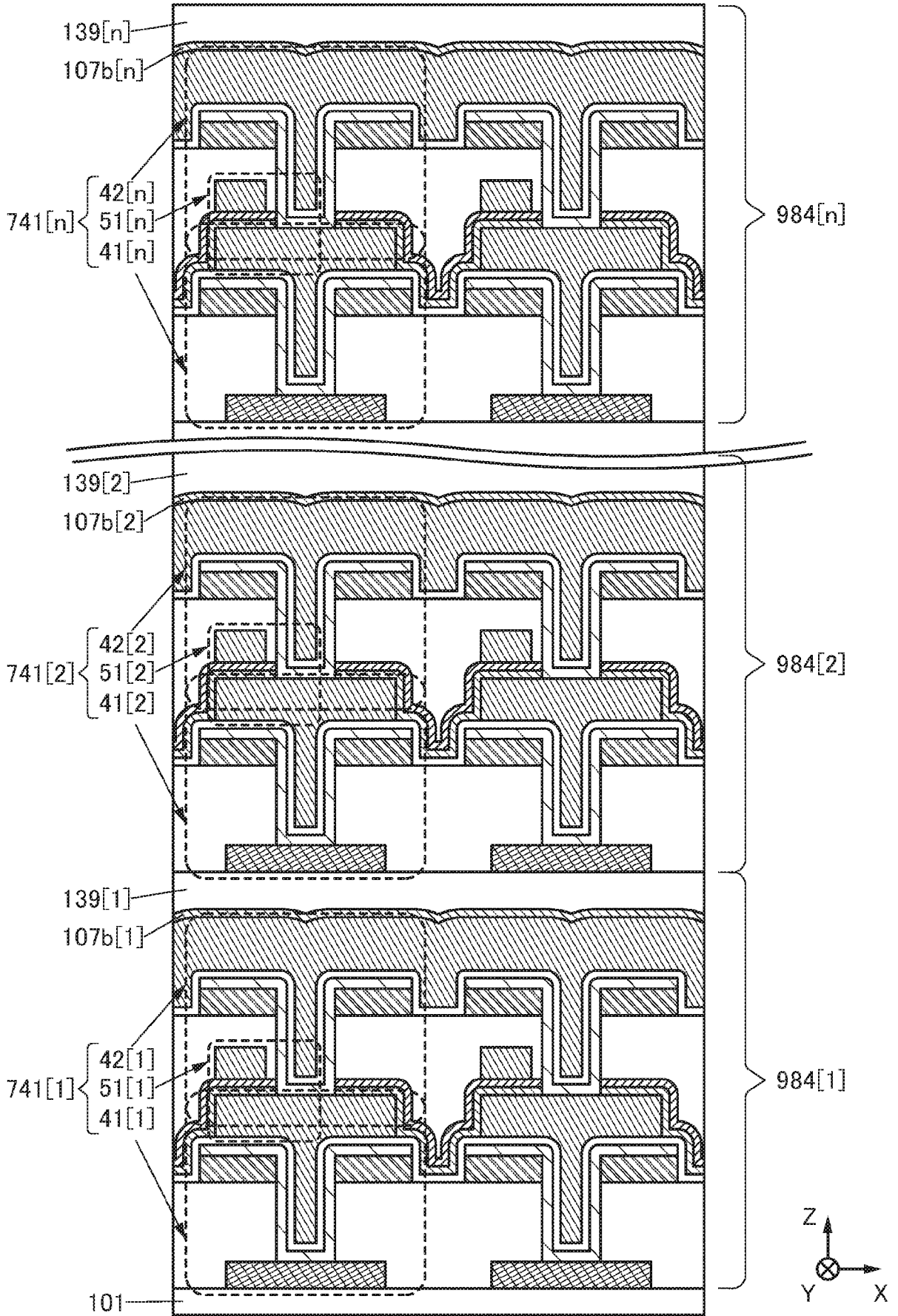


図 52A

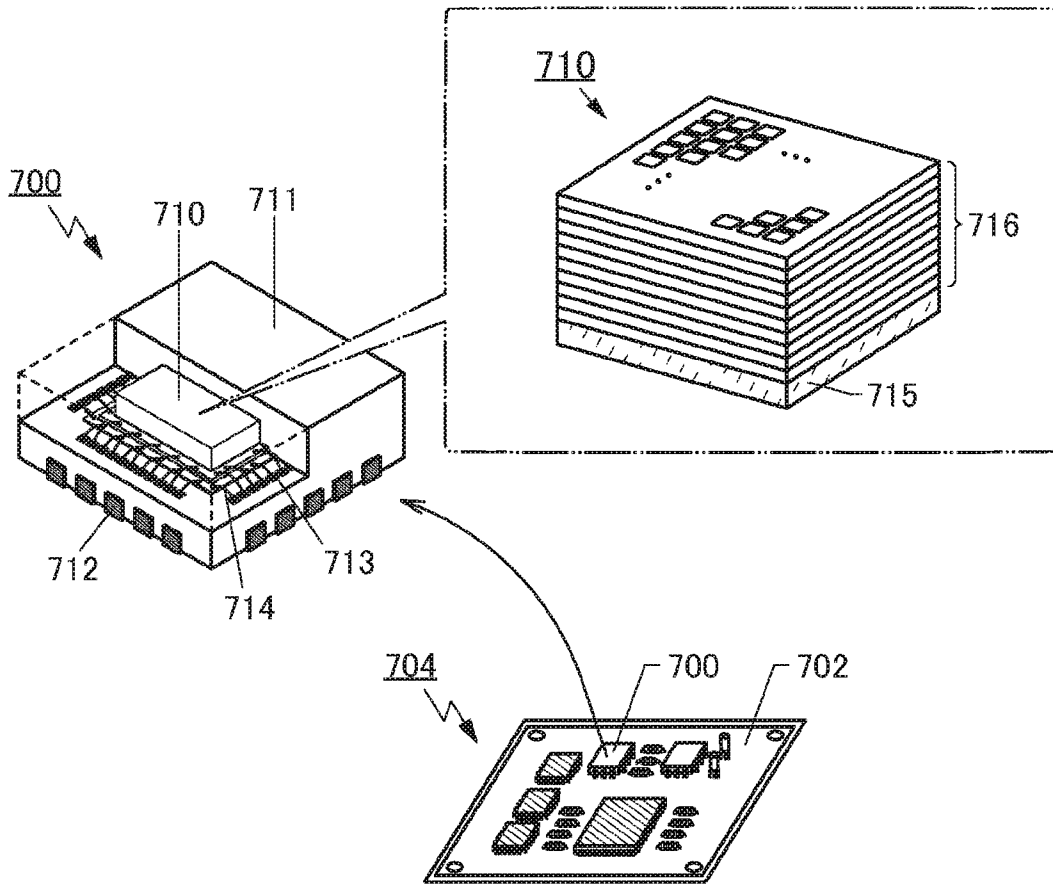
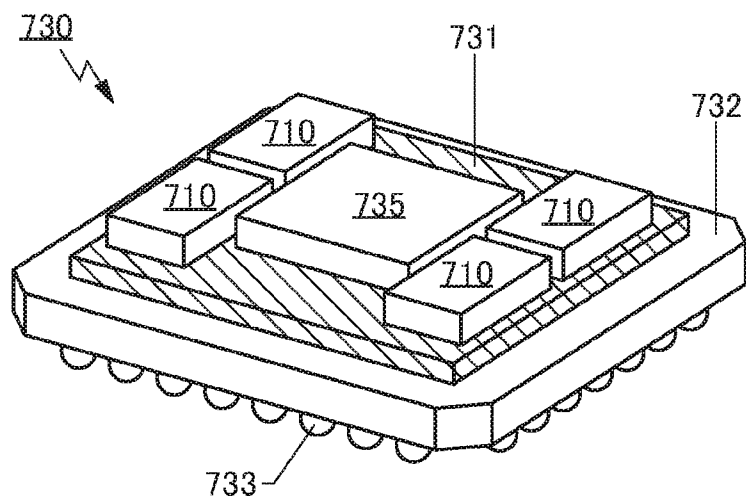
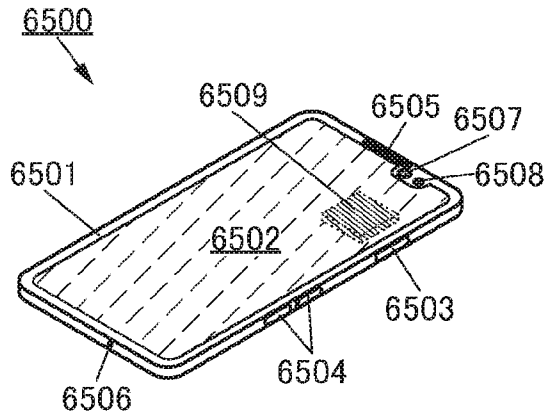


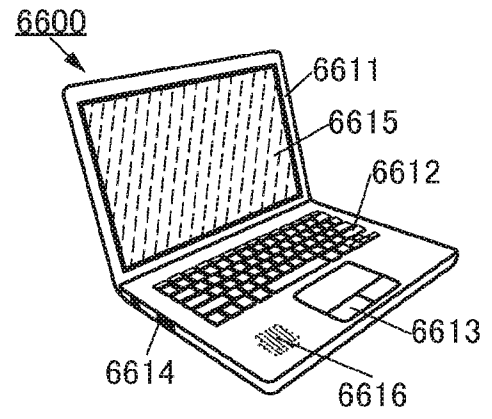
図 52B



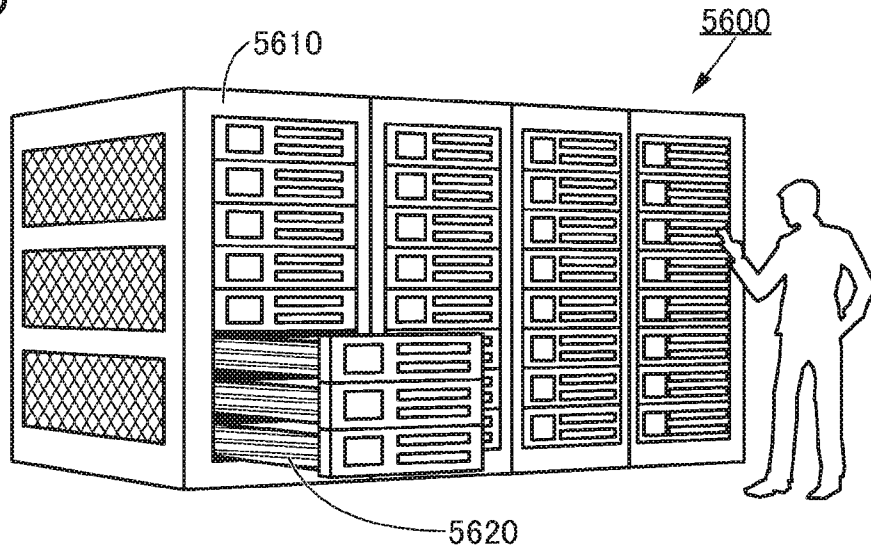
53A



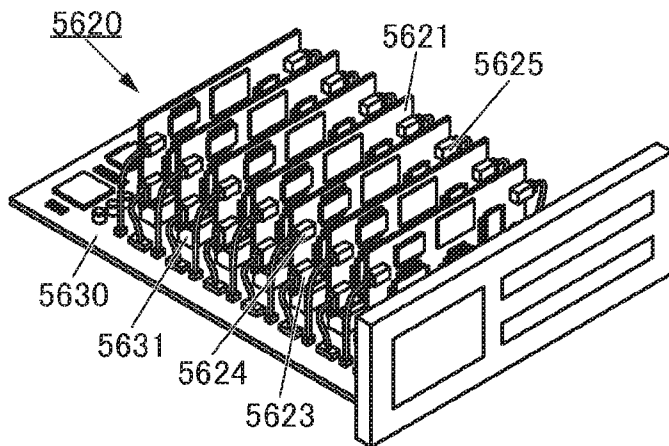
53B



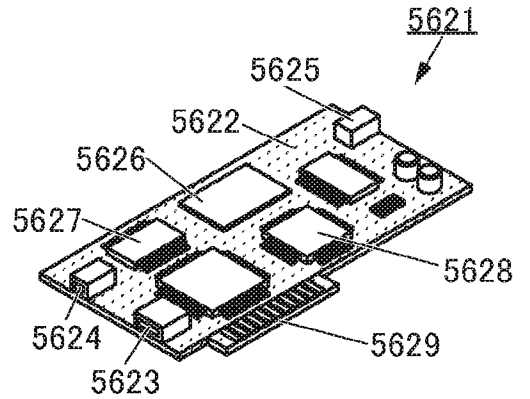
53C



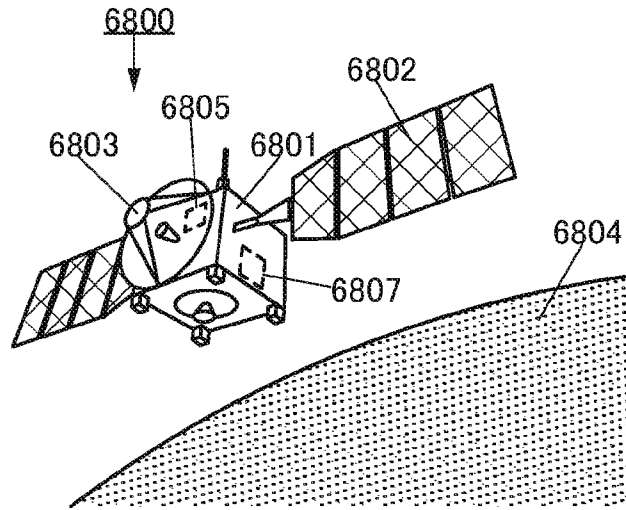
53D



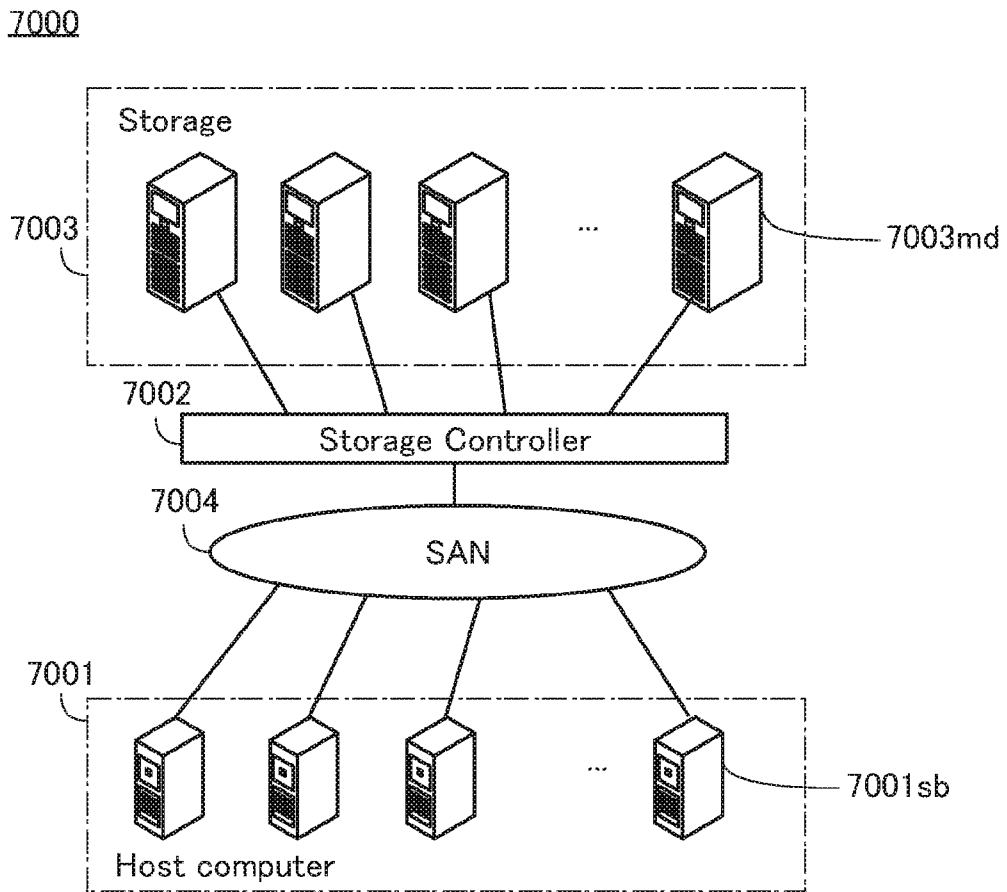
53E



54



55



INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/051695

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/786(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 27/088**(2006.01)i; **H10B 12/00**(2023.01)i; **H10B 41/70**(2023.01)i; **H10B 53/20**(2023.01)i; **H10B 53/30**(2023.01)i

FI: H01L29/78 626A; H10B12/00 801; H01L29/78 613B; H01L29/78 618B; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 H; H10B12/00 671C; H01L27/088 331E; H10B53/30; H01L29/78 619A; H01L29/78 618C; H01L29/78 617S; H01L29/78 617K; H10B12/00 671A; H10B41/70; H10B53/20

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/786; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H10B12/00; H10B41/70; H10B53/20; H10B53/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 18 August 2016 (2016-08-18) entire text, all drawings	1-20
A	JP 2017-168760 A (JAPAN DISPLAY INC.) 21 September 2017 (2017-09-21) entire text, all drawings	1-20
A	JP 2016-146422 A (JAPAN DISPLAY INC.) 12 August 2016 (2016-08-12) entire text, all drawings	1-20
A	JP 2015-188070 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 29 October 2015 (2015-10-29) entire text, all drawings	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“D” document cited by the applicant in the international application
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 May 2024

Date of mailing of the international search report

14 May 2024

Name and mailing address of the ISA/JP

**Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan**

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB2024/051695

C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-136622 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 28 July 2016 (2016-07-28) entire text, all drawings	1-20
A	JP 2015-207761 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 November 2015 (2015-11-19) entire text, all drawings	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/IB2024/051695

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	2016-149552	A	18 August 2016	US	2016/0233343	A1	
				TW	201640683	A	

JP	2017-168760	A	21 September 2017	US	2017/0271375	A1	
				CN	107204362	A	

JP	2016-146422	A	12 August 2016	US	2016/0233251	A1	
				CN	105870125	A	

JP	2015-188070	A	29 October 2015	US	2015/0255490	A1	

JP	2016-136622	A	28 July 2016	US	2016/0211266	A1	

JP	2015-207761	A	19 November 2015	US	2015/0294693	A1	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 29/786(2006.01)i; H01L 21/336(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 27/088(2006.01)i; H10B 12/00(2023.01)i; H10B 41/70(2023.01)i; H10B 53/20(2023.01)i; H10B 53/30(2023.01)i FI: H01L29/78 626A; H10B12/00 801; H01L29/78 613B; H01L29/78 618B; H01L27/04 C; H01L27/06 102A; H01L27/088 E; H01L27/088 H; H10B12/00 671C; H01L27/088 331E; H10B53/30; H01L29/78 619A; H01L29/78 618C; H01L29/78 617S; H01L29/78 617K; H10B12/00 671A; H10B41/70; H10B53/20</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L29/786; H01L21/336; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L27/088; H10B12/00; H10B41/70; H10B53/20; H10B53/30</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2024年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2024年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2024年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2024年	日本国実用新案登録公報	1996 - 2024年	日本国登録実用新案公報	1994 - 2024年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2024年																			
日本国実用新案登録公報	1996 - 2024年																			
日本国登録実用新案公報	1994 - 2024年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2017-168760 A（株式会社ジャパンディスプレイ）21.09.2017（2017-09-21） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2016-146422 A（株式会社ジャパンディスプレイ）12.08.2016（2016-08-12） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2015-188070 A（株式会社半導体エネルギー研究所）29.10.2015（2015-10-29） 全文、全図</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2016-136622 A（株式会社半導体エネルギー研究所）28.07.2016（2016-07-28） 全文、全図</td> <td>1-20</td> </tr> </tbody> </table> <p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 全文、全図	1-20	A	JP 2017-168760 A（株式会社ジャパンディスプレイ）21.09.2017（2017-09-21） 全文、全図	1-20	A	JP 2016-146422 A（株式会社ジャパンディスプレイ）12.08.2016（2016-08-12） 全文、全図	1-20	A	JP 2015-188070 A（株式会社半導体エネルギー研究所）29.10.2015（2015-10-29） 全文、全図	1-20	A	JP 2016-136622 A（株式会社半導体エネルギー研究所）28.07.2016（2016-07-28） 全文、全図	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
A	JP 2016-149552 A（株式会社半導体エネルギー研究所）18.08.2016（2016-08-18） 全文、全図	1-20																		
A	JP 2017-168760 A（株式会社ジャパンディスプレイ）21.09.2017（2017-09-21） 全文、全図	1-20																		
A	JP 2016-146422 A（株式会社ジャパンディスプレイ）12.08.2016（2016-08-12） 全文、全図	1-20																		
A	JP 2015-188070 A（株式会社半導体エネルギー研究所）29.10.2015（2015-10-29） 全文、全図	1-20																		
A	JP 2016-136622 A（株式会社半導体エネルギー研究所）28.07.2016（2016-07-28） 全文、全図	1-20																		
<p>国際調査を完了した日</p> <p>01.05.2024</p>	<p>国際調査報告の発送日</p> <p>14.05.2024</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>市川 武宜 5F 4056</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-207761 A (株式会社半導体エネルギー研究所) 19.11.2015 (2015 - 11 - 19) 全文, 全図	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/IB2024/051695

引用文献			公表日	パテントファミリー文献			公表日
JP	2016-149552	A	18.08.2016	US	2016/0233343	A1	
				TW	201640683	A	

JP	2017-168760	A	21.09.2017	US	2017/0271375	A1	
				CN	107204362	A	

JP	2016-146422	A	12.08.2016	US	2016/0233251	A1	
				CN	105870125	A	

JP	2015-188070	A	29.10.2015	US	2015/0255490	A1	

JP	2016-136622	A	28.07.2016	US	2016/0211266	A1	

JP	2015-207761	A	19.11.2015	US	2015/0294693	A1	
