



(12)发明专利

(10)授权公告号 CN 104576579 B

(45)授权公告日 2017.12.15

(21)申请号 201510040276.7

(22)申请日 2015.01.27

(65)同一申请的已公布的文献号

申请公布号 CN 104576579 A

(43)申请公布日 2015.04.29

(73)专利权人 江阴长电先进封装有限公司

地址 214429 江苏省无锡市江阴市高新技术
产业开发园区(澄江东路99号)

(72)发明人 龙欣江 毕金栋 徐虎 高军明
张黎 陈栋 郭洪岩 郭亮 章力
梅万元 陈锦辉 赖志明

(74)专利代理机构 南京经纬专利商标代理有限
公司 32200

代理人 彭英

(51)Int.Cl.

H01L 23/482(2006.01)

H01L 23/488(2006.01)

H01L 23/498(2006.01)

H01L 21/48(2006.01)

H01L 21/60(2006.01)

(56)对比文件

US 2012/0038053 A1,2012.02.16,

CN 1983533 A,2007.06.20,

JP 特开2005-209689 A,2005.08.04,

US 2010/0246141 A1,2010.09.30,

US 2012/0038053 A1,2012.02.16,

审查员 赵龙

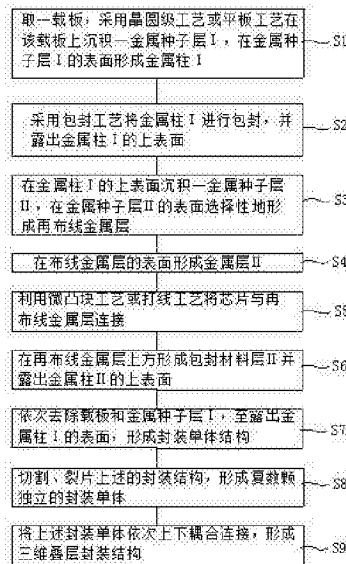
权利要求书1页 说明书7页 附图9页

(54)发明名称

一种三维叠层封装结构及其封装方法

(57)摘要

本发明公开了一种三维叠层封装结构及其封装方法,属于半导体封装技术领域。其包括若干个上下叠层封装的封装单体,封装单体包括芯片封装体和下封装体,芯片封装体包括至少一个芯片和再布线金属层,再布线金属层的下表面设置芯片封装体的下输入/输出端,于芯片同侧,再布线金属层的远芯片端设置金属柱II,金属柱II与再布线金属层固连,并形成芯片封装体的上输入/输出端;下封装体的金属柱I与芯片封装体的下输入/输出端固连,封装材料层I封装金属柱I,且露出金属柱I的下表面,形成下封装体的输入/输出端;上下相邻两个封装单体之间通过焊球/焊块连接。本发明形成的三维叠层封装结构不需载板承载芯片,结构简洁,符合小型化发展趋势。



1. 一种三维叠层封装结构的封装方法,其包括如下工艺步骤:

步骤一、取一载板,采用晶圆级工艺或平板工艺利用溅射或化学镀的方法在该载板上沉积一金属种子层I,再依次利用光刻、电镀的方法,在金属种子层I的表面形成金属柱I,去除剩余的光刻胶;

步骤二、采用包封工艺用包封材料将金属柱I进行包封,包封材料固化后,再对包封材料的上表面进行研磨,至露出金属柱I的上表面,同时形成包封材料层I;

步骤三、采用溅射或化学镀的方式在上述结构的上表面沉积一层金属种子层II,再依次利用光刻、电镀的方法,在金属种子层II的表面选择性地形成再布线金属层,去除剩余的光刻胶;

步骤四、再次依次利用光刻和电镀的方法,在再布线金属层的表面形成金属柱II,去除剩余的光刻胶,并腐蚀去掉再布线金属层以外区域的无效的金属种子层II;

步骤五、利用微凸块工艺或打线工艺将芯片与再布线金属层通过连接件连接;

步骤六、再次用包封材料将再布线金属层、金属柱II、芯片、连接件、金属引线 and 金属种子层II及其彼此间的空间进行包封,并对包封材料的上表面进行研磨,露出金属柱II的上表面,形成包封材料层II,完成芯片封装体的封装工艺;

步骤七、通过研磨的方法,完全去除载板和金属种子层I,至露出金属柱I的表面,形成封装单体结构;

步骤八、切割、裂片上述的封装结构,形成复数颗独立的封装单体,并将这些封装单体依次上下耦合连接,形成三维叠层封装结构。

2. 根据权利要求1所述的一种三维叠层封装结构的封装方法,其特征在于:所述金属种子层I的厚度为0.01~2微米。

一种三维叠层封装结构及其封装方法

技术领域

[0001] 本发明涉及一种三维叠层封装结构及其封装方法,属于半导体封装技术领域。

背景技术

[0002] 作为目前封装高密度集成的主要方式,三维叠层封装结构中的封装体叠层已经成为业界的首选。

[0003] 在现有的封装体叠层封装结构中,作为封装体叠层封装的单元,每一个独立的封装体在封装时都需要利用贴膜基板作为封装的载板,用以承载被封装的芯片,结构复杂。如图1所示为一个典型的两层叠层封装设计,第二层的封装体13通过焊球12的回流过程焊接到第一层的封装体11上,更多层的叠层封装设计可以重复如上过程。为了避免第一层的芯片与第二层的载板产生干扰,此方法需要用大尺寸的焊锡球,而越大的焊锡球需要越大的空间,以防止焊锡球之间短路,所以此方法的焊接密度较低,工艺难度较大,不利于缩小封装体积,不符合小型化的封装趋势。

发明内容

[0004] 本发明的目的在于克服上述封装体叠层封装结构的不足,提供一种不需载板承载芯片、结构简洁,符合小型化趋势、降低工艺难度的三维叠层封装结构及其封装方法。

[0005] 本发明的目的是这样实现的:

[0006] 本发明一种三维叠层封装结构,其包括若干个上下叠层封装的封装单体,所述封装单体包括芯片封装体和下封装体,

[0007] 所述芯片封装体包括至少一个芯片和再布线金属层,所述芯片位于整个芯片封装体的中央,所述再布线金属层选择性地设置于该芯片的四周,所述芯片与再布线金属层的近芯片端通过连接件连接,所述再布线金属层的下表面设置金属种子层Ⅱ,并于所述金属种子层Ⅱ的下表面设置芯片封装体的下输入/输出端,

[0008] 于所述芯片同侧,所述再布线金属层的远芯片端设置金属柱Ⅱ,所述金属柱Ⅱ与再布线金属层固连,且该金属柱Ⅱ的水平高度高于芯片的水平高度,所述再布线金属层、金属柱Ⅱ、芯片、连接件和金属种子层及其彼此间的空间填充包封材料,形成包封材料层Ⅱ,所述包封材料层Ⅱ露出金属柱Ⅱ的上表面,形成芯片封装体的上输入/输出端;

[0009] 所述下封装体包括金属柱Ⅰ和包封材料层Ⅰ,所述金属柱Ⅰ与所述芯片封装体的下输入/输出端固连,所述包封材料层Ⅰ包封金属柱Ⅰ,且露出金属柱Ⅰ的下表面,形成下封装体的输入/输出端;

[0010] 上下相邻两个所述封装单体之间设置焊球/焊块,所述焊球/焊块的一端连接上一所述封装单体的下封装体的输入/输出端,其另一端连接下一所述封装单体的芯片封装体的上输入/输出端。

[0011] 所述连接件为微凸块及其顶端的金属连接层。

[0012] 所述微凸块可以由下列元素的至少一种元组成:铜Cu、镍Ni、钒V、钛Ti、钯Pd、金

Au、银Ag。

[0013] 所述连接件为金属引线。

[0014] 所述金属种子层 II 的厚度为0.01~2微米。

[0015] 所述金属柱 I 的高度 h_1 范围为5~100微米。

[0016] 所述金属柱 I 的高度 h_1 范围为10~20微米为佳。

[0017] 所述金属柱 II 的高度 h_2 的范围在100~300微米。

[0018] 本发明一种三维叠层封装结构的封装方法,其包括如下工艺步骤:

[0019] 步骤一、取一载板,采用晶圆级工艺或平板工艺利用溅射或化学镀的方法在该载板上沉积一金属种子层 I,再依次利用光刻、电镀的方法,在金属种子层 I 的表面形成金属柱 I,去除剩余的光刻胶;

[0020] 步骤二、采用包封工艺用包封材料将金属柱 I 进行包封,包封材料固化后,再对包封材料的上表面进行研磨,至露出金属柱 I 的上表面,同时形成包封材料层 I;

[0021] 步骤三、采用溅射或化学镀的方式在上述结构的上表面沉积一层金属种子层 II,再依次利用光刻、电镀的方法,在金属种子层 II 的表面选择性地形成再布线金属层,去除剩余的光刻胶;

[0022] 步骤四、再次依次利用光刻和电镀的方法,在再布线金属层的表面形成金属柱 II,去除剩余的光刻胶,并腐蚀去掉再布线金属层以外区域的无效的金属种子层 II;

[0023] 步骤五、利用微凸块工艺或打线工艺将芯片与再布线金属层通过连接件连接;

[0024] 步骤六、再次用包封材料将再布线金属层、金属柱 II、芯片、连接件、金属引线和金属种子层 II 及其彼此间的空间进行包封,并对包封材料的上表面进行研磨,露出金属柱 II 的上表面,形成包封材料层 II,完成芯片封装体的封装工艺;

[0025] 步骤七、通过研磨的方法,完全去除载板和金属种子层 I,至露出金属柱 I 的表面,形成封装单体结构;

[0026] 步骤八、切割、裂片上述的封装结构,形成复数颗独立的封装单体,并将这些封装单体依次上下耦合连接,形成三维叠层封装结构。

[0027] 所述金属种子层 I 的厚度为0.01~2微米。

[0028] 本发明的有益效果是:

[0029] 本发明的三维叠层封装结构采用预埋金属柱的方式形成叠层封装所需的电气互连通道,金属柱采用晶圆级工艺或平板工艺批量化操作形成,工步的对位是直接可视的,简化了工艺,提高了效率,降低了生产成本;

[0030] 本发明的三维叠层封装结构的封装方法的每一通道做得很细致,保障了可靠性,避免了短路、漏电等问题的发生,可以有效地提高三维叠层封装结构的电性能,同时,三维叠层封装结构由若干个封装单体通过焊料连接而成,可以有效地控制翘曲问题;

[0031] 本发明的三维叠层封装结构的每一芯片封装体的厚度直接或间接由金属柱控制,与载板、焊球等无关,节省了空间,符合小型化发展的需要,使三维叠层封装结构在逻辑电路和存储器集成领域,尤其是制造高端便携式设备和智能手机使用的先进移动通讯平台更有优势。

附图说明

- [0032] 图1为现有叠层封装封装结构的示意图；
- [0033] 图2为本发明一种三维叠层封装结构的封装方法的流程图；
- [0034] 图3为本发明一种三维叠层封装结构的封装单体的实施例一的切面示意图；
- [0035] 图4-1为由图3构成的本发明一种三维叠层封装结构的切面示意图；
- [0036] 图4-2为图4-1的变形；
- [0037] 图5A至图5J为图4-1的实施例的封装方法的流程示意图；
- [0038] 图6为本发明一种三维叠层封装结构的封装单体的实施例二的切面示意图；
- [0039] 图7为由图6构成的本发明一种三维叠层封装结构的切面示意图；
- [0040] 图8A至图8J为图7的实施例的封装方法的流程示意图；
- [0041] 图中：
- [0042] 金属柱I101
- [0043] 包封材料层I102
- [0044] 芯片210
- [0045] 微凸块211
- [0046] 金属连接层213
- [0047] 再布线金属层220
- [0048] 金属种子层 II 221
- [0049] 芯片封装体的下输入/输出端222
- [0050] 金属柱 II 230
- [0051] 芯片封装体的上输入/输出端231
- [0052] 包封材料层 II 240
- [0053] 金属引线280；
- [0054] 载板100
- [0055] 金属种子层I110。

具体实施方式

- [0056] 参见图2,本发明一种三维叠层封装结构的封装方法的工艺流程如下：
- [0057] S1:取一载板,采用晶圆级工艺或平板工艺在该载板上沉积一金属种子层I,在金属种子层I的表面形成金属柱I；
- [0058] S2:采用包封工艺将金属柱I进行包封,并露出金属柱I的上表面；
- [0059] S3:在金属柱I的上表面沉积一金属种子层 II,在金属种子层 II 的表面选择性地形成再布线金属层；
- [0060] S4:在再布线金属层的表面形成金属柱 II ；
- [0061] S5:利用微凸块工艺或打线工艺将芯片与再布线金属层连接；
- [0062] S6:在再布线金属层上方形成包封材料层 II 并露出金属柱 II 的上表面；
- [0063] S7:依次去除载板和金属种子层I,至露出金属柱I的表面,形成封装单体结构；
- [0064] S8:切割、裂片上述的封装结构,形成复数颗独立的封装单体；
- [0065] S9:将上述封装单体依次上下耦合连接,形成三维叠层封装结构。
- [0066] 现在将在下文中参照附图更加充分地描述本发明,在附图中示出了本发明的示例

性实施例,从而本公开将本发明的范围充分地传达给本领域的技术人员。然而,本发明可以以许多不同的形式实现,并且不应被解释为限于这里阐述的实施例。

[0067] 实施例一,参见图3

[0068] 参见图3,图3为本发明采用微凸块形成芯片与封装体之间电气互连的封装结构的切面示意图。

[0069] 由图3可以看出,本发明的封装单体的结构包括芯片封装体和下封装体,下封装体位于芯片封装体的下方,其与芯片封装体通过封装工艺紧密连接。

[0070] 其中,芯片封装体的芯片210位于整个芯片封装体的中央,再布线金属层220选择性地分布于该芯片210的四周。芯片210可以不止一个,其型号可以相同也可以不同,按需要排列。采用芯片倒装工艺,将芯片210与再布线金属层220的近芯片端通过微凸块211和金属连接层213与再布线金属层220倒装连接,形成电气互连。再布线金属层220的材质为导电性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。微凸块211可以呈柱状或块状,其靠近芯片210的一端与芯片210的电极连接,其可以由下列元素的至少一种元素组成:铜Cu、镍Ni、钒V、钛Ti、钯Pd、金Au、银Ag。金属连接层213设置于微凸块211的顶端,可以由下列元素的至少一种元素组成:锡Sn、银Ag、铜Cu、金Au、铋Bi、铅Pd,以增强连接的牢固度。

[0071] 一般地,再布线金属层220的下表面设有厚度为0.01~2微米的金属种子层II 221,再布线金属层220通过电镀或化学镀的方法形成于其上。该金属种子层II 221可以是单层、双层或多层,根据实际需要确定。金属种子层II 221的材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。该金属种子层II 221的下表面设置芯片封装体的下输入/输出端222。

[0072] 于芯片210的同侧,金属柱II 230设置于再布线金属层220的远芯片端,其个数和排列方式根据实际需要设计,该金属柱II 230与再布线金属层220固连。一般地,金属柱II 230的高度 h_2 的范围在100~300微米。通常以金属柱II 230的水平高度高于芯片210的水平高度为准,以容纳芯片210。金属柱II 230的材质为导电、导热性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。

[0073] 包封材料包封芯片210、再布线金属层220、金属柱II 230、微凸块211、金属连接层213和金属种子层II 221及其彼此间的空间,形成包封材料层II 240。金属柱II 230的上表面露出包封材料层II 240,形成芯片封装体的上输入/输出端231。

[0074] 下封装体包括与芯片封装体的下输入/输出端222固连的金属柱I101和包封金属柱I101的包封材料层I102。金属柱I101的个数和排列方式也由实际需要确定。金属柱I101的高度 h_1 范围为5~100微米,以10~20微米为佳,以符合薄型化封装的趋势。金属柱I101的材质为导电、导热性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。金属柱I101的下表面露出包封材料层I102,以便与PCB等基板连接。

[0075] 可以由若干个封装单体上下封装连接,形成三维叠层封装结构。如图4-1所示,示例了封装有两个封装单体的三维叠层封装结构,其中,封装单体12设置于与封装单体11的上方,二者之间通过焊球/焊块21连接,该焊球/焊块21的一端连接在上的封装单体12的下封装体的输入/输出端,其另一端连接在下的封装单体11的芯片封装体的上输入/输出端。封装单体11与封装单体12的封装结构相同或类似,可实现的功能可以相同,也可以不同。不需要实现功能的封装单体12的芯片封装体的上输入/输出端231包封于包封材料内,需要时

可以打开,如图4-2所示。

[0076] 本发明一种三维叠层封装结构的封装方法,其工艺过程如下:

[0077] 步骤一、取一载板100,载板100为具有一定厚度和强度的硅片、玻璃片等。采用晶圆级工艺或平板工艺,利用溅射或化学镀的方法在该载板100上沉积一层金属种子层I110,厚度0.01~2微米,该金属种子层I110可以是单层、双层或多层,其材材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。再依次利用光刻、电镀的方法,在金属种子层I110的表面形成金属柱I101,厚度5~100微米,去除剩余的光刻胶,得到如图5A所示的结构。

[0078] 步骤二、采用包封工艺用包封材料将图5A所示的金属柱I101进行包封,具体地,包封材料选用热固性包封料,采用模具注塑或涂敷的方式进行成形,如图5B所示。包封材料固化后,再对包封材料的上表面进行研磨,至露出金属柱I101的上表面,同时形成包封材料层I102,得到如图5C所示的结构。

[0079] 步骤三、采用溅射或化学镀的方式在图5C所示结构的的上表面沉积一层金属种子层II 221,其厚度0.01~2微米,该金属种子层II 221可以是单层、双层或多层,其材材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。再依次利用光刻、电镀的方法,在金属种子层II 221的表面选择性地形成再布线金属层220,厚度1~20微米,去除剩余的光刻胶,得到如图5D所示的结构。

[0080] 步骤四、再次依次利用光刻和电镀的方法,在再布线金属层220的表面形成高度为100~300微米的金属柱II 230,去除剩余的光刻胶,并腐蚀去掉再布线金属层220以外区域的无效的金属种子层II 221后,得到图5E所示的结构。

[0081] 步骤五、利用微凸块工艺将芯片210通过微凸块211和金属连接层213与再布线金属层220连接,得到图5F所示的结构。

[0082] 步骤六、再次用包封材料将再布线金属层220、金属柱II 230、芯片210、微凸块211、金属连接层213和金属种子层II 221及其彼此间的空间进行包封,如图5G所示,并对包封材料的上表面进行研磨,露出金属柱II 230的上表面,形成包封材料层II 240和芯片封装体的上输入/输出端231,得到图5H所示的结构。

[0083] 步骤七、通过研磨的方法,完全去除载板100和金属种子层I110,露出金属柱I101的底面,得到图5I所示的封装单体结构。

[0084] 步骤八、切割、裂片上述的封装结构,形成复数颗独立的封装单体,并将这些封装单体依次上下耦合连接,形成三维叠层封装结构,有效地控制了翘曲问题;图5J示意了两层结构的三维叠层封装结构。

[0085] 实施例二,参见图6

[0086] 参见图6,图6为本发明采用打线形成芯片与封装体之间电气互连的封装结构的切面示意图。

[0087] 由图6可以看出,本发明的封装单体的结构包括芯片封装体和下封装体,下封装体与芯片封装体通过封装工艺紧密连接。

[0088] 其中,芯片封装体的芯片210位于整个芯片封装体的中央,再布线金属层220选择性地分布于该芯片210的四周。芯片210可以不止一个,其型号可以相同也可以不同,按需要排列。采用打线工艺,将芯片210的电极与再布线金属层220的近芯片端通过金属引线280连

接,形成电气互连。再布线金属层220的材质为导电、导热性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。金属引线280的材质为导电性能良好的金Au、银Ag、铜Cu、镍Ni、铝Al中的一种或任意几种的组合。

[0089] 一般地,再布线金属层220的下表面设有厚度为0.01~2微米的金属种子层II 221,再布线金属层220形成于其上。该金属种子层II 221可以是单层、双层或多层,其材材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。该金属种子层II 221的下表面设置芯片封装体的下输入/输出端222。

[0090] 于芯片210的同侧,金属柱II 230设置于再布线金属层220的远芯片端,其个数和排列方式根据实际需要设计,该金属柱II 230与再布线金属层220固连。一般地,金属柱II 230的高度h2的范围在100~300微米。通常以金属柱II 230的水平高度高于芯片210的水平高度为准,以容纳芯片210。金属柱II 230的材质为导电、导热性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。

[0091] 包封材料包封芯片210、再布线金属层220、金属种子层II 221、金属柱II 230和金属引线280及其彼此间的空间,形成包封材料层II 240。金属柱II 230的上表面露出包封材料层II 240,形成芯片封装体的上输入/输出端231。

[0092] 下封装体包括与芯片封装体的下输入/输出端222固连的金属柱I101和包封金属柱I101的包封材料层I102。金属柱I101的个数和排列方式也由实际需要确定。金属柱I101的高度h1范围为5~100微米,以10~20微米为佳,以符合薄型化封装的趋势。金属柱I101的材质为导电、导热性能良好的铜Cu、铁Fe、镍Ni中的一种或任意几种的组合。金属柱I101的下表面露出包封材料层I102,以便与PCB等基板连接。

[0093] 再由若干个封装单体上下封装连接,形成三维叠层封装结构。如图7所示,示例了封装有两个封装单体的三维叠层封装结构,其中,封装单体12设置于与封装单体11的上方,二者之间通过焊球/焊块21连接,该焊球/焊块21的一端连接在上的封装单体12的下封装体的输入/输出端,其另一端连接在下的封装单体11的芯片封装体的上输入/输出端。

[0094] 本发明一种三维叠层封装结构的封装方法,其工艺过程如下:

[0095] 步骤一、取一载板100,载板100为具有一定厚度和强度的硅片、玻璃片等。采用溅射或化学镀的工艺在该载板100上沉积一层金属种子层I110,厚度0.01~2微米,该金属种子层I110可以是单层、双层或多层,其材材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。再依次利用光刻、电镀的方法,在金属种子层I110的表面形成金属柱I101,厚度5~100微米,去除剩余的光刻胶,得到如图8A所示的结构。

[0096] 步骤二、采用包封工艺用包封材料将图8A所示的金属柱I101进行包封,具体地,包封材料选用热固性包封料,采用模具注塑或涂敷的方式进行成形,如图8B所示。包封材料固化后,再对包封材料的上表面进行研磨,至露出金属柱I101的上表面,同时形成包封材料层I102,得到如图8C所示的结构。

[0097] 步骤三、采用溅射或化学镀的方式在图8C所示结构的上表面沉积一层金属种子层II 221,其厚度0.01~2微米,该金属种子层II 221可以是单层、双层或多层,其材材质可以是铜Cu、钛Ti、铁Fe、钴Co和镍Ni中的一种或任意几种元素的组成。再依次利用光刻、电镀的方法,在金属种子层II 221的表面选择性地形成再布线金属层220,并为后续安装的芯片210留有足够的无再布线金属层220的空间。再布线金属层220的厚度1~20微米,去除剩余的光刻

胶,得到如图8D所示的结构。

[0098] 步骤四、再次依次利用光刻和电镀的方法,在再布线金属层220的表面形成高度为100~300微米的金属柱II 230,去除剩余的光刻胶,并腐蚀去掉再布线金属层220以外区域的无效的金属种子层II 221后,得到图8E所示的结构。

[0099] 步骤五、将芯片210正装固定于步骤三中再布线金属层220余留的空间,

[0100] 将芯片210的电极通过金属引线280与再布线金属层220的近芯片端连接,得到图8F所示的结构。

[0101] 步骤六、再次用包封材料将再布线金属层220、金属柱II 230、芯片210、金属引线280和金属种子层II 221及其彼此间的空间进行包封,如图8G所示,并对包封材料的上表面进行研磨,露出金属柱II 230的上表面,形成包封材料层II 240和芯片封装体的上输入/输出端231,得到图8H所示的结构。

[0102] 步骤七、通过研磨的方法,完全去除载板100和金属种子层I110,露出金属柱I101的底面,得到图8I所示的封装单体结构。

[0103] 步骤八、切割、裂片上述的封装结构,形成复数颗独立的封装单体,并将这些封装单体依次上下耦合连接,形成三维叠层封装结构,有效地控制了翘曲问题;图8J示意了的两层结构的三维叠层封装结构。

[0104] 本发明一种三维叠层封装结构及其封装方法不限于上述优选实施例,因此,任何本领域技术人员在不脱离本发明的精神和范围内,依据本发明的技术实质对以上实施例所作的任何修改、等同变化及修饰,均落入本发明权利要求所界定的保护范围内。

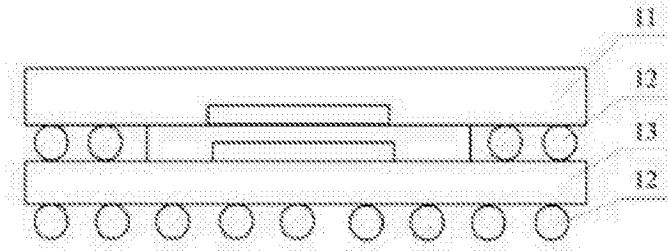


图1

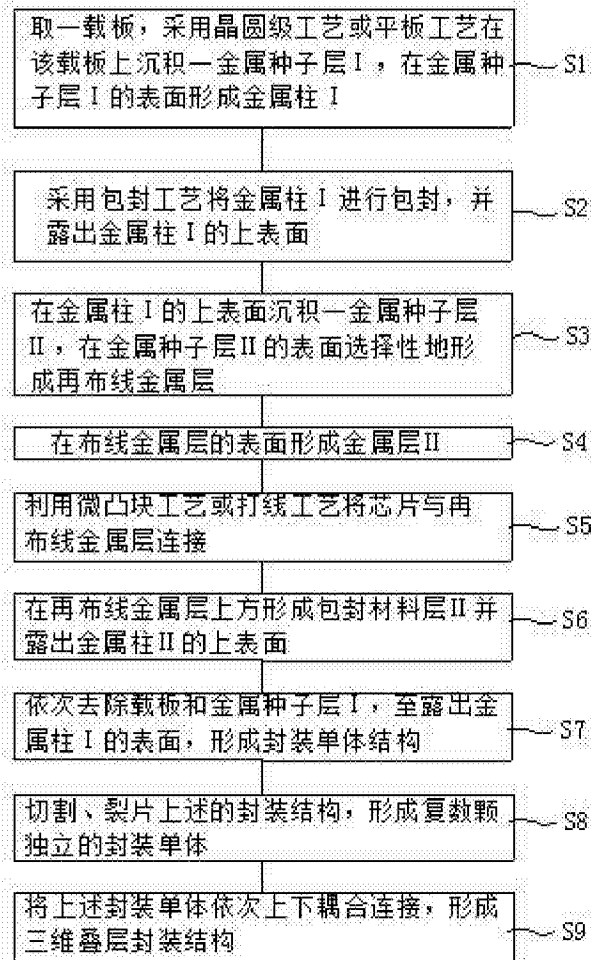


图2

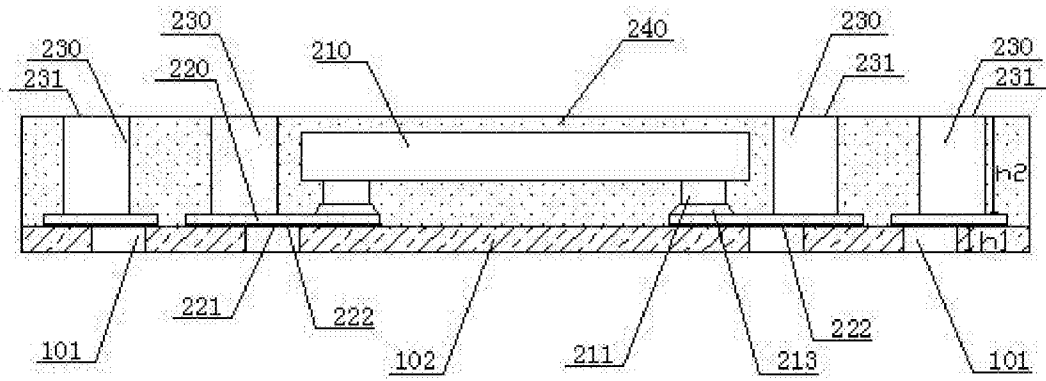


图3

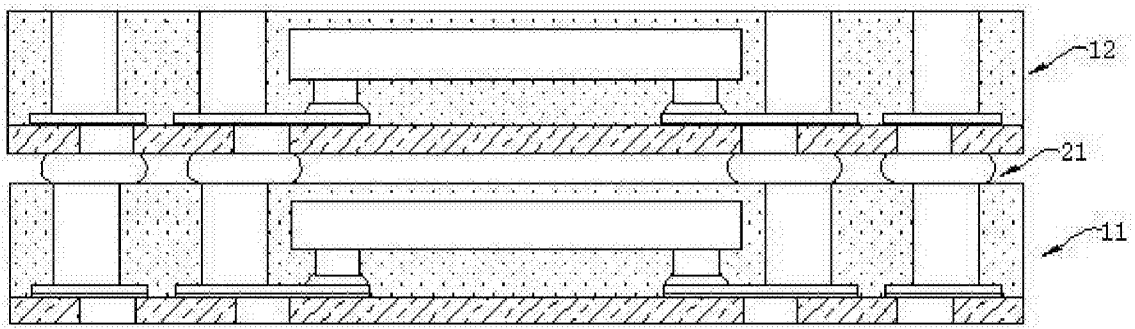


图4-1

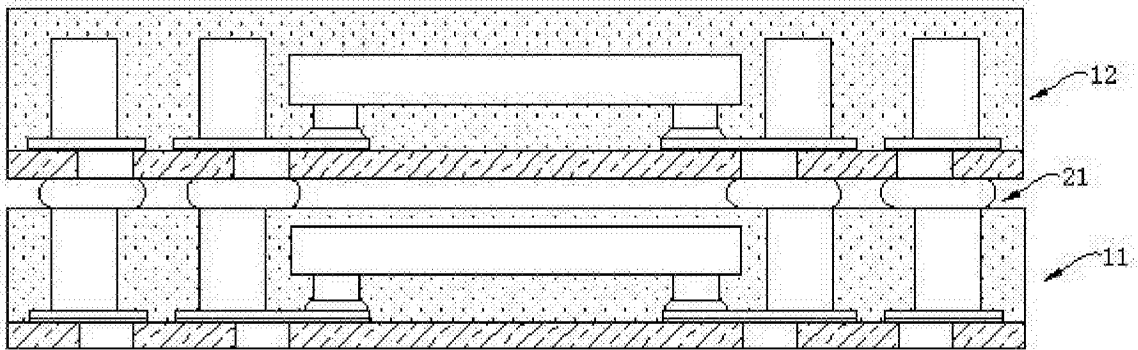


图 4-2

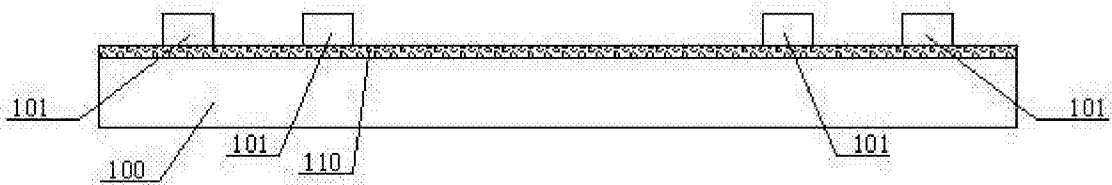


图 5A

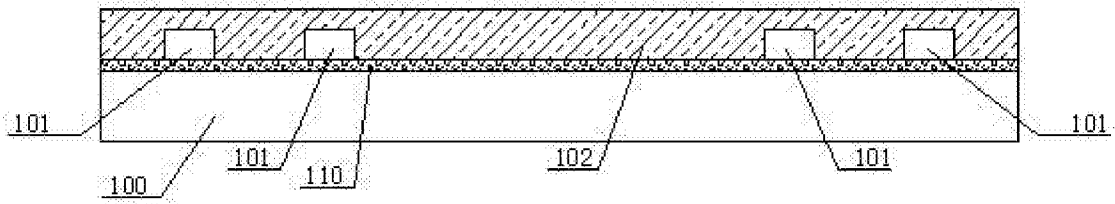


图 5B

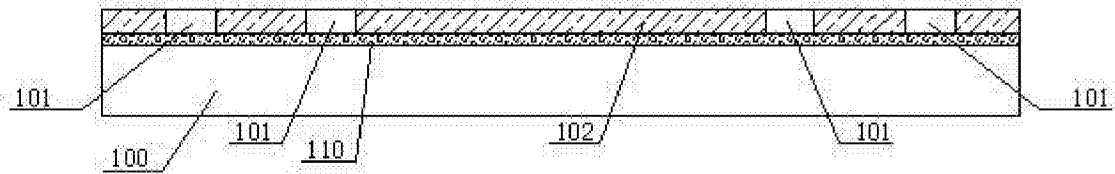


图 5C

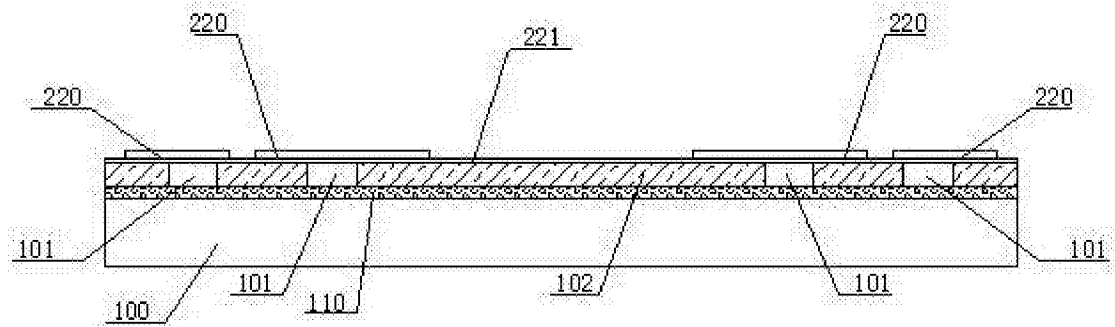


图 5D

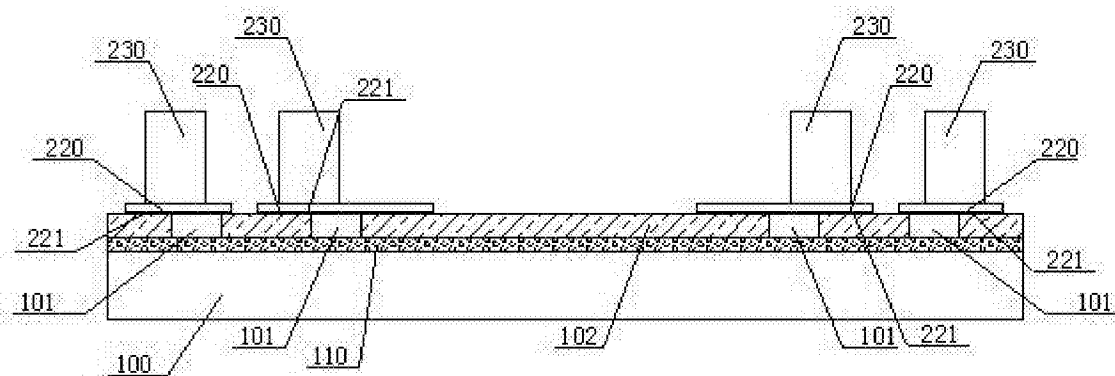


图 5E

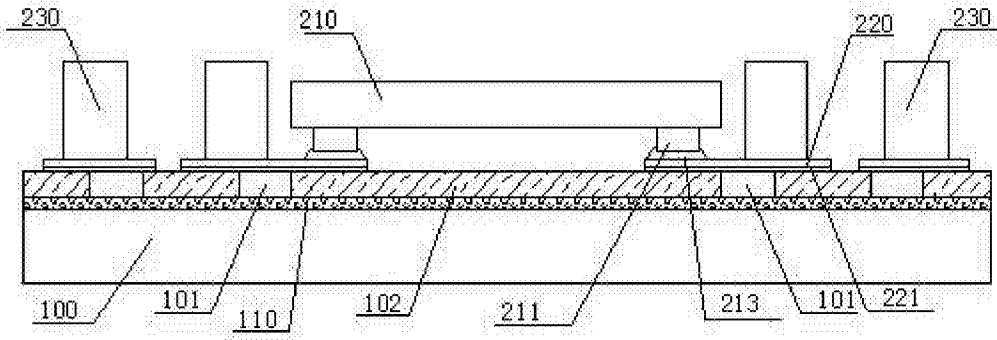


图 5F

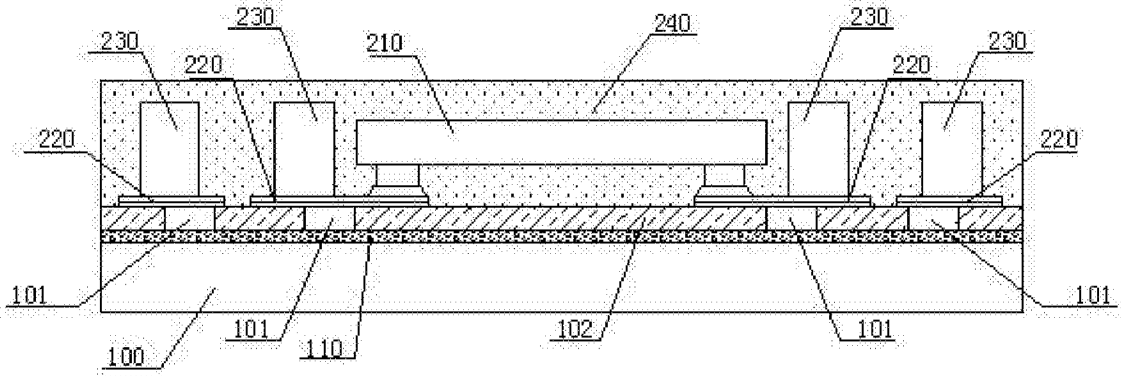


图 5G

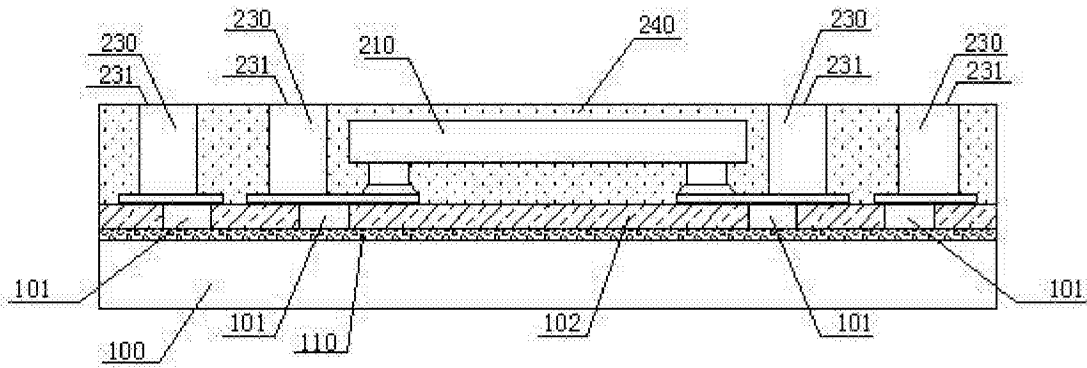


图 5H

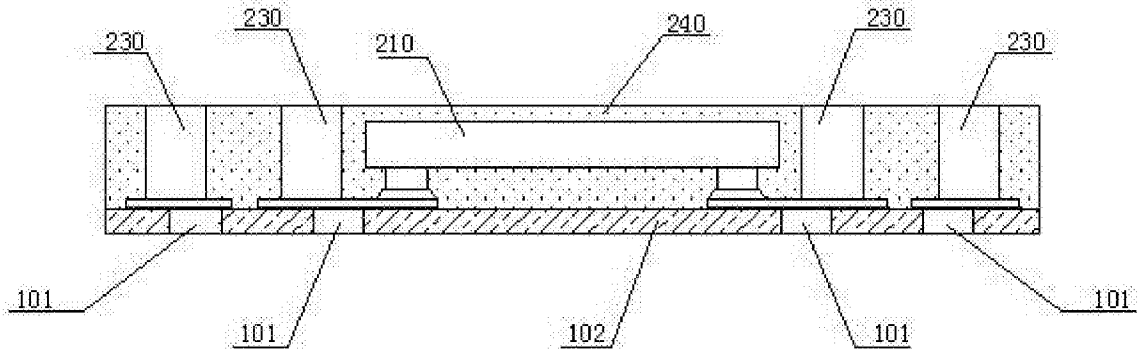


图 5I

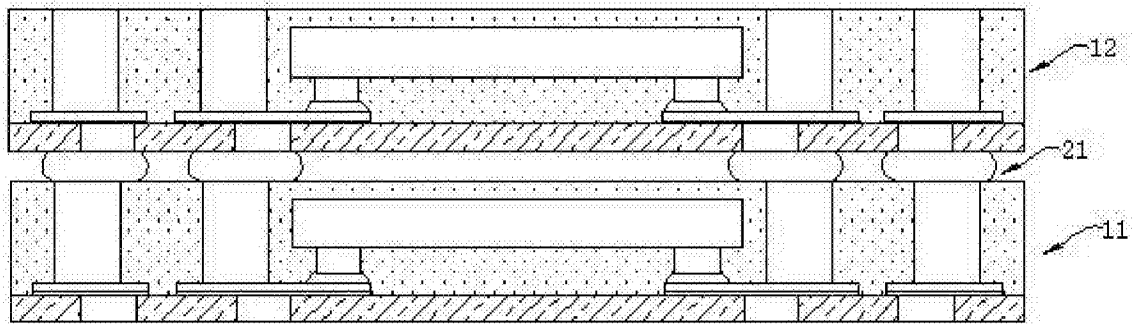


图 5J

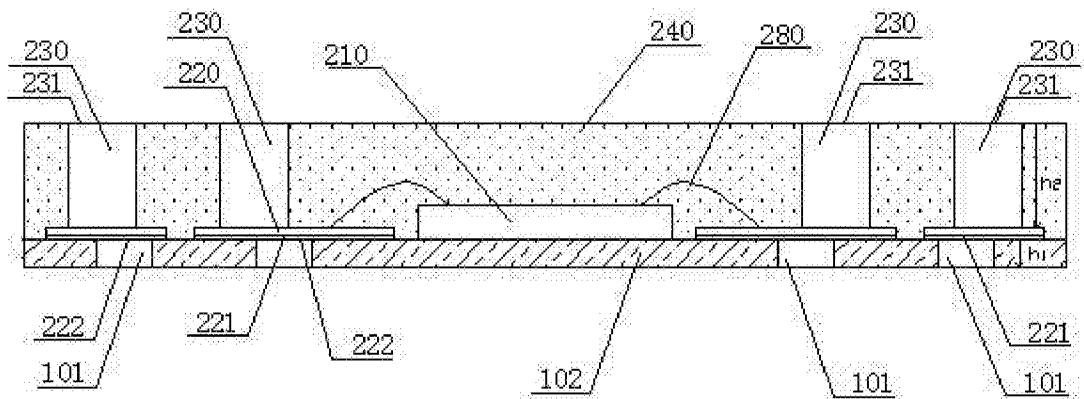


图 6

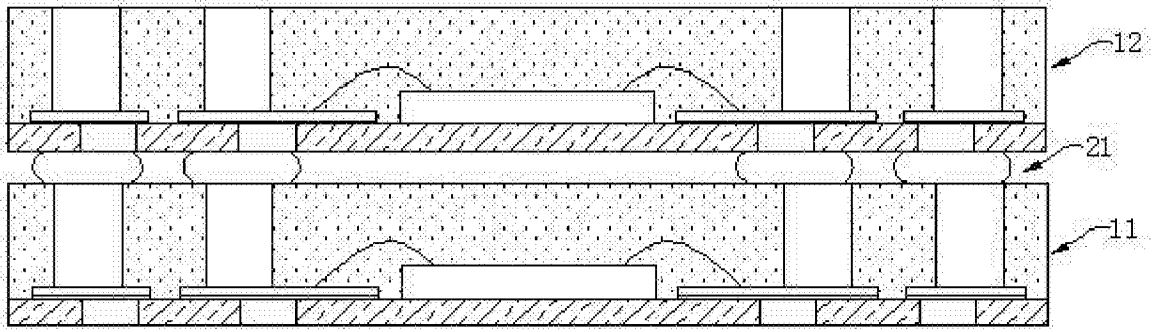


图 7



图 8A

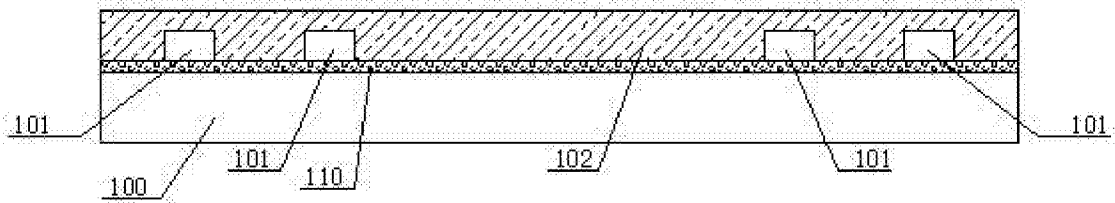


图 8B

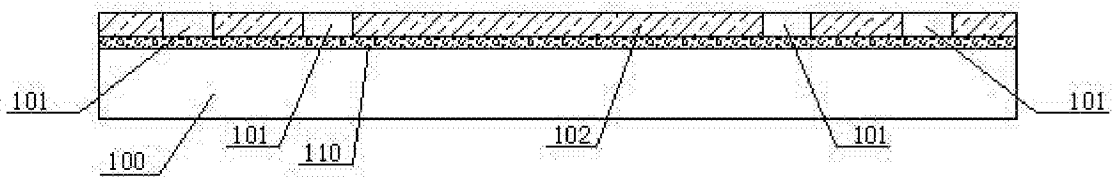


图 8C

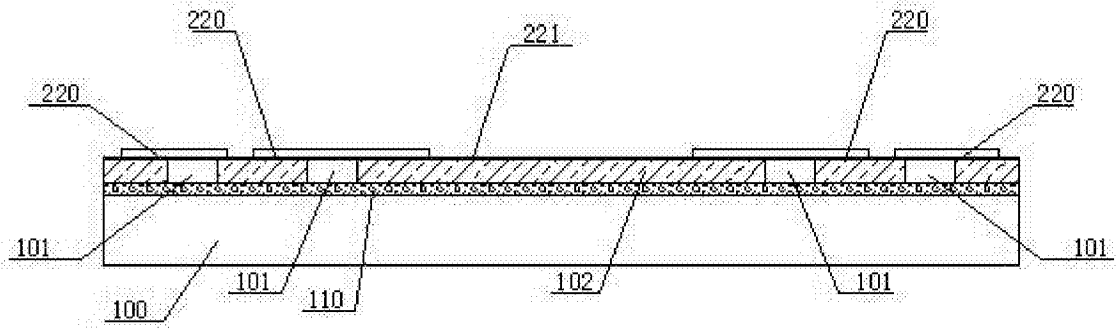


图 8D

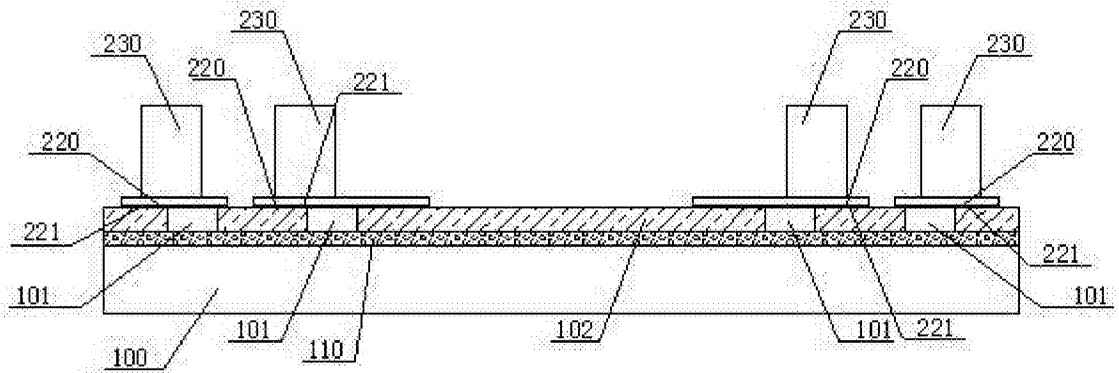


图 8E

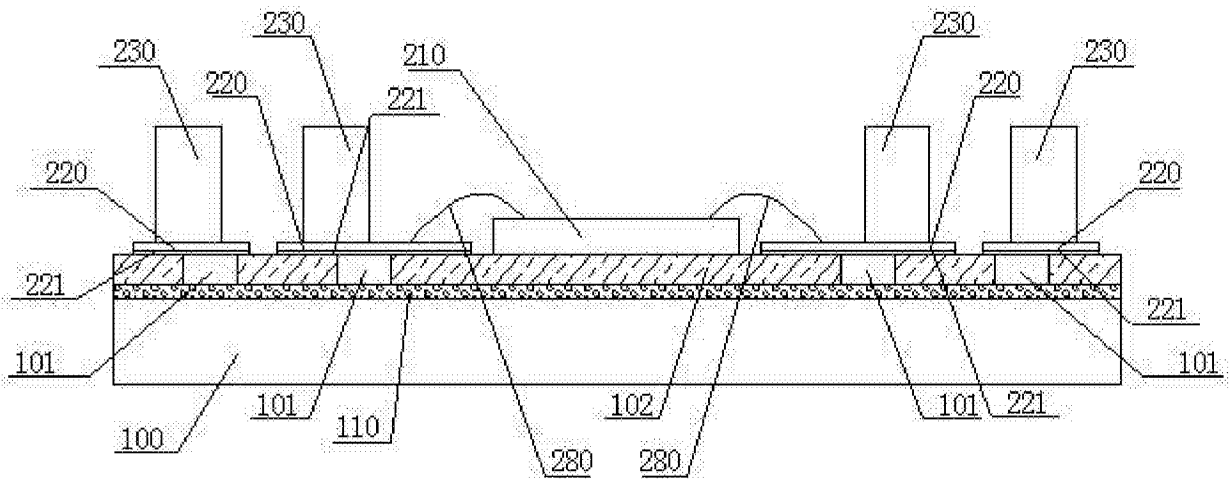


图 8F

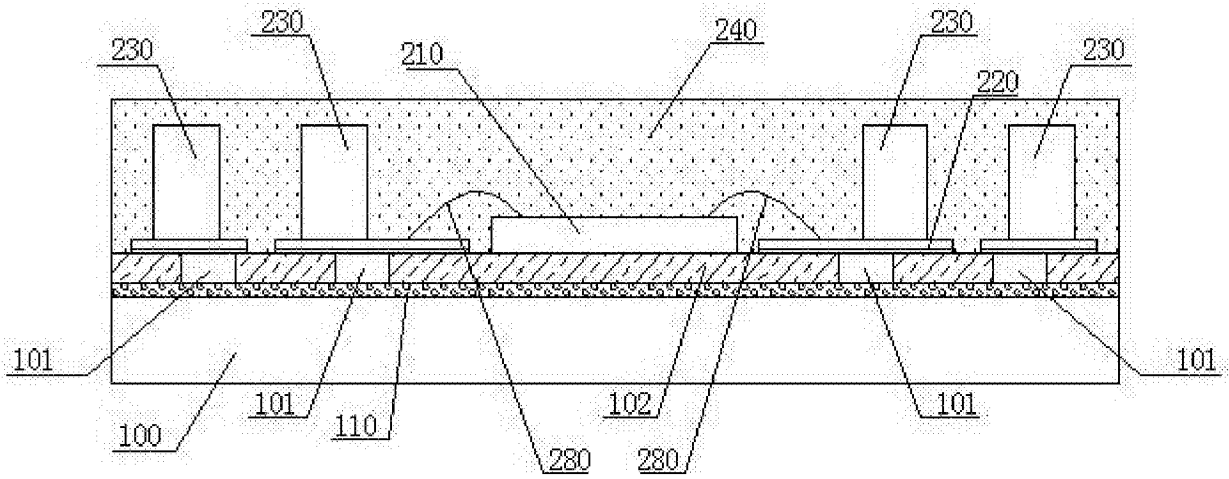


图 8G

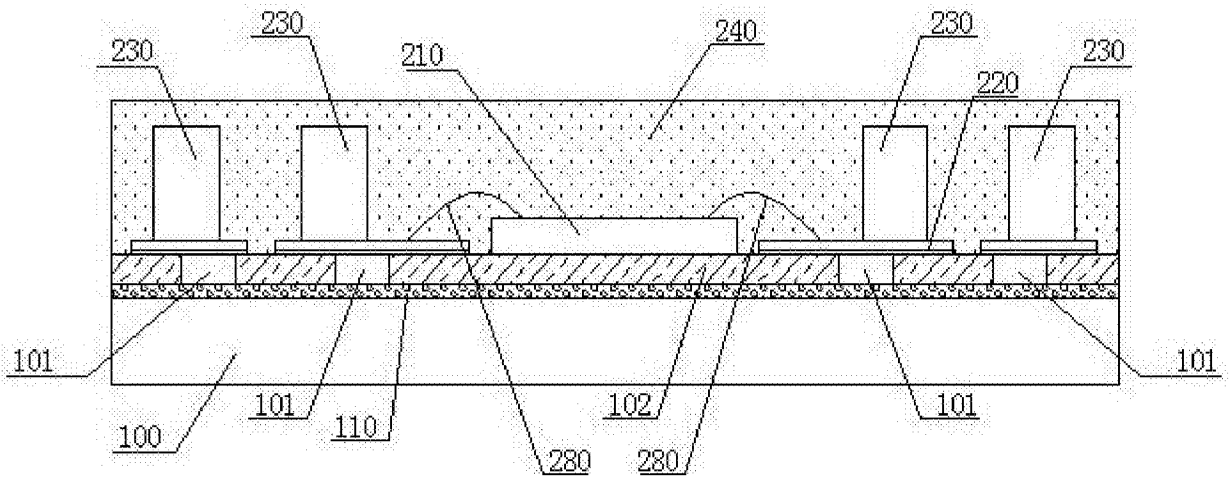


图 8H

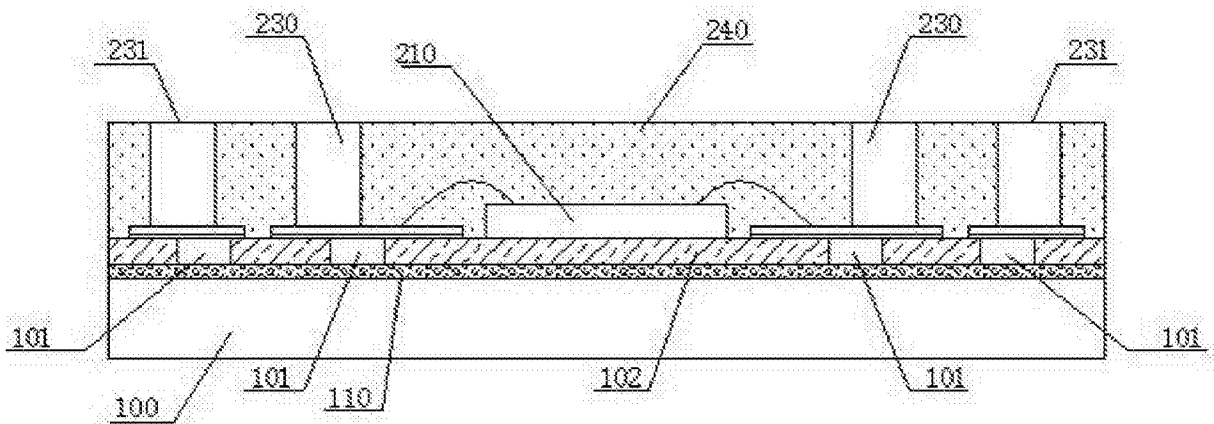


图 8I

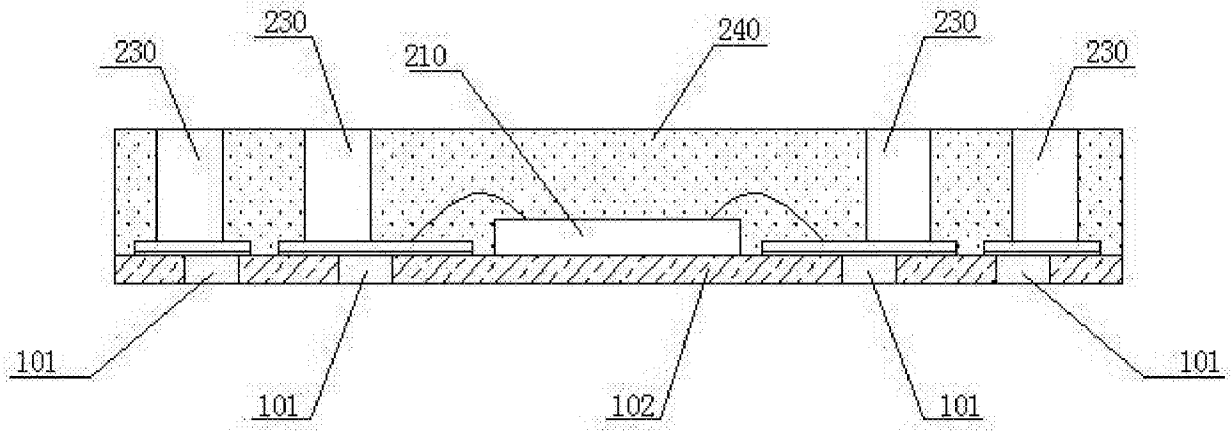


图 8J