

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-103683

(P2008-103683A)

(43) 公開日 平成20年5月1日(2008.5.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 N	
	HO 1 L 29/78 6 5 3 C	
	HO 1 L 29/78 6 5 2 J	

審査請求 有 請求項の数 26 O L 外国語出願 (全 19 頁)

(21) 出願番号	特願2007-202955 (P2007-202955)	(71) 出願人	506236358 インフィネオン テクノロジーズ オーストリア アクチエンゲゼルシャフト オーストリア 9500 フィラハ シーメンスシュトラッセ 2
(22) 出願日	平成19年8月3日(2007.8.3)	(74) 代理人	110000338 特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	102006036347.7	(72) 発明者	フランツ ヒルラー ドイツ連邦共和国 84424 アイゼンモーツアルトシュトラッセ 4
(32) 優先日	平成18年8月3日(2006.8.3)	(72) 発明者	ラルフ ジーミーニーク オーストリア 9500 フィラハ リツツェルホーフエンシュトラッセ 8
(33) 優先権主張国	ドイツ(DE)		

最終頁に続く

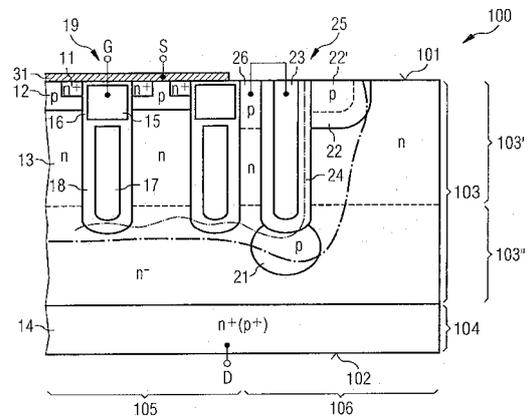
(54) 【発明の名称】 省スペース型のエッジ構造を有する半導体素子

(57) 【要約】 (修正有)

【課題】 最大遮断電圧でのエッジ領域の電界強度を低減する半導体素子を提供する。

【解決手段】 半導体基材100を備えた半導体素子であって、半導体基材は、第1の面101、第2の面102、内部領域105と、内部領域隣接したエッジ領域106と、内部領域およびエッジ領域にわたって延設され、且つ第1導電型の第1の半導体層103とを有しており、さらに、第1導電型に対して相補的な第2導電型であって、且つ第1の半導体層内の内部領域内に位置する少なくとも1つの能動素子ゾーン12と、エッジ領域内に位置するエッジ構造とを備えている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

半導体基材(100)を備えた半導体素子であって、

上記半導体基材(100)は、第1の面(101)と、第2の面(102)と、内部領域(105)と、該内部領域(105)の該半導体基材(100)側方側に隣接したエッジ領域(106)と、該内部領域および該エッジ領域にわたって延設されており、且つ第1導電型の基本ドーピングが施された第1の半導体層(103)とを有しており、

上記半導体素子は、さらに、

上記第1導電型に対して相補的な第2導電型であって、且つ上記第1の半導体層(103)内の上記内部領域(105)内に位置する少なくとも1つの能動素子ゾーン(12)と、

10

上記エッジ領域(106)内に位置するエッジ構造とを備えており、

上記エッジ構造は、上記第1の面(101)から半導体基材(100)内部へ向けて延設された少なくとも1つのトレンチ(25)と、該トレンチ内に位置するエッジ電極(23)と、該トレンチ内に位置し、且つエッジ電極(23)と半導体基材(100)との間に位置する絶縁層(24)と、該トレンチ(25)に隣接するとともに、少なくとも一部分が該トレンチ(25)の下方に配置され、且つ上記第2導電型である第1のエッジゾーン(21)とを有している、ことを特徴とする半導体素子。

【請求項 2】

上記第1のエッジゾーンとは離間して配置されており、且つ少なくとも1つのトレンチ(15)と側方において隣接するとともに、第1の面(101)と隣接する第2のエッジゾーン(22)を備えていることを特徴とする請求項1に記載の半導体素子。

20

【請求項 3】

上記第1のエッジゾーン(21)は、完全に空乏化されるように、あるいは、側方における上記エッジトレンチ(25)の幅よりも寸法が小さい領域以外が空乏化されていることを特徴とする請求項1または2に記載の半導体素子。

【請求項 4】

MOSトランジスタとして形成され、

上記半導体基材(100)の上記内部領域(105)内に、

第1導電型であるソースゾーン(11)、該第1導電型であるドリフトゾーン(13)と、及び該ソースゾーン(11)と該ドリフトゾーン(13)との間に配置されている上記第2導電型であるボディゾーン(12)を備えており、

30

さらに、

ゲート絶縁膜(16)によってボディゾーン(12)から絶縁されたかたちでボディゾーン(12)と隣り合って配置されているゲート電極(15)を少なくとも1つ備えていることを特徴とする請求項1から3までの何れか1項に記載の半導体素子。

【請求項 5】

上記ゲート電極(15)は、上記第1の面(101)から半導体基材(100)内部へ向けて延設された少なくとも1つのトレンチ内に配置されていることを特徴とする請求項4に記載の半導体素子。

40

【請求項 6】

上記ゲート電極(15)が設けられた上記トレンチ(19)内にフィールド電極(17)配置されており、

上記フィールド電極(17)は、上記ゲート電極(15)よりも、上記半導体基材(100)内部へ深く延びていることを特徴とする請求項5に記載の半導体素子。

【請求項 7】

上記エッジ電極(23)は、上記ソースゾーン(11)と電氣的に結合していることを特徴とする請求項4から6までの何れか1項に記載の半導体素子。

【請求項 8】

上記ゲート電極(15)は、半導体ゾーン(22、26)と電氣的に結合しており、

50

上記能動素子ゾーン(12)は、上記第1の半導体層(103)の基本ドーピングに対して相補的なドーピングが施されており、且つ上記トレンチ(25)と上記内部領域(105)との間に配置されていることを特徴とする請求項1から6までの何れか1項に記載の半導体素子。

【請求項9】

上記半導体ゾーン(22、26)は、上記基本ドーピングに対して相補的にドーピングされており、上記エッジトレンチ(25)に隣接していることを特徴とする請求項8に記載の半導体素子。

【請求項10】

上記半導体素子は、さらに、

上記エッジ電極(23)を備えた少なくとも2つのトレンチ(25)と、該トレンチ(25)の数に対応する数の第1のエッジゾーン(21)とを備えており、

上記トレンチ(25)は、各々が、半導体基材(100)における側方方向に離間して配置されていることを特徴とする請求項1から9までの何れか1項に記載の半導体素子。

【請求項11】

上記半導体素子は、さらに

上記トレンチ(25)の数に対応する数の第2のエッジゾーン(22)を備えており、

上記第2のエッジゾーン(22)は、各々、各トレンチ(25)の内部領域(105)側とは反対側に配置されており、該トレンチ(25)と隣接していることを特徴とする請求項10に記載の半導体素子。

【請求項12】

上記第2のエッジゾーン(26)の各々は、2つのトレンチ(25)の間に配置されており、一方のトレンチから他方のトレンチまでを側方に向けて延びていることを特徴とする請求項11に記載の半導体素子。

【請求項13】

半導体基材(100)を備えた半導体素子であって、

上記半導体基材(100)は、第1の面(101)と、第2の面(102)と、内部領域(105)と、該内部領域(105)の該半導体基材(100)側方側に隣接したエッジ領域(106)と、該内部領域および該エッジ領域にわたって延設されており、且つ第1導電型の基本ドーピングが施された第1の半導体層(103)とを有しており、

上記半導体素子は、さらに、

上記第1導電型に対して相補的な第2導電型であって、且つ上記第1の半導体層(103)内の上記内部領域(105)内に位置する少なくとも1つの能動素子ゾーン(12)と、

上記エッジ領域(106)内に位置するエッジ構造とを備えており、

上記エッジ構造は、上記第1の面(101)から半導体基材(100)内部へ向けて延設された少なくとも1つのトレンチ(25)と、該トレンチ(25)を充填する絶縁層(24)と、該トレンチ(25)に隣接するとともに、少なくとも一部分が該トレンチ(25)の下方に配置され、且つ上記第2導電型である第1のエッジゾーン(21)とを有しており、

上記第1のエッジゾーン(21)は、上記能動素子ゾーン(12)と、上記基本ドーピングが施された上記第1の半導体層(103)との間に形成された半導体接合部に対して遮断電圧がアプライされる際に、完全に空乏化されるように、あるいは、側方方向におけるエッジトレンチ(25)の幅よりも寸法が小さい領域以外が空乏化されるように選択されたドーピングが施されていることを特徴とする半導体素子。

【請求項14】

上記第1のエッジゾーン(21)とは離間して配置されており、且つ少なくとも1つのトレンチと側方において隣接するとともに、第1の面(101)と隣接する第2のエッジゾーン(22)を備えていることを特徴とする請求項13に記載の半導体素子。

【請求項15】

10

20

30

40

50

M O S トランジスタとして形成され、
 上記半導体基材（ 1 0 0 ）の上記内部領域（ 1 0 5 ）内に、
 第 1 導電型であるソースゾーン（ 1 1 ）、該第 1 導電型であるドリフトゾーン（ 1 3 ）
 、及び該ソースゾーン（ 1 1 ）と該ドリフトゾーン 1 3 との間に配置されている上記第 2
 導電型であるボディゾーン（ 1 2 ）を備えており、
 さらに、
 ゲート絶縁膜（ 1 6 ）によってボディゾーン（ 1 2 ）から絶縁されたかたちでボディゾ
 ーン（ 1 2 ）と隣り合って配置されているゲート電極（ 1 5 ）を少なくとも 1 つ備えてい
 ることを特徴とする請求項 1 3 または 1 4 に記載の半導体素子。

【請求項 1 6】

上記ゲート電極（ 1 5 ）は、上記第 1 の面（ 1 0 1 ）から半導体基材（ 1 0 0 ）内部へ
 向けて延設された少なくとも 1 つのトレンチ内に配置されていることを特徴とする請求項
 1 5 に記載の半導体素子。

【請求項 1 7】

上記ゲート電極（ 1 5 ）が設けられた上記トレンチ（ 1 9 ）内にフィールド電極（ 1 7
 ）配置されており、

上記フィールド電極（ 1 7 ）は、上記ゲート電極（ 1 5 ）よりも、上記半導体基材（ 1
 0 0 ）内部へ深く延びていることを特徴とする請求項 1 6 に記載の半導体素子。

【請求項 1 8】

上記半導体素子は、さらに、少なくとも 2 つのトレンチ（ 2 5 ）と、該トレンチ（ 2 5
 ）の数に対応する数の第 1 のエッジゾーン（ 2 1 ）とを備えており、

上記トレンチ（ 2 5 ）は、各々が、側方方向に離間して配置されており、絶縁層によっ
 て充填されていることを特徴とする請求項 1 4 から 1 7 までの何れか 1 項に記載の半導体
 素子。

【請求項 1 9】

上記半導体素子は、さらに、上記トレンチの数に対応する数の第 2 のエッジゾーン（ 2
 2 ）を備えていることを特徴とする請求項 1 8 に記載の半導体素子。

【請求項 2 0】

上記第 2 のエッジゾーン（ 2 6 ）の各々は、2 つのトレンチ（ 2 5 ）の間に配置されて
 おり、一方のトレンチから他方のトレンチまでを側方に向けて延びていることを特徴とす
 る請求項 1 9 に記載の半導体素子。

【請求項 2 1】

上記エッジトレンチ（ 2 5 ）の、半導体基材（ 1 0 0 ）の垂直方向の深さは、上記フィ
 ールド電極（ 1 7 ）が配置されたトレンチ（ 1 9 ）のそれよりも深いことを特徴とする請
 求項 1 7 から 2 0 までの何れか 1 項に記載の半導体素子。

【請求項 2 2】

上記第 2 のエッジゾーン（ 2 2 ）は、完全な空乏化はなされていないことを特徴とする
 請求項 1 から 2 1 までの何れか 1 項に記載の半導体素子。

【請求項 2 3】

上記第 1 の半導体層（ 1 0 3 ）は、第 1 の部分層（ 1 0 3 ' ）と、該第 1 の部分層 1 0
 3 ' よりも低い濃度でドーピングされた第 2 の部分層（ 1 0 3 ' ' ）とを有しており、

少なくとも 1 つの上記エッジトレンチ（ 2 5 ）は、上記第 2 の部分層（ 1 0 3 ' ' ）内
 に延びていることを特徴とする請求項 1 から 2 2 までの何れか 1 項に記載の半導体素子。

【請求項 2 4】

上記フィールド電極（ 1 7 ）が配置されたトレンチ（ 1 9 ）は、上記第 2 の部分層（ 1
 0 3 ' ' ）内に延びていることを特徴とする請求項 2 3 に記載の半導体素子。

【請求項 2 5】

上記第 1 の半導体層（ 1 0 3 ）は、第 1 の部分層（ 1 0 3 ' ）と、該第 1 の部分層 1 0
 3 ' よりも低い濃度でドーピングされた第 2 の部分層（ 1 0 3 ' ' ）とを有しており、

上記第 1 のエッジゾーン（ 2 1 ）は、全体が上記第 2 の部分層（ 1 0 3 ' ' ）内に位置

10

20

30

40

50

していることを特徴とする請求項 1 から 2 4 までの何れか 1 項に記載の半導体素子。

【請求項 2 6】

上記エッジトレンチ (2 5) の、半導体基材 (1 0 0) の垂直方向の深さは、上記フィールド電極 (1 7) が配置されたトレンチ (1 9) のそれよりも深いことを特徴とする請求項 6 または 1 7 に記載の半導体素子。

【発明の詳細な説明】

【発明の詳細な説明】

【 0 0 0 1 】

〔技術的背景〕

本発明は、内部領域内に p n 接合部を備え、エッジ領域内にはエッジ構造を備えた半導体基材を有する半導体素子、特にパワートランジスタに関する。 10

【 0 0 0 2 】

半導体接合部すなわち p n 接合部を有する素子構造は、ダイオード、バイポーラトランジスタ、および I G B T などのバイポーラ素子と、M O S F E T などのユニポーラ素子との両方に存在する。これらの素子は、導電状態における動作は異なるが、遮断状態 (blocking state) において、遮断電圧の増加に伴って空間電荷ゾーン (space charge zone) が半導体接合部から拡大するという共通点を有している。

【 0 0 0 3 】

垂直素子 (vertical component) では、基本的に、p n 接合部は半導体基材の端部の 1 つに対して平行である。p n 接合部と側方方向に隣接する領域内では、追加的な手段を講ずることなく、耐電圧 (最大遮断電圧) が下げられる。このような領域は、通常は半導体基材のエッジ領域、すなわち、半導体基材の表面と裏面との間に垂直方向に伸びている側面またはエッジ面に隣接する領域である。p n 接合部を有する領域は、通常は、エッジ領域よりも領域寸法が大きい内部領域を形成している。 20

【 0 0 0 4 】

エッジ領域内の耐電圧を上げるため、かつ、これに従って、最大遮断電圧に達したときのアバランシェ破壊 (avalanche breakdown) を内部領域の大部分に集中させるために、様々なエッジ終端またはエッジ構造が知られている。これらのエッジ終端は、素子に遮断電圧を印加した際におけるエッジ領域内の電界の向きの線の曲率を軽減する機能を有し、従って内部領域内の電界強度よりもエッジ領域内の電界強度を低くする機能を有している。 30

【 0 0 0 5 】

〔概要〕

本発明に係る半導体素子の一例としては、半導体基材を備えた半導体素子であって、上記半導体基材は、第 1 の面と、第 2 の面と、内部領域と、該内部領域の該半導体基材側方に隣接したエッジ領域と、該内部領域および該エッジ領域にわたって延設されており、且つ第 1 導電型の基本ドーピングが施された第 1 の半導体層とを有しており、上記半導体素子は、さらに、上記第 1 導電型に対して相補的な第 2 導電型であって、且つ上記第 1 の半導体層内の上記内部領域内に位置する少なくとも 1 つの能動素子ゾーンと、上記エッジ領域内に位置するエッジ構造とを備えている。このエッジ構造は、上記第 1 の面から半導体基材内部へ向けて延設された少なくとも 1 つのトレンチと、該トレンチ内に位置するエッジ電極と、該トレンチ内に位置し、且つエッジ電極と半導体基材との間に位置する絶縁層と、該トレンチに隣接するとともに、少なくとも一部分が該トレンチの下方に配置され、且つ上記第 2 導電型である第 1 のエッジゾーンとを有している。 40

【 0 0 0 6 】

また、本発明に係る半導体素子の上記した一例とは異なる例としては、本発明に係る半導体素子の一例としては、半導体基材を備えた半導体素子であって、上記半導体基材は、第 1 の面と、第 2 の面と、内部領域と、該内部領域の該半導体基材側方に隣接したエッジ領域と、該内部領域および該エッジ領域にわたって延設されており、且つ第 1 導電型の基本ドーピングが施された第 1 の半導体層とを有しており、上記半導体素子は、さらに、 50

上記第1導電型に対して相補的な第2導電型であって、且つ上記第1の半導体層内の上記内部領域内に位置する少なくとも1つの能動素子ゾーンと、上記エッジ領域内に位置するエッジ構造とを備えている。このエッジ構造は、上記第1の面から半導体基材内部へ向けて延設された少なくとも1つのトレンチと、該トレンチを充填する絶縁層と、該トレンチに隣接するとともに、少なくとも一部分が該トレンチの下方に配置され、且つ上記第2導電型である第1のエッジゾーンとを有しており、この第1のエッジゾーン(21)は、上記能動素子ゾーンと、上記基本ドーピングが施された上記第1の半導体層との間に形成された半導体接合部に対して遮断電圧がアプライされる際に、完全に空乏化されるように、あるいは、側方方向におけるトレンチの幅よりも寸法が小さい領域以外が空乏化されるように選択されたドーピングが施されている。

10

【0007】

〔図面の簡単な説明〕

本発明の実施例について、図面を参照しながら以下に説明する。これらの図面では、別段の記載がない限りは、同一の符号は、同一の意味を有する同一の素子領域を示している。

【0008】

図1は、トレンチおよびトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、MOSトランジスタとして形成された半導体素子を示す図である。

【0009】

図2は、トレンチおよびトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、ダイオードとして形成された半導体素子を示す図である。

20

【0010】

図3は、複数のトレンチおよびこれらのトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、MOSトランジスタとして形成された半導体素子を示す図である。

【0011】

図4は、絶縁体が充填されたトレンチを備えたエッジ構造を有する、MOSトランジスタとして形成された半導体素子を示す図である。

【0012】

図5は、絶縁体が充填された複数のトレンチを備えたエッジ構造を有する、MOSトランジスタとして形成された半導体素子を示す図である。

30

【0013】

図6は、図1および図2に示されているエッジ構造を形成するための処理工程を示す図である。

【0014】

〔図面の詳細な説明〕

図1は、本発明の一実施例による半導体素子の一部の断面図を示している。この半導体素子は、以下では表面として示されている第1の面101と、以下では裏面として示されている第2の面102とを有する半導体基材100を備えている。裏面102は、半導体基材100の垂直方向において、第1の面101の反対側に配置されている。半導体基材100は、例えば基本nドーピング(basic n-doping)などの第1導電型の基本ドーピング(basic doping)が施された第1の半導体層103を有している。半導体基材100の表面101と隣接している第1の半導体層103は、例えば、第2の半導体層104上に配置されたエピタキシャル層103である。第2の半導体層104は、例えば半導体基板である。図1に示されている第1の半導体層103および第2の半導体層104の垂直方向の寸法は、互いに相対的な縮小とはなっていない。通常、第1の半導体層103をエピタキシャル層として基板104上に形成する際は、半導体基材103の垂直方向におけるエピタキシャル層103の寸法は、半導体基板104の寸法よりも大幅に小さい。

40

【0015】

半導体基材100は、内部領域105と、半導体基材100の側方方向において内部領域105に隣接しているエッジ領域106とを有している。半導体基材100の第1の半

50

導体層 103 内および内部領域 105 内には、実施例に従って p ドープされたゾーンである、第 2 導電型の能動素子ゾーン 12 が配置されている。能動素子ゾーン 12 は、これと隣接する基本 n ドープが施された半導体層 103 の一領域と共に、pn 接合部を形成している。図 1 に示されている実施例では、能動素子ゾーン 12 は、半導体基材の内部領域 105 内で実現される、トレンチ MOS トランジスタのトランジスタ構造の一部をなす。p ドープされた能動素子ゾーン 12 は、上記トランジスタのボディゾーンを形成している。このボディゾーンは、半導体基材 100 の垂直方向において、ソースゾーン 11 とドリフトゾーン 13 との間に配置されている。ソースゾーン 11 およびドリフトゾーン 13 は、ボディゾーン 12 に対して相補的なドーピングが施されている。基本ドーピングが施された半導体層 103 であって、且つボディゾーン 12 から半導体基板 104 へ垂直方向に伸びている半導体層 103 の一部分は、この素子内においてはドリフトゾーン 13 を形成している。導体基板 104 は、MOS トランジスタのドレインゾーン 14 を形成している。

10

【0016】

ソースゾーン 11 とドリフトゾーン 13 との間にあるボディゾーン 12 内の反転チャネルを制御するために、上記素子はゲート電極 15 を備えている。ゲート電極 15 は、第 1 の面 101 から半導体基材 100 に向かって垂直方向に伸びるトレンチ 19 内に配置されている。図 1 に示されている実施例では、ゲート電極 15 は、半導体基材 100 の側方方向においてボディゾーン 12 に隣接して配置されており、またゲート絶縁膜 16 によってボディゾーン 12 から誘電的に絶縁されている。ゲート電極 15 は、ソースゾーン 11 からドリフトゾーン 13 まで、半導体基材 100 内を垂直方向に伸びている。

20

【0017】

半導体基材 100 の上記内部領域 105 では、ゲート電極 15、ソースゾーン 11、およびボディゾーン 12 をそれぞれ備えた同一のトランジスタ構造を多数形成することができる。これら同一のトランジスタ構造は、以下ではトランジスタセルとして示される。これらトランジスタセルは、それぞれのソースゾーン 11 を電氣的に接続することにより互いに並列接続されている。これは、図 1 に示されている半導体素子においては、ソース電極 31 を用いることによって行われている。このソース電極 31 は、半導体基材 100 の表面上に形成されており、個々のトランジスタセルのソースゾーン 11 に接触している。さらに、ソース電極 31 は、周知の方法によって、トランジスタセルのソースゾーン 11 およびボディゾーン 12 を短絡させる。ドリフトゾーン 13 およびドレインゾーン 14 は、本半導体素子内では、全てのトランジスタセルに共通である。並列接続されたこれらのトランジスタセルは、いわゆるセルアレイを形成している。

30

【0018】

ゲート電極 15 と同じトレンチ 19 内には、垂直方向ではゲート電極 15 の下に、側方方向ではドリフトゾーン 13 の一部に隣接して配置された、フィールド電極 (field electrode) 17 を配置することができる。トレンチ内のこれらフィールド電極 17 は、ゲート絶縁膜 16 よりも厚いフィールド電極絶縁膜 18 によって、第 1 の半導体層 103 から絶縁されている。詳細には図示されていないが、フィールド電極 17 は、ソースゾーン 11 またはソース電極 31 にそれぞれ接続されてよい。これによってフィールド電極 17 は、上記素子のソース電位を有する。フィールド電極 17 は、上記素子が遮断しているとき (オフになっているとき) に、ドリフトゾーン 13 内に存在するドーピング電荷 (doping charge) の一部を周知の方法によって補償する機能を有しており、これによって素子の耐電圧が上昇する。ドーピング電荷は、ドリフトゾーンをドーパントによってドーピングすることによって生じる。

40

【0019】

図 1 に示されているトランジスタ構造は、ボディゾーン 12 内にある反転チャネルを機能させるために適した駆動電位がゲート電極 15 に存在しないとき、および、(ドレインゾーン 14 に接続された) ドレイン端子 D と、ボディゾーン 12 とドリフトゾーン 13 との間の pn 接合部を遮断するソース端子との間に電圧が存在するときに、遮断する。図 1 に示されている n-MOSFET にとっての遮断電圧は、ドレイン D とソース S との間の

50

正電圧である。一方、個々の素子ゾーンが図1に示されている素子の素子ゾーンに対して相補的にドーピングされているp-MOSFETでは、上記電圧はドレインとソースとの間の負電圧である。

【0020】

上記素子に遮断電圧が印加されると、pn接合部を始点とする空間電荷ゾーンが、内部領域105内で、半導体基材100を垂直方向に伸びる。この空間電荷ゾーンは、上記素子の耐電圧が最大に達してアバランシェ破壊が始まるまで、増加する遮断電圧によってさらに伸びる。上記素子は、エッジ領域106においてエッジ構造を有している。エッジ構造は、エッジ領域内において、少なくとも、内部領域105内での素子の耐電圧である耐電圧を得るために機能する。この関係において、「エッジ領域」が、半導体基材100の側方のエッジに近接した半導体基材100の一領域である必要は必ずしもないことに留意されたい。本発明における「エッジ領域」は、半導体基材の一領域であり、該一領域は、垂直パワー半導体素子の能動素子領域を有する半導体領域と側方方向において隣接した領域である。図1に示されているパワーMOSFETのほかにも、このような垂直パワー半導体素子は、パワーIGBTまたはパワーダイオードであってよい。これらについては、図2を参照しながら以下に説明する。ドレインゾーンを、図1に示されている素子から、ドリフトゾーン13に相補的にドーピングすることによって、パワーIGBTが得られる。

10

【0021】

図1に示されている半導体素子では、エッジ構造は、表面101から半導体基材に向かって垂直方向に伸びる別のトレンチ25を有している。以下ではエッジ電極と称される電極は、このトレンチ25内に配置されており、絶縁膜によって第1の半導体層103から誘電的に絶縁されている。

20

【0022】

上記エッジ構造は、第1のエッジゾーン21をさらに有している。この第1のエッジゾーン21は、第1の半導体層103の基本ドーピングに対して相補的にドーピングされており、エッジトレンチ25と直接隣接しており、そして少なくとも部分的には、垂直方向においてエッジトレンチ25の下に配置されている。上記エッジ構造はさらに、任意の第2のエッジゾーン22を有している。この第2のエッジゾーン22は、半導体基材100の側方方向においてエッジトレンチと直接隣接しており、垂直方向においては表面101と隣接している。第2のエッジゾーン22は、第1の半導体層103の基本ドーピングに対して相補的にドーピングされており、実施例においては、セルアレイの方向とは反対の方向においてトレンチと隣接している。

30

【0023】

上記半導体素子はさらに、エッジトレンチ25と、エッジ領域106に最も近接して配置されたトランジスタセルアレイの最も外側にあるトレンチとの間において、エッジゾーン26を有してよい。別のエッジゾーン26は、第1の半導体層103の基本ドーピングに対して相補的にドーピングされている。エッジゾーン26は、エッジトレンチ25から、内部にゲート電極16とフィールド電極17とを備えた最も外側にある「トランジスタトレンチ」まで達している。この素子内では、エッジ電極23は、エッジトレンチ25とセルアレイとの間において、別のエッジゾーン26に接続されている。

40

【0024】

図示していないが、エッジ電極23は、別のエッジゾーン26に接続される代わりに、ソース電極31に接続されていてもよい。

【0025】

半導体基材の内部領域内において、MOSトランジスタのドリフトゾーン13を形成している第1の半導体層103は、異なるドーピングが施された2つの部分層を有してよい。すなわち、能動素子ゾーン12に隣接する第1の部分層103'と、第1の部分層103'に隣接しているとともに第1の部分層103'よりも低い濃度でドーピングされた第2の部分層103''とを有してよい。第1の半導体層103における第1の部

50

分層 103' と第 2 の部分層 103'' との 2 つの層への分割は、図 1 において破線で示されている。より低い濃度でドーピングされた第 2 の部分層 103'' は、基本的に、上記したセルアレイおよびエッジ構造のトレンチ構造の下方であって、トレンチ 19 および 25 がその内部（第 2 の部分層 103'' 内）に伸びるように配置されている。第 1 のエッジゾーン 21 は、より低い濃度でドーピングされた第 2 の部分層 103'' 内に完全に配置されている。

【0026】

第 1 の半導体層 103 を、より低い濃度でドーピングされた第 2 の部分層 103'' と、より高い濃度でドーピングされた第 1 の部分層 103' とに分割することによって、上記半導体素子は、より高い濃度でドーピングされたドリフトゾーン部分と、より低い濃度でドーピングされたドリフトゾーン部分とを有する。この「より高い濃度でドーピングされたドリフトゾーン部分」は、フィールド電極 17 の領域内にある。より低い濃度でドーピングされたドリフトゾーン部分は、上記素子の耐電圧を上昇させ、また側方方向において、フィールド電極 17 によって空乏化 / 補償されない。

10

【0027】

比較のために、図 1 に示されている素子の第 1 の部分層 103' と同じ高さの濃度で完全にドーピングされたドリフトゾーンを備え、フィールド電極を備えていない基準素子が存在しているものと仮定する。より低い濃度でドーピングされた部分層 103' のドーピング濃度と比較した場合、より高い濃度でドーピングされた上記素子の部分層 103' のドーピング濃度は、上記基準素子の耐電圧が、上記素子の耐電圧の 50% 未満となるように選択される。言い換えると、上記素子の耐電圧は、上記基準素子の耐電圧の 3 倍以上である。

20

【0028】

上記素子が遮断すると、上記エッジ構造は、上記半導体基材内の電界線の進路 (course of the field line) に影響を与えるように機能する。図 1 では、電界の 2 つの等電位線が一点鎖線で示されている。これらの等電位線は、内部領域 105 において側方方向に伸び、そしてエッジ領域 106 において表面 101 の方向に向かって曲がっているが、エッジ領域 106 において、内部領域 105 よりも高い電界が生じることはない。エッジ領域 106 における耐電圧を、内部領域 105 における耐電圧よりも高くするために、エッジ領域内における等電位線間の相互距離が、図 1 に示されているエッジ構造によって広げられる。フィールド電極 23 を囲んでいる絶縁膜 24 は、エッジ領域内における遮断電圧の大部分を吸収し、表面方向へ伸びる等電位線を湾曲させる機能を果たす。しかし、等電位線を湾曲させることによって、さらなる手段を講じることなく、トレンチ 25 の下にあるシリコンなどの半導体材料内における電界強度が上昇する。トレンチに隣接している第 1 のエッジ領域 21 は、このような電界強度の上昇を回避し、上記素子が状態 (state) を遮断するときに、トレンチ下にある半導体材料の電界を低減する機能を果たす。この関係において、第 1 のエッジゾーン 21 のドーピング濃度は、完全に空乏化されるように、あるいは、側方方向におけるトレンチ 25 の幅よりも寸法が小さい領域以外が空乏化されるように、選択される。なお、半導体基材 100 の側方方向における第 1 のエッジゾーン 21 の寸法は、一般的には、同方向におけるトレンチ 25 の寸法より大きい、必ずしもそ

30

40

【0029】

第 2 のエッジゾーン 23 は、等電位線をエッジトレンチからエッジ方向にさらに「シフト」し、この領域内において、等電位線の湾曲によってトレンチ下に生じる電界上昇を回避する機能を有している。第 2 のエッジゾーン 22 のドーピング濃度は、第 2 のエッジゾーン 22 が完全に空乏化されないように選択することができる。後者の場合では、上記素子が遮断するときに、第 2 のエッジゾーン 22 の一部のみ電界が存在しており、第 2 のエッジゾーン 22 の一部には電界が存在していない。これは、第 2 のエッジゾーン 22 内に存在するドーピング電荷が、用いられた半導体材料の破壊電荷よりも高いという事実と等しい。

50

【 0 0 3 0 】

実施例では、表面 1 0 1 から伸びるエッジ構造の第 2 のエッジゾーン 2 2 は、p n 接合部を形成している能動素子ゾーン（ボディゾーン 1 2 および内部領域 1 0 5）よりも、半導体基材 1 0 0 内に垂直方向に深く伸びている。

【 0 0 3 1 】

トレンチは、図 1 に垂直な方向に細長く伸びていてよい。この部分では、トランジスタ構造の別の素子ゾーンが同方向に細長く伸びていてよい。詳細には図示されていないが、エッジ構造は輪状であって、内部領域 1 0 5 のトランジスタ構造を囲んでいる。

【 0 0 3 2 】

図 2 は、ダイオードとして形成された半導体素子を示している。半導体基材 1 0 0 のエッジ領域 1 0 6 内に配置されたエッジ構造は、図 1 に示されているパワートランジスタのエッジ領域と対応している。図 2 に示されている素子内の内部領域 1 0 5 は、p ドープされた能動素子ゾーン 1 2 と、p ドープされた能動素子ゾーン 1 2 に隣接する第 1 の n ドープされた半導体ゾーン 1 3 と、第 1 の n ドープされた半導体ゾーン 1 3 に隣接する第 2 の n ドープされた半導体ゾーン 1 4 とを有するダイオード構造を備えている。第 1 の n ドープされたゾーン 1 3 は、基本 n ドーピングが施された半導体層 1 0 3 の一部によって形成されている。第 2 の n ドープされた半導体ゾーン 1 4 は、第 1 の n ドープされた半導体ゾーン 1 3 よりも高い濃度でドーピングされており、また半導体基板 1 0 4 によって形成されている。トランジスタ構造の p - エミッタを形成している p ドープされた能動素子ゾーン 1 2 と、トランジスタ構造の n ベース（n ベース）を形成している第 1 の n ドープされた半導体ゾーン 1 3 との間には、p n 接合部が存在している。第 2 の n ドープされた半導体ゾーン 1 4 は、ダイオードの n エミッタを形成している。上記ダイオード構造は、表面 1 0 1 から半導体基材へと伸びるトレンチをさらに有している。これらのトレンチ内では、第 1 の n ドープされた半導体ゾーン 1 3 に隣接してフィールド電極 1 7 が配置されている。フィールド電極 1 7 は、フィールド電極絶縁膜 1 8 によって第 1 の n ドープされた半導体ゾーン 1 3 から絶縁されている。フィールド電極 1 7 は、例えば、表面 1 0 1 上に配置されていると共にダイオード構造の p エミッタゾーン 1 2（アノードゾーン）に接触しているアノード電極 3 1 と接続することができる。n エミッタ 1 4 は、概略で示したカソード電極 K に接続されている。

【 0 0 3 3 】

図 2 に示されているダイオードの p エミッタ 1 2 を、図示しないショットキー金属ゾーン（shottky-metal-zone）と置き換えて、バイポーラダイオードの代わりにショットキーダイオードを得ることもできる。

【 0 0 3 4 】

図 3 は、図 1 の半導体素子に変更が加えられた、遮断電圧がより高い半導体素子を示している。この素子は、複数（実施例によると 2 つ）のエッジトレンチ 2 5 を備えたエッジ構造を有している。各エッジトレンチには、第 1 のエッジゾーン 2 1 が結合されている。これらの各第 1 のエッジゾーン 2 1 は、半導体層 1 0 3 の基本ドーピングに対して相補的にドーピングされており、少なくとも部分的にはトレンチ 2 5 の下に配置されている。さらに、これらの各トレンチ 2 5 には、任意の第 2 のエッジゾーン 2 2 が結合されている。これらの各第 2 のエッジゾーン 2 2 は、半導体層 1 0 3 の基本ドーピングに相補的にドーピングされており、側方方向においてトレンチ 2 5 と隣接しており、また半導体基材の表面と直接隣接している。このエッジ構造内の最も外側にあるトレンチ 2 5 の第 2 のエッジゾーン 2 2（図 1 に示されている素子の第 2 のエッジゾーン 2 2 と対応している）は、内部領域 1 0 5 の方向と反対方向において、トレンチ 2 5 と隣接している。別のトレンチ（図 1 に示されている別のトレンチは 1 つのみである）と結合されている第 2 のエッジゾーン 2 2 は、隣り合うトレンチ間において側方方向に伸びている。

【 0 0 3 5 】

図示されている上記素子は、別のエッジゾーン 2 6 をさらに有している。別のエッジゾーン 2 6 は、セルアレイに最も近接したエッジトレンチ 2 5 と、セルアレイの最も外側に

10

20

30

40

50

あるトランジスタトレンチとの間に配置されている。セルアレイに最も近接して配置されたエッジトレンチ 25 のエッジ電極 23 は、別のエッジゾーン 26 に接続されている。セルアレイから離れて配置されたエッジトレンチ 25 のエッジ電極 23 は、第 2 のエッジゾーン 22 に接続されている。第 2 のエッジゾーン 22 は、セルアレイの方向において、上記エッジトレンチと隣接するエッジトレンチとの間に配置されている。耐電圧をさらに上げるために、エッジ電極を有する別のエッジトレンチが形成されていてもよい（図示せず）。これらの各エッジ電極は、上記トレンチとセルアレイの方向に隣接して配置されていると共に半導体層 103 の基本ドーピングと相補的にドーピングされた半導体ゾーンに接続されている。図 3 に示されている実施例を参照すると、これらの半導体ゾーンは、2 つのエッジトレンチ 25 間に配置された第 2 のエッジゾーン 22、および別のエッジゾーン 26 である。

10

【0036】

図 3 に示されている素子のトランジスタセルアレイは、図 1 に示されている素子のトランジスタセルアレイに変更が加えられたものである。図 3 に示されているセルアレイのトランジスタセルは、フィールド電極 17 がボディゾーン 12 のレベルまで垂直方向に伸びているが、トレンチ内においてゲート電極 16 によって囲まれている点において、図 1 に示されているトランジスタセルとは異なる。フィールド電極 17 およびゲート電極 15 のこの特定の形状は、フィールド絶縁膜 18 が形成された後にフィールド電極 17 が形成されるという製造プロセスによるものである。次に、フィールド電極 17 およびフィールド絶縁膜 18 は、ゲート電極 15 が形成される前に、トレンチの上方領域においてエッチングされる。なお、図 3 に示されているトランジスタ構造は、図 1 に示されているエッジ構造を有していてもよい。

20

【0037】

図 1 および図 2 を参照すると、エッジ電極 23 は、半導体基材 100 の表面 101 まで伸びていてよい。しかし図 3 を参照すると、フィールド電極 23 は、表面 101 の下に配置されていてよく、表面とエッジ電極 23 との間に配置された絶縁膜によって覆われていてもよい。

【0038】

図 4 は、図 1 に示されている半導体素子に変更を加えた半導体素子を示している。図 4 に示されている半導体素子は、エッジ領域 106 において、エッジ絶縁膜 24 によって完全に充填されたトレンチ 25 を有するエッジ構造を備えている。このエッジ構造は、第 1 のエッジゾーン 22 をさらに有している。この第 1 のエッジゾーン 22 は、半導体層 103 の基本ドーピングに相補的にドーピングされており、トレンチ 25 に直接隣接しており、また半導体基材 100 の垂直方向において、少なくとも部分的にはトレンチ 25 の下に配置されている。第 1 のエッジゾーン 21 のドーピング濃度は、素子が遮断するとき、エッジゾーン 21 が完全に空乏化されるように、あるいは側方方向におけるトレンチ 25 の幅よりも寸法が狭い領域以外が空乏化されるように、選択される。素子が遮断すると、エッジゾーン 21 内の全て、あるいは少なくとも大部分のドーパントがイオン化される。

30

【0039】

図 4 に示されているエッジ構造は、任意の第 2 のエッジゾーン 22 を有している。この第 2 のエッジゾーン 22 は、内部領域 105 の方向とは反対の側方方向においてトレンチ 25 と隣接しており、また垂直方向において表面 101 と隣接している。第 2 のエッジゾーン 22 は、能動素子ゾーン 12（本実施例ではボディゾーン）よりも深く、半導体基材内に垂直方向伸びている。さらに上記素子は、任意の別のエッジゾーン 26 を有している。この別のエッジゾーン 26 は、半導体層 103 の基本ドーピングに相補的にドーピングされており、トランジスタ構造のエッジトレンチ 25 と最も外側にあるトレンチとの間に配置されており、またエッジトレンチ 25 からトランジスタトレンチまで伸びている。第 2 のエッジゾーン 22 のドーピング電荷またはドーピング濃度は、第 2 のエッジゾーン 22 が完全に空乏化されないように選択することができる。

40

【0040】

50

図1～図3に示されている素子と同様に、図4および図5に示されている半導体素子（これらについては以下に説明する）は、異なるようにドーピングされた2つの部分層を有している。より高い濃度でドーピングされた部分層103'は、ゲート電極15およびフィールド電極17を有するトレンチ19が配置されている、半導体基材100の上部領域内に存在している。より低い濃度でドーピングされた層103''は、より高い濃度でドーピングされた層103'と、実施例ではドレインゾーン14を形成している基板104との間に配置されている。絶縁膜24を有するトレンチ25（図4）およびトレンチ25（図5）は、より高い濃度でドーピングされた部分層103'から、より低い濃度でドーピングされた層103''内へと伸びていてよい。エッジゾーン21の大部分は、より低い濃度でドーピングされた部分層103''内に配置されている。

10

【0041】

図5は、図4に示されているエッジ構造に変更を加えたエッジ構造を示している。図5に示されているエッジ構造は、エッジ絶縁膜24によって完全に充填された複数（本実施例では2つ）のエッジトレンチ25を有している。これらの各エッジトレンチ25には、第1のエッジゾーン21が結合されている。この第1のエッジゾーン21は、少なくとも部分的にはトレンチ25の下に配置されており、これら第1のエッジゾーン21が完全に空乏化するように、あるいは上記トレンチの幅よりも寸法が小さい領域以外が空乏化するように選択された、ドーピング電荷またはドーピング濃度を有している。任意の第2のエッジゾーン22は、これらの各トレンチにさらに結合されていてよい。この第2のエッジゾーン22は、側方方向においてトレンチと隣接しており、垂直方向において表面101と隣接している。

20

【0042】

図1～図5に照らして説明したエッジ構造は、異なるようにドーピングされた2つの部分層、すなわち能動素子ゾーン12に隣接している第1の部分層103'と、第1の部分層103'に隣接していると共に第1の部分層103'よりも低い濃度でドーピングされた第2の部分層103''とを有する半導体層103を備えた半導体素子に、特に適している。図1～図5を参照すると、2つの部分層に分割された半導体層103が破線で示されており、より低い濃度でドーピングされた部分層103''は、基本的にはエッジ構造の下に配置されている。より低い濃度でドーピングされた部分層103''は、上記素子の耐電圧を上昇させる機能を有している。上記エッジ構造は、より高い濃度でドーピングされた第1の部分層103'内に配置されていてよい。

30

【0043】

図1～図3に示されているエッジ構造を形成する一方法について、図6を参照しながら以下に説明する。図6Aは、第1の処理工程後における半導体基材100の断面を示している。上記第1の処理工程では、表面上に配置されたエッチングマスク201を用いて、半導体基材100に、表面101を介してトレンチがエッチングによって形成される。トレンチのエッチングは、内部領域105内においては、トランジスタ構造のゲート電極を収容するトレンチを形成するために行われ、エッジ領域106では、エッジ電極23を収容するトレンチを少なくとも1つ形成するために行われる。図6Aの符号19は、内部領域105のトレンチを示しており、符号25は、エッジ領域106のトレンチを示している。

40

【0044】

図6Bは、別のマスク202を用いてドーパントが半導体基材100内に注入される、別の処理工程における方法を示している。例えば表面101上に配置された振動板/面版であるマスク202は、ドーパントがエッジトレンチ25の底（ground）を介して半導体層103内に注入されるように、および、ドーパントが表面101を介して、トレンチ25と側方方向において隣接する半導体層103の領域内に注入されるように、選択される。

【0045】

注入処理中において半導体基材100をマスクングするために用いられるマスク202

50

は、半導体基材の表面 101 から離して配置することができる。さらに、半導体基材 100 の表面 101 上、および覆われていないトレンチ表面上に、散乱層（図示せず）が配置されていてよい。次に、上記散乱層を通過して半導体基材 100 へとドーパントが注入される。注入エネルギーを与えると、散乱層によって様々な注入深度を達成することができる。本方法における振動板/マスクは、散乱層から離して配置されていてよく、あるいは散乱層に直接隣接して配置されていてよい。

【0046】

注入によって生じた注入領域は、図 6 B において符号 21' および 22' で示されている。これらの注入領域 21' および 22' は、第 1 のエッジゾーン 21 および第 2 のエッジゾーン 22 の基礎となるものである。マスク 202 は、内部領域 105 のトレンチ 19 内へドーパントが注入されないように選択される。しかしマスク 202 は、エッジトレンチ 25 と最も外側にあるトランジスタトレンチ 19 との間の半導体領域内にドーパントが注入されて、別の注入ゾーン 26' が形成されるように選択することもできる。別の注入ゾーン 26' は、別のエッジゾーン 26 の基礎となるものである。注入によって生じる結晶欠陥をアニーリングし、また注入されたドーパントを電気的に活性化するために、注入後にアニーリング工程を行ってもよい。アニーリング工程の温度は、例えば、1000 ~ 1200、特に 1050 ~ 1100 の範囲内であってよい。

【0047】

図 6 C は、別の処理工程後の半導体基材 100 を示している。この別の処理工程では、マスク 202 が除去された後、完全な (complete) 半導体表面すなわち表面 101 上、およびトレンチ 19、25 内に、絶縁層 24' が堆積される。この絶縁層は、例えば、酸化処理によって形成された熱半導体酸化物 (thermal semiconductor oxide)、あるいは堆積された酸化物である。内部領域 105 のトレンチ 19 内の絶縁層 24' は、後のフィールド電極絶縁膜を形成し、エッジトレンチ 25 内においては後のエッジ絶縁膜を形成する。絶縁層 24' の形成処理中においては、それ以前に注入されたドーパントを半導体基材 100 内により深く拡散させるための温度処理が必要である。エッジ構造のエッジゾーン 21、22、26 は、この拡散処理によって形成される。なお、半導体素子の形成または仕上げのために行う別の処理工程中では、別の温度処理を行って、それ以前に注入されたドーパントを半導体基材内にさらに深く拡散させる必要があることがある。

【0048】

図 6 D は、別の処理工程後の半導体基材を示している。この別の処理工程では、トレンチ 19、25 に電極材料が充填されて、エッジトレンチ内にエッジ電極 23 が形成され、そして内部領域 105 内に後のフィールド電極 17 の前駆体が形成される。

【0049】

これらの処理工程後に別の処理工程（図示せず）が行われて、半導体基材の内部領域 105 内にトランジスタ構造が形成される。半導体基材 100 のエッジ領域 106 は、これらの処理工程中にマスクされる。

【0050】

図 4 および図 5 に示されている、絶縁膜 24 によって完全に充填されたトレンチを有するエッジ構造を形成するプロセスは、エッジトレンチ 25 を形成するためのマスク 201 の開口部が、トランジスタトレンチ 19 を形成するためのマスク 201 の開口部よりも小さいという点において、図 6 A ~ 図 6 C に示されている方法とは異なる。絶縁層（図 6 C では絶縁層 24'）の堆積中には、エッジトレンチ 25 に絶縁材が完全に充填され、その一方でトランジスタトレンチ 19 内には空間が残される。この空間には、後に電極材料が充填される。エッチング処理中において、トランジスタトレンチ 19 の幅よりもエッジトレンチ 25 の幅を小さくすることによって、エッジトレンチ 25 の垂直寸法がトランジスタトレンチ 19 よりも小さくなる。これは、図 4 および図 5 に示されている。エッジトレンチ 25 の絶縁層 24 がフィールドプレート絶縁膜 18 と同一の処理工程によって形成される場合、図 4 および図 5 に示されている素子内におけるエッジトレンチ 25 の幅は、セルアレイのトレンチ 19 よりも小さい必要がある。絶縁膜の形成は、酸化物層の成長ある

10

20

30

40

50

いは絶縁層の堆積によって行われる。いずれの場合においても、エッジトレンチ 25 は完全に充填されるが、セルアレイのトレンチ 19 は完全には充填されない。

【0051】

トレンチ内に配置されたエッジ電極 23 およびエッジ絶縁層 24 を有するエッジ構造、および絶縁体によって完全に充填されたトレンチを有するエッジ構造において、エッジトレンチ 25 は、セルアレイのトレンチ（図示せず）よりも深く半導体基材 100 内に伸びるように形成することができる。複数のエッジトレンチを有するエッジ構造では、少なくとも、セルアレイに最も近接して配置されるエッジトレンチが、半導体基材内により深く伸びている。

【0052】

セルアレイのトレンチよりも深く半導体基材内に伸びるエッジトレンチを形成する工程は、セルアレイのトレンチを形成する工程と同時に行うことができる。これに関連して、トレンチをエッチングするためのマスクは、半導体基材 100 の側方方向にあるエッジトレンチが、セルアレイのトレンチよりも広くなるように選択される。エッチング処理の所定の期間中において、セルアレイのトレンチよりも深いエッジトレンチが形成される。より広く、従ってより深いエッジトレンチに絶縁層を充填して、図 4 および図 5 に示されているエッジ構造を形成するためには、2つの処理工程が必要である。第 1 の処理工程では、セルアレイのトレンチ 19 内にフィールドプレート絶縁膜 18 が形成され、エッジトレンチには絶縁膜が部分的に充填される。第 2 の処理工程では、例えばエッジ領域内に絶縁膜を別々に堆積することによって、エッジトレンチに絶縁膜が完全に充填される。

【0053】

なお、上述のエッジ構造は、MOS トランジスタ、ダイオード、またはショットキーダイオードでの使用に制限されるものではなく、任意の垂直パワー半導体素子、特にバイポーラトランジスタにおいても使用することができる。バイポーラトランジスタは、ゲート電極を有していない点において、上述の MOS トランジスタとは基本的に異なる。MOS トランジスタのソースゾーン、ボディゾーン、およびドレインゾーンは、バイポーラトランジスタのエミッタゾーン、ベースゾーン、およびコレクタゾーンに対応している。バイポーラトランジスタは、そのベースゾーンを介して制御される。

【0054】

なお、上述のエッジ構造は、補償構造すなわちフィールド電極のない素子内においても用いることができる。

【図面の簡単な説明】

【0055】

【図 1】トレンチおよびトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、MOS トランジスタとして形成された半導体素子を示す図である。

【図 2】トレンチおよびトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、ダイオードとして形成された半導体素子を示す図である。

【図 3】複数のトレンチおよびこれらのトレンチ内に配置されたエッジ電極を備えたエッジ構造を有する、MOS トランジスタとして形成された半導体素子を示す図である。

【図 4】絶縁体が充填されたトレンチを備えたエッジ構造を有する、MOS トランジスタとして形成された半導体素子を示す図である。

【図 5】絶縁体が充填された複数のトレンチを備えたエッジ構造を有する、MOS トランジスタとして形成された半導体素子を示す図である。

【図 6 A】図 1 および図 2 に示されているエッジ構造を形成するための処理工程を示す図である。

【図 6 B】図 1 および図 2 に示されているエッジ構造を形成するための処理工程を示す図である。

【図 6 C】図 1 および図 2 に示されているエッジ構造を形成するための処理工程を示す図である。

【図 6 D】図 1 および図 2 に示されているエッジ構造を形成するための処理工程を示す図

10

20

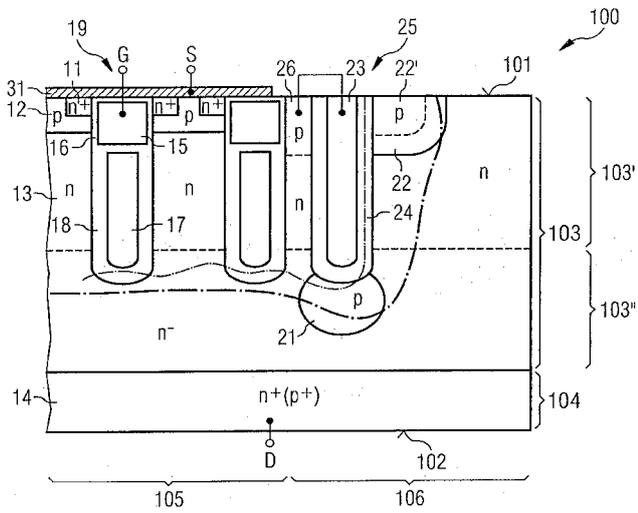
30

40

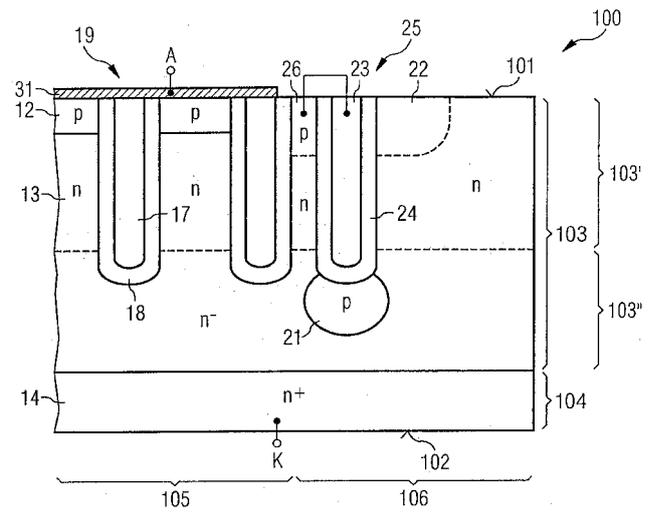
50

である。

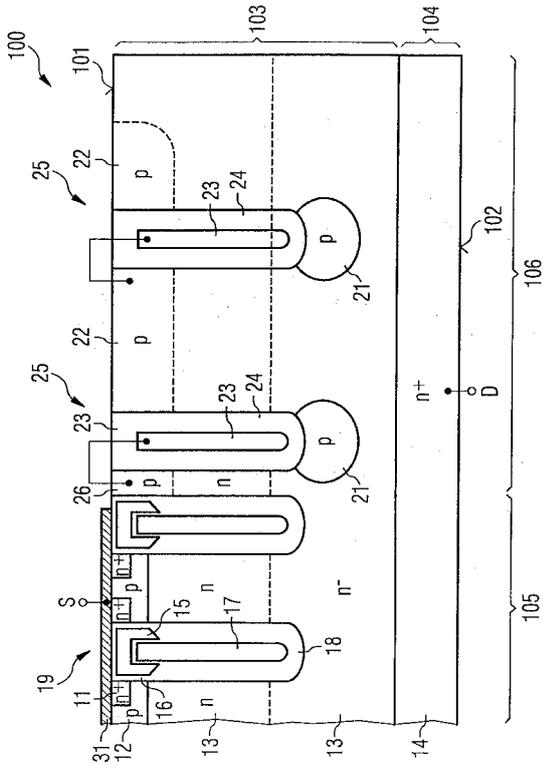
【 図 1 】



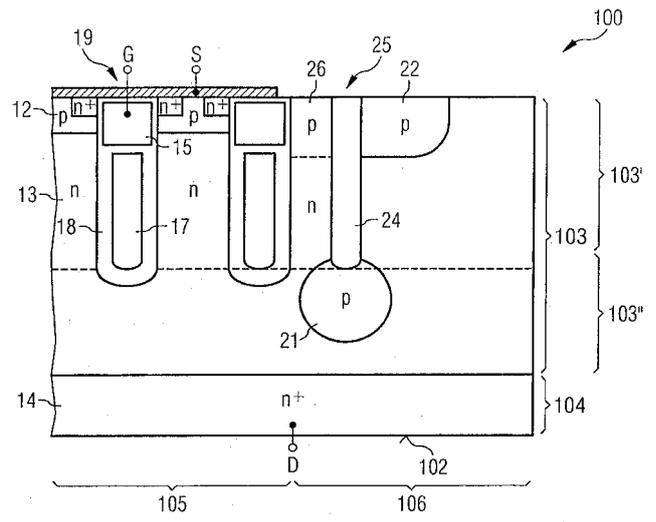
【 図 2 】



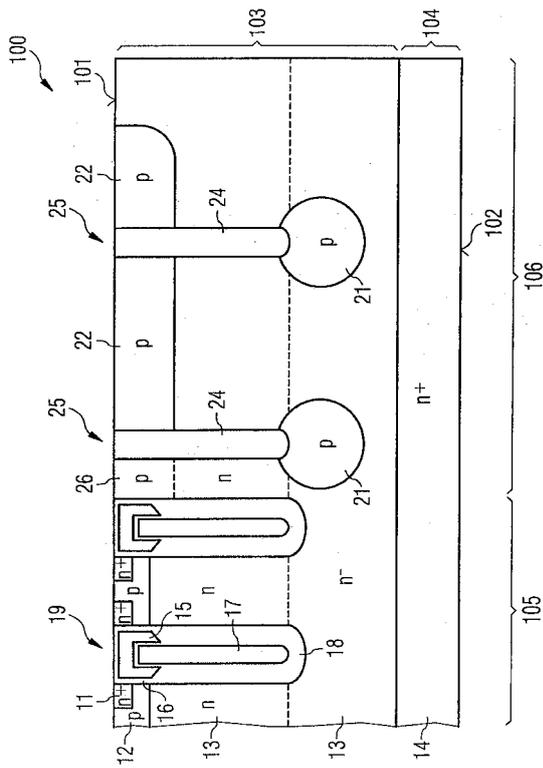
【図 3】



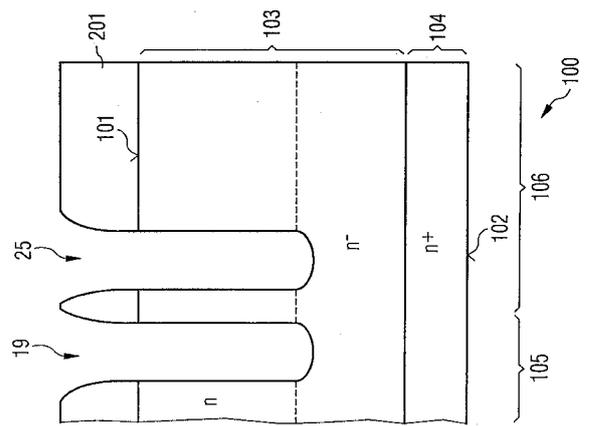
【図 4】



【図 5】



【図 6 A】



フロントページの続き

(72)発明者 クリスチャン ガイスラー

ドイツ連邦共和国 9 3 0 5 1 レーゲンスブルク アウグスブルガー シュトラッセ 8 6

【外国語明細書】

2008103683000001.pdf