



(12) 发明专利申请

(10) 申请公布号 CN 114499506 A

(43) 申请公布日 2022. 05. 13

(21) 申请号 202011173760.4

(22) 申请日 2020.10.28

(71) 申请人 长鑫存储技术有限公司

地址 230601 安徽省合肥市经济技术开发区
空港工业园兴业大道388号

(72) 发明人 汪玉霞 田凯

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260

专利代理师 成丽杰

(51) Int. Cl.

H03L 7/099 (2006.01)

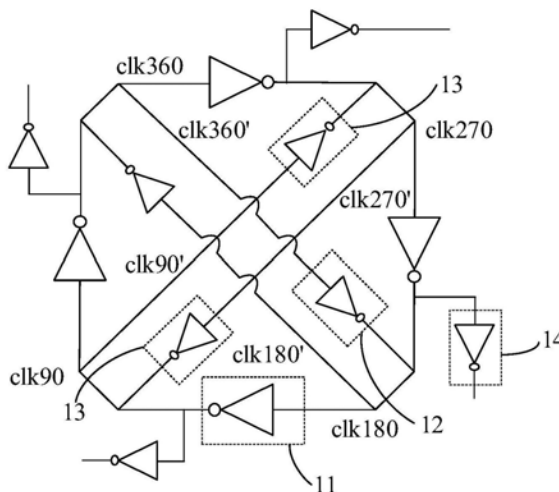
权利要求书3页 说明书9页 附图5页

(54) 发明名称

振荡器及时钟产生电路

(57) 摘要

本发明实施例提供一种振荡器及时钟产生电路,振荡器包括:第一环形拓扑结构,由多个第一反相器首尾相连,以第一传输速度传播振荡信号;第二环形拓扑结构,由多个第二反相器首尾相连,以第二传输速度传播所述振荡信号;其中,所述第一环形拓扑结构与所述第二环形拓扑结构电连接,所述第二传输速度小于所述第一传输速度。本发明实施例有利于提高振荡信号的速度和质量。



1. 一种振荡器,其特征在于,包括:
第一环形拓扑结构,由多个第一反相器首尾相连,以第一传输速度传播振荡信号;
第二环形拓扑结构,由多个第二反相器首尾相连,以第二传输速度传播所述振荡信号;
其中,所述第一环形拓扑结构与所述第二环形拓扑结构电连接,所述第二传输速度小于所述第一传输速度。
2. 如权利要求1所述的振荡器,其特征在于,所述第一反相器的个数为N个,所述N为大于等于4的整数。
3. 如权利要求2所述的振荡器,其特征在于,所述第二反相器的个数为M个,所述M为大于等于2的整数。
4. 如权利要求3所述的振荡器,其特征在于,记每一个所述第一反相器的输入端为一个第一节点,所述第一环形拓扑结构具有N个所述第一节点;记每一个所述第二反相器的输入端为一个第二节点,所述第二环形拓扑结构具有M个所述第二节点;至少有两个所述第二节点与对应个数的所述第一节点电连接。
5. 如权利要求4所述的振荡器,其特征在于,所述第二传输速度大于等于0.5倍的所述第一传输速度。
6. 如权利要求1所述的振荡器,其特征在于,还包括:
第三环形拓扑结构,由多个第三反相器首尾相连,以第三传输速度传输所述振荡信号,所述第一环形拓扑结构与所述第三环形拓扑结构电连接,所述第三传输速度小于等于所述第一传输速度。
7. 如权利要求6所述的振荡器,其特征在于,所述第一反相器的个数为U个,所述U为大于等于4的整数;所述第二反相器的个数为V个,所述V为大于等于2的整数;所述第三反相器的个数为W个,所述W为大于等于2的整数。
8. 如权利要求7所述的振荡器,其特征在于,记每一个所述第一反相器的输入端为一个第一节点,所述第一环形拓扑结构具有U个所述第一节点;记每一个所述第二反相器的输入端为一个第二节点,所述第二环形拓扑结构具有V个所述第二节点;记每一个所述第三反相器的输入端为一个第三节点,所述第三环形拓扑结构具有W个所述第三节点;至少有两个所述第二节点与对应个数的所述第一节点电连接,至少有两个所述第三节点与对应个数的所述第一节点电连接。
9. 如权利要求8所述的振荡器,其特征在于,所述第二传输速度小于所述第一传输速度,且所述第二传输速度大于等于0.5倍的所述第一传输速度;所述第三传输速度等于所述第二传输速度。
10. 如权利要求1所述的振荡器,其特征在于,还包括:
缓冲反相器,所述缓冲反相器的输入端接收所述振荡信号,所述缓冲反相器的输出端输出时钟信号。
11. 如权利要求10所述的振荡器,其特征在于,所述缓冲反相器的传输速度可调。
12. 如权利要求11所述的振荡器,其特征在于,通过调节所述缓冲反相器的上拉能力和/或下拉能力来实现所述缓冲反相器的传输速度可调。
13. 如权利要求12所述的振荡器,其特征在于,当所述缓冲反相器的上拉能力增强时,所述缓冲反相器的下拉能力减弱;当所述缓冲反相器的上拉能力减弱时,所述缓冲反相器

的下拉能力增强。

14. 如权利要求12所述的振荡器,其特征在于,所述缓冲反相器包括:

第一PMOS组,包括H个PMOS,所述H个PMOS的源极均连接于电源端;

第一NMOS组,包括H个NMOS,所述H个NMOS的源极均连接于接地端;

第零PMOS,其源极连接所述H个PMOS的漏极;

第零NMOS,其源极连接所述H个NMOS的漏极;

所述第零PMOS的漏极与所述第零NMOS的漏极连接,作为所述缓冲反相器的输出端;

所述第零PMOS的栅极与所述第零NMOS的栅极连接,作为所述缓冲反相器的输入端;

所述H个PMOS的栅极和所述H个NMOS的栅极均由一占空比调节编码组控制。

15. 如权利要求1所述的振荡器,其特征在于,所述第一传输速度可调。

16. 如权利要求15所述的振荡器,其特征在于,通过调节所述第一反相器的上拉能力和/或下拉能力来实现所述第一传输速度可调。

17. 如权利要求15所述的振荡器,其特征在于,当所述第一反相器的上拉能力增强时,所述第一反相器的下拉能力增强;当所述第一反相器的上拉能力减弱时,所述第一反相器的下拉能力减弱。

18. 如权利要求17所述的振荡器,其特征在于,所述第一反相器包括:

第三PMOS组,包括I个PMOS,所述I个PMOS的源极均连接于电源端;

第三NMOS组,包括I个NMOS,所述I个NMOS的源极均连接于接地端;

第二PMOS,其源极连接所述I个PMOS的源极;

第二NMOS,其源极连接所述I个NMOS的漏极;

所述第二PMOS的漏极与所述第二NMOS的漏极连接,作为所述第一反相器的输出端;

所述第二PMOS的栅极与所述第二NMOS的栅极连接,作为所述第一反相器的输入端;

所述I个PMOS管的栅极由第一反调节编码组控制,所述I个NMOS的栅极由第一正调节编码组控制;

通过改变所述第一反调节编码组和/或所述第一正调节编码组实现所述第一传输速度可调。

19. 如权利要求1所述的振荡器,其特征在于,所述第二传输速度可调。

20. 如权利要求19所述的振荡器,其特征在于,通过调节所述第二反相器的上拉能力和/或下拉能力来实现所述第二传输速度可调。

21. 如权利要求20所述的振荡器,其特征在于,当所述第二反相器的上拉能力增强时,所述第二反相器的下拉能力增强;当所述第二反相器的上拉能力减弱时,所述第二反相器的下拉能力减弱。

22. 如权利要求21所述的振荡器,其特征在于,所述第二反相器包括:

第五PMOS组,包括L个PMOS,所述L个PMOS的源极均连接于电源端;

第五NMOS组,包括L个NMOS,所述L个NMOS的源极均连接于接地端;

第四PMOS,其源极连接所述L个PMOS的漏极;

第四NMOS,其源极连接所述L个NMOS的漏极;

所述第四PMOS的漏极与所述第四NMOS的漏极连接,作为所述第二反相器的输出端;

所述第四PMOS的栅极与所述第四NMOS的栅极连接,作为所述第二反相器的输入端;

所述L个PMOS的栅极由第二反调节编码组控制,所述L个NMOS的栅极由第二正调节编码组控制;

通过改变所述第二反调节编码组和/或所述第二正调节编码组实现所述第二传输速度可调。

23. 如权利要求1所述的振荡器,其特征在于,所述第一反相器包括多个第一子反相器,多个所述第一子反相器的输入端均电连接,多个所述第一子反相器的输出端均电连接。

24. 如权利要求1所述的振荡器,其特征在于,所述第二反相器包括多个第二子反相器,多个所述第二子反相器的输入端均电连接,多个所述第二子反相器的输出端均电连接。

25. 一种时钟产生电路,其特征在于,包括:

如权利要求1至24中任一项所述的振荡器;

频率调节模块,与所述振荡器连接,用于调节所述振荡器的频率。

26. 如权利要求25所述的时钟产生电路,其特征在于,所述频率调节模块通过调节所述第一传输速度和/或所述第二传输速度来调节所述振荡器的振荡信号的频率。

27. 如权利要求25所述的时钟产生电路,其特征在于,所述频率调节模块调节所述第一反相器的所述第一传输速度和/或所述第二反相器的所述第二传输速度来调节所述振荡器的振荡信号的频率。

28. 如权利要求25所述的时钟产生电路,其特征在于,还包括:占空比调节模块,与所述振荡器连接,用于调节所述振荡信号的占空比。

振荡器及时钟产生电路

技术领域

[0001] 本发明实施例涉及半导体领域,特别涉及一种振荡器及时钟产生电路。

背景技术

[0002] 动态随机存取存储器(Dynamic Random Access Memory, DRAM)是计算机中常用的半导体存储器件,由许多重复的存储单元组成。在DRAM I/O电路中,需要一个特定频率的高速时钟信号进行读写及时钟校准。

[0003] 可以通过环形振荡器(ring oscillator)在DRAM内部产生一个高速时钟信号,以满足上述需求。但是当前的环形振荡器所产生的振荡信号频率较低,难以满足高速需求;此外,当前环形振荡器所产生的振荡信号的频率和占空比容易受到工艺、电源电压、温度、时钟负载等的影响,从而使得时钟频率和占空比产生偏差。

发明内容

[0004] 本发明实施例提供了一种振荡器及时钟产生电路,能够提高振荡信号的速度和质量,满足输出高频率振荡信号的需求。

[0005] 为解决上述问题,本发明实施例提供一种振荡器,包括:第一环形拓扑结构,由多个第一反相器首尾相连,以第一传输速度传播振荡信号;第二环形拓扑结构,由多个第二反相器首尾相连,以第二传输速度传播所述振荡信号;其中,所述第一环形拓扑结构与所述第二环形拓扑结构电连接,所述第二传输速度小于所述第一传输速度。

[0006] 另外,所述第一反相器的个数为N个,所述N为大于等于4的整数。

[0007] 另外,所述第二反相器的个数为M个,所述M为大于等于2的整数。

[0008] 另外,记每一个所述第一反相器的输入端为一个第一节点,所述第一环形拓扑结构具有N个所述第一节点;记每一个所述第二反相器的输入端为一个第二节点,所述第二环形拓扑结构具有M个所述第二节点;至少有两个所述第二节点与对应个数的所述第一节点电连接。

[0009] 另外,所述第二传输速度大于等于0.5倍的所述第一传输速度。

[0010] 另外,所述振荡器还包括:第三环形拓扑结构,由多个第三反相器首尾相连,以第三传输速度传播所述振荡信号,所述第一环形拓扑结构与所述第三环形拓扑结构电连接,所述第三传输速度小于等于所述第一传输速度。

[0011] 另外,所述第一反相器的个数为U个,所述U为大于等于4的整数;所述第二反相器的个数为V个,所述V为大于等于2的整数;所述第三反相器的个数为W个,所述W为大于等于2的整数。

[0012] 另外,记每一个所述第一反相器的输入端为一个第一节点,所述第一环形拓扑结构具有U个所述第一节点;记每一个所述第二反相器的输入端为一个第二节点,所述第二环形拓扑结构具有V个所述第二节点;记每一个所述第三反相器的输入端为一个第三节点,所述第三环形拓扑结构具有W个所述第三节点;至少有两个所述第二节点与对应个数的所述

第一节点电连接,至少有两个所述第三节点与对应个数的所述第一节点电连接。

[0013] 另外,所述第二传输速度小于所述第一传输速度,且所述第二传输速度大于等于0.5倍的所述第一传输速度;所述第三传输速度等于所述第二传输速度。如此,有利于使得第二环形拓扑结构与第三环形拓扑结构的反相器延迟相等,第二环形拓扑结构与第三环形拓扑结构对流通的振荡信号的影响相同,从而有利于保证振荡器不同节点输出的振荡信号相同。

[0014] 另外,所述振荡器还包括:缓冲反相器,所述缓冲反相器的输入端接收所述振荡信号,所述缓冲反相器的输出端输出时钟信号。

[0015] 另外,所述缓冲反相器的传输速度可调。

[0016] 另外,通过调节所述缓冲反相器的上拉能力和/或下拉能力来实现所述缓冲反相器的传输速度可调。

[0017] 另外,当所述缓冲反相器的上拉能力增强时,所述缓冲反相器的下拉能力减弱;当所述缓冲反相器的上拉能力减弱时,所述缓冲反相器的下拉能力增强。如此,可通过同时控制缓冲反相器的上拉能力和下拉能力调整时钟信号的占空比,使得时钟信号的占空比满足预设要求。

[0018] 另外,所述缓冲反相器包括:第一PMOS组,包括H个PMOS,所述H个PMOS的源极均连接于电源端;第一NMOS组,包括H个NMOS,所述H个NMOS的源极均连接于接地端;第零PMOS,其源极连接所述H个PMOS的漏极;第零NMOS,其源极连接所述H个NMOS的漏极;所述第零PMOS的漏极与所述第零NMOS的漏极连接,作为所述缓冲反相器的输出端;所述第零PMOS的栅极与所述第零NMOS的栅极连接,作为所述缓冲反相器的输入端;所述H个PMOS的栅极和所述H个NMOS的栅极均由一占空比调节编码组控制。

[0019] 另外,所述第一传输速度可调。

[0020] 另外,通过调节所述第一反相器的上拉能力和/或下拉能力来实现所述第一传输速度可调。

[0021] 另外,当所述第一反相器的上拉能力增强时,所述第一反相器的下拉能力增强;当所述第一反相器的上拉能力减弱时,所述第一反相器的下拉能力减弱。如此,可通过同时调整第一反相器的上拉能力和下拉能力调整振荡信号的频率,使得振荡信号的频率满足预设要求。

[0022] 另外,所述第一反相器包括:第三PMOS组,包括I个PMOS,所述I个PMOS的源极均连接于电源端;第三NMOS组,包括I个NMOS,所述I个NMOS的源极均连接于接地端;第二PMOS,其源极连接所述I个PMOS的源极;第二NMOS,其源极连接所述I个NMOS的漏极;所述第二PMOS的漏极与所述第二NMOS的漏极连接,作为所述第一反相器的输出端;所述第二PMOS的栅极与所述第二NMOS的栅极连接,作为所述第一反相器的输入端;所述I个PMOS管的栅极由第一反调节编码组控制,所述I个NMOS的栅极由第一正调节编码组控制;通过改变所述第一反调节编码组和/或所述第一正调节编码组实现所述第一传输速度可调。

[0023] 另外,所述第二传输速度可调。

[0024] 另外,通过调节所述第二反相器的上拉能力和/或下拉能力来实现所述第二传输速度可调。

[0025] 另外,当所述第二反相器的上拉能力增强时,所述第二反相器的下拉能力增强;当

所述第二反相器的上拉能力减弱时,所述第二反相器的下拉能力减弱。如此,可通过同时调整第二反相器的上拉能力和下拉能力调整振荡信号的频率,使得振荡信号的频率满足预设要求。

[0026] 另外,第五PMOS组,包括L个PMOS,所述L个PMOS的源极均连接于电源端;第五NMOS组,包括L个NMOS,所述L个NMOS的源极均连接于接地端;第四PMOS,其源极连接所述L个PMOS的漏极;第四NMOS,其源极连接所述L个NMOS的漏极;所述第四PMOS的漏极与所述第四NMOS的漏极连接,作为所述第二反相器的输出端;所述第四PMOS的栅极与所述第四NMOS的栅极连接,作为所述第二反相器的输入端;所述L个PMOS的栅极由第二反调节编码组控制,所述L个NMOS的栅极由第二正调节编码组控制;通过改变所述第二反调节编码组和/或所述第二正调节编码组实现所述第二传输速度可调。

[0027] 另外,所述第一反相器包括多个第一子反相器,多个所述第一子反相器的输入端均电连接,多个所述第一子反相器的输出端均电连接。如此,有利于控制振荡器版图设计中其他元件与第一子反相器之间的连线长度相近或相等,即振荡器版图具有较好地对称平衡性,从而使得版图中振荡器的每个关键节点有较高的负载匹配度,以及每一级反相器的延迟相等,最终获得具有预设频率和占空比的时钟信号。

[0028] 另外,所述第二反相器包括多个第二子反相器,多个所述第二子反相器的输入端均电连接,多个所述第二子反相器的输出端均电连接。如此,有利于进一步提高振荡器版图的对称平衡性以及每一级第二反相器的负载匹配程度,从而使得振荡器具有良好性能。

[0029] 相应地,本发明实施例还提供一种时钟产生电路,包括:上述任一项所述的振荡器;频率调节模块,与所述振荡器连接,用于调节所述振荡器的频率。

[0030] 另外,所述频率调节模块通过调节所述第一传输速度和/或所述第二传输速度来调节所述振荡器的振荡信号的频率。

[0031] 另外,所述频率调节模块调节所述第一反相器的所述第一传输速度和/或所述第二反相器的所述第二传输速度来调节所述振荡器的振荡信号的频率。

[0032] 另外,所述时钟产生电路还包括:占空比调节模块,与所述振荡器连接,用于调节所述振荡信号的占空比。

[0033] 与现有技术相比,本发明实施例提供的技术方案具有以下优点:

[0034] 上述技术方案中,相对于仅通过第一环形拓扑结构传播振荡信号,由于第二环形拓扑结构具有的第二传输速度小于第一环形拓扑结构具有的第一传输速度,第二环形拓扑结构的设置可使得振荡信号在单位时间内翻转更多次,从而获取更高速度和质量的振荡信号。

附图说明

[0035] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制。

[0036] 图1为本发明实施例提供的振荡器的一电路结构示意图;

[0037] 图2为本发明实施例提供的振荡器的另一电路结构示意图;

[0038] 图3为图2所示振荡器中缓冲反相器的结构示意图;

- [0039] 图4为图2所示振荡器中第一反相器的一结构示意图；
[0040] 图5为图2所示振荡器中第二反相器的一结构示意图；
[0041] 图6为图2所示振荡器中第一反相器的又一结构示意图；
[0042] 图7为图2所述振荡器中第二反相器的又一结构示意图；
[0043] 图8为本发明实施例提供的时钟产生电路的结构示意图。

具体实施方式

[0044] 为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合附图对本发明的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本发明各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0045] 图1为本发明实施例提供的振荡器的一电路结构示意图。

[0046] 参考图1，振荡器包括：第一环形拓扑结构，由多个第一反相器11首尾相连，以第一传输速度传播振荡信号；第二环形拓扑结构，由多个第二反相器12首尾相连，以第二传输速度传播振荡信号；其中，第一环形拓扑结构与第二环形拓扑结构电连接，第二传输速度小于第一传输速度。

[0047] 其中，传输速度指的是振荡信号从高电平到低电平的时间或者从低电平到高电平的时间。传输速度越慢，传输时间越长，振荡信号翻转的越慢，振荡信号的周期就越长，频率就越低。传输速度越快，传输时间越短，振荡信号翻转的越快，振荡信号的周期就越短，频率就越高。第二传输速度小于第一传输速度意味着振荡信号经过第二反相器12的传输时间比振荡信号经过第一反相器11的传输时间短。

[0048] 本实施例中，第一反相器11的个数为N个，N为大于等于4的整数；相应地，第二反相器12的个数为M个，M为大于等于2的整数。

[0049] 记每一个第一反相器11的输入端为一个第一节点，第一环形拓扑结构具有N个第一节点，例如第一节点为图1中的clk360、clk270、clk180、clk90；记每一个第二反相器12的输入端为一个第二节点，第二环形拓扑结构具有M个第二节点，例如第二节点为图1中的clk360'、clk180'；至少有两个第二节点与对应个数的第一节点电连接，例如图1中的clk360'与clk360相连、clk180'与clk180相连。

[0050] 具体地，在第一环形拓扑结构的振荡路径上，每一第一节点具有不同的相位，以4个第一反相器11的数量为例，振荡路径上四个第一节点分别具有第一相位clk90、第二相位clk180、第三相位clk270以及第四相位clk360，四个第一节点构成一个360度的振荡循环，即每一第一节点对应90度的相位位移；相应地，第二环形拓扑结构具有两个第二节点，一第二节点clk180'与具有第二相位clk180的第一节点电连接，另一第二节点clk360'与具有第四相位clk360的第一节点电连接。

[0051] 本实施例中，第二传输速度小于第一传输速度，且第二传输速度大于等于0.5倍的第一传输速度。传输速度可以理解为与反相器的传输延迟成反比。例如，假设振荡信号经过第一反相器11的传输速度为100，那么振荡信号经过第二反相器12的传输速度则为大于等于50且小于100。再例如，假设振荡信号经过第一反相器11的传输延迟为100ps（皮秒），那么振荡信号经过第二反相器12的传输延迟则大于100ps且小于等于200ps。如此设置，可以提

高振荡器的稳定性和振荡信号的质量。

[0052] 本实施例中,参考图2,振荡器还可以包括:第三环形拓扑结构,由多个第三反相器13首尾相连,以第三传输速度传输振荡信号,第一环形拓扑结构与第三环形拓扑结构电连接,第三传输速度小于第一传输速度。

[0053] 其中,第一环形拓扑结构作为外圈拓扑结构,第二环形拓扑结构和第三环形拓扑结构作为内圈拓扑结构。不同环形拓扑结构的反相器数量可具体如下:第一反相器11的个数为 U 个, U 为大于等于4的整数;第二反相器12的个数为 V 个, V 为大于等于2的整数;第三反相器13的个数为 W 个, W 为大于等于2的整数。

[0054] 具体地,记每一个第一反相器11的输入端为一个第一节点,第一环形拓扑结构具有 U 个第一节点,例如第一节点为图2中的clk360、clk270、clk180、clk90;记每一个第二反相器12的输入端为一个第二节点,第二环形拓扑结构具有 V 个第二节点,例如第二节点为图2中的clk360'、clk180';记每一个第三反相器13的输入端为一个第三节点,第三环形拓扑结构具有 W 个第三节点,例如第二节点为图2中的clk270'、clk90';至少有两个第二节点与对应个数的第一节点电连接,至少有两个第三节点与对应个数的第一节点电连接,例如图2中的clk360'与clk360相连、clk270'与clk270相连、clk180'与clk180相连、clk90'与clk90相连。如此,有利于使得不同第一节点的振荡信号在单位时间内均具有更多的翻转次数,进而使得传播的振荡信号的频率进一步提升,从而进一步地提升振荡信号的传输速度。

[0055] 本实施例中,第二传输速度小于第一传输速度,且第二传输速度大于等于0.5倍的第一传输速度,第三传输速度等于第二传输速度。传输速度可以理解为与反相器的传输延迟成反比。例如,假设振荡信号经过第一反相器11的传输速度为100,那么振荡信号经过第二反相器12的传输速度则为大于等于50且小于100。再例如,假设振荡信号经过第一反相器11的传输延迟为100ps(皮秒),那么振荡信号经过第二反相器12的传输延迟则大于100ps且小于等于200ps。如此设置,可以提高振荡器的稳定性和振荡信号的质量。

[0056] 本实施例中,振荡器还包括缓冲反相器14,缓冲反相器14的输入端接收振荡信号,缓冲反相器14的输出端输出时钟信号。缓冲反相器14用于隔绝振荡器的后端电路(例如占空比较准电路)作为负载对振荡信号频率造成的影响,使振荡器保持较高的复用率。

[0057] 本实施例中,缓冲反相器14的传输速度可调。具体地,通过调节缓冲反相器14的上拉能力和/或下拉能力来实现缓冲反相器14的传输速度可调。

[0058] 其中,当缓冲反相器14的上拉能力增强时,缓冲反相器14的下拉能力减弱;当缓冲反相器14的上拉能力减弱时,缓冲反相器14的下拉能力增强。

[0059] 上拉能力指的是将低电平信号充电到高电平信号的能力,下拉能力指的是将高电平信号放电到低电平信号的能力。当上拉能力增强而下拉能力减弱时,缓冲反相器14输出的时钟信号的占空比增大;当上拉能力减弱而下拉能力增强时,缓冲反相器14输出的时钟信号的占空比减小。也就是说,可通过控制缓冲反相器14的上拉能力和下拉能力朝不同的趋势变化,实现时钟信号占空比的可调,进而使得时钟信号的占空比满足预设要求。需要说明的是,每一第一节点都可以连接一缓冲反相器14,或者说每一第一节点与后端电路之间都可以串接一缓冲反相器14,以避免后端电路对振荡信号频率造成的影响,以保证振荡器的每一级第一反相器11具有较高的负载匹配度,进而使得振荡器的振荡信号频率更为稳定。例如图2中,clk360、clk270、clk180、clk90均连接一缓冲反相器14。

[0060] 具体地,参考图3,缓冲反相器14包括:第一PMOS组141,包括H个PMOS (MPH1、MPH2… MPHn), H个PMOS的源极均连接于电源端Vcc;第一NMOS组142,包括H个NMOS (MNH1、MNH2… MNHn), H个NMOS的源极连接于接地端Vss;第零PMOS MPH0,其源极连接H个PMOS的漏极;第零NMOS MNH0,其源极连接H个NMOS的漏极;第零PMOS MPH0的漏极与第零NMOS MNH0的漏极连接,作为缓冲反相器14的输出端clkout;第零PMOS MPH0的栅极与第零NMOS MNH0的栅极连接,作为缓冲反相器14的输入端clkkin;H个PMOS的栅极和H个NMOS的栅极均由一占空比调节编码组 (Dcc1、Dcc2… Dccn) 控制。

[0061] 其中,占空比调节编码组可由占空比调节模块(未图示)发出,PMOS以及PMOS管均为PMOS晶体管。

[0062] 本实施例中,可通过控制占空比调节编码组的参数控制第一PMOS组141中PMOS管的导通数量和/或第一NMOS组142中NMOS管的导通数量,从而调整缓冲反相器14的上拉能力和/或下拉能力。

[0063] 需要说明的是,PMOS管和NMOS管的开启电压不同。具体地,当占空比调节编码组中第一调节编码Dcc1为高电平时,第一NMOS管MNH1导通而第一PMOS管MPH1关断;当第一调节编码Dcc1为低电平时,第一NMOS管MNH1关断而第一PMOS管MPH1导通。

[0064] 由于一占空比调节编码同时控制第一PMOS组141和第一NMOS组142,因此,第一PMOS组141中PMOS管的导通数量越多,第一NMOS组142中NMOS管的导通数量就越少。而第一PMOS组141中PMOS管的导通数量越多,第一PMOS组141的负载值就越小,缓冲反相器14的充电速率就越快,缓冲反相器14的上拉能力就越强;相应地,第一NMOS组142中NMOS管的导通数量越少,第一NMOS组142的负载值就越大,缓冲反相器14的放电速率就越慢,缓冲反相器14的下拉能力就越弱。如此,当PMOS管的导通数量较多而NMOS管的导通数量较少时,缓冲反相器14输出的时钟信号的占空比增大。

[0065] 相应地,当PMOS管的导通数量较少而NMOS管的导通数量较多时,缓冲反相器14的上拉能力减弱而下拉能力增强,缓冲反相器14输出的时钟信号的占空比减小。

[0066] 为保证第零PMOS MPH0以及第零NMOS MNH0正常工作,还设置有初始PMOS管MPHs以及初始NMOS管MNHs,初始PMOS管MPHs的源极连接电源端Vcc,漏极连接第零PMOS MPH0源极,栅极连接接地端Vss,即初始PMOS管MPHs处于导通状态;初始NMOS管MNHs的源极连接接地端Vss,漏极连接第零NMOS MNH0源极,栅极连接电源端Vcc,即初始NMOS管MNHs处于导通状态。

[0067] 本实施例中,第一反相器11的第一传输速度可调。具体地,通过调节第一反相器11的上拉能力和/或下拉能力来实现第一反相器11的第一传输速度可调。

[0068] 其中,当第一反相器11的上拉能力增强时,第一反相器11的下拉能力增强;当第一反相器11的上拉能力减弱时,第一反相器11的下拉能力减弱。如此,可对振荡器输出的振荡信号的频率进行调整,以获取满足预设频率要求的振荡信号。

[0069] 具体地,参考图4,第一反相器11包括:第三PMOS组111,包括I个PMOS (MPI1、MPI2… MPII), I个PMOS的源极均连接于电源端Vcc;第三NMOS组112,包括I个NMOS (MNI1、MNI2… MNIIn), I个NMOS的源极连接于接地端Vss;第二PMOS MPI0,其源极连接I个PMOS的漏极;第二NMOS MNI0,其源极连接I个NMOS的漏极;第二PMOS MPI0的漏极与第二NMOS MNI0的漏极连接,作为第一反相器11的输出端;第二PMOS MPI0的栅极与第二NMOS MNI0的栅极连接,作为第一反相器11的输入端;I个PMOS管的栅极由第一反调节编码组 (enb11、enb12… enb1n) 控

制, I 个 NMOS 的栅极由第一正调节编码组 (en11、en12...en1n) 控制; 通过改变第一反调节编码组和/或第一正调节编码组实现第一传输速度可调。

[0070] 本实施例中, 可通过控制第一反调节编码组的参数控制第三 PMOS 组 111 中 PMOS 管的导通数量, 从而调整第一反相器 11 的上拉能力; 和/或, 通过控制第一正调节编码组的参数控制第三 NMOS 组 112 中 NMOS 管的导通数量, 从而调整第一反相器 11 的下拉能力。

[0071] 需要说明的是, 第一反调节编码组与第一正调节编码组的电位相反, 即反相。当第一正调节编码 en11 为高电平时, 第一反调节编码 enb11 为低电平, 此时第三 PMOS 组 111 中第一 PMOS 管 MPI1 导通, 第三 NMOS 组 112 中第一 NMOS 管 MNI1 导通; 相应地, 当第一正调节编码 en11 为低电平时, 第一反调节编码 enb11 为高电平, 此时第三 PMOS 组 111 中第一 PMOS 管 MPI1 关断, 第三 NMOS 组 112 中第一 NMOS 管 MNI1 关断。

[0072] 也就是说, 第三 PMOS 组 111 中 PMOS 管的导通数量越多, 第三 NMOS 组 112 中 NMOS 管的导通数量就越多, 第一反相器 11 的上拉能力增强且下拉能力增强, 第一反相器 11 输出的振荡信号的频率增大; 相应地, 第三 PMOS 组 111 中 PMOS 管的导通数量越少, 第三 NMOS 组 112 中 NMOS 管的导通数量就越多, 第一反相器 11 的上拉能力减弱且下拉能力减弱, 第一反相器 11 输出的振荡信号的频率减小。

[0073] 此外, 第一反相器 11 具有用于保证第二 PMOS MPI0 处于工作状态的初始 PMOS 管 MPIs, 以及用于保证第二 NMOS MNI0 处于工作状态的初始 NMOS 管 MNIs。

[0074] 本实施例中, 第二反相器 12 的第一传输速度可调。具体地, 通过调节第二反相器 12 的上拉能力和/或下拉能力来实现第二反相器 12 的第一传输速度可调。

[0075] 其中, 当第二反相器 12 的上拉能力增强时第二反相器 12 的下拉能力增强; 当第二反相器 12 的上拉能力减弱时, 第二反相器 12 的下拉能力减弱。

[0076] 具体地, 参考图 5, 第二反相器 12 包括: 第五 PMOS 组 121, 包括 L 个 PMOS (MPL1、MPL2...MPLn), L 个 PMOS 的源极均连接于电源端 Vcc; 第五 NMOS 组 122, 包括 L 个 NMOS (MNL1、MNL2...MNLn), L 个 NMOS 的源极连接于接地端 Vss; 第四 PMOS MPL0, 其源极连接 L 个 PMOS 的漏极; 第四 NMOS MNL0, 其源极连接 L 个 NMOS 的漏极; 第四 PMOS MPL0 的漏极与第四 NMOS MNL0 的漏极连接, 作为第二反相器 12 的输出端; 第四 PMOS MPL0 的栅极与第四 NMOS MNL0 的栅极连接, 作为第二反相器 12 的输入端; L 个 PMOS 管的栅极由第二反调节编码组 (enb21、enb22...enb2n) 控制, L 个 NMOS 的栅极由第二正调节编码组 (en21、en22...en2n) 控制; 通过改变第二反调节编码组和/或第二正调节编码组实现第一传输速度可调。

[0077] 本实施例中, 可通过控制第二反调节编码组的参数控制第五 PMOS 组 121 中 PMOS 管的导通数量, 从而调整第二反相器 12 的上拉能力; 和/或, 通过控制第二正调节编码组的参数控制第五 NMOS 组 122 中 NMOS 管的导通数量, 从而调整第二反相器 12 的下拉能力。

[0078] 需要说明的是, 第二反调节编码组与第二正调节编码组的电位相反。当第二正调节编码 en21 为高电平时, 第二反调节编码 enb21 为低电平, 此时第五 PMOS 组 121 中第一 PMOS 管 MPL1 导通, 第五 NMOS 组 122 中第一 NMOS 管 MNL1 导通; 相应地, 当第二正调节编码 en21 为低电平时, 第二反调节编码 enb21 为高电平, 此时第五 PMOS 组 121 中第一 PMOS 管 MPL1 关断, 第五 NMOS 组 122 中第一 NMOS 管 MNL1 关断。

[0079] 也就是说, 第五 PMOS 组 121 中 PMOS 管的导通数量越多, 第五 NMOS 组 122 中 NMOS 管的导通数量就越多, 第二反相器 12 的上拉能力增强且下拉能力增强, 第二反相器 12 输出的振

荡信号的频率增大;相应地,第五PMOS组121中PMOS管的导通数量越少,第五NMOS组122中NMOS管的导通数量就越少,第二反相器12的上拉能力减弱且下拉能力减弱,第二反相器12输出的振荡信号的频率减小。

[0080] 此外,第二反相器12具有用于保证第四PMOS MPL0处于工作状态的初始PMOS管MPLs,以及用于保证第四NMOS MNL0处于工作状态的初始NMOS管MNLs。

[0081] 本实施例中,参考图6,第一反相器11包括多个第一子反相器113,多个第一子反相器113的输入端均电连接,多个第一子反相器113的输出端均电连接。如此,有利于控制振荡器版图设计中其他元件与第一子反相器113之间的连线长度相近或相等,使得振荡器版图具有较好地对称平衡性,从而使得版图中振荡器的每个关键节点有较高的负载匹配度,进而使得每一级反相器的延迟相等;此外,还有利于使得其他元件与第一子反相器113之间的连线长度较短,从而减小连线的寄生电阻和寄生电容,使得振荡器具有良好性能。

[0082] 其中,第一子反相器113的数量是偶数,如此,有利于更好地进行版图的对称平衡设计。

[0083] 本实施例中,参考图7,第二反相器12包括多个第二子反相器123,多个第二子反相器123的输入端均电连接,多个第二子反相器123的输出端均电连接。如此,有利于进一步提高振荡器版图的对称平衡性。

[0084] 其中,第二子反相器123的数量与第一子反相器113的数量相等。如此,有利于进一步提高振荡器版图的对称平衡性,进而获得性能更好的振荡器。

[0085] 参考图4、图5、图6和图7,第一反相器11和第二反相器12可以设置成相同结构和尺寸,然后通过第一反调节编码组和/或第二正调节编码组、第二反调节编码组和/或所述第二正调节编码组实现传输速率的不同。

[0086] 本实施例中,相对于仅通过第一环形拓扑结构传播振荡信号,第二环形拓扑结构的设置可增加电连接节点的振荡信号在单位时间内的反相次数,从而获取高速振荡信号。

[0087] 相应地,本发明实施例还提供一种时钟产生电路,包括上述任一实施例提供的振荡器。图8为本发明实施例提供的时钟产生电路的结构示意图。以下将结合附图对时钟产生电路进行详细说明,与前述实施例相同或者相应的部分,可参考前述实施例的描述,以下将不做赘述。

[0088] 参考图8,时钟产生电路包括:振荡器20;频率调节模块21,与振荡器20连接,用于调节振荡器20的频率。

[0089] 其中,频率调节模块21通过调节第一传输速度和/或第二传输速度来调节振荡器20的振荡信号的频率。

[0090] 可以理解的是,频率调节模块21可通过调节第一传输速度和第二传输速度来调节振荡器20的振荡信号的频率,具体地,频率调节模块21调节第一反相器11的第一传输速度以及第二反相器12的第二传输速度来调节振荡器20的振荡信号的频率。或者,频率调节模块21也可通过调节第一传输速度或者第二传输速度中的一者来调节振荡器的振荡信号的频率,相应的,频率调节模块21调节第一反相器11的第一传输速度来调节振荡器20的振荡信号的频率,或者,频率调节模块21调节第二反相器12的第二传输速度来调节振荡器20的振荡信号的频率。

[0091] 本实施例中,以频率调节模块21既调节第一传输速度又调节第二传输速度作为示

例。具体地,本实施例中,频率调节模块21与第一反相器11和第二反相器12连接,频率调节模块21可通过调整第一反调节编码组改变第一反相器11的上拉能力,以及通过调整第一正调节编码组改变第一反相器11的下拉能力,从而调节第一反相器11的第一传输速度,进而调节振荡器20振荡信号的频率。相应地,频率调节模块21可通过调整第二反调节编码组改变第二反相器12的上拉能力,以及通过调整第二正调节编码组改变第二反相器12的下拉能力,从而调节第二反相器12的第二传输速度,进而调节振荡器20振荡信号的频率。

[0092] 在其他实施例中,频率调节模块可与第一反相器或第二反相器连接,且可仅改变第一反相器的上拉能力或下拉能力,或者,仅改变第二反相器的上拉能力或下拉能力。

[0093] 本实施例中,时钟产生电路还包括占空比调节模块22,与振荡器20连接,用于调节振荡信号的占空比。具体地,振荡器20包括缓冲反相器14,缓冲反相器14用于接收振荡信号并输出时钟信号,占空比调节模块22与缓冲反相器14连接,占空比调节模块22通过调节占空比调节编码组的参数调节缓冲反相器14的上拉能力和下拉能力,使得缓冲反相器14的上拉能力和下拉能力朝不同的区域变动,从而实现调节时钟信号占空比的效果。

[0094] 在其他实施例中,占空比调节模块还可以与第一反相器和/或第二反相器连接,调节第一反相器和/或第二反相器输出的振荡信号的占空比,从而使得振荡器输出的振荡信号具有满足预设占空比要求。

[0095] 本实施例中,时钟产生电路能够降低时钟负载对高速时钟信号的频率和占空比的影响,从而输出满足预设频率要求和预设占空比要求的时钟信号。

[0096] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。任何本领域技术人员,在不脱离本发明的精神和范围内,均可作各自更动与修改,因此本发明的保护范围应当以权利要求限定的范围为准。

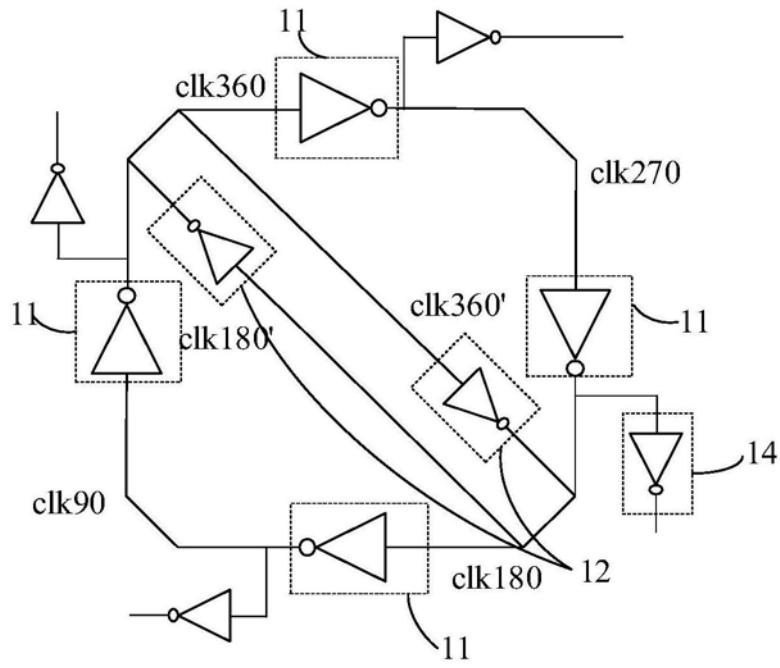


图1

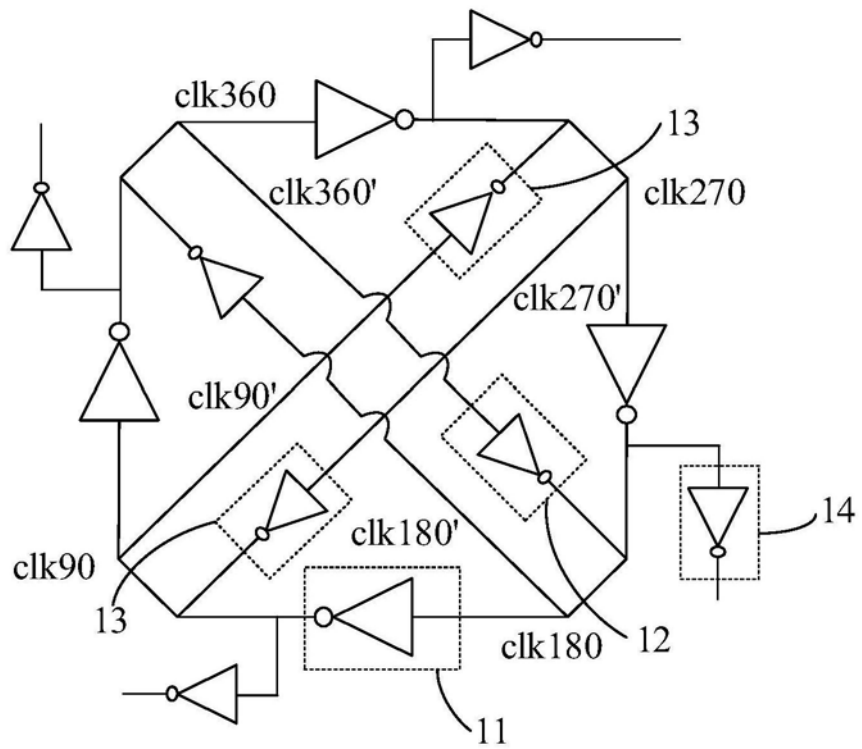


图2

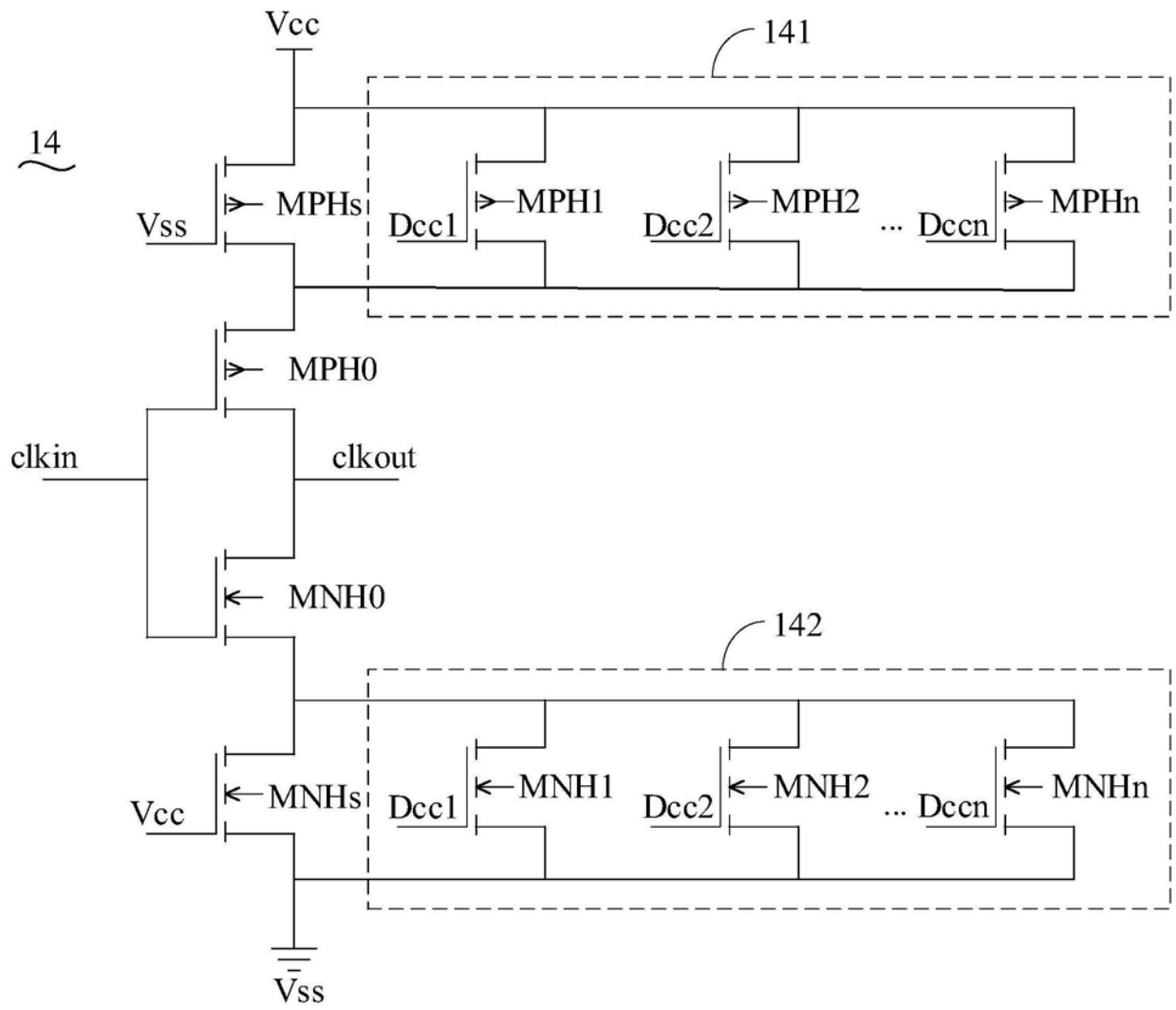


图3

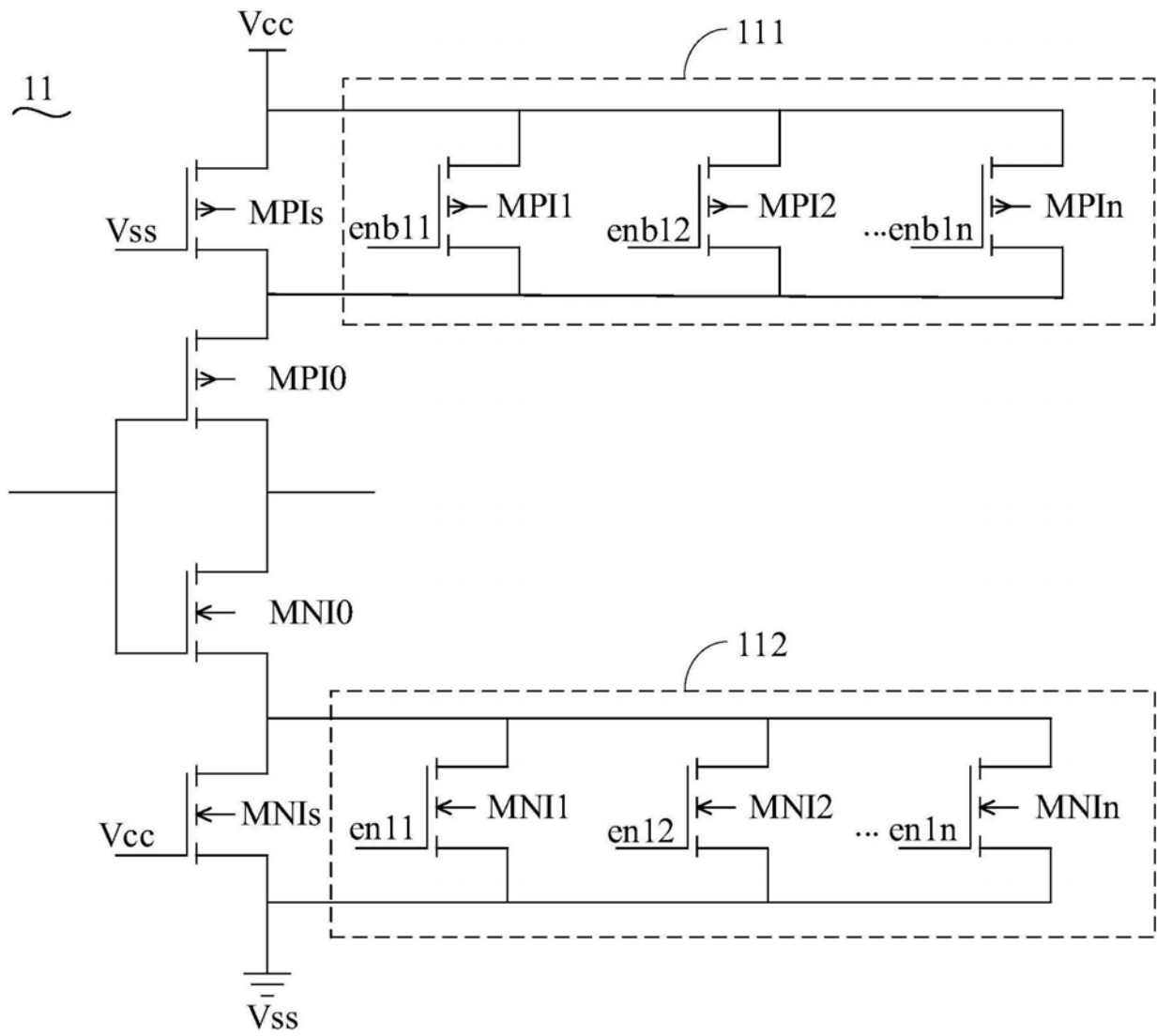


图4

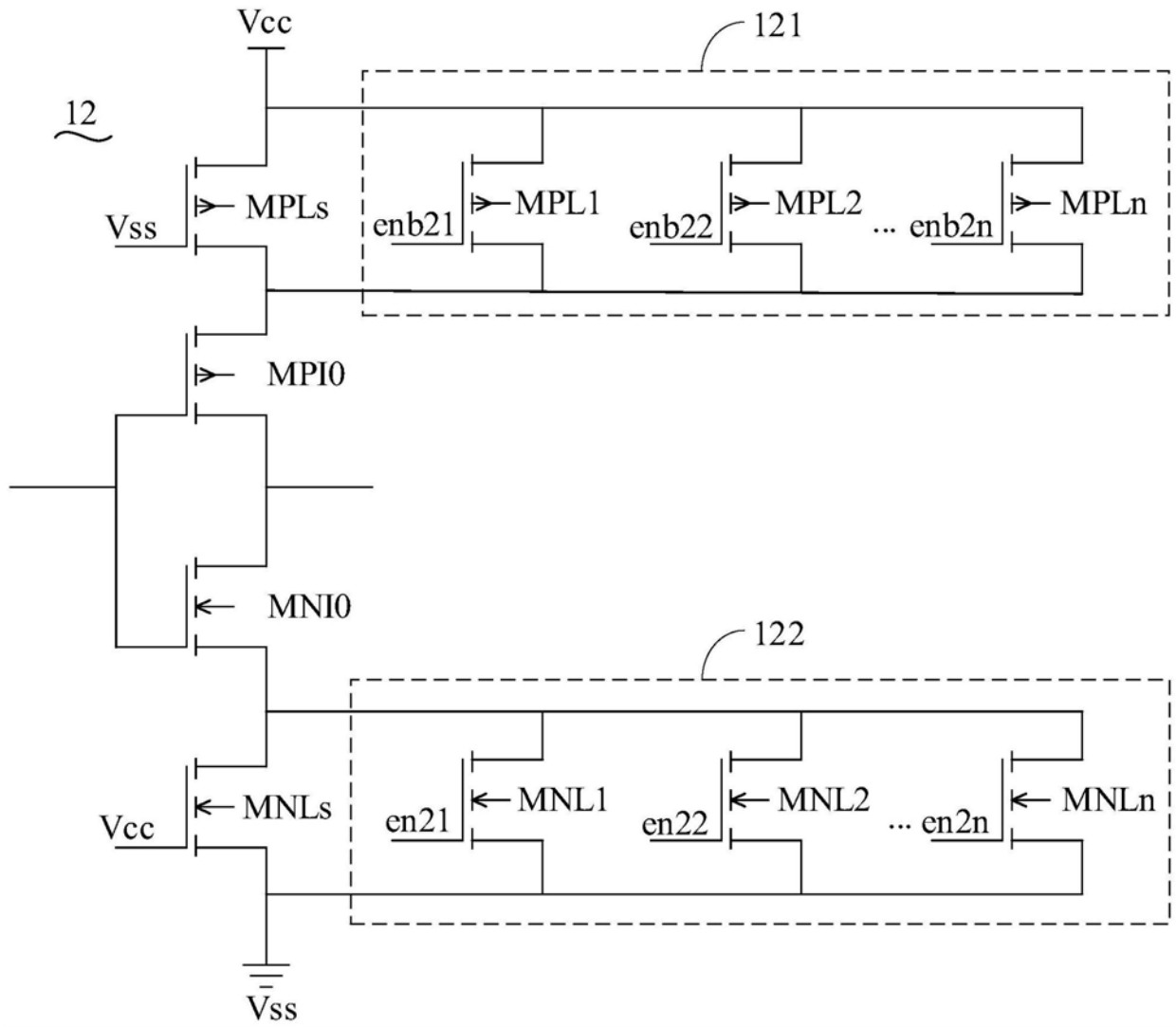


图5

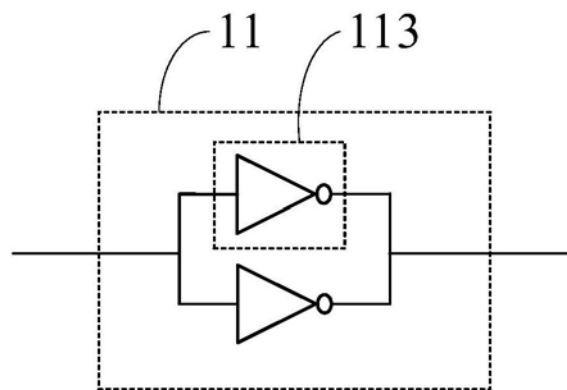


图6

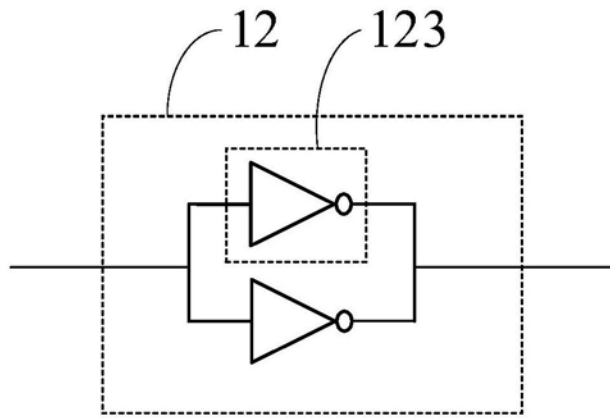


图7

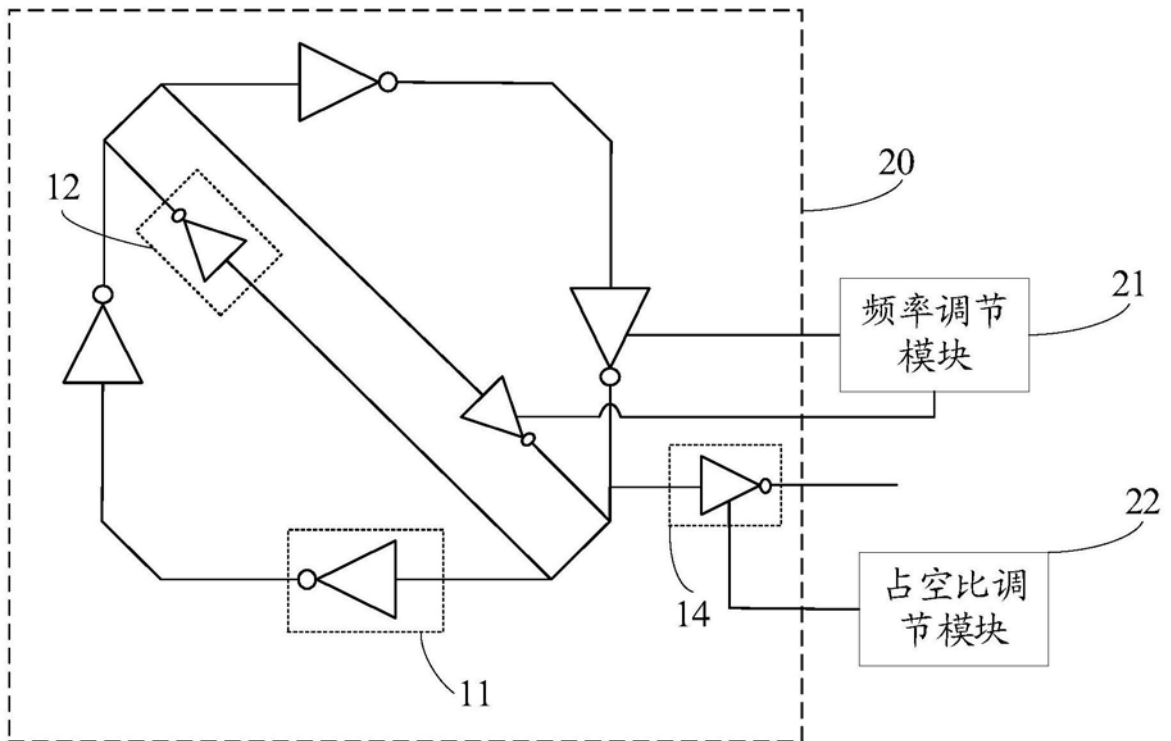


图8