

申請日期：89.4.19

案號：89107331

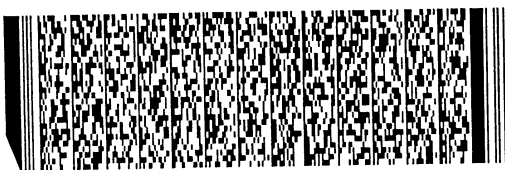
類別：  
L'0 ' ' > ' - 8

(以上各欄由本局填註)

## 發明專利說明書

484206

一、 發明名稱	中文	半導體裝置及其製造方法
	英文	Semiconductor Device and Method of Manufacturing The Same
二、 發明人	姓名 (中文)	1. 前田茂伸
	姓名 (英文)	1.
	國籍	1. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號三菱電機株式會社內
三、 申請人	姓名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓名 (名稱) (英文)	1. 三菱電機株式會社
	國籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓名 (中文)	1. 谷口一郎
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

1999/04/26 11-117770

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



## 五、發明說明 (1)

[發明之詳細說明]

[發明所屬之技術領域]

本發明有關於半導體裝置及其製造方法，尤其有關於MOSFET之構造及其製造方法。

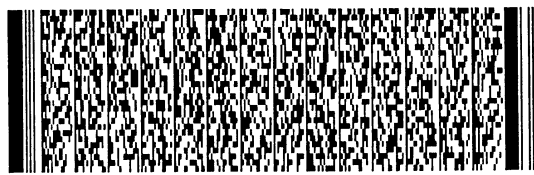
[先前技術]

圖21是剖面圖，用來表示使用有大片基板之習知之MOSFET之構造。在矽基板101之上面上選擇性的形成依照順序積層之閘極氧化膜102和閘極電極103之積層構造。另外，側壁104形成在閘極氧化膜102和閘極電極103之側面上。另外，源極區域105和汲極區域106分別被選擇性地形成在矽基板101之上面內。

經由從矽基板101之背面側對矽基板101施加電壓，可以用來固定矽基板101之電位，對於閘極電極103或源極區域105及汲極區域106之電位之變動，亦可以使電晶體和電路之動作穩定。

另外，圖22是剖面圖，用來表示使用有SOI(Silicon On Insulator)基板之習知之MOSFET之構造。SOI基板具有矽基板110、埋入氧化膜111、和矽層112。另外，與圖21同樣之閘極氧化膜102、閘極電極103、和側壁104選擇性地形成在矽層112之上面上。另外，源極區域105和汲極區域106分別被選擇性地形成在矽層112之上面內。另外，本體區域113形成在源極區域105和汲極區域106之間。

從源極區域105和汲極區域106引出之電力線經由埋入氧化膜111以矽基板110作為終端。因此，源極區域105和汲



## 五、發明說明 (2)

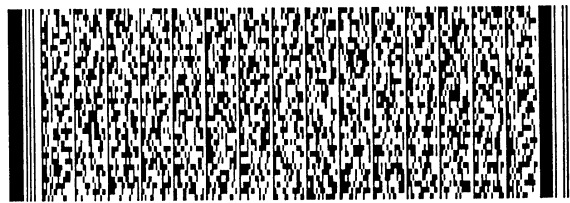
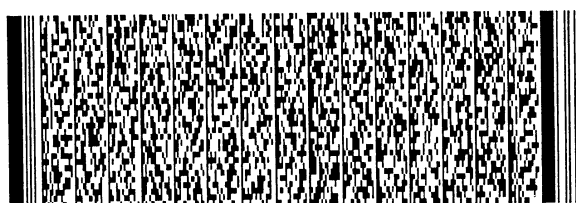
極區域106與矽基板110之間之接合電容變小，在電晶體之動作時因為對該接合電容進行充電所需之電流可以減小，所以能夠使其動作高速化和使消耗電力減少。

[發明所欲解決之問題]

但是，此種習知之MOSFET會有下面所述之問題。

首先，對於使用有大片(bulk)基板之MOSFET，當與使用SOI基板之MOSFET進行比較時，會有動作速度較慢、和消耗電力較大之問題。由於源極區域105和汲極區域106與矽基板101之pn接合而產生空乏層120，因為該空乏層120之幅度W100較狹，所以在源極區域105和汲極區域106與矽基板101之間之接合電容變大。其結果是在電晶體之動作時，當源極區域105和汲極區域106之電位變動時，需要對該大接合電容進行充電。

其次，對於使用SOI基板之MOSFET，當與使用大片基板之MOSFET進行比較時，會有電晶體和電路之動作不穩定之問題。如圖22所示，本體(body)區域113成為電浮動之狀態。因此，隨著閘極電極103或源極區域105、汲極區域106之電位變化，造成本體區域113之電位亦進行變動。對於此種本體區域之電位之變動，實質上被記載在「IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 45, NO. 7, JULY 1998, pp1479-1484, "Analysis of Delay Time Instability According to the Operating Frequency in Field Shield Isolated SOI Circuit" S. Maeda 等」(文獻1)。亦即，本體區域之電位過渡的變動，所以電



## 五、發明說明 (3)

晶體之特性亦過度的變動，因此電路動作變為不穩定(參照文獻1之圖7)。

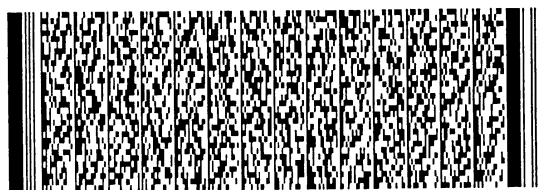
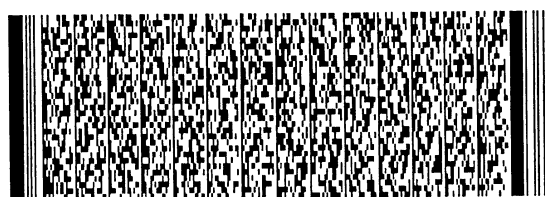
另外，在文獻1顯示有為著確保電路動作之穩定性，用以將本體區域之電位固定所使用之構造(參照文獻1之圖1、2)。但是，依照文獻1所示之構造時，為著要將本體區域之電位固定，必需形成場屏蔽分離構造，因此使製造工程變為複雜和時間變長。另外，要形成場屏蔽分離構造時，必需形成場屏蔽分離層(在通常之使用大片基板之MOSFET不需要形成)。因此，在與通常之使用有大片基板之MOSFET之間，不需要變更布置圖型。

本發用來解決上述之問題，其目的是提供可以確保MOSFET之動作之穩定性，而且可以實現動作之高速化和減少消耗電力之半導體裝置及其製造方法。

## [解決問題之手段]

本發明之申請專利範圍第1項是一種半導體裝置，其中具備有：基板；形成在多孔質層上之半導體層；和形成在半導體層內之半導體元件。

另外，本發明之申請專利範圍第2項是一種半導體裝置，其特徵是具備有：第1導電型之第1半導體區域；第1多孔質層，形成在第1半導體區域之內部成為埋入層；和第2導電型之源極·汲極區域，選擇性的形成在第1半導體區域之上面內，具有與第1導電型不同之第2導電型；在第1半導體區域和源極·汲極區域之底面之接合部份所產生之空乏層，存在於第1多孔質層內。



## 五、發明說明 (4)

另外，本發明之申請專利範圍第3項之半導體裝置是在申請專利範圍第2項之半導體裝置中使第1半導體區域在其上面部份具有外延層。

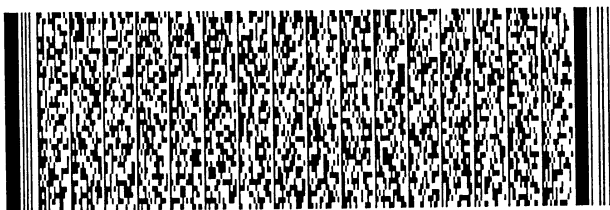
另外，本發明之申請專利範圍第4項之半導體裝置是在申請專利範圍第2或3項之半導體裝置中使源極·汲極區域之底面，接近第1多孔質層之上面，位於第1多孔質層之上面之上方。

另外，本發明之申請專利範圍第5項之半導體裝置是在申請專利範圍第2或3項之半導體裝置中使源極·汲極區域之底面，接近第1多孔質層之上面，位於第1多孔質層之上面之下方。

另外，本發明之申請專利範圍第6項之半導體裝置是在申請專利範圍第2至5項中任一項之半導體裝置中使第1半導體區域形成在比第1多孔質層深之位置，具有第1導電型之高濃度不純物區域。

另外，本發明之申請專利範圍第7項之半導體裝置是在申請專利範圍第2至6項中任一項之半導體裝置，其中更具備有：第2導電型之第2半導體區域，形成鄰接第1半導體區域；第2多孔質層，連接第1多孔質層，在第2半導體區域之內部形成為埋入層；溝道型元件分離構造，在第1半導體區域和第2半導體區域之境界部份，從第1和第2半導體區域之上面，形成比第1和第2多孔質層之底面深。

另外，本發明之申請專利範圍第8項是一種半導體裝置之製造方法，其特徵是所包含之步驟有：(a)形成第1導電



## 五、發明說明 (5)

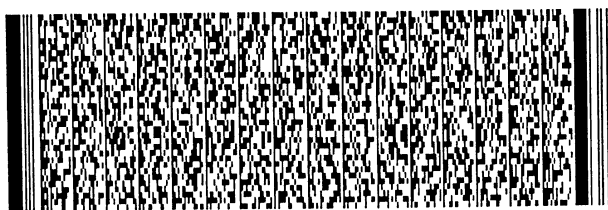
型之第1半導體區域，第1多孔質層形成在內部成為埋入層；(b)在第1半導體區域之上面內，選擇性地形成與第1導電型不同之第2導電型之源極·汲極區域；在第1半導體區域和源極·汲極區域之底面之接合部份所產生之空乏層，存在於第1多孔質層內。

另外，本發明之申請專利範圍第9項之半導體裝置之製造方法是在申請專利範圍第8項之半導體裝置之製造方法中使步驟(a)具有:(a-1)形成第1多孔質層；和(a-2)在第1多孔質層之上面上形成外延層。

另外，本發明之申請專利範圍第10項之半導體裝置之製造方法是在申請專利範圍第8項之半導體裝置之製造方法中使步驟(b)具有:(b-1)將第2導電型之不純物，導入到第1半導體區域之上面內；(b-2)使步驟(b-1)所導入之不純物進行熱擴散；在步驟(b-1)之完成時，第1半導體區域和源極·汲極區域之界面所產生之pn接合，形成在第1多孔質層之上面之上方。

另外，本發明之申請專利範圍第11項之半導體裝置之製造方法是在申請專利範圍第10項之半導體裝置之製造方法中，在步驟(b-2)之完成後，使源極·汲極區域之底面接近第1多孔質層之上面，位於第1多孔質層之上面之上方。

另外，本發明之申請專利範圍第12項之半導體裝置之製造方法是在申請專利範圍第10項之半導體裝置之製造方法中，在步驟(b-2)之完成後，使源極·汲極區域之底面接近第1多孔質層之上面，位於第1多孔質層之上面之下方。



## 五、發明說明 (6)

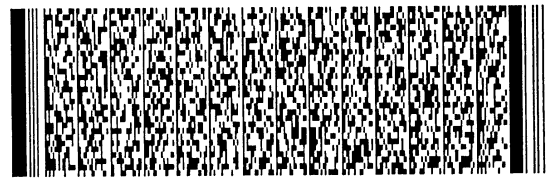
另外，本發明之申請專利範圍第13項之半導體裝置之製造方法是在申請專利範圍第8至12項中任一項之半導體裝置之製造方法中更具備有：(c)在第1半導體區域內之比第1多孔質層深之位置，形成第1導電型之高濃度不純物區域。

另外，本發明之申請專利範圍第14項之半導體裝置之製造方法是在申請專利範圍第8至12項中任一項之半導體裝置之製造方法中更具備之步驟有：在步驟(a)亦形成第2導電型之第2半導體區域使其鄰接第1半導體區域；在第2半導體區域之內部，形成連接第1多孔質層之第2多孔質層，成為埋入層；(d)在第1半導體區域和第2半導體區域之境界部，從第1和第2半導體區域之上面，形成比第1和第2多孔質層之底面深之溝道型元件分離構件。

## [發明之實施形態]

圖1是剖面圖，用來表示本發明之半導體裝置之構造。圖1所示之半導體裝置具備有：矽基板100；多孔質矽層2，形成在矽基板100內，具有矽部2a和空孔部2b；和半導體元件，形成在多孔質矽層2上之矽基板100內。在圖1所示之實例中，形成有作為該半導體元件之MOSFET其中具有源極區域3、汲極區域4、閘極氧化膜5、閘極電極6、和側壁7。另外，圖1所示之半導體裝置具備有形成在上述之半導體元件上之絕緣膜50。

圖2、3是剖面圖，用來說明圖1所示之半導體裝置之效果。如圖1所示，在矽基板100內形成有多孔質矽層2。因





## 五、發明說明 (7)

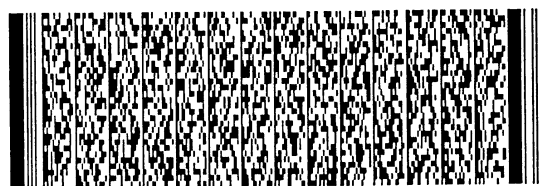
此，當利用CMP(Chemical Mechanical Polishing)法從矽基板100之背面側研磨矽基板100時，可以利用多孔質矽層2作為研磨之阻擋部。另外，當從矽基板100之背面側對矽基板100進行蝕刻時，可以利用多孔質矽層2作為蝕刻之阻擋部。另外，以多孔質矽層2作為境界，可以從多孔質矽層2之下方之矽基板100、剝離半導體元件和絕緣膜50(圖2)。

因此，如圖3所示，研磨和蝕刻多孔質矽層2之下方之矽基板100所獲得之半導體元件，或從多孔質矽層2之下方之矽基板100剝離之半導體元件，可以經由絕緣膜50，貼合在矽、石英、塑膠等之其他之支持基板51上。

下面將說明本發明之半導體裝置之具體之實施形態。實施形態1。

圖4、5是剖面圖，用來表示本發明之實施形態1之半導體裝置之構造。圖4、5所示之半導體裝置分別具備有：第1導電型之矽區域1；多孔質矽層2，形成在矽區域1之內，成為埋入層；和與上述第1導電型不同之第2導電型之源極區域3a，3b和汲極區域4a，4b，選擇性地形成在矽區域1之上表面內。其中，該多孔質矽層2具有矽部2a和空孔部2b。

另外，圖4、圖5所示之半導體裝置具備有：積層構造，選擇性的形成在矽區域1之上表面上，依照順序積層閘極氧化膜5和閘極電極6；和側壁7，形成在閘極氧化膜5和閘極電極6之側面上。

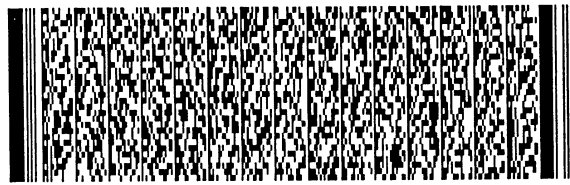
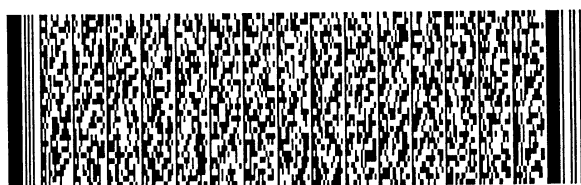


## 五、發明說明 (8)

在圖4所示之半導體裝置中，源極區域3a和汲極區域4a之底面接近多孔質矽層2之上面，位於多孔質矽層2之上面之上方。另外，在圖5所示之半導體裝置中，源極區域3b和汲極區域4b之底面，接近多孔質矽層2之上面，位於多孔質矽層2之上面之下方。其結果是在圖4、5所示之半導體裝置中，矽區域1和源極區域3a、3b及汲極區域4a、4b之底面之pn接合部份所產生之空乏層8，亦會存在於多孔質矽層2內。

下面將以CMOS製造步驟為例用來說明圖5所示之半導體裝置之製造方法之步驟順序。圖6~19是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。首先，利用陽極反應用來在n型之矽基板10之上面內形成多孔質矽層11。實質上是在反應槽51內將矽基板10浸入到HF溶液52中，以上部之白金電極53作為陰極，以下部之白金電極54作為陽極，使電流在矽基板10流動(圖6)。其條件是反應時間30秒，反應電流密度 $10\text{mA}/\text{cm}^2$ 。利用這種方式使矽基板10之上面多孔質孔，在矽基板10之上面形成具有 $0.2\ \mu\text{m}$ 程度之膜厚之多孔質矽層11(圖7)。

圖8是剖面圖，用來實質的表示多孔質矽層11之形狀。多孔質矽層11實際上成為如圖5所示之複雜之形狀(其更具體之細節參照後面所述之文獻3之pp470之圖4，或文獻4之pp379之圖2)，在本說明書中，簡略的記載圖7所示之多孔質矽層11之形狀。另外，多孔質矽層11之膜厚，可以利用反應時間和反應電流密度加以控制，另外，多孔質矽層11



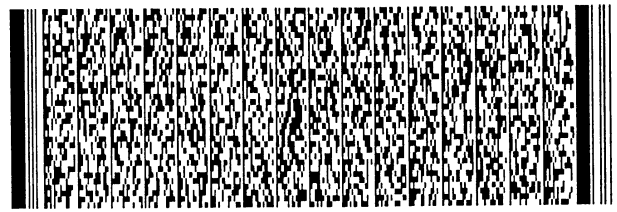
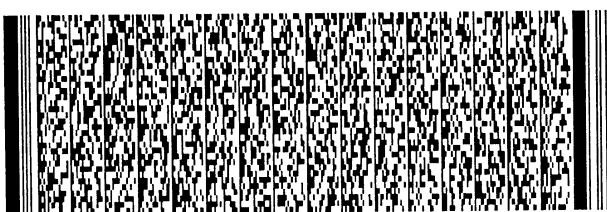
## 五、發明說明 (9)

之密度(相當於矽部2a和空孔部2b之比),可以利用HF溶液52之濃度加以控制(參照SOI構造形成技術,pp181-185,古川靜二郎著,1987年,產業圖書:(文獻2))。

其次,對於熱處理,為著確保多孔質矽層11之多孔質構造之穩定性,所以以溫度400°C程度之低溫進行預備氧化。其次,為著減少在以後之步驟所形成之外延層15之結晶缺陷量,所以在氫氣環境中進行數秒鐘之溫度100°C以上之熱處理。如此一來,利用多孔質矽層11之表面能量之最小化用來大幅的提高表面原子之移動程度,藉以還原的除去表面之由於自然氧化而在多孔質矽層11之上面內產生之表面孔(圖中未顯示)。其結果是形成多孔質矽層11之上面非常平滑之多孔質矽層2(圖9)。

這時,多孔質矽層2之上面維持矽基板10之單結晶構造,具有與矽基板10同樣之結晶方位。其次,利用外延成長法,在多孔質矽層2之上面,形成具有100nm程度之膜厚之外延層15(圖10)。另外,對於在多孔質矽層上之矽之外延成長可以參照「矽之科學,pp467-475,大見忠弘他監修,REALIZE INC.」(文獻3),「IEICE TRANS. ELECTRON., VOL. E80-C, NO. 3, MARCH 1997, K. SAKAGUCHI 等, pp378-387」(文獻4),「Extended Abstracts」of the 1998 International Conference on Solid State Devices and Materials, Hiroshima, 1998, pp302-303」(文獻5)。

其次,選擇性的形成溝道型分離構造16,從外延層15之

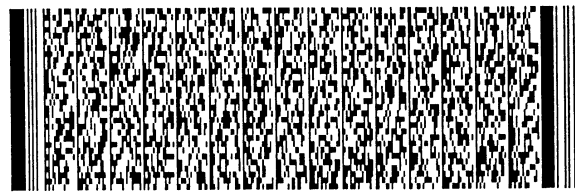
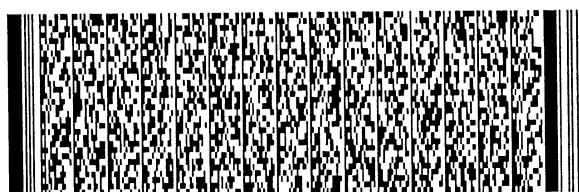


## 五、發明說明 (10)

上面起，具有 $0.3 \sim 0.4 \mu\text{m}$ 程度之深度(圖11)。如圖11所示，該溝道型分離構造16貫穿多孔質矽層2達到矽基板10之內部。其次，利用離子注入法和熱擴散法，用來形成p井17和n井18(圖12)。該p井17和n井18相當於圖4、5所示之矽區域1。其次，利用離子注入法和熱擴散法，在p井17之底部形成p型之高濃度不純物區域19，並且，在n井18之底部形成n型之高濃度不純物區域20(圖13)。其次，在p井17和n井18之上面上，分別選擇性的形成由閘極氧化膜5、閘極電極6、和側壁7構成之閘構造(圖14)。

其次，利用離子注入法，將 $n^+$ 型不純物導入到p井17之上面內，將 $p^+$ 型不純物導入到n井18之上面內。圖15表示離子注入後之不純物濃度型樣。在圖15中，曲線A1表示離子注入後之 $n^+$ 型不純物或 $p^+$ 型不純物之濃度分布，曲線B表示p井17內之 $p^-$ 不純物或n井18內之 $n^-$ 型不純物之濃度分布。在曲線A和曲線B交叉之深度形成pn接合，經由控制 $n^+$ 型不純物和 $p^+$ 型不純物之注入能量，用來使該pn接合之形成深度比該多孔質矽層2之上面淺。

其中，對於外延層15之膜厚，當 $n^+$ 型不純物和 $p^+$ 型不純物之注入能量太大時，會產生下面所述之問題。如圖16所示，打入多孔質矽層2之空孔部2b之不純物21不會受到任何阻力的到達多孔質矽層2之下方。在這種情況，離子注入後之不純物濃度型樣變成如圖17所示，於比多孔質矽層2之底面深之深度形成pn接合。如此一來，在pn接合部份產生之空乏層之幅度，與使用大片基板之習知之MOSFET同



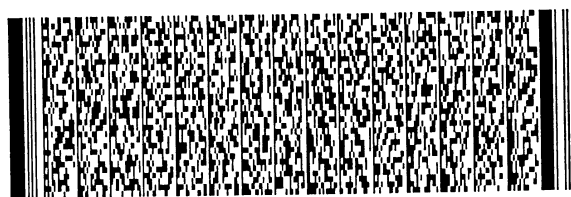
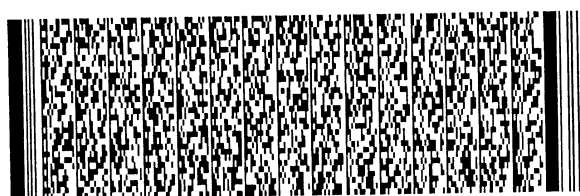
## 五、發明說明 (11)

樣的變狹。其結果是接合電容與習知之MOSFET相同，或是因為形成在較深之深度而變成比習知之MOSFET大，因此使MOSFET之動作速度降低。但是，依照本實施形態1之半導體裝置之製造方法時，如上所述，經由控制注入能量用來使離子注入後之pn接合形成在比多孔質矽層2之上面淺之深度。因此不會有上述之問題。

其次，進行熱處理。以使 $n^+$ 型不純物和 $p^+$ 型不純物熱擴散到多孔質矽層2之內部之程度進行長時間之熱處理，在這種情況熱處理後之不純物濃度型樣變成為圖18之方式。如圖18所示，pn接合形成在比多孔質矽層2之上面深之深度。經由進行此種長時間之熱處理，可以形成圖5所示之源極區域3b和汲極區域4b(圖19)。最好是以使pn接合形成在多孔質矽層2之上面之正下方之程度進行熱處理。

另外一方面，亦可以以使 $n^+$ 型不純物和 $p^+$ 型不純物不會熱擴散到多孔質矽層2之內部之程度實行短時間之熱處理，在這種情況可以形成圖4所示之源極區域3a和汲極區域4a。但是，進行之熱處理之程度需要使源極區域3a和汲極區域4a之底面接近多孔質矽層2之上面，藉以使pn接合部份所產生之空乏層達到多孔質矽層2。

另外，以上之說明是以CMOS之製造步驟為例，說明在矽基板內形成PMOS和NMOS雙方之情況，但是只形成其中一方之情況亦可適於使用本發明。另外，PMOS和NMOS亦可以互換。另外，膜厚或製程條件等只是一實例，亦可以使用其他之數值和條件。

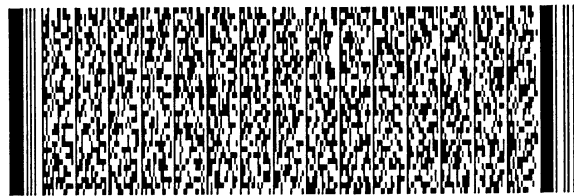
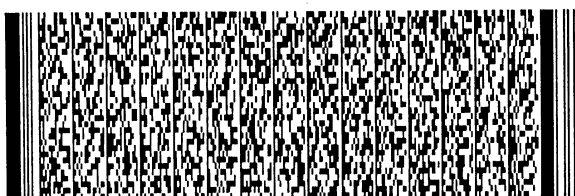


## 五、發明說明 (12)

依照本實施形態1之半導體裝置及半導體裝置之製造方法時，如圖4、5所示，矽區域1和源極區域3a、3b及汲極區域4a、4b之底面之pn接合部份所產生之空乏層8，亦存在於多孔質矽層2內。因此，空乏層8之幅度W1、W2比使用大片基板之習知之MOSFET(圖21)之空乏層120之幅度W100大。另外，在圖20所示之多孔質矽層2之空孔部2b，電力線不成為終端，具有使矽部2a之空乏層擴大之作用。另外，空乏層120之比介質常數為11.7之程度，相對的，例如在矽部2a和空孔部2b之混合比為1比之情況時，空乏層8之有效比介質常數為5.85之程度，比介質常數大致減半。由於以上之理由，依照本實施形態1之半導體裝置及半導體裝置之製造方法時，可以減小接電容，藉以使電晶體之動作高速化和減少消耗電力。如圖5、19所示，經由在多孔質矽層2之上面之正下方形成具有底面之源極區域3b和汲極區域4b，可以使此種效果更加顯著。可以確實的獲得減小接合電容之效果。

另外，如圖4、5所示，經由多孔質矽層2之矽部2a，可以從矽區域1之背面側，固定源極區域3a、3b和汲極區域4a、4b之間之通道區域之電位。因此，與使用SOI基板之習知之MOSFET(圖22)不同的，可以確保電晶體之動作之穩定性。

另外，當固定通道區域之電位時，不需要形成如同場屏蔽分離構造之特殊之構造。因此，不會造成製造過程之複雜化和步驟變多，另外，在與通常之使用大片基板之



## 五、發明說明 (13)

MOSFET之間，不需要變更布置圖型。

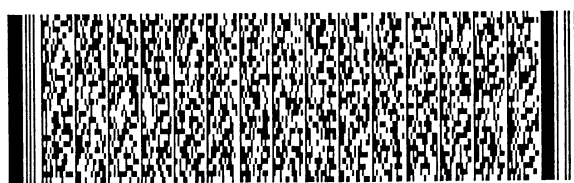
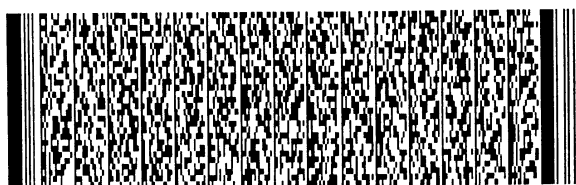
另外，如圖11所示，溝道型分離構造16形成貫穿多孔質矽層2深達矽基板10之內部。因此，其後形成之p井17和n井18之界面所產生之pn接合，不會形成在多孔質矽層2內。因此，p井17和n井18之間之分離幅度不需要擴大，因為兩者可以形成互相接近，所以不會造成晶片面積之增大。另外，在與通常之使用大片基板之MOSFET之間，亦不需要變更布置圖型。

另外，如圖13所示，在p井17和n井18之底部分別形成p型之高濃度不純物區域19和n型之高濃度不純物區域20。因此，由於該高濃度不純物區域19、20之電阻很小，所以可以抑制鎖定(latch up)之發生。另外，當經由多孔質矽層2從矽基板10之背面側固定通道區域之電位時，利用低電阻之高濃度不純物區域19、20可以用來緩和多孔質矽層2之高電阻，所以可以更進一步的提高電晶體之動作之穩定性。

## [發明之效果]

依照本發明之申請專利範圍第1項時，當利用CMP法從基板之背面側研磨基板時，可以利用多孔質層作為研磨之阻擋部。另外，在從基板之背面側對基板進行蝕刻時，可以利用多孔質層作為蝕刻阻擋部。另外，可以以多孔質層作為境界，從基板將形成有半導體元件之半導體層剝離。

另外，依照本發明之申請專利範圍第2項時，因為空乏層之幅度比使用大片基板之半導體裝置大，和存在於多孔



## 五、發明說明 (14)

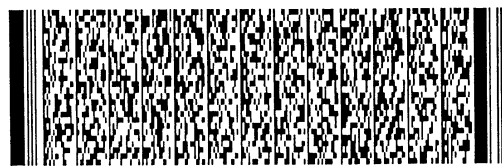
質層內之空乏層之比介質常數小於存在於大片基板內之空乏層之比介質常數，所以接合電容可以減小。因此，可以使半導體裝置之動作高速化和可以減少消耗電力。另外，與使用SOI基板之半導體裝置不同的，因為經由第1多孔質層可以從第1半導體區域之背面側固定位於第1多孔質層上方之第1半導體區域之電位差，所以可以確保半導體裝置之動作之穩定性。

另外，依照本發明之申請專利範圍第3項時，可以將源極·汲極區域形成在外延層內。

另外，依照本發明之申請專利範圍第4項時，因為源極·汲極區域之底面，接近第1多孔質層之上面，而且位於第1多孔質層之上面之上方，所以第1半導體區域和源極·汲極之底面之接合部份所產生之空乏層，可以存在於第1多孔質層內。

另外，依照本發明之申請專利範圍第5項時，因為源極·汲極區域之底面，接近第1多孔質層之上面，而且位於第1多孔質層之上面之下方，所以第1半導體區域和源極·汲極區域之底面之接合部份所產生之空乏層，可以存在於第1多孔質層內。

另外，依照本發明之申請專利範圍第6項時，因為高濃度不純物區域之電阻很小，所以可以抑制鎖定之發生。另外，在經由第1多孔質層從第1半導體區域之背面側固定位於第1多孔質層之上方之第1半導體區域之電位時，可以利用低電阻之高濃度不純物區域用來緩和第1多孔質層之高





## 五、發明說明 (15)

電阻，藉以更進一步的提高半導體裝置之動作之穩定性。

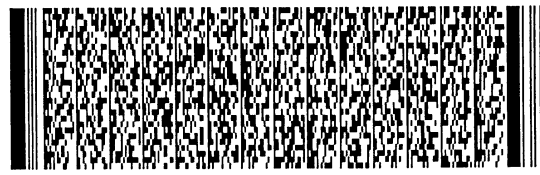
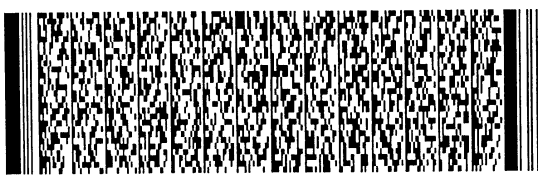
另外，依照本發明之申請專利範圍第7項時，因為溝道型元件分離構造形成比第1和第2多孔質層之底面深，所以在第1半導體區域和第2半導體區域之界面所產生之pn接合，可以避免在形成第1和第2多孔質層內。

另外，依照本發明之申請專利範圍第8項時，因為空乏層之幅度比使用大片基板之半導體裝置大，並且，因為存在於多孔質層內之空乏層之比介質常數小於存在於大片基板內之空乏層之比介質常數，所以可以減小接合電容。因此，可以使半導體裝置之動作高速化和可以減少消耗電力。另外，與使用SOI基板之半導體裝置不同的，因為經由第1多孔質層可以從第1半導體區域之背面側固定位於第1多孔質層之上方之第1半導體區域之電位，所以可以確保半導體裝置之動作之穩定性。

另外，依照本發明之申請專利範圍第9項時，可以將源極·汲極區域形成在外延層內。

另外，依照本發明之申請專利範圍第10項時可以避免，打入到第1多孔質層之空孔部之不純物穿透到第1多孔質層之下方造成在第1多孔質層之底面之下方形成pn接合。

另外，依照本發明之申請專利範圍第11項時，因為源極·汲極區域之底面，接近第1多孔質層之上面，而且位於該第1多孔質層之上面之上方，所以在第1半導體區域和源極·汲極區域之底面之接合部份所產生之空乏層，可以存在於第1多孔層內。



## 五、發明說明 (16)

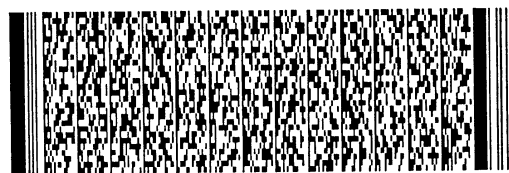
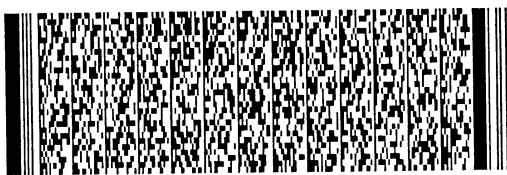
另外，依照本發明之申請專利範圍第12項時，因為源極·汲極區域之底面，接近第1多孔質層之上面，而且位於該第1多孔質層之上面之下方，所以在第1半導體區域和源極·汲極區域之底面之接合部份所產生之空乏層，可以存在於第1多孔質層內。

另外，依照本發明之申請專利範圍第13項時，因為高濃度不純物區域之電阻很小，所以可以抑制鎖定之發生。另外，在經由第1多孔質層從第1半導體區域之背面側固定位於第1多孔質層之上方之第1半導體區域之電位時，可以利用低電阻之高濃度不純物區域用來緩和第1多孔質層之高電阻，藉以可以更進一步的提高半導體裝置之動作之穩定性。

另外，依照本發明之申請專利範圍第14項時，因為形成有比第1和第2多孔質層之底面深之溝道型元件分離構造，所以可以避免第1半導體區域和第2半導體區域之所產生之界面pn，形成在第1和第2多孔質層內。

## [ 元件編號之說明 ]

1	矽區域
2, 11	多孔質矽層
2a	矽部
2b	空孔部
3, 3a, 3b	源極區域
4, 4a, 4b	汲極區域
8	空乏層



## 五、發明說明 (17)

10	矽基板
15	外延層
16	溝道型分離構造
17	p 井
18	n 井
19, 20	高濃度不純物區域
21	不純物
100	矽基板



## 圖式簡單說明

圖1是剖面圖，用來表示本發明之半導體裝置之構造。

圖2是剖面圖，用來說明圖1所示之半導體裝置之效果。

圖3是剖面圖，用來說明圖1所示之半導體裝置之效果。

圖4是剖面圖，用來表示本發明之實施形態1之半導體裝置之構造。

圖5是剖面圖，用來表示本發明之實施形態1之半導體裝置之構造。

圖6是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖7是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖8是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖9是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖10是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖11是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖12是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖13是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖14是剖面圖，用來表示本發明之實施形態1之半導體



## 圖式簡單說明

裝置之製造方法之步驟。

圖15是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖16是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖17是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

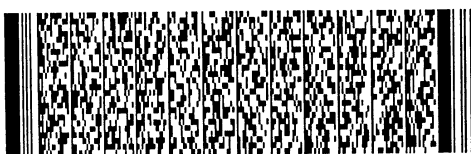
圖18是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖19是剖面圖，用來表示本發明之實施形態1之半導體裝置之製造方法之步驟。

圖20是模式圖，用來說明本發明之實施形態1之半導體裝置之效果。

圖21是剖面圖，用來表示使用有大片基板之習知之MOSFET之構造。

圖22是剖面圖，用來表示使用有SOI基板之習知之MOSFET之構造。



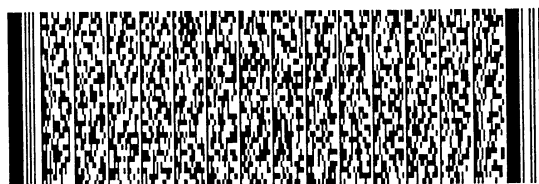
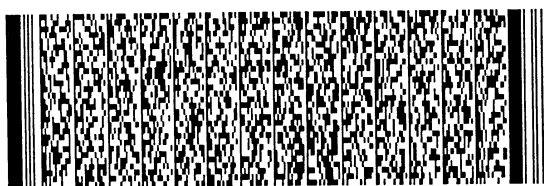
## 四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

本發明之目的是獲得可以確保MOSFET之動作之穩定性，而且可以實現動作之高速化和減少消耗電力之半導體裝置及其製造方法。

本發明之解決手段是使半導體裝置具備有：第1導電型之矽區域1；多孔質矽層2，形成在矽區域1之內部成為埋入層；和與上述第1導電型不同之第2導電型之源極區域3a和汲極區域4a，選擇性地形成在矽區域1之上面內。源極區域3a和汲極區域4a之底面接近多孔質矽層2之上面，而且位於該多孔質矽層2之上面之上方。其結果是矽區域1和源極區域3a及汲極區域4a之底面之pn接合部份所產生之空乏層8達到多孔質矽層2內。

## 英文發明摘要 (發明之名稱：Semiconductor Device and Method of Manufacturing The Same)

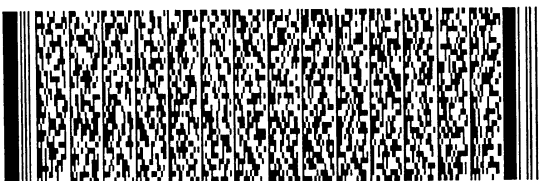
A semiconductor device comprises a silicon region (1) of the first conductivity type, a porous silicon layer (2) formed inside the silicon region (1) as a buried layer and a source region (3a) and a drain region (4a) of the second conductivity type different from the first conductivity type selectively formed in an upper surface of the silicon region (1). Bottom surfaces of the source region (3a) and the drain region (4a) are located adjacently above an upper surface



四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)

英文發明摘要 (發明之名稱：Semiconductor Device and Method of Manufacturing The Same)

of the porous silicon layer (2). As a result, depletion layers (8) in pn junctions between the silicon region (1) and the bottom surfaces of the source region (3a) and the drain region (4a) reach the inside of the porous silicon layer (2). With this structure, a semiconductor device which achieves a faster operation and lower power consumption while ensuring stability in operation of a MOSFET and a method of manufacturing the same are provided.



## 六、申請專利範圍

1. 一種半導體裝置，其特徵是具備有：

基板；

第1半導體層，形成在上述之基板上，具有至少為一個之空洞部；

第2半導體層，形成在上述之第1半導體層上；和  
半導體元件，形成在上述之第2半導體層內。

2. 一種半導體裝置，其特徵是具備有：

第1導電型之第1半導體區域；

第1多孔質層，形成在上述之第1半導體區域之內部成為埋入層；和

第2導電型之源極·汲極區域，選擇性的形成在上述之第1半導體區域之上面內，具有與上述之第1導電型不同之第2導電型；

在上述之第1半導體區域和上述之源極·汲極區域之底面之接合部份所產生之空乏層，存在於上述之第1多孔質層內。

3. 如申請專利範圍第2項之半導體裝置，其中上述之第1半導體區域在其上面部份具有外延層。

4. 如申請專利範圍第2項之半導體裝置，其中上述之源極·汲極區域之上述底面，接近上述之第1多孔質層之上面，位於上述之第1多孔質層之上述上面之上方。

5. 如申請專利範圍第2項之半導體裝置，其中上述之源極·汲極區域之上述底面，接近上述之第1多孔質層之上面，位於上述之第1多孔質層之上述上面之下方。





## 六、申請專利範圍

6. 如申請專利範圍第2至5項中任一項之半導體裝置，其中上述之第1半導體區域形成在比上述之第1多孔質層深之位置，具有上述第1導電型之高濃度不純物區域。

7. 如申請專利範圍第2至5項中任一項之半導體裝置，其中更具備有：

上述第2導電型之第2半導體區域，形成鄰接上述之第1半導體區域；

第2多孔質層，連接上述之第1多孔質層，在上述之第2半導體區域之內部形成為埋入層；

溝道型元件分離構造，在上述之第1半導體區域和上述之第2半導體區域之境界部份，從上述之第1和第2半導體區域之上述上面，形成比上述之第1和第2多孔質層之底面深。

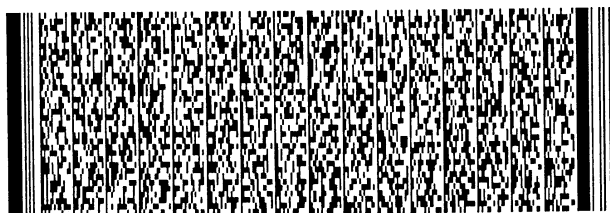
8. 一種半導體裝置之製造方法，其特徵是所包含之步驟有：

(a) 形成第1導電型之第1半導體區域，第1多孔質層形成在內部成為埋入層；

(b) 在上述之第1半導體區域之上面內，選擇性的形成與上述第1導電型不同之第2導電型之源極·汲極區域；

在上述之第1半導體區域和上述之源極·汲極區域之底面之接合部份所產生之空乏層，存在於上述之第1多孔質層內。

9. 如申請專利範圍第8項之半導體裝置之製造方法，其中上述之步驟(a)具有：



## 六、申請專利範圍

(a-1) 形成上述之第1多孔質層；和

(a-2) 在上述之第1多孔質層之上面上形成外延層。

10. 如申請專利範圍第8項之半導體裝置之製造方法，其中上述之步驟(b)具有：

(b-1) 將上述第2導電型之不純物，導入到上述第1半導體區域之上述之上面內；

(b-2) 使上述之步驟(b-1)所導入之上述不純物進行熱擴散；

在上述步驟(b-1)之完成時，上述之第1半導體區域和上述之源極·汲極區域之界面所產生之pn接合，形成在上述第1多孔質層之上述上面之上方。

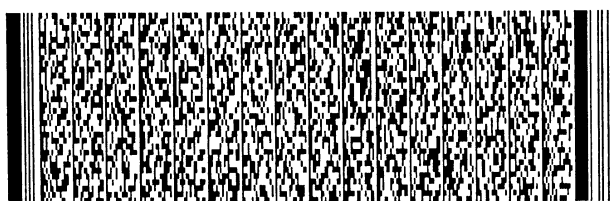
11. 如申請專利範圍第10項之半導體裝置之製造方法，其中在上述步驟(b-2)之完成後，使上述之源極·汲極區域之上述底面接近上述第1多孔質層之上述上面，位於上述第1多孔質層之上述上面之上方。

12. 如申請專利範圍第10項之半導體裝置之製造方法，其中在上述步驟(b-2)之完成後，使上述之源極·汲極區域之上述底面接近上述第1多孔質層之上述上面，位於上述第1多孔質層之上述上面之下方。

13. 如申請專利範圍第8至12項中任一項之半導體裝置之製造方法，其中更具備有：

(c) 在上述第1半導體區域內之比上述第1多孔質層深之位置，形成上述第1導電型之高濃度不純物區域。

14. 如申請專利範圍第8至12項中任一項之半導體裝置之



## 六、申請專利範圍

製造方法，其中更具備之步驟有：

在上述之步驟(a)亦形成上述第2導電型之第2半導體區域使其鄰接上述之第1半導體區域；

在上述之第2半導體區域之內部，形成連接上述第1多孔質層之第2多孔質層，成為埋入層；

(d)在上述之第1半導體區域和上述之第2半導體區域之境界部，從上述之第1和第2半導體區域之上述上面，形成比上述之第1和第2多孔質層之底面深之溝道型元件分離構件。



圖 1

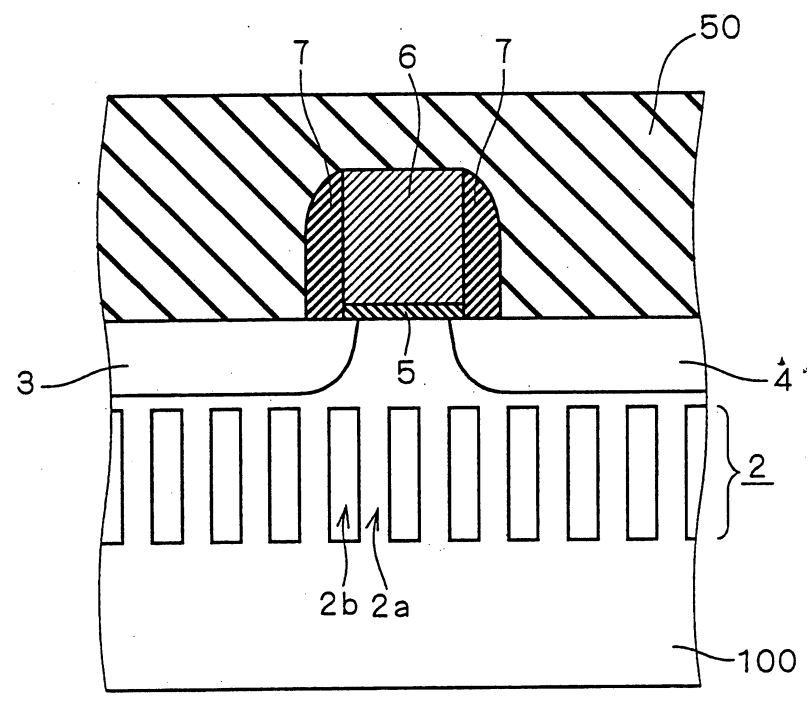
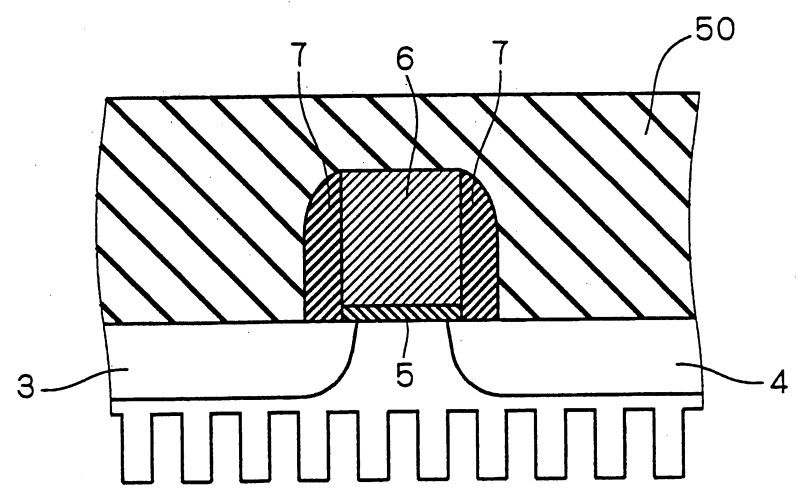
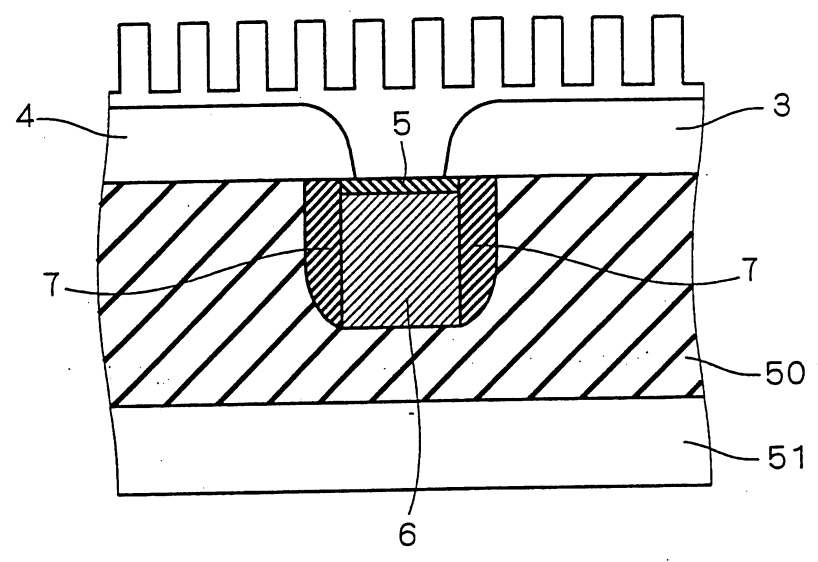


圖 2



3



4

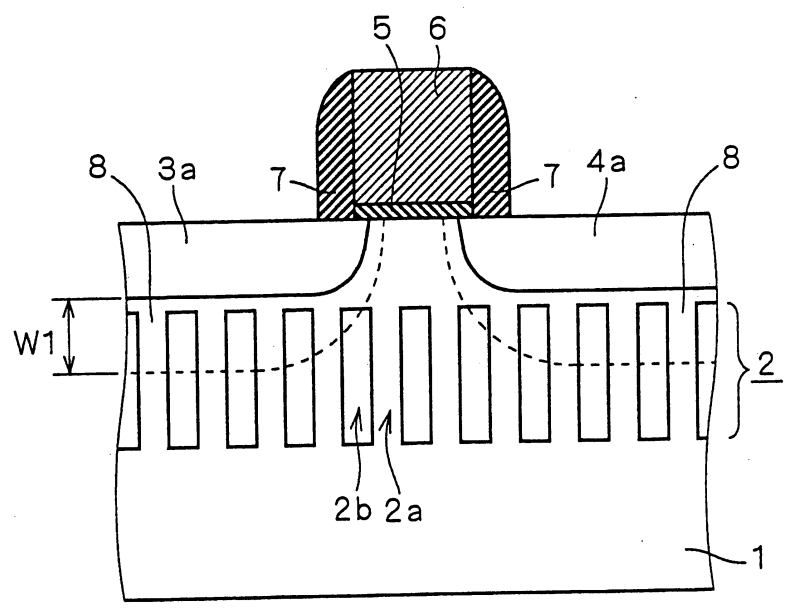


圖 5

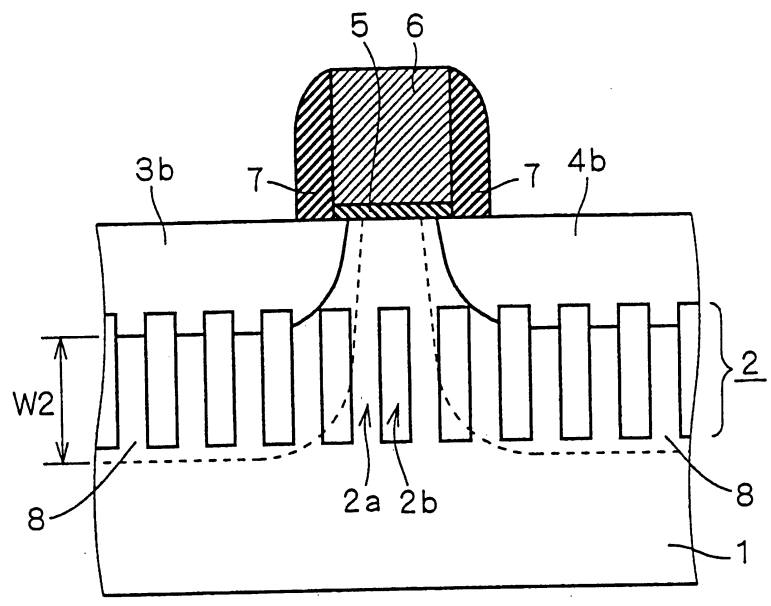
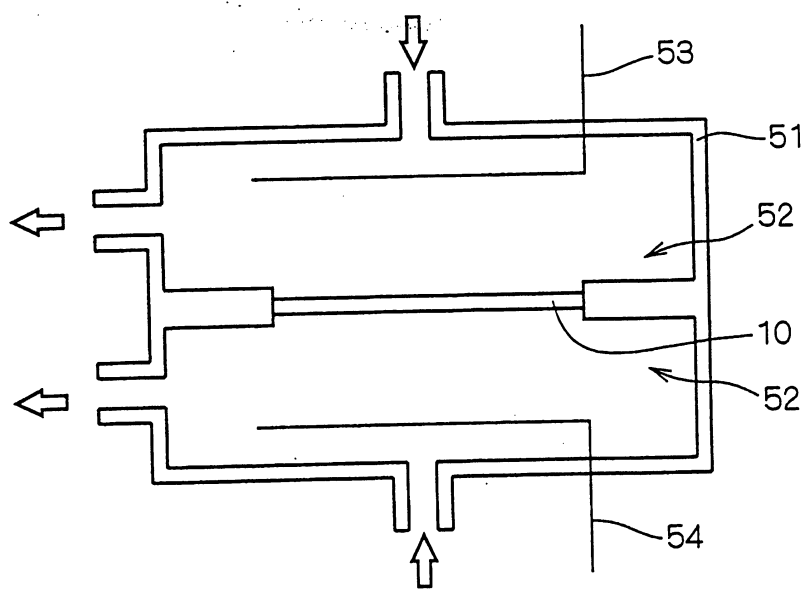


圖 6



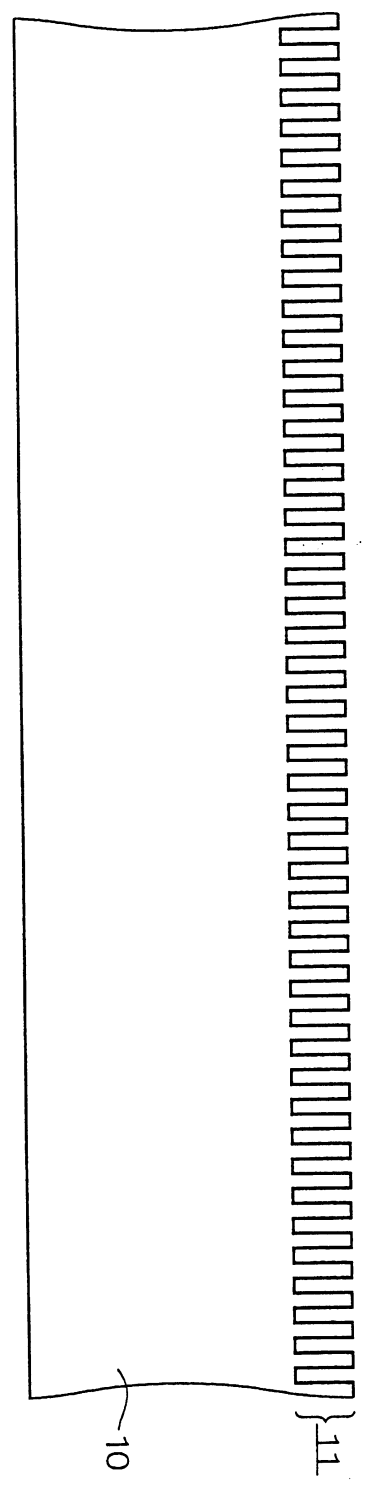
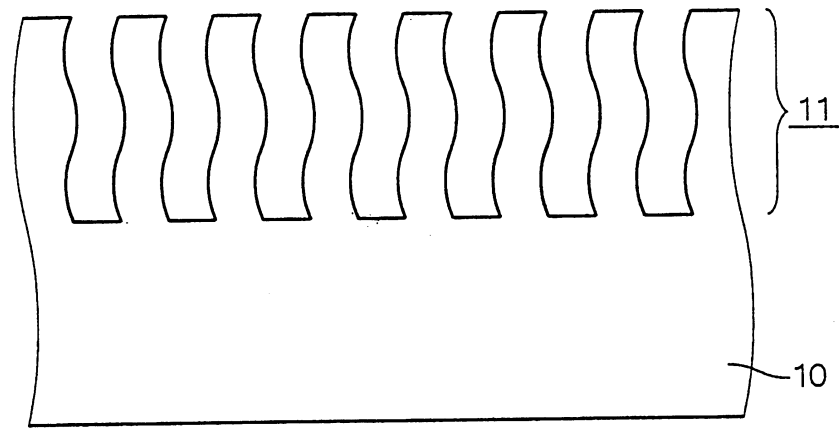


圖 7

8





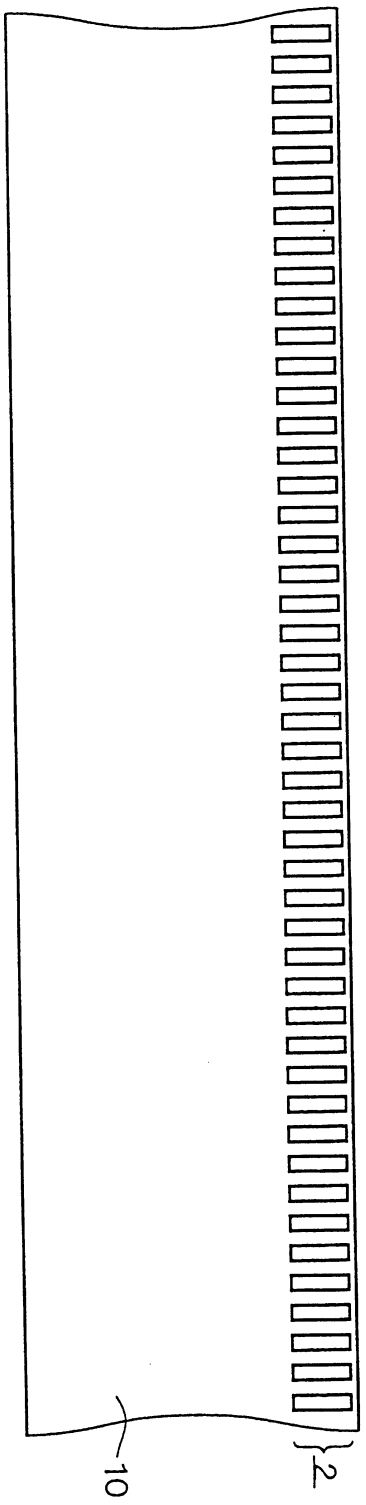
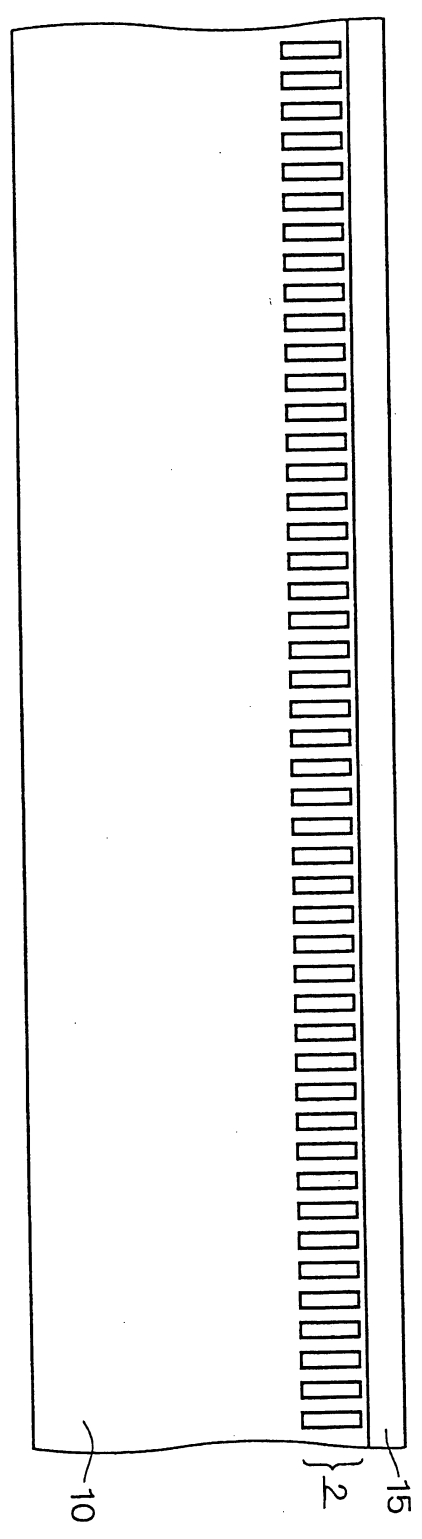


圖 9



10

圖 11

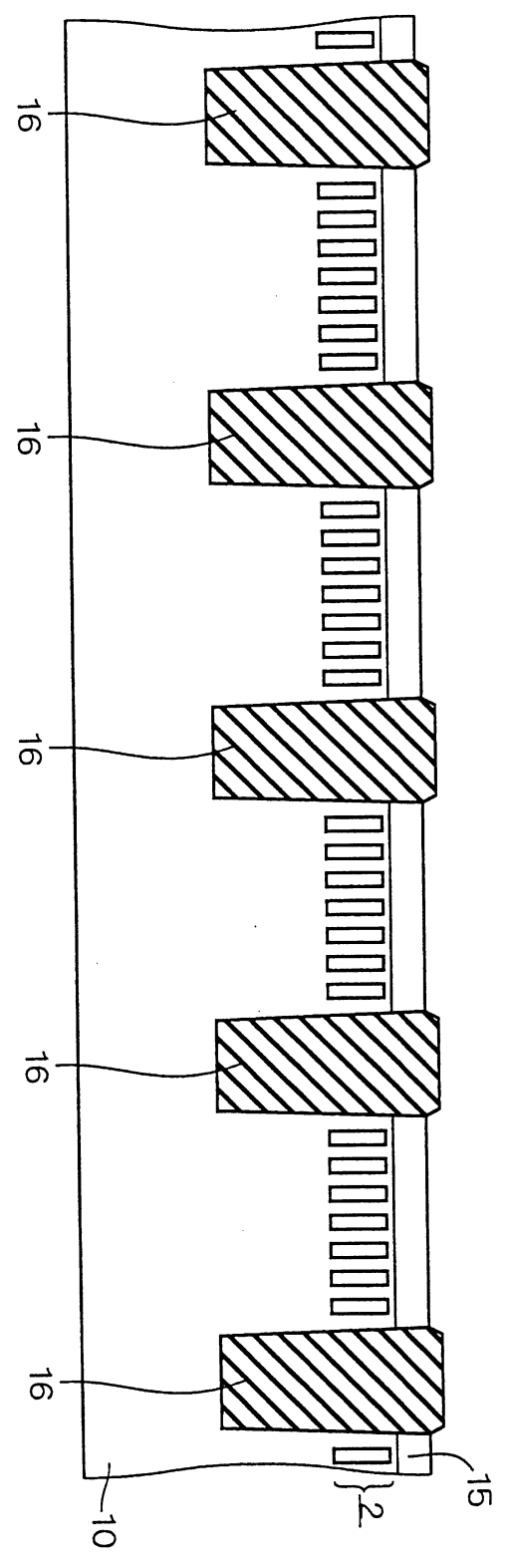


圖 12

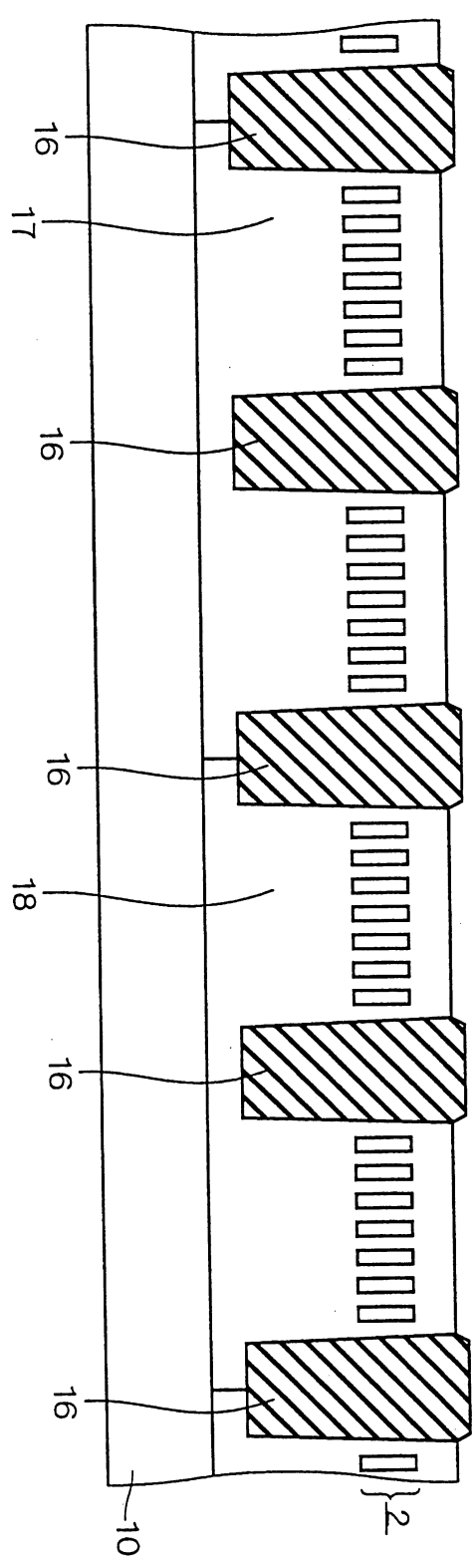
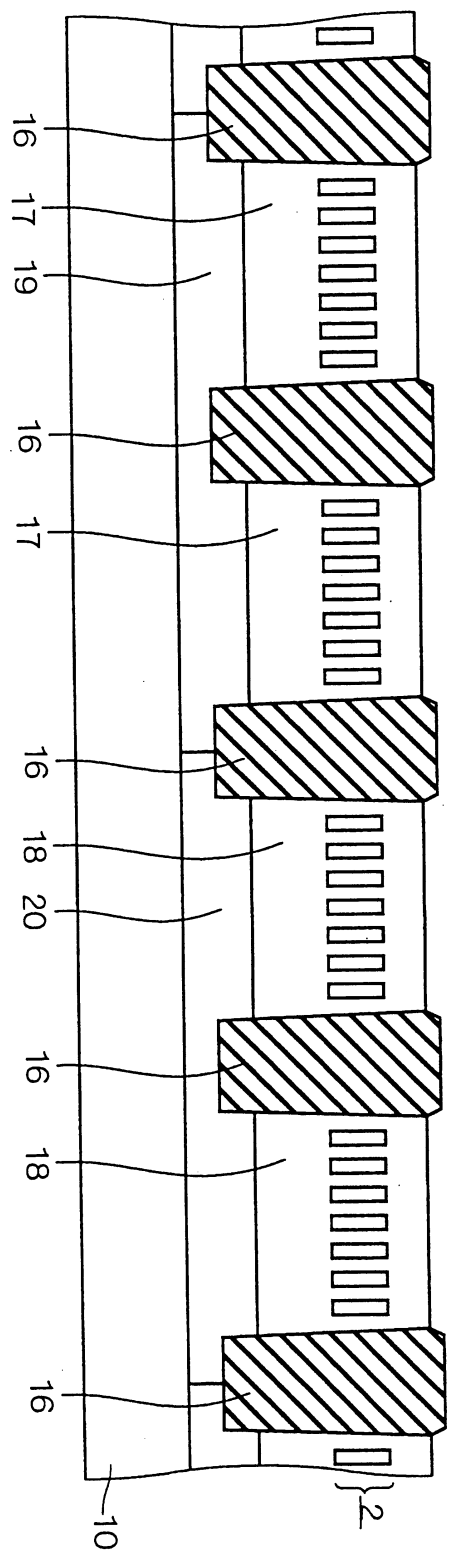


圖 13



14

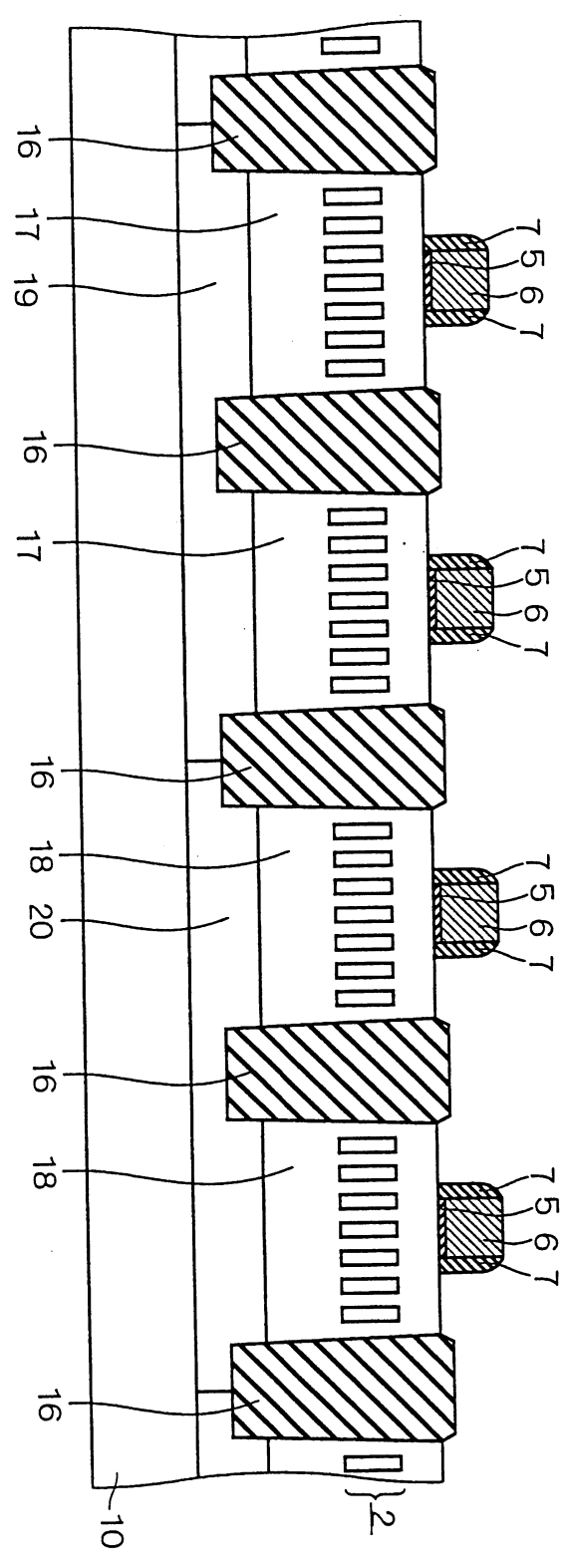
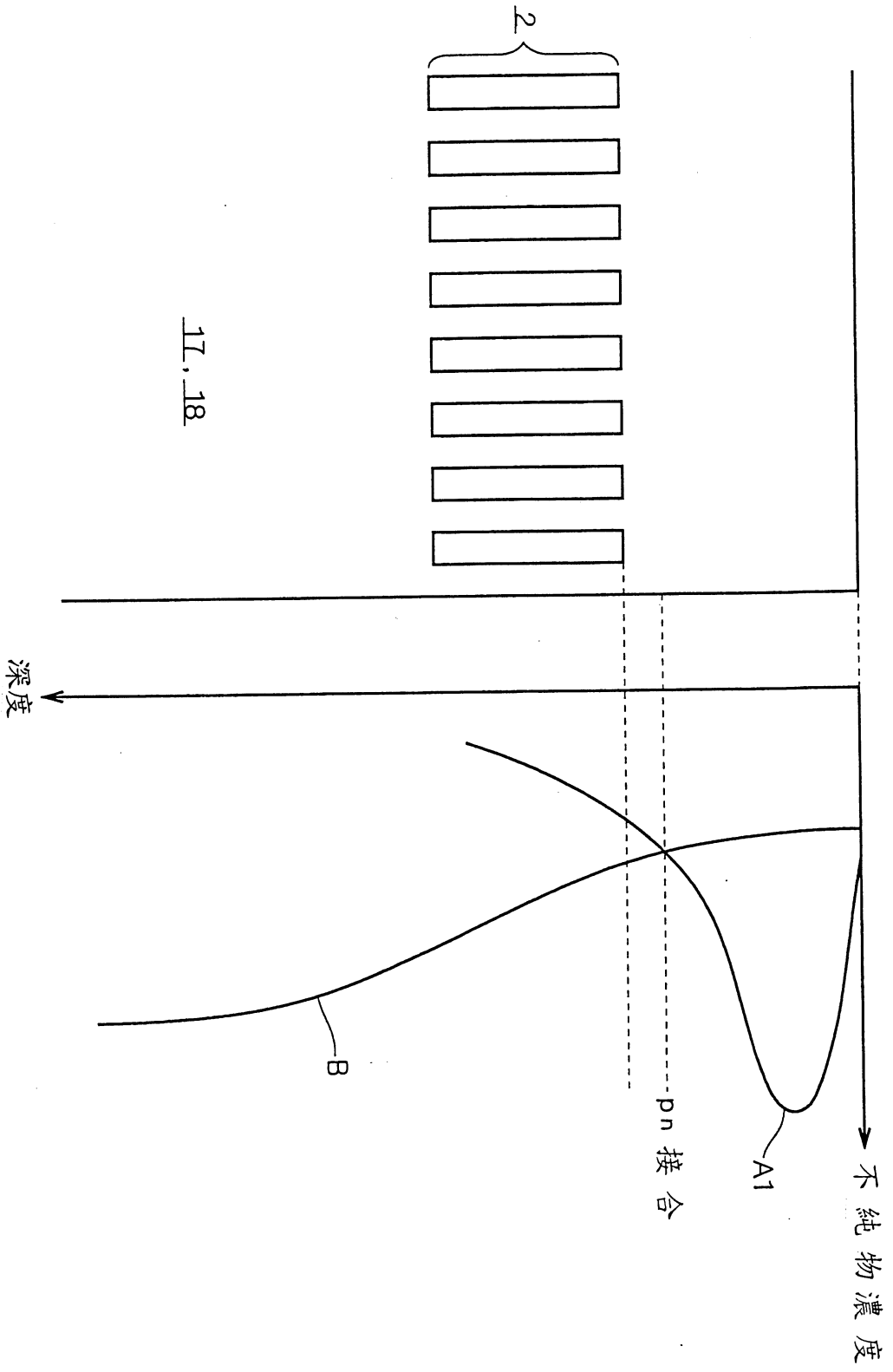


圖 15



17, 18

深度

不純物濃度

A1

pn 接合

B

2

圖 16

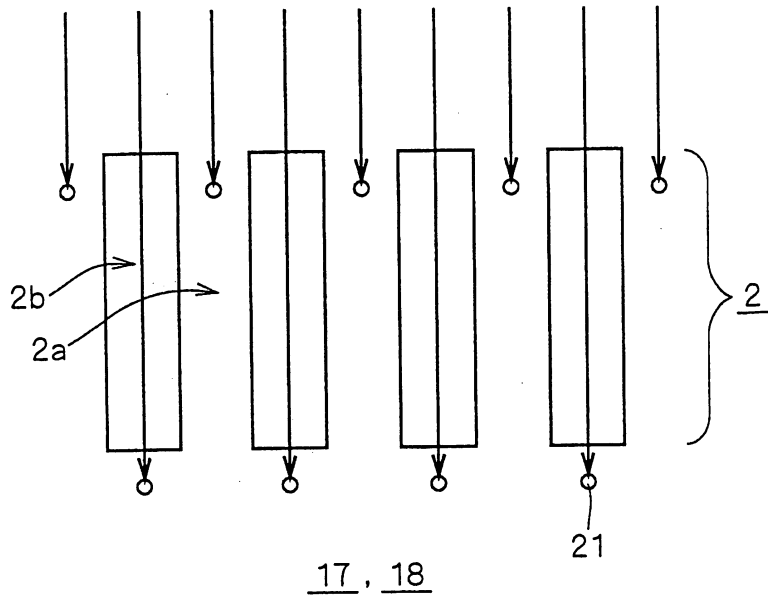
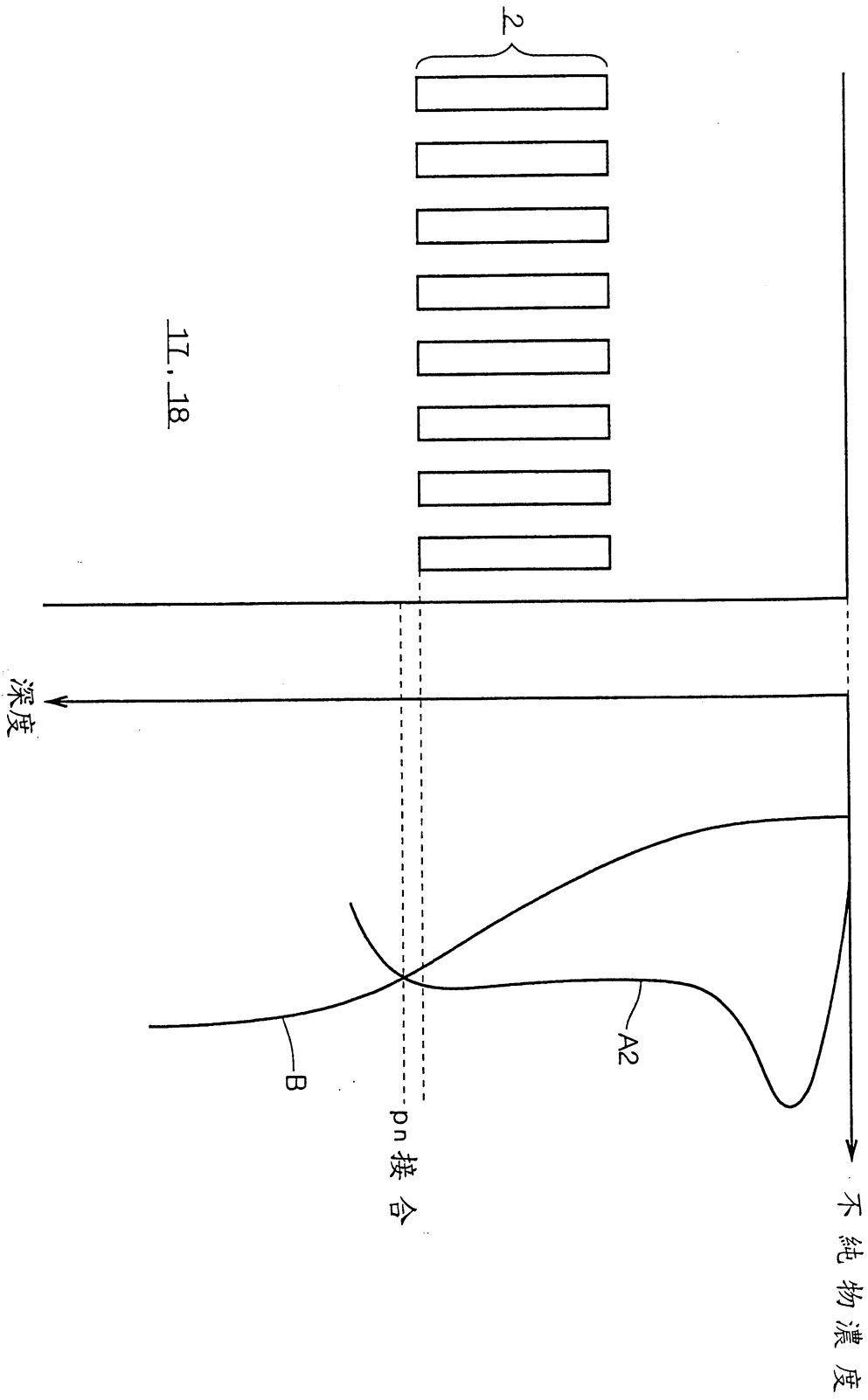




圖 17



17, 18

圖 18

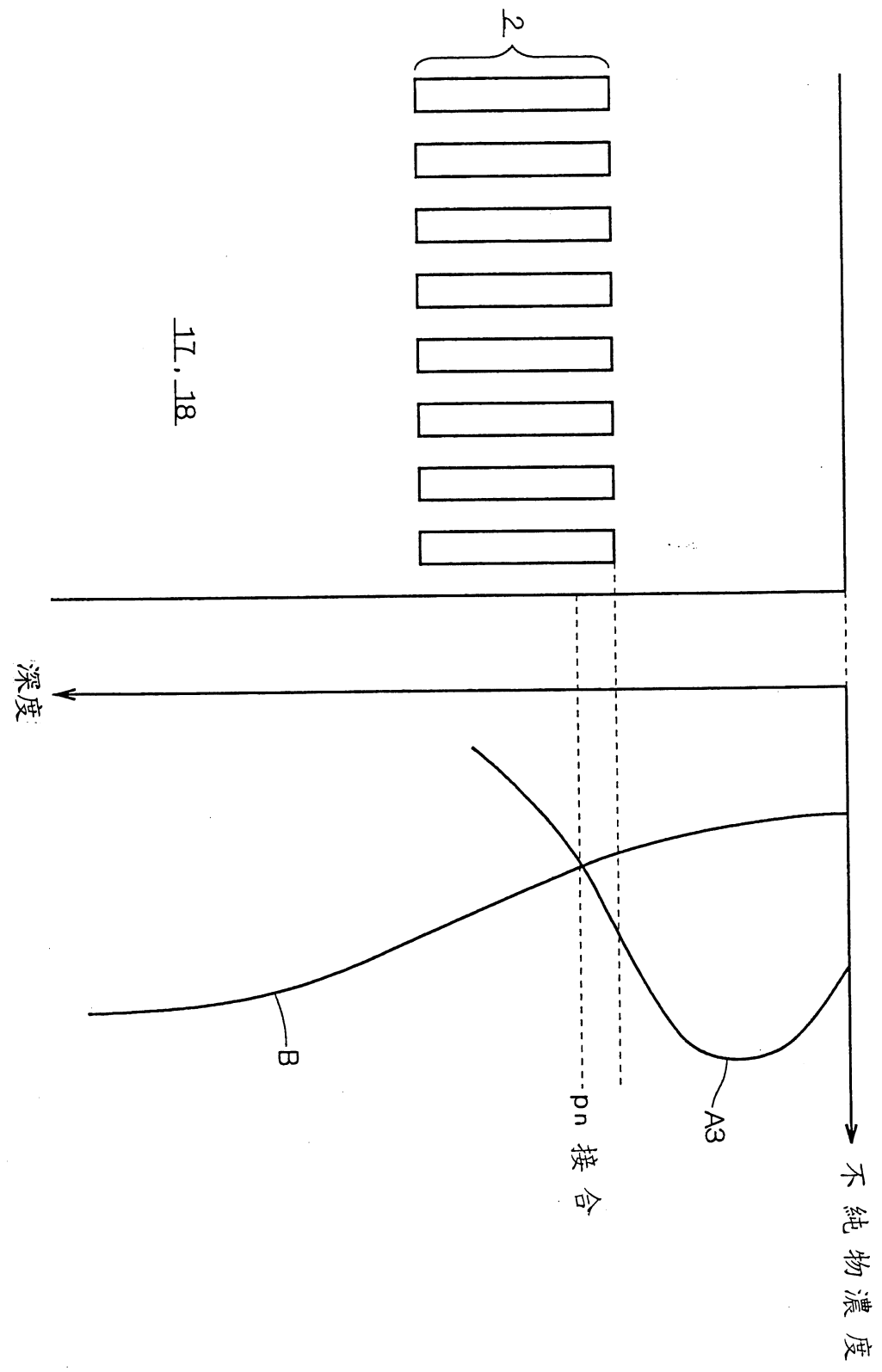


圖 19

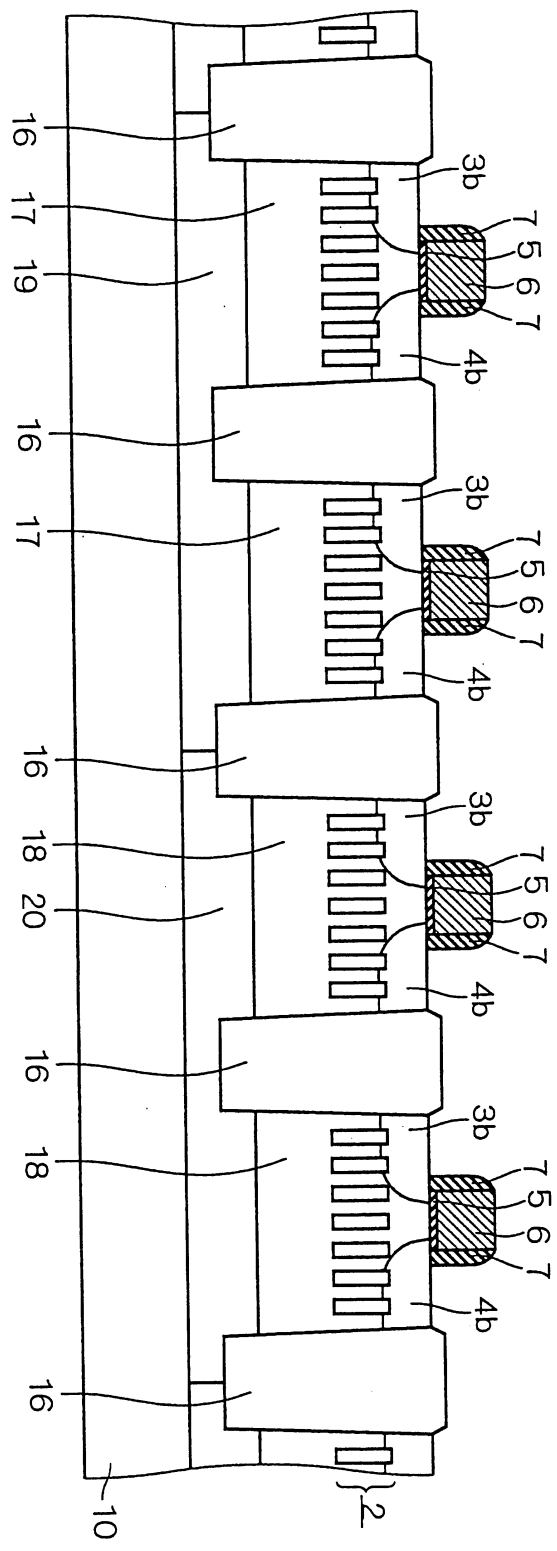


圖 20

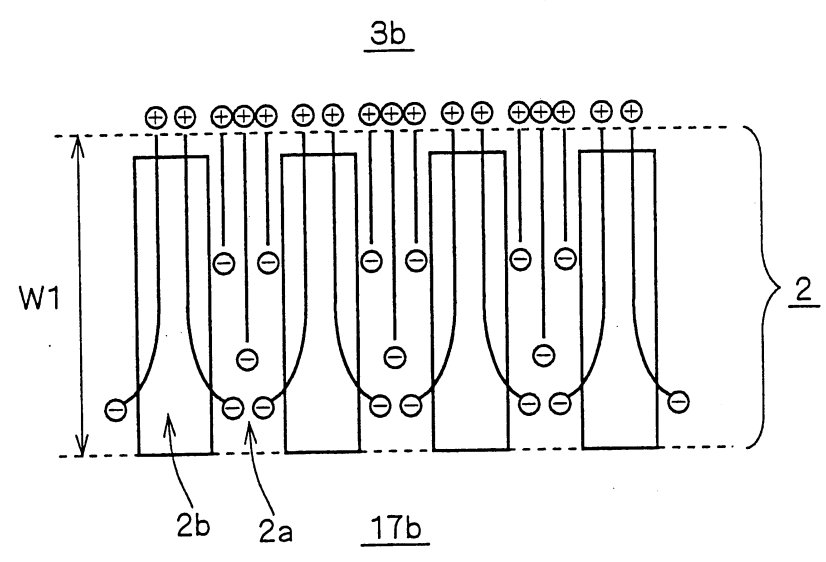


圖 21

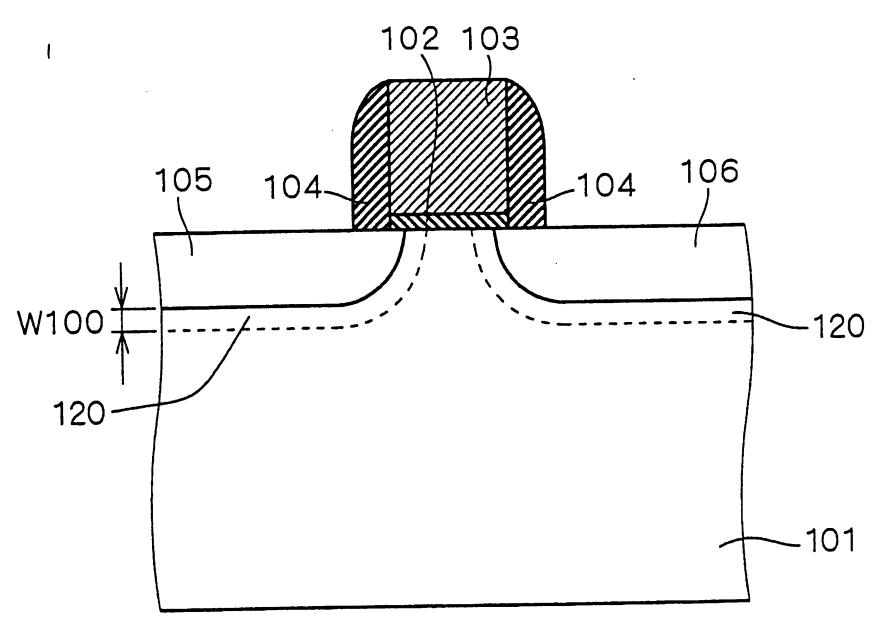


圖 22

