

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7293095号  
(P7293095)

(45)発行日 令和5年6月19日(2023.6.19)

(24)登録日 令和5年6月9日(2023.6.9)

(51)国際特許分類 F I  
H 0 2 M 7/483(2007.01) H 0 2 M 7/483

請求項の数 9 (全26頁)

(21)出願番号	特願2019-213459(P2019-213459)	(73)特許権者	598076591 東芝インフラシステムズ株式会社 神奈川県川崎市幸区堀川町7番地34
(22)出願日	令和1年11月26日(2019.11.26)	(74)代理人	110003708 弁理士法人鈴榮特許総合事務所
(65)公開番号	特開2021-87263(P2021-87263A)	(72)発明者	真木 康次 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内
(43)公開日	令和3年6月3日(2021.6.3)	(72)発明者	餅川 宏 神奈川県川崎市幸区堀川町7番地34 東芝インフラシステムズ株式会社内
審査請求日	令和4年8月10日(2022.8.10)	審査官	佐藤 匡

最終頁に続く

(54)【発明の名称】 電力変換装置

(57)【特許請求の範囲】

【請求項1】

交流端と高電位側端との間に接続された上側スイッチング素子と、交流端と低電位側端との間に接続された下側スイッチング素子と、高電位側端と低電位側端との間において前記上側スイッチング素子および前記下側スイッチング素子に対して並列に接続されたフローティングコンデンサと、を有するインバータセルと、

前記インバータセルの高電位側端と正側直流端との間に接続され、第1スイッチング素子を有する第1スイッチ回路を一または複数直列に接続して構成された上アームと、

前記インバータセルの低電位側端と負側直流端との間に接続され、第2スイッチング素子を有する第2スイッチ回路を一または複数直列に接続して構成された下アームと、

低電位側から高電位側へ向かう方向を順方向として、一または複数の前記第1スイッチ回路と並列に接続された第1還流ダイオードと、

低電位側から高電位側へ向かう方向を順方向として、一または複数の前記第2スイッチ回路と並列に接続された第2還流ダイオードと、を備え、

前記第1スイッチ回路の少なくとも1つが、前記第1スイッチング素子の低電位側端にカソードが接続された第1ダイオードと、前記第1ダイオードのアノードと前記第1スイッチング素子の高電位側端との間に接続された第1コンデンサと、を有するときは、前記インバータセルの低電位側端と前記第1コンデンサの低電位側端とを接続する第1回生整流回路を有し、

前記第2スイッチ回路の少なくとも1つが、前記第2スイッチング素子の高電位側端に

アノードが接続された第2ダイオードと、前記第2ダイオードのカソードと前記第2スイッチング素子の低電位側端との間に接続された第2コンデンサと、を有するときは、前記インバータセルの高電位側端と前記第2コンデンサの高電位側端とを接続する第2回生整流回路を有する電力変換装置。

【請求項2】

交流端と高電位側端との間に接続された上側スイッチング素子と、交流端と低電位側端との間に接続された下側スイッチング素子と、高電位側端と低電位側端との間において前記上側スイッチング素子および前記下側スイッチング素子に対して並列に接続されたフローティングコンデンサと、を有するインバータセルと、

前記インバータセルの高電位側端と正側直流端との間に接続され、第1スイッチング素子を有する第1スイッチ回路を一または複数直列に接続して構成された上アームと、

前記インバータセルの低電位側端と負側直流端との間に接続され、第2スイッチング素子を有する第2スイッチ回路を一または複数直列に接続して構成された下アームと、を備え、

前記上側スイッチング素子と前記下側スイッチング素子とは、前記第1スイッチング素子および前記第2スイッチング素子よりもリカバリ特性の良い素子であり、

前記第1スイッチ回路の少なくとも1つが、前記第1スイッチング素子の低電位側端にカソードが接続された第1ダイオードと、前記第1ダイオードのアノードと前記第1スイッチング素子の高電位側端との間に接続された第1コンデンサと、を有するときは、前記インバータセルの低電位側端と前記第1コンデンサの低電位側端とを接続する第1回生整流回路を有し、

前記第2スイッチ回路の少なくとも1つが、前記第2スイッチング素子の高電位側端にアノードが接続された第2ダイオードと、前記第2ダイオードのカソードと前記第2スイッチング素子の低電位側端との間に接続された第2コンデンサと、を有するときは、前記インバータセルの高電位側端と前記第2コンデンサの高電位側端とを接続する第2回生整流回路を有する電力変換装置。

【請求項3】

交流端と高電位側端との間に接続された上側スイッチング素子と、交流端と低電位側端との間に接続された下側スイッチング素子と、高電位側端と低電位側端との間において前記上側スイッチング素子および前記下側スイッチング素子に対して並列に接続されたフローティングコンデンサと、を有するセル回路と、前記セル回路の高電位側端に接続され、第3スイッチング素子を有する第3スイッチ回路を一または複数直列に接続して構成された上側セルアームと、前記セル回路の低電位側端に接続され、第4スイッチング素子を有する第4スイッチ回路を一または複数直列に接続して構成された下側セルアームと、を備えたインバータセルと、

前記上側セルアームの高電位側端と正側直流端との間に接続され、第1スイッチング素子を有する第1スイッチ回路を一または複数直列に接続して構成された上アームと、

前記下側セルアームの低電位側端と負側直流端との間に接続され、第2スイッチング素子を有する第2スイッチ回路を一または複数直列に接続して構成された下アームと、を備え、

前記第1スイッチ回路の少なくとも1つが、前記第1スイッチング素子の低電位側端にカソードが接続された第1ダイオードと、前記第1ダイオードのアノードと前記第1スイッチング素子の高電位側端との間に接続された第1コンデンサと、を有するときは、前記インバータセルの低電位側端と前記第1コンデンサの低電位側端とを接続する第1回生整流回路を有し、

前記第2スイッチ回路の少なくとも1つが、前記第2スイッチング素子の高電位側端にアノードが接続された第2ダイオードと、前記第2ダイオードのカソードと前記第2スイッチング素子の低電位側端との間に接続された第2コンデンサと、を有するときは、前記インバータセルの高電位側端と前記第2コンデンサの高電位側端とを接続する第2回生整流回路を有し、

10

20

30

40

50

前記第 3 スイッチ回路の少なくとも 1 つが、前記第 3 スイッチング素子の低電位側端にカソードが接続された第 3 ダイオードと、前記第 3 ダイオードのアノードと前記第 3 スイッチング素子の高電位側端との間に接続された第 3 コンデンサと、を有するときは、前記セル回路の低電位側端と前記第 3 コンデンサの低電位側端とを接続する第 3 回生整流回路を有し、

前記第 4 スイッチ回路の少なくとも 1 つが、前記第 4 スイッチング素子の高電位側端にアノードが接続された第 4 ダイオードと、前記第 4 ダイオードのカソードと前記第 4 スイッチング素子の低電位側端との間に接続された第 4 コンデンサと、を有するときは、前記セル回路の高電位側端と前記第 4 コンデンサの高電位側端とを接続する第 4 回生整流回路を有する電力変換装置。

10

【請求項 4】

交流端と高電位側端との間に接続された上側スイッチング素子と、交流端と低電位側端との間に接続された下側スイッチング素子と、高電位側端と低電位側端との間において前記上側スイッチング素子および前記下側スイッチング素子に対して並列に接続されたフローティングコンデンサと、を有するインバータセルと、

前記インバータセルの高電位側端と正側直流端との間に接続され、第 1 スイッチング素子を有する第 1 スイッチ回路を一または複数直列に接続して構成された上アームと、

前記インバータセルの低電位側端と負側直流端との間に接続され、第 2 スイッチング素子を有する第 2 スイッチ回路を一または複数直列に接続して構成された下アームと、

前記フローティングコンデンサに蓄えられたエネルギーを正側直流端と負側直流端とに放電可能なコンバータと、を備え、

20

前記第 1 スイッチ回路の少なくとも 1 つが、前記第 1 スイッチング素子の低電位側端にカソードが接続された第 1 ダイオードと、前記第 1 ダイオードのアノードと前記第 1 スイッチング素子の高電位側端との間に接続された第 1 コンデンサと、を有するときは、前記インバータセルの低電位側端と前記第 1 コンデンサの低電位側端とを接続する第 1 回生整流回路を有し、

前記第 2 スイッチ回路の少なくとも 1 つが、前記第 2 スイッチング素子の高電位側端にアノードが接続された第 2 ダイオードと、前記第 2 ダイオードのカソードと前記第 2 スイッチング素子の低電位側端との間に接続された第 2 コンデンサと、を有するときは、前記インバータセルの高電位側端と前記第 2 コンデンサの高電位側端とを接続する第 2 回生整流回路を有する電力変換装置。

30

【請求項 5】

前記第 1 スイッチング素子および前記第 2 スイッチング素子のそれぞれのゲートに対してゲート抵抗器を介してゲート信号を出力する複数のバッファと、

低電位側の前記第 1 スイッチング素子および前記第 2 スイッチング素子のゲートにゲート信号を出力する前記バッファの出力信号が入力され、入力されたゲート信号を異なる基準電位のゲート信号として、高電位側の前記第 1 スイッチング素子および前記第 2 スイッチング素子のゲートにゲート信号を出力する前記バッファへ供給する一または複数の絶縁回路と、を備えた請求項 1 乃至請求項 4 のいずれか 1 項記載の電力変換装置。

【請求項 6】

40

前記絶縁回路から出力された信号の立ち上がり時の時定数を大きくして前記バッファへ出力するディレイ回路を備えた請求項 5 記載の電力変換装置。

【請求項 7】

高電位側端が前記バッファの高電位側の電源入力端と電気的に接続され、低電位側端が前記バッファの低電位側の電源入力端および前記バッファからゲート信号が供給される前記第 1 スイッチング素子又は前記第 2 スイッチング素子の低電位側端と電気的に接続されたコンデンサと、

負側端子が最も低電位側のコンデンサの低電位側端および前記上アーム又は前記下アームの低電位側端と電気的に接続され、正側端子が複数の前記コンデンサの高電位側端と電気的に接続された電源と、を更に備えた請求項 5 又は請求項 6 記載の電力変換装置。

50

## 【請求項 8】

前記第 1 スイッチング素子および前記第 2 スイッチング素子のそれぞれのゲートに対してゲート抵抗器を介してゲート信号を出力する複数のバッファと、

前記第 1 コンデンサに蓄えられたエネルギーを所定の電力に変換して、前記第 1 コンデンサと並列に接続された前記第 1 スイッチング素子のゲートへゲート信号を供給する前記バッファへ電源を供給する一または複数の第 1 コンバータと、

前記第 2 コンデンサに蓄えられたエネルギーを所定の電力に変換して、前記第 2 コンデンサと並列に接続された前記第 2 スイッチング素子のゲートへゲート信号を供給する前記バッファへ電源を供給する一または複数の第 2 コンバータと、を備えた請求項 1 乃至請求項 4 のいずれか 1 項記載の電力変換装置。

10

## 【請求項 9】

前記フローティングコンデンサは、前記上側スイッチング素子がオンし前記第 1 スイッチング素子がオフしている時間、および、前記下側スイッチング素子がオンし前記第 2 スイッチング素子がオフしている時間に放電され、

複数の前記第 1 スイッチング素子は第 1 遅延時間において順次オン若しくはオフされ、

複数の前記第 2 スイッチング素子は第 2 遅延時間において順次オン若しくはオフされ、

複数の前記第 1 スイッチング素子の数を  $N$  としたとき、前記上側スイッチング素子がオンし前記第 1 スイッチング素子がオフしているときの前記フローティングコンデンサの放電時間は、前記第 1 遅延時間に  $(N - 1)$  と  $(N - 2)$  とを乗じた時間であって、

複数の前記第 2 スイッチング素子の数を  $M$  としたとき、前記下側スイッチング素子がオンし前記第 2 スイッチング素子がオフしているときの前記フローティングコンデンサの放電時間は、前記第 2 遅延時間に  $(M - 1)$  と  $(M - 2)$  とを乗じた時間である、請求項 1 乃至請求項 8 のいずれか 1 項記載の電力変換装置。

20

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、電力変換装置に関する。

## 【背景技術】

## 【0002】

例えば、スイッチンググループに存在する寄生インダクタンスと、スイッチングにより生じるサージ電圧とを抑制するスナバ回路を備えた電力変換装置によれば、スナバ回路に吸収されたサージ電圧のエネルギーを直流電源に回生することにより、エネルギー効率を改善することが可能である。

30

## 【0003】

また、近年、複数レベルの電圧出力が可能なマルチレベル電力変換装置が提案されている。マルチレベル電力変換器では、出力電圧を多レベル化することにより、スイッチング速度を高速にすることなく、スイッチング損失を抑制することが可能である。

## 【先行技術文献】

## 【特許文献】

## 【0004】

【文献】特開平 7 - 2 1 3 0 7 6 号公報

40

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

しかしながら、上記のスナバ回路を備えた電力変換装置は、スイッチング速度を高速にしたことにより生じるサージ電圧のエネルギーをスナバ回路に吸収させるものであって、スイッチング速度が低速であるときにスイッチングによる損失を抑制することが困難であった。

## 【0006】

また、ダイオードクランプ型のマルチレベル変換装置や、フライングキャパシタ型のマ

50

ルチレベル変換装置においては、スイッチング素子の1素子当たりの印加電圧を下げることによりスイッチングスピードを高くせずスイッチング損失を減らすことができる。ただし、ダイオードクランプ型およびフライングキャパシタ型のマルチレベル電力変換装置は、スイッチンググループ内の寄生インダクタンスが従来の2レベルの電力変換装置よりも大きくなり、より大きなサージ電圧が発生することがある。この場合には、スイッチング速度を更に低くしてサージ電圧を抑制しなければならず、スイッチング損失の低減効果を十分に生かすことができなかつた。

【0007】

また、モジュラー型のマルチレベル変換装置は2直列のスイッチングデバイスに並列接続された直流コンデンサで構成される1モジュール内でスイッチンググループが閉じた構成を備える。この構成により寄生インダクタンスが大きくなることはないため、サージ電圧を抑制するためにスイッチング速度を低くする必要はない。一方で、直流コンデンサに交流周波数の1次成分(基本波成分)、または、2次成分の電流が流れるため、直流コンデンサを大きくする必要があり、電力変換装置を小型化することが困難であった。

10

【0008】

本発明の実施形態は、上記事情を鑑みて成されたものであって、エネルギー損失を低く抑え、かつ、大型化を回避することが可能な電力変換装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

実施形態による電力変換装置は、交流端と高電位側端との間に接続された上側スイッチング素子と、交流端と低電位側端との間に接続された下側スイッチング素子と、高電位側端と低電位側端との間において前記上側スイッチング素子および前記下側スイッチング素子に対して並列に接続されたフローティングコンデンサと、を有するインバータセルと、前記インバータセルの高電位側端と正側直流端との間に接続され、第1スイッチング素子を有する第1スイッチ回路を一または複数直列に接続して構成された上アームと、前記インバータセルの低電位側端と負側直流端との間に接続され、第2スイッチング素子を有する第2スイッチ回路を一または複数直列に接続して構成された下アームと、を備え、前記側スイッチング素子と前記下側スイッチング素子とは、前記第1スイッチング素子および前記第2スイッチング素子よりも高耐圧であり、前記第1スイッチ回路の少なくとも1つが、前記第1スイッチング素子の低電位側端にカソードが接続された第1ダイオードと、前記第1ダイオードのアノードと前記第1スイッチング素子の高電位側端との間に接続された第1コンデンサと、を有するときは、前記インバータセルの低電位側端と前記第1コンデンサの低電位側端とを接続する第1回生整流回路を有し、前記第2スイッチ回路の少なくとも1つが、前記第2スイッチング素子の高電位側端にアノードが接続された第2ダイオードと、前記第2ダイオードのカソードと前記第2スイッチング素子の低電位側端との間に接続された第2コンデンサと、を有するときは、前記インバータセルの高電位側端と前記第2コンデンサの高電位側端とを接続する第2回生整流回路を有する。

20

30

【図面の簡単な説明】

【0010】

【図1】図1は、一実施形態の電力変換装置の構成の一例を概略的に示す図である。

40

【図2】図2は、一実施形態の電力変換装置の動作の一例を説明するための図である。

【図3】図3は、第2実施形態の電力変換装置の一構成例を概略的に示す図である。

【図4】図4は、第3実施形態の電力変換装置の一構成例を概略的に示す図である。

【図5】図5は、図4に示す電力変換装置の変換効率の試験データの一例を示す図である。

【図6】図6は、第4実施形態の電力変換装置の一構成例を概略的に示す図である。

【図7】図7は、第5実施形態の電力変換装置の、上アームのスイッチング素子へのゲート信号を供給する回路の一構成例を概略的に示す図である。

【図8】図8は、第6実施形態の電力変換装置の、上アームのスイッチング素子へのゲート信号を供給する回路の一構成例を概略的に示す図である。

【図9】図9は、第7実施形態の電力変換装置の、上アームのスイッチング素子へのゲート

50

ト信号を供給する回路の一構成例を概略的に示す図である。

【図 1 0】図 1 0 は、第 8 実施形態の電力変換装置の上アームのゲート電源自給用コンバータの構成例を説明するための図である。

【図 1 1】図 1 1 は、第 8 実施形態の電力変換装置の下アームのゲート電源自給用コンバータの構成例を説明するための図である。

【発明を実施するための形態】

【0 0 1 1】

以下、実施形態の電力変換装置について、図面を参照して詳細に説明する。

図 1 は、一実施形態の電力変換装置の構成の一例を概略的に示す図である。

本実施形態の電力変換装置は、インバータセル 1 0 0 と、上アームと、下アームと、 $n$  個 ( $n$  は 2 以上の整数) の第 1 回生整流回路 (回生整流ダイオード  $6 U N$  および第 1 抵抗器  $5 U N$ ) と、 $m$  個 ( $m$  は 2 以上の整数) の第 2 回生整流回路 (回生整流ダイオード  $6 X M$  および第 2 抵抗器  $5 X M$ ) と、を備えている。ここで、 $N$  と  $M$  とはそれぞれ  $N = 2 \sim n$ 、 $M = 2 \sim m$  であり、以後、他の定義が示されていなければ同様とする。

10

【0 0 1 2】

本実施形態の電力変換装置の上アームは、 $n$  個のスイッチ回路 (電圧型クランプ型スイッチ回路) 1 0 1  $N$  を備える。本実施形態の電力変換装置の下アームは、 $m$  個のスイッチ回路 (電圧型クランプ型スイッチ回路) 1 0 2  $M$  を備える。

【0 0 1 3】

なお、本実施形態の電力変換装置には、正側直流端 2 0 9 と負側直流端 2 1 0 との間 (若しくは、正側直流端 2 0 9 と中間端 2 1 1 との間および中間端 2 1 1 と負側直流端 2 1 0 との間) に直流コンデンサ (図示せず) が電氣的に接続される。直流コンデンサは、電力変換装置に含まれていてもよく、電力変換装置の外部に取り付けられても構わない。

20

【0 0 1 4】

インバータセル 1 0 0 は、スイッチング素子 (上側スイッチング素子) 1  $U$  と、スイッチング素子 (下側スイッチング素子) 1  $X$  と、フローティングコンデンサ 2 と、正側セル端子 (高電位側端) 2 0 0 と、負側セル端子 (低電位側端) 2 0 1 と、セル交流端子 (交流端) 2 0 2 と、を備えている。なお、正側セル端子 2 0 0 と、負側セル端子 2 0 1 と、セル交流端子 2 0 2 とは、これらの端子の位置にて回路が電氣的に接続可能な構成であればよく、端子は省略されても構わない。

30

【0 0 1 5】

スイッチング素子 1  $U$  とスイッチング素子 1  $X$  とは、例えば  $M O S F E T$  (半導体電界効果トランジスタ: metal-oxide semiconductor field-effect transistor) である。本実施形態では、スイッチング素子 1  $U$  とスイッチング素子 1  $X$  とは、リカバリ特性の良いパワーデバイスを備えている。リカバリ特性が良いパワーデバイスとしては、例えば、 $S i C$  (炭化ケイ素) や  $G a N$  (窒化ガリウム) などのワイドバンドギャップ半導体材料を用いて形成されたパワー半導体素子を採用することができる。

【0 0 1 6】

スイッチング素子 1  $U$  のドレイン (高電位側端) は正側セル端子 2 0 0 と電氣的に接続され、ソース (低電位側端) はスイッチング素子 1  $X$  のドレイン (高電位側端) と電氣的に接続されている。スイッチング素子 1  $X$  のソース (低電位側端) は負側セル端子 2 0 1 と電氣的に接続されている。スイッチング素子 1  $U$  とスイッチング素子 1  $X$  との間は、セル交流端子 2 0 2 と電氣的に接続されている。

40

【0 0 1 7】

また、スイッチング素子 1  $U$  とスイッチング素子 1  $X$  とに代えて、 $A - S R B$  (Advanced Synchronous Reverse Blocking) 回路や  $R A$  回路などのリカバリを抑制する回路を用いても構わない。

【0 0 1 8】

フローティングコンデンサ 2 は、スイッチング素子 1  $U$  およびスイッチング素子 1  $X$  と並列に接続している。フローティングコンデンサ 2 の一端は、スイッチング素子 1  $U$  のド

50

ラインおよび正側セル端子 200 と電氣的に接続し、フローティングコンデンサ 2 の他端はスイッチング素子 1 X のソースおよび負側セル端子 201 と電氣的に接続されている。

【0019】

n 個のスイッチ回路 (第 1 スwitch回路) 101 N のそれぞれは、スイッチング素子 (第 1 スwitch素子) 1 UN と、ダイオード (第 1 ダイオード) 4 UN と、コンデンサ (第 1 コンデンサ) 3 UN と、スナバ端子 205 N と、正側端子 203 N と、負側端子 204 N と、を備えている。

【0020】

なお、スナバ端子 205 N と、正側端子 203 N と、負側端子 204 N とは、これらの端子の位置において回路が電氣的に接続可能な構成であればよく、端子を省略しても構わない。また、スイッチ回路 101 N は、複数のスイッチング素子 1 UN を備えていてもよい。その場合、複数のスイッチング素子 1 UN は、正側端子 203 N と負側端子 204 N との間において、コンデンサ 3 UN およびダイオード 4 UN に対して並列に接続される。複数のスイッチング素子 1 UN は互いに直列に接続されてもよく、互いに並列に接続されてもよい。

10

【0021】

スイッチング素子 1 UN は、例えば MOSFET である。スイッチング素子 1 UN のドレイン (高電位側端) は正側端子 203 N と電氣的に接続され、スイッチング素子 1 UN のソース (低電位側端) は負側端子 204 N と電氣的に接続されている。

【0022】

ダイオード 4 UN は、カソードがスイッチング素子 1 UN のソースおよび負側端子 204 N と電氣的に接続され、アノードがスナバ端子 205 N と電氣的に接続されている。なお、ダイオード 4 UN は、リカバリ損失が低いファストリカバリ特性を備えることが望ましく、例えば、リカバリ特性のよいショットキーバリアダイオード (SBD) やワイドバンドギャップ半導体 (SiC、GaN など) を利用した素子を使用することが望ましい。

20

【0023】

コンデンサ 3 UN は、一端 (高電位側端) がスイッチング素子 1 UN のドレインおよび正側端子 203 N と電氣的に接続され、他端 (低電位側端) がダイオード 4 UN のアノードと電氣的に接続するとともにスナバ端子 205 N と電氣的に接続されている。

【0024】

n 個のスイッチ回路 101 N は、直列に接続されている。すなわち、スイッチ回路 101 N の正側端子 (高電位側端) 203 N は高電位側にて隣り合うスイッチ回路 101 N の負側端子 (低電位側端) 204 N と電氣的に接続され、最も高電位側のスイッチ回路 101 N の正側端子 203 N (N = n) は、上アームの正側端 (正側直流端 209) と電氣的に接続されている。スイッチ回路 101 N の負側端子 204 N は低電位側にて隣り合うスイッチ回路 101 N の正側端子 203 N と電氣的に接続され、最も低電位側のスイッチ回路 101 N の負側端子 204 N (N = 1) は、インバータセル 100 の正側セル端子 200 と電氣的に接続されている。

30

【0025】

n 個の回生整流ダイオード 6 UN (N = 1 ~ n) は、低電位側から高電位側へ向かう方向を順方向として、スイッチング素子 1 X の低電位側の端子 (インバータセル 100 の低電位側端) と最も低電位側に配置された第 1 スwitch回路 1011 のコンデンサ 3 U1 の低電位側端との間、および、隣接した第 1 スwitch回路 101 N のコンデンサ 3 UN の低電位側端の間にそれぞれ接続され、互いに直列に接続されている。

40

【0026】

回生整流ダイオード (第 1 回生整流ダイオード) 6 UN (N = 1 ~ n) それぞれのカソードは、スイッチ回路 101 N のスナバ端子 205 N (N = 1 ~ n) および高電位側にて隣接する回生整流ダイオード 6 UN (N = 1 ~ n) のアノードと電氣的に接続されている。例えば、回生整流ダイオード 6 U<sub>k</sub> (1 ≤ k ≤ n - 1) のカソードは、スイッチ回路 101 k のスナバ端子 205 k および回生整流ダイオード 6 U<sub>(k+1)</sub> のアノードと電氣

50

的に接続されている。

【 0 0 2 7 】

抵抗器 5 U N は、一端において、ダイオード 4 U N とコンデンサ 3 U N との並列回路に直列に接続されている。抵抗器 5 U N の他端は、低電位側に接続されたスイッチ回路 1 0 1 N のコンデンサ 3 U N と抵抗器 5 U N とが直列に接続された回路と、回生整流ダイオード 6 U N を介して電氣的に接続される。最も低電位側に配置されたスイッチ回路 1 0 1 N ( N = 1 ) の抵抗器 5 U N の他端は、スナバ端子 2 0 5 N および回生整流ダイオード 6 U N を介して、インバータセル 1 0 0 の負側セル端子 2 0 1 と電氣的に接続されている。

【 0 0 2 8 】

m 個のスイッチ回路 ( 第 2 スイッチ回路 ) 1 0 2 M のそれぞれは、スイッチング素子 ( 第 2 スイッチング素子 ) 1 X M と、ダイオード ( 第 2 ダイオード ) 4 X M と、コンデンサ ( 第 2 コンデンサ ) 3 X M と、スナバ端子 2 0 8 M と、正側端子 2 0 6 M と、負側端子 2 0 7 M と、を備えている。

10

【 0 0 2 9 】

なお、正側端子 2 0 6 M と、負側端子 2 0 7 M と、スナバ端子 2 0 8 M とは、これらの端子の位置にて回路が電氣的に接続可能な構成であればよく、端子を省略しても構わない。また、スイッチ回路 1 0 2 M は、複数のスイッチング素子 1 X M を備えていてもよい。その場合、複数のスイッチング素子 1 X M は、正側端子 2 0 6 M と負側端子 2 0 7 M との間において、コンデンサ 3 X M およびダイオード 4 X M に対して並列に接続される。複数のスイッチング素子 1 X M は互いに直列に接続されてもよく、互いに並列に接続されてもよい。

20

【 0 0 3 0 】

スイッチング素子 1 X M は、例えば M O S F E T である。スイッチング素子 1 X M のドレイン ( 高電位側端 ) は、正側端子 2 0 6 M と電氣的に接続され、ソース ( 低電位側端 ) は負側端子 2 0 7 M と電氣的に接続されている。

【 0 0 3 1 】

ダイオード 4 X M は、アノードがスイッチング素子 1 X M のドレインおよび正側端子 2 0 6 M と電氣的に接続し、カソードがスナバ端子 2 0 8 M と電氣的に接続している。なお、ダイオード 4 X M は、リカバリ損失が低いファストリカバリ特性を備えることが望ましく、例えば、リカバリ特性のよいショットキーバリアダイオード ( S B D ) やワイドバンドギャップ半導体 ( S i C 、 G a N など ) を利用した素子を使用することが望ましい。

30

【 0 0 3 2 】

コンデンサ 3 X M は、一端 ( 低電位側端 ) がスイッチング素子 1 X M のソースおよび負側端子 2 0 7 M と電氣的に接続され、他端 ( 高電位側端 ) がダイオード 4 X M のカソード電氣的に接続されているとともにスナバ端子 2 0 8 M と電氣的に接続している。

【 0 0 3 3 】

m 個のスイッチ回路 1 0 2 M は、直列に接続している。すなわち、スイッチ回路 1 0 2 M の正側端子 2 0 6 M は高電位側にて隣り合うスイッチ回路 1 0 2 M の負側端子 2 0 7 M と電氣的に接続し、最も高電位側のスイッチ回路 1 0 2 M の正側端子 2 0 6 M ( M = 1 ) は、インバータセル 1 0 0 の負側セル端子 2 0 1 と電氣的に接続する。スイッチ回路 1 0 2 M の負側端子 2 0 7 M は低電位側にて隣り合うスイッチ回路 1 0 2 M の正側端子 2 0 6 M と電氣的に接続し、最も低電位側のスイッチ回路 1 0 2 M の負側端子 2 0 7 M ( M = m ) は、下アームの負側端 ( 負側直流端 2 1 0 ) と電氣的に接続する。

40

【 0 0 3 4 】

m 個の回生整流ダイオード ( 第 2 回生整流ダイオード ) 6 X M ( M = 1 ~ m ) は、低電位側から高電位側へ向かう方向を順方向として、隣接した第 2 スイッチ回路 1 0 2 M のコンデンサ 3 X M の高電位側端の間、および、スイッチング素子 1 U の高電位側の端子 ( インバータセル 1 0 0 の高電位側端 ) と最も高電位側に配置された第 2 スイッチ回路 1 0 2 1 のコンデンサ 3 X 1 との高電位側端の間にそれぞれ接続され、互いに直列に接続されている。

50

## 【 0 0 3 5 】

回生整流ダイオード  $6 \times M$  ( $M = 1 \sim m$ ) それぞれのアノードは、スイッチ回路  $102M$  のスナバ端子  $208M$  ( $M = 1 \sim m$ ) および低電位側にて隣接する回生整流ダイオード  $6 \times M$  ( $M = 1 \sim m$ ) のカソードと電氣的に接続されている。例えば、回生整流ダイオード  $6 \times j$  ( $1 \leq j \leq m - 1$ ) のアノードは、スイッチ回路  $102j$  のスナバ端子  $208j$  および回生整流ダイオード  $6 \times (j + 1)$  のカソードと電氣的に接続されている。

## 【 0 0 3 6 】

抵抗器  $5 \times M$  は、一端において、ダイオード  $4 \times M$  とコンデンサ  $3 \times M$  との並列回路と直列に接続されている。抵抗器  $5 \times M$  の他端は、高電位側に接続されたスイッチ回路  $102M$  のコンデンサ  $3 \times M$  と抵抗器  $5 \times M$  とが直列に接続された回路と、回生整流ダイオード  $6 \times M$  を介して電氣的に接続される。最も高電位側に配置されたスイッチ回路  $102M$  ( $M = 1$ ) の抵抗器  $5 \times M$  の他端は、スナバ端子  $208M$  および回生整流ダイオード  $6 \times M$  を介して、インバータセル  $100$  の正側セル端子  $200$  と電氣的に接続されている。

10

## 【 0 0 3 7 】

すなわち、本実施形態の電力変換装置は、第1スイッチ回路  $101N$  の少なくとも1つが第1スイッチング素子  $1UN$  の低電位側端にカソードが接続された第1ダイオード  $4UN$  と、第1ダイオード  $4UN$  のアノードと第1スイッチング素子  $1UN$  の高電位側端との間に接続された第1コンデンサ  $3UN$  と、を備えるとき、低電位側から高電位側へ向かう方向を順方向として、インバータセル  $100$  の低電位側端および上アームの第1コンデンサ  $3UN$  の低電位側端とを接続する回生整流回路を備えている。

20

## 【 0 0 3 8 】

また、本実施形態の電力変換装置は、第2スイッチ回路  $102X$  の少なくとも1つが第2スイッチング素子  $1XM$  の高電位側端にアノードが接続された第2ダイオード  $4XM$  と、第2ダイオード  $4XM$  のカソードと第2スイッチング素子  $1XM$  の低電位側端との間に接続された第2コンデンサ  $3XM$  と、を備えるとき、低電位側から高電位側へ向かう方向を順方向として、インバータセル  $100$  の高電位側端および下アームの第2コンデンサ  $3XM$  の高電位側端を接続する回生整流回路を備えている。

## 【 0 0 3 9 】

なお、本実施形態の電力変換装置において、スイッチ回路  $101N$  の数  $n$  とスイッチ回路  $102M$  の数  $m$  とは、同じであることが望ましいが、 $n$  と  $m$  とは異なる数であっても構わない。

30

また、本実施形態の電力変換装置において、スイッチング素子  $1UN$ 、 $1XM$  は、MOSFETに限定されるものではなく、IGBT (Insulated Gate Bipolar transistor) や機械スイッチなどでも構わない。

## 【 0 0 4 0 】

また、電圧定格や電流定格が異なる素子をスイッチング素子  $1U$ 、 $1X$ 、 $1UN$ 、 $1XM$  として用いた場合であっても本実施形態の効果を得ることができるが、電圧定格や電流定格が同一である素子をスイッチング素子  $1U$ 、 $1X$ 、 $1UN$ 、 $1XM$  として用いることが望ましい。

また、スイッチ回路  $101N$ 、 $102M$  が備える第1抵抗器  $5UN$  および第2抵抗器  $5XM$  を、リアクトル若しくはインダクタンス素子に置き換えても構わない。

40

## 【 0 0 4 1 】

本実施形態の電力変換装置では、正側直流端  $209$  と、負側直流端  $210$  と、正側直流端  $209$  と中間端子  $211$  との間および負側直流端  $210$  と中間端子  $211$  との間に接続された直流コンデンサ (図示せず) と、を介して閉回路が構成される。この閉回路に寄生する寄生インダクタンス (図示せず) によりサージ電圧が発生するときがある。このとき、本実施形態の電力変換装置では、コンデンサ  $3UN$ 、 $3XM$  により、発生したサージ電圧を抑制することが可能である。

## 【 0 0 4 2 】

次に、本実施形態の電力変換装置の動作の一例について説明する。

50

本実施形態の電力変換装置は、PWM変調(Pulse Width Modulation)により生成されたゲート信号を供給することで、任意の出力波形を作り出すことができる。電力変換装置の制御回路(図示せず)は、例えば、電圧指令値と三角波とを比較することにより、上アームのゲート信号と下アームのゲート信号とを生成する。

【0043】

本実施形態の電力変換装置では、上アームの複数のスイッチング素子 $1UN$ と、下アームの複数のスイッチング素子 $1XM$ とを、それぞれ、所定の時間間隔をあけて順次スイッチングさせることにより、ターンオン損失、ターンオフ損失、および、リカバリ損失などの損失を低減することが可能である。

【0044】

インバータセル100のスイッチング素子 $1U$ 、 $1X$ と、上アームの複数のスイッチング素子 $1UN$ と、下アームの複数のスイッチング素子 $1XM$ との全てがオフしている状態において、交流端211から電流が出力されているときには、電流は、インバータセル100のスイッチング素子 $1X$ の寄生ダイオードと、スイッチ回路102Mのスイッチング素子 $1XM$ の寄生ダイオードとに通流している。

【0045】

この状態において、インバータセル100のスイッチング素子 $1U$ をオンすると、電流は、下アームのスイッチ回路102Mの複数のスイッチング素子 $1XM$ の寄生ダイオードを通流するとともに、インバータセル100においてフローティングコンデンサ2を放電する方向に通流し、スイッチング素子 $1U$ を通流して交流端211へ流れる。

【0046】

続いて、上アームのスイッチ回路101Nのスイッチング素子 $1UN$ のいずれかをオンする。ここでは、スイッチ回路101nのスイッチング素子 $1Un$ をオンした場合について説明する。

【0047】

スイッチング素子 $1Un$ をオンすると、複数のスイッチ回路101Nの1つに印加されていた電圧が、複数のスイッチ回路102Mの直列数( $=m$ )に分圧されて、複数のスイッチ回路102Mのそれぞれに印加される。このため、複数のスイッチ回路102Mのスイッチング素子 $1XM$ の寄生ダイオードのリカバリ時に印加される電圧が小さくなり、リカバリ時に発生する損失(リカバリ損失)が低減される。さらに、複数のスイッチ回路102Mの直列数に応じて増加するスイッチンググループの寄生インダクタンスによって、リカバリ電流の変化量が少なくなり、その結果、リカバリ電荷が減少し、リカバリ損失が低減される。

【0048】

スイッチ回路102Mに電圧が印加されると、電流は、スイッチング素子 $1XM$ の寄生ダイオードを通流することができなくなり、スイッチ回路101Nへ転流する。したがって、スイッチ回路101nでは、オンされているスイッチング素子 $1Un$ に電流が通流し、スイッチ回路1011~101( $n-1$ )では、コンデンサ $3U1\sim 3U(n-1)$ とダイオード $4U1\sim 4U(n-1)$ とに電流が通流する。

【0049】

上記電流が通流する状態が遷移することにより、例えば従来の2レベルインバータではスイッチング損失として熱に変換されるエネルギーが、本実施形態の電力変換装置では、コンデンサ $3U1\sim 3U(n-1)$ に蓄えられることとなる。すなわち、本実施形態の電力変換装置におけるスイッチング損失は、複数のスイッチ回路101Nのスイッチング素子 $1UN$ のスイッチングに伴う損失分のみであり、従来の2レベルインバータと比較して十分に小さくなる。

【0050】

また、例えば、スイッチング素子 $1Un$ がオンすることで、スイッチ回路101nのダイオード $4Un$ とコンデンサ $3Un$ とが並列接続される。

【0051】

10

20

30

40

50

抵抗器  $5U_n$  の一端は、ダイオード  $4U_n$  とコンデンサ  $3U_n$  との並列回路と直列に接続される。抵抗器  $5U_n$  の他端は、スイッチ回路  $101(n-1)$  のコンデンサ  $3U(n-1)$  と抵抗器  $5U(n-1)$  とが直列に接続された回路と、回生整流ダイオード  $6U_n$  を介して電氣的に接続される。このことにより、コンデンサ  $3U_n$  に蓄えられたエネルギーは、コンデンサ  $3U(n-1)$  に放電される。上記放電は、コンデンサ  $3U_n$  とコンデンサ  $3U(n-1)$  との電圧が等しくなったときに終了する。

【0052】

なお、上記の例において、コンデンサ  $3U_n$  の電圧がコンデンサ  $3U(n-1)$  の電圧よりも高いときに、コンデンサ  $3U_n$  が放電される。また、コンデンサ  $3U_n$  の電圧とコンデンサ  $3U(n-1)$  の電圧との差が、コンデンサ  $3U_n$ 、 $3U(n-1)$  それぞれの電圧よりも十分小さいため、放電されるエネルギーの経路に抵抗器  $5U_n$ 、 $5U(n-1)$  が介在していても、高効率に放電することができる。

10

【0053】

複数のスイッチ回路  $101N$  のスイッチング素子  $1U_N$  が順次オンされて全てのスイッチング素子  $1U_N$  がオンされると、コンデンサ  $3U_N$  に蓄えられたエネルギーが順次放電されて、放電されたエネルギーがフローティングコンデンサ  $2$  へ蓄積される。この状態で、電力変換装置の上アームのスイッチング素子がオンされた状態となる。

【0054】

その後、複数のスイッチング素子  $1U_N$  を順次オフさせて、複数のスイッチング素子  $1U_N$  の全てがオフされた状態となると、フローティングコンデンサ  $2$  が放電され、スイッチングにより生じるエネルギーを効率よく回生することが可能である。その後、スイッチング素子  $1U$  がオフされた状態となり、電力変換装置の上アームがオフされた状態となる。

20

【0055】

また、スイッチング素子  $1X$  および複数のスイッチ回路  $102M$  についても同様に動作させることにより、スイッチングにより生じるエネルギーを、複数のコンデンサ  $3XM$  を介してフローティングコンデンサ  $2$  へ蓄積させることが可能であり、フローティングコンデンサ  $2$  を放電することによりスイッチングにより生じるエネルギーを効率よく回生することが可能である。

【0056】

上記のように、本実施形態の電力変換装置では、例えば従来の2レベルインバータでは損失であったスイッチング時のエネルギーの大部分を、コンデンサ  $3UN$ 、 $3XM$  を介してフローティングコンデンサ  $2$  に蓄積させることが可能であり、フローティングコンデンサ  $2$  を放電することにより、スイッチング速度を速くすることなく、スイッチング損失を低減することが可能である。また、スイッチング素子  $1UN$ 、 $1XM$  の寄生ダイオードのリカバリ時にスイッチング素子  $1UN$ 、 $1XM$  に低電圧を印加することにより、リカバリ損失を低減することができる。

30

【0057】

図2は、一実施形態の電力変換装置の動作の一例を説明するための図である。

ここでは、上アームが3つのスイッチ回路  $1011$ 、 $1012$ 、 $1013$ 、そして下アームが3つのスイッチ回路  $1021$ 、 $1022$ 、 $1023$  を備えるときの、スイッチング素子  $1U$  のゲート信号  $S_u$  と上アームの3つのスイッチング素子  $1U1 \sim 1U3$  のゲート信号  $S_u(1) \sim S_u(3)$  とのターンオンタイミングおよびターンオフタイミングの一例を示すタイミングチャートと、3つのコンデンサ  $3U1 \sim 3U3$  に通流する電流  $i_{cu}(1) \sim i_{cu}(3)$  と、フローティングコンデンサ  $2$  に通流する電流  $i_{cf}$  との関係の一例を示している。なお、図2では、電力変換装置から交流端へ電流が流れている状態であり、電流  $i_{cu}(1) \sim i_{cu}(3)$  と電流  $i_{cf}$  とは、交流端  $211$  から出力される方向を正としている。また、図2に示した期間において、スイッチング素子  $1X$  と、下アームの3つのスイッチング素子  $1X1 \sim 1X3$  とはオフされている状態である。

40

【0058】

最初に、スイッチング素子  $1U$  と、上アームの3つのスイッチング素子  $1U1 \sim 1U3$

50

とがオフされている状態から、インバータセル 100 のスイッチング素子 1U がターンオンされる。これにより、フローティングコンデンサ 2 に電流  $i_{cf}$  が通流し、蓄えられたエネルギーが放電される。

【0059】

続いて、上アームの 3 つのスイッチ回路 1011 ~ 1013 のスイッチング素子 1U1 ~ 1U3 が遅延時間  $T_d$  を空けて順次ターンオンされる。3 つのスイッチ回路 1011 ~ 1013 のスイッチング素子 1U1 ~ 1U3 をターンオンする順序は、限定されるものではない。ここでは、スイッチ回路 1011 のスイッチング素子 1U1 から順に、正側直流端 209 に近い側のスイッチ回路 1013 のスイッチング素子 1U3 まで、順次、ターンオンされる例について説明する。

10

【0060】

スイッチング素子 1U1 がターンオンされると、負側端子（スイッチ回路 1023 の負側端子 2073）から下アームの 3 つのスイッチ回路 1021 ~ 1023 のスイッチング素子 1X1 ~ 1X3 の寄生ダイオードを通流していた電流が、正側端子（スイッチ回路 1013 の正側端子 2033）へ流れるように転流する。これにより、フローティングコンデンサ 2 の放電は終了する。

【0061】

電流が正側端子 2033 へ転流すると、ターンオンされたスイッチング素子 1U1 と、オフされているスイッチング素子 1U2、1U3 に並列に接続されたコンデンサ 3U2、3U3 およびダイオード 4U2、4U3 に電流が通流する。

20

このとき、例えば従来の 2 レベルインバータではスイッチング損失として熱となるエネルギーが、本実施形態の電力変換装置ではコンデンサ 3U2、3U3 に充電されるため、高効率なスイッチング動作を行うことが可能となる。

【0062】

また、ターンオンされたスイッチング素子 1U1 と並列に接続されたコンデンサ 3U1 と、フローティングコンデンサ 2 とが回生整流ダイオード 6U1 を介して接続され、コンデンサ 3U1 に蓄えられたエネルギーがフローティングコンデンサ 2 へ放電される。

【0063】

次に、スイッチ回路 1012 のスイッチング素子 1U2 がターンオンされると、コンデンサ 3U2 に通流していた電流がスイッチング素子 1U2 へ転流し、コンデンサ 3U2 への充電が終了する。

30

【0064】

スイッチ回路 1012 のスイッチング素子 1U2 がターンオンされると、コンデンサ 3U2 と、低電位側に接続されたスイッチ回路 1011 のコンデンサ 3U1 とが、回生整流ダイオード 6U2 を介して接続され、コンデンサ 3U2 に蓄えられたエネルギーがコンデンサ 3U1 へ放電される。

【0065】

例えば図 2 に示すように、スイッチング素子 1U をターンオンし、スイッチング素子 1U1 からスイッチング素子 1U3 まで、順次、ターンオンさせると、電力変換装置の上アームのスイッチング素子が全てターンオンされ、コンデンサ 3U1 からコンデンサ 3U3 へ順次放電されたエネルギーが、最終的にフローティングコンデンサ 2 に充電される。

40

【0066】

続いて、インバータセル 100 のスイッチング素子 1U と、3 つのスイッチ回路 1011 ~ 1013 のスイッチング素子 1U1 ~ 1U3 とが遅延時間  $T_d$  を空けて順次ターンオフされる。なお、スイッチング素子 1U1 ~ 1U3 をターンオフする順序は、限定されるものではない。ここでは、インバータセル 100 に近い側（電位が低い側）のスイッチ回路 1011 のスイッチング素子 1U1 から順に、スイッチ回路 1013 のスイッチング素子 1U3 まで、順次、ターンオフされる例について説明する。スイッチング素子 1U は、3 つのスイッチング素子 1U1 ~ 1U3 が全てターンオフされた後にターンオフされる。

【0067】

50

スイッチング素子 1 U と、3つのスイッチング素子 1 U 1 ~ 1 U 3 とが全てオンされている状態において、例えばスイッチング素子 1 U 1 がターンオフされると、スイッチング素子 1 U 1 に通流していた電流はコンデンサ 3 U 1 へ流れ、コンデンサ 3 U 1 が充電される。このとき、例えば従来の 2 レベルインバータではスイッチング損失として熱となるエネルギーがコンデンサ 3 U 1 に充電されるため、高効率なスイッチング動作を行うことが可能となる。

【 0 0 6 8 】

上記のターンオフの動作が、スイッチング素子 1 U 1 から順にスイッチング素子 1 U 3 まで順次行われる。これにより、コンデンサ 3 U 1 ~ 3 U 2 に充電されたエネルギーは、順次コンデンサ 3 U 3 まで放電される。続いて、スイッチング素子 1 U 3 がターンオフされ

10

【 0 0 6 9 】

上記ターンオフの動作が終了すると、スイッチング素子 1 U がオンされた状態であって、3つのスイッチング素子 1 U 1 ~ 1 U 3 が全てオフされた状態となり、フローティングコンデンサ 2 に充電されたエネルギーが放電される。このことにより、フローティングコンデンサ 2 に蓄えられたエネルギーを効率よく回生することができる。

その後、スイッチング素子 1 U がターンオフされると、フローティングコンデンサ 2 の放電が終了する。

以上のように、本実施形態の電力変換装置は、従来の 2 レベルインバータではスイッチング損失として熱となるエネルギーを並列接続したコンデンサ 3 U n、3 X m に蓄え、フローティングコンデンサ 2 に集め、放電することで高効率なスイッチング動作を実現している。

20

【 0 0 7 0 】

なお、フローティングコンデンサ 2 の放電は、ターンオンおよびターンオフの両方またはどちらか一方のタイミングで行われてもよい。例えば、キャリア周期（スイッチング周期）1 サイクルにおいて、フローティングコンデンサ 2 が放電している時間を放電時間  $T_{dis}$  とする。このとき、フローティングコンデンサ 2 から流出する電荷  $Q_{out}$  は以下の式（1）により求められる。

$$Q_{out} = T_{dis} \times I \dots \text{式 ( 1 )}$$

30

【 0 0 7 1 】

また、スイッチ回路 1 0 1 N のスイッチング素子 1 U N が遅延時間（第 1 遅延時間） $T_d$  を空けて順次オンされるとする。ここで、スイッチング素子 1 U N が順次オンしているときに、後からオンするスイッチング素子 1 U N と並列に接続したコンデンサ 3 U N には、交流端 2 1 1 に流れる交流電流と略等しい値の電流が流れる。このとき、コンデンサ 3 U N に流入する電荷  $Q_{in}$  は、上側アームの直列段数 N を用いて下記式（2）により求められる。

$$Q_{in} = T_d \times (N - 1) \times (N - 2) \times I \dots \text{式 ( 2 )}$$

（ただし、N は整数で、 $N > 2$ ）

【 0 0 7 2 】

上記動作は、スイッチング素子 1 U N のターンオフ時も同様である。上アームのターンオン時およびターンオフ時において、コンデンサ 3 U N やフローティングコンデンサ 2 の電圧が安定して動作するためには、上記式（1）と式（2）とにより求められる 2 つの電荷の値が一致することが望ましい。そこで、本実施形態の電力変換装置では、下記式（3）を満たすようフローティングコンデンサ 2 の標準放電時間  $T_{dis}$  を設定することができる。

40

$$T_{dis} = T_d \times (N - 1) \times (N - 2) \dots \text{式 ( 3 )}$$

（ただし、N は整数で、 $N > 2$ ）

【 0 0 7 3 】

下アームについても同様に、遅延時間（第 2 遅延時間） $T_d$  と第 1 スwitch回路 1 0 2

50

Mの段数Mとを用いて、下記式(4)を満たすようにフローティングコンデンサ2の標準放電時間 $T_{dis}$ を設定することができる。

$$T_{dis} = T_d \times (M - 1) \times (M - 2) \dots \text{式(4)}$$

(ただし、Nは整数で、 $N > 2$ )

【0074】

ただし、コンデンサ3UN、3XMに流入する電荷は、回路の転流動作によって減少することがあるため、フローティングコンデンサ2の実際の放電時間が上記標準放電時間よりも短く設定されることがあり得る。また、フローティングコンデンサ2の放電時間が長くなることにより、フローティングコンデンサ2の過放電となると、足りなくなった電荷が直流電源から供給されることとなるため、エネルギー効率が悪化してしまう。したがって、フローティングコンデンサ2の放電時間を、上記標準放電時間以下とすることにより、電力変換装置の安定した動作を実現するとともに、エネルギー効率を改善することが可能となる。

10

【0075】

上記のように、本実施形態の電力変換装置によれば、高速なスイッチングを行うことなくスイッチング損失を抑制することを実現することができる。また、本実施形態の電力変換装置では、スナバコンデンサ相当の小さい容量のコンデンサを使用し、容量の大きなコンデンサを備える必要がなく、電力変換装置が大型化することを回避することが可能である。

【0076】

なお、本実施形態の電力変換装置において、上アームの複数のスイッチング素子1UNを同時にスイッチングすること、および、下アームの複数のスイッチング素子1XMを同時にスイッチングすることで、高耐圧かつ高 $dv/dt$ を実現し、かつ、コンデンサ3UNおよびコンデンサ3XMにおける高 $di/dt$ と寄生インダクタンスによるサージ電圧を抑制する動作を行うことも可能である。

20

【0077】

次に、本実施形態の電力変換装置におけるリカバリ損失について説明する。

例えば、従来の2レベルインバータにおいて、下アームのスイッチング素子がターンオンされるとき、上アームのスイッチング素子の寄生ダイオードのリカバリ時に寄生ダイオードに流れる電流と印加される電圧とによりリカバリ損失が発生する。

30

【0078】

これに対し本実施形態の電力変換装置では、例えばスイッチング素子1XMのいずれかがターンオンされると、複数のスイッチ回路102Mの1つに印加されていた電圧が、複数のスイッチ回路101Nの直列数(=n)に分圧されて、複数のスイッチ回路101Nのそれぞれに印加される。このため、複数のスイッチ回路101Nのスイッチング素子1UNの寄生ダイオードのリカバリ時に印加される電圧が小さくなり、リカバリ時に発生する損失(リカバリ損失)が低減される。

【0079】

下アーム(複数のスイッチ回路101M)についても同様である。すなわち、例えばスイッチング素子1UNのいずれかがターンオンされると、複数のスイッチ回路101Nの1つに印加されていた電圧が、複数のスイッチ回路102Mの直列数(=m)に分圧されて、複数のスイッチ回路102Mのそれぞれに印加される。このため、複数のスイッチ回路102Mのスイッチング素子1XMの寄生ダイオードのリカバリ時に印加される電圧が小さくなり、リカバリ時に発生する損失(リカバリ損失)が低減される。

40

【0080】

また、本実施形態の電力変換装置では、インバータセル100のスイッチング素子1U、1Xとして、リカバリ特性の良い素子が採用されているため、インバータセル100におけるリカバリ損失も低減することができる。

すなわち、本実施形態の電力変換装置によれば、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

50

## 【 0 0 8 1 】

次に、第 2 実施形態の電力変換装置について図面を参照して詳細に説明する。

本実施形態の電力変換装置は、インバータセル 1 0 0 の構成が上述の第 1 実施形態と異なっている。

図 3 は、第 2 実施形態の電力変換装置の一構成例を概略的に示す図である。

## 【 0 0 8 2 】

本実施形態の電力変換装置において、インバータセル 1 0 0 が図 1 に示す電力変換装置と同様の構成を備えている。すなわち、インバータセル 1 0 0 は、セル回路 1 0 0 A と、上側セルアームと、下側セルアームと、 $k$  個 ( $k$  は 2 以上の整数) の第 3 回生整流回路 (回生整流ダイオード 6 U 0 K および第 1 抵抗器 5 U 0 K) と、 $j$  個 ( $j$  は 2 以上の整数) の第 2 回生整流回路 (回生整流ダイオード 6 X 0 J および第 2 抵抗器 5 X 0 J) と、を備えている。ここで、 $K$  と  $J$  とはそれぞれ  $K = 2 \sim k$ 、 $J = 2 \sim j$  であり、以後、他の定義が示されていないなければ同様とする。

10

## 【 0 0 8 3 】

セル回路 1 0 0 A の上側セルアームは、 $k$  個のスイッチ回路 (電圧型クランプ型スイッチ回路) U K を備える。セル回路 1 0 0 A の下側セルアームは、 $j$  個のスイッチ回路 (電圧型クランプ型スイッチ回路) X J を備える。

## 【 0 0 8 4 】

セル回路 1 0 0 A は、スイッチング素子 (上側スイッチング素子) 1 U 0 と、スイッチング素子 (下側スイッチング素子) 1 X 0 と、フローティングコンデンサ 2 0 と、正側セル端子 (高電位側端) 2 0 0 A と、負側セル端子 (低電位側端) 2 0 1 A と、セル交流端子 (交流端) 2 0 2 A と、を備えている。なお、正側セル端子 2 0 0 A と、負側セル端子 2 0 1 A と、セル交流端子 2 0 2 A とは、これらの端子の位置にて回路が電氣的に接続可能な構成であればよく、端子は省略されても構わない。

20

## 【 0 0 8 5 】

$k$  個のスイッチ回路 (第 3 スイッチ回路) U K のそれぞれは、スイッチング素子 (第 3 スイッチング素子) 1 U 0 K と、ダイオード (第 3 ダイオード) 4 U 0 K と、コンデンサ (第 3 コンデンサ) 3 U 0 K と、スナバ端子と、正側端子と、負側端子と、を備えている。

## 【 0 0 8 6 】

$j$  個のスイッチ回路 (第 4 スイッチ回路) X J のそれぞれは、スイッチング素子 (第 4 スイッチング素子) 1 X 0 J と、ダイオード (第 4 ダイオード) 4 X 0 J と、コンデンサ (第 4 コンデンサ) 3 X 0 J と、スナバ端子と、正側端子と、負側端子と、を備えている。

30

## 【 0 0 8 7 】

スイッチング素子 1 U 0 とスイッチング素子 1 X 0 とは、例えば M O S F E T (半導体電界効果トランジスタ: metal-oxide semiconductor field-effect transistor) である。本実施形態では、スイッチ回路 1 0 1 N、1 0 2 M のスイッチング素子 1 U N、1 X M は、例えば、高耐圧であるスイッチング素子 (例えば I G B T) であり、スイッチング素子 1 U 0、1 U 0 K とスイッチング素子 1 X 0、1 X 0 J とは、上アームおよび下アームのスイッチ回路 1 0 1 N、1 0 2 M のスイッチング素子 1 U N、1 X M よりも耐圧が低い素子を採用することが可能である。

40

## 【 0 0 8 8 】

例えば、上アームのスイッチ回路 1 0 1 N のスイッチング素子 1 U N に印加される電圧  $V_1$  は、正側直流端 2 0 9 と負側直流端 2 1 0 との間の電圧  $V_{dc}$  をスイッチ回路 1 0 1 N の直列数  $n$  で除した値である。これに対し、スイッチ回路 U K のスイッチング素子 1 U 0 K に印加される電圧  $V_2$  は、電圧  $V_1$  をスイッチ回路 U K の直列数  $k$  で除した値であり、電圧  $V_1$  よりも小さくなる。スイッチ回路 1 0 2 M とスイッチ回路 X J についても同様である。このため、スイッチング素子 1 U 0、1 U 0 K とスイッチング素子 1 X 0、1 X 0 J とは、上アームおよび下アームのスイッチ回路 1 0 1 N、1 0 2 M のスイッチング素子 1 U N、1 X M よりも耐圧が低い素子を採用可能である。

## 【 0 0 8 9 】

50

上記インバータセル100は、上述の第1実施形態の電力変換装置と同様に動作することにより、インバータセル100におけるエネルギー損失を低く抑えることが可能である。

【0090】

本実施形態の電力変換装置は、インバータセル100の構成以外は上述の第1実施形態と同様である。本実施形態の電力変換装置は、図3に示す構成のインバータセル100を備えることにより、インバータセル100におけるスイッチング損失およびリカバリ特性を改善するとともに、電力変換装置のエネルギー効率を改善することができる。

すなわち、本実施形態の電力変換装置によれば、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

【0091】

次に、第3実施形態の電力変換装置について図面を参照して詳細に説明する。

図4は、第3実施形態の電力変換装置の一構成例を概略的に示す図である。

本実施形態の電力変換装置は、還流ダイオード6U0、6X0を更に備えている点において、上述の第1実施形態および第2実施形態の電力変換装置の構成と異なっている。

【0092】

還流ダイオード(第1還流ダイオード)6U0は、低電位側から高電位側へ向かう方向を順方向として、上アームのスイッチ回路101Nと並列に接続されている。

還流ダイオード(第2還流ダイオード)6X0は、低電位側から高電位側へ向かう方向を順方向として、下アームのスイッチ回路102Mに並列に接続されている。

【0093】

上記のように、上アームと下アームとに還流ダイオード6U0、6X0を設けることにより、フローティングコンデンサ2の放電時間やデッドタイム期間中に、還流ダイオード6U0、6X0が設けられた経路に電流が流れることにより、複数のダイオードに通流することが回避されるため、エネルギー効率を改善することができる。

なお、還流ダイオード6U0、6X0のリカバリを抑制するために、還流ダイオード6U0、6X0それぞれに対して直列に比較的小さいインダクタンスを接続してもよい。

【0094】

上記のように、本実施形態の電力変換装置は、上述の第1実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

【0095】

ここで、図5は、図4の回路構成を適用したインバータの試験データを示す図である。試験に用いたインバータは、図4に示す1相分の回路を3つ並列接続した3相インバータで、キャリア周波数を20kHz、2相変調方式を適用している。

一般に、MOSFETを使用したインバータでは、変調率にほぼ依存せず、直流電圧と交流電流によって損失が決まる。図5は、直流電圧を一定の変調率で交流電圧に換算し、その交流電圧と実測の交流電流から求めた出力電力を換算出力電力として横軸にとり、換算出力電力に実測損失を加えた換算入力電力と換算出力電力との比を換算効率として縦軸にとったグラフである。この図5の結果が示すように、図4の回路構成を適用したインバータ、即ち、還流ダイオード6U0、6X0を設けたインバータの方が高い効率になることを示している。

【0096】

次に、第4実施形態の電力変換装置について図面を参照して詳細に説明する。

図6は、第4実施形態の電力変換装置の一構成例を概略的に示す図である。

本実施形態の電力変換装置は、コンバータCONを備える点において上述の第1乃至第3実施形態の電力変換装置と異なっている。

【0097】

コンバータCONの一方の直流端はフローティングコンデンサ2と並列に接続されている。コンバータCONの他方の直流端は正側直流端209と負側直流端210とに接続されている。

【0098】

10

20

30

40

50

コンバータCONは、フローティングコンデンサ2に蓄えられたエネルギーを、直流電源に回生することが可能である。また、コンバータCONは、直流電源から供給された直流電力を所定の直流電力に変換して、フローティングコンデンサ2へ供給してフローティングコンデンサ2を充電することが可能である。

#### 【0099】

本実施形態の電力変換装置では、上記のように、コンバータCONによりフローティングコンデンサ2を放電させることができるため、フローティングコンデンサ2の放電時にダイオードが通流する時間を短くすることができ、エネルギー効率を改善することができる。なお、上述の第1実施形態にて説明したように、フローティングコンデンサ2の放電時間は直列接続された素子数( $n$ 又は $m$ )の2乗で増加するため、スイッチ回路101N、102Mの直列数が多いほどエネルギー効率改善効果が大きくなる。

10

#### 【0100】

すなわち、本実施形態の電力変換装置によれば、上述の第1実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

#### 【0101】

次に、第5実施形態の電力変換装置について図面を参照して詳細に説明する。

本実施形態の電力変換装置は、ゲート信号供給回路を備える点において上述の第1乃至第4実施形態の電力変換装置と異なっている。

図7は、第5実施形態の電力変換装置の、上アームのスイッチング素子へのゲート信号を供給する回路の一構成例を概略的に示す図である。

20

#### 【0102】

本実施形態の電力変換装置のゲート信号供給回路300は、バッファB11 - B1nと、絶縁回路B22 - B2nと、ゲート抵抗器GR1 - G1nと、を備えている。

ゲート抵抗器GR1 - GRnは、スイッチング素子1U1 - 1Unのゲートに直列に接続されている。

#### 【0103】

バッファB11 - B1nは、ゲート抵抗器GR1 - GRnの前段に接続され、ゲート抵抗器GR1 - GRnを介してスイッチング素子1U1 - 1Unのゲートへゲート信号を印加する。

絶縁回路B22 - B2nは、例えば、フォトカプラ、ダイオード、差動アンプ、アイソレーションアンプなどである。低電位側のスイッチング素子1U1 - 1U(n-1)のゲートに接続されたバッファB11 - B1(n-1)から出力されたゲート信号が入力される。

30

#### 【0104】

絶縁回路B22 - B2nは、バッファB11 - B1(n-1)から出力されたゲート信号を用いて、スイッチング素子1U2 - 1Unの基準電位によるゲート信号を生成して出力する。本実施形態では、スイッチング素子1U2 - 1Unに対応するゲートドライブ回路(図示せず)のグランド電位は、スイッチング素子1U2 - 1Unのソース端子(低電位側端)の電位である。絶縁回路B22 - B2nから出力されたゲート信号は、バッファB12 - B1nへ入力される。

40

#### 【0105】

本実施形態の電力変換装置では、バッファB11にゲート信号を入力すると、バッファB11 - B1nおよび絶縁回路B22 - B2nを介してスイッチング素子1U1 - 1Unのゲートに、所定のタイミングでゲート信号を印加することができる。したがって、本実施形態の電力変換装置では、スイッチング素子1U1 - 1Unそれぞれにゲート信号を生成する必要がなく、省配線化および低コスト化を実現することができる。

#### 【0106】

なお、絶縁回路B22 - B2nは、絶縁信号バッファを用いてもよく、高耐圧の信号バッファを用いてもよい。絶縁回路B22 - B2nとして高耐圧の信号バッファを用いるときには、絶縁回路B22 - B2nは、図7に示すように低電位側のスイッチング素子のゲ

50

ート信号が入力され、高電位側のスイッチング素子のゲート信号を生成する。絶縁回路 B 2 2 - B 2 n として絶縁信号バッファを用いるときは、絶縁回路 B 2 2 - B 2 n は、低電位側のスイッチング素子のゲート信号が入力され、高電位側のスイッチング素子のゲート信号を生成してもよく、高電位側のスイッチング素子のゲート信号が入力され、低電位側のスイッチング素子のゲート信号を生成してもよい。

【 0 1 0 7 】

絶縁回路 B 2 2 - B 2 n およびバッファ B 1 1 - B 1 n における信号の遅延時間は、絶縁回路 B 2 2 - B 2 n およびバッファ B 1 1 - B 1 n の性能や、ゲート信号を生成する際のトリガーとなる信号のタイミングにより調整することが可能である。

【 0 1 0 8 】

図 7 に示す例では、絶縁回路 B 2 2 - B 2 n の入力信号は、バッファ B 1 1 - B 1 n の出力信号であるが、ゲート抵抗器 G R 1 - G R ( n - 1 ) の後段から入力されてもよい。

【 0 1 0 9 】

また、図 7 では、電力変換装置の上アームのスイッチング素子 1 U 1 - 1 U n へゲート信号を供給するゲート信号供給回路 3 0 0 の構成例を示したが、下アームのスイッチング素子 1 X 1 - 1 X m にゲート信号を供給するゲート信号供給回路も同様の構成とすることができる。すなわち、本実施形態の電力変換装置のゲート駆動回路は、上アームと下アームとのそれぞれに 1 つのゲート信号を生成することにより、上アームの複数のスイッチング素子 1 U 1 - 1 U n と下アームの複数のスイッチング素子 1 X 1 - 1 X m とを動作させることが可能である。

【 0 1 1 0 】

上記のように、本実施形態の電力変換装置によれば、上述の第 1 実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

【 0 1 1 1 】

次に、第 6 実施形態の電力変換装置について図面を参照して詳細に説明する。

スイッチング素子 1 U 1 - 1 U n にゲート信号を供給前の状態では、直流電圧を分圧するコンデンサ 3 U 1 - 3 U n およびフローティングコンデンサ 2 の直列数は定常状態よりも多くなる。このため、スイッチング素子 1 U 1 - 1 U n にゲート信号を供給前の状態では、コンデンサ 3 U 1 - 3 U n の電圧は定常状態よりも低い状態である。

【 0 1 1 2 】

コンデンサ 3 U 1 - 3 U n の電圧が定常状態よりも低い状態にて、スイッチング素子 1 U 1 - 1 U n を順次ターンオンすると、直流電圧を分圧するコンデンサ 3 U 1 - 3 U n の直列数が減少し、直流電源からコンデンサ 3 U 1 - 3 U n およびフローティングコンデンサ 2 に対して、電流が突入する。突入電流は、コンデンサ 3 U 1 - 3 U n と回路の寄生インダクタンスとが共振することにより、例えば正弦波の半分の波形となる。上記突入電流が流れることにより、コンデンサ 3 U 1 - 3 U n の電圧が急上昇すると、回路の不具合の原因となる。

そこで、本実施形態の電力変換装置では、ゲート信号供給回路 3 0 0 がディレイ回路 D R Y 2 - D R Y n を更に備えた構成としている。

【 0 1 1 3 】

図 8 は、第 6 実施形態の電力変換装置の、上アームのスイッチング素子へのゲート信号を供給する回路の一構成例を概略的に示す図である。

ディレイ回路 D R Y 2 - D R Y n は、絶縁回路 B 2 2 - B 2 n の出力端と、バッファ B 1 2 - B 1 n の入力端との間に配置されている。ディレイ回路 D R Y 2 - D R Y n は、ディレイ用抵抗器 R d 2 - R d n と、ディレイ用ダイオード D d 2 - D d n と、ディレイ用コンデンサ C d 2 - C d n と、放電用抵抗器 R d i s 2 - R d i s n と、電源クランプ用ダイオード D c 2 - D c n と、を備えている。

【 0 1 1 4 】

ディレイ用抵抗器 R d 2 - R d n は、絶縁回路 B 2 2 - B 2 n の出力端と、バッファ B 1 2 - B 1 n の入力端とに直列に接続されている。

10

20

30

40

50

ディレイ用ダイオード  $D d 2 - D d n$  は、アノードがディレイ用抵抗器  $R d 2 - R d n$  と絶縁回路  $B 2 2 - B 2 n$  の出力端との間に電氣的に接続され、カソードがディレイ用コンデンサ  $C d 2 - C d n$  の高電位側端と電氣的に接続されている。ディレイ用コンデンサ  $C d 2 - C d n$  の低電位側端は各ゲート回路電位のグラウンドに接地されている。

【0115】

放電用抵抗器  $R d i s 2 - R d i s n$  は、ディレイ用コンデンサ  $C d 2 - C d n$  に並列に接続されている。

電源クランプ用ダイオード  $D c 2 - D c n$  は、アノードがディレイ用コンデンサ  $C d 2 - C d n$  の高電位側端と電氣的に接続され、カソードがゲート電源入力端子と電氣的に接続されている。電源クランプ用ダイオード  $D c 2 - D c n$  は、ゲート信号供給回路 300 の電源が消失した後、再度高速で復帰する場合に、コンデンサ  $3 U 1 - 3 U n$  電圧の状態によらずコンデンサ  $3 U 1 - 3 U n$  電圧の急上昇を抑制するための構成であって、ゲート電源の消失と合わせてディレイ用コンデンサ  $C d 2 - C d n$  の電荷を放電するために付加される。

【0116】

なお、図示したディレイ回路  $D R Y 2 - D R Y n$  の構成は一例であって、同じ機能の回路であれば他の構成であってもよく、例えば、電源クランプ用ダイオード  $D c 2 - D c n$  が省略されても構わない。

【0117】

上記ディレイ回路  $D R Y$  回路により、電力変換装置が停止されている状態からスイッチング素子  $1 U 2 - 1 U n$  のゲートに最初にゲート信号が入力される時（ゲートスタート時）に、ゲート信号の立ち上がり時定数を増加させ、コンデンサ  $3 U 1 - 3 U n$  の電圧が急上昇することを抑制できる。

ここで、コンデンサ  $3 U 1 - 3 U n$  の電圧の上昇は、ゲートスタート時に発生し、定常状態においては基本的には発生しない。ゲートスタート時のコンデンサ  $3 U 1 - 3 U n$  の電圧上昇分は、ゲート信号供給回路 300 における信号遅延時間と、ゲートスタート時のコンデンサ  $3 U 1 - 3 U n$  およびフローティングコンデンサ 2 と、寄生インダクタンスとの共振周期（または共振周波数）に依存している。

【0118】

例えば、共振周期が一定であるとしたときに、ゲート信号供給回路 300 における信号遅延時間が長くなると、コンデンサ  $3 U 1 - 3 U n$  の電圧の上昇分は抑制される。コンデンサ  $3 U 1 - 3 U n$  の電圧の上昇分が最小となる条件は、信号遅延時間 共振周期の半周期を満たすときである、したがって、共振周期の半周期より信号遅延時間を増加させたとしても、コンデンサ  $3 U 1 - 3 U n$  の電圧の上昇を抑制する更なる効果が得られるものではない。

【0119】

なお、常時スイッチングしない変調方式を採用する際には、増加させる信号遅延時間、および、キャリア周期よりも十分長い時定数となるように放電用抵抗器  $R d i s 2 - R d i s n$  の抵抗値を調整することにより、同様の効果を得ることができる。

【0120】

例えば、3相インバータで用いられる2相変調方式は、電圧利用率を向上させるPWM変調技術であるが、一定の出力位相において上アームと下アームとがそれぞれベタオン/ベタオフとなるレグが存在する。本実施形態の電力変換装置が上記2相変調方式のインバータに適用された場合、コンデンサ  $3 U 1 - 3 U n$  は、バランス抵抗により放電され、ゲートスタート時と同様の電圧状態となり得る。この状態において、ゲート信号の立ち上がり時のみディレイ時間を増加させるディレイ回路  $D R Y 2 - D R Y n$  の放電用抵抗器  $R d i s 2 - R d i s n$  の抵抗値を調整することにより、キャリア周期よりも十分長い時間ベタオン/ベタオフとなっても、突入電流によるコンデンサ  $3 U 1 - 3 U n$  電圧の急上昇を抑制することができる。

【0121】

10

20

30

40

50

なお、上記ディレイ回路 D R Y 2 - D R Y n と同様のディレイ回路 D R Y 2 - D R Y m を下アームのゲート信号供給回路に設けることにより、突入電流によるコンデンサ 3 X 1 - 3 X m 電圧の急上昇を抑制することができる。

【 0 1 2 2 】

すなわち、本実施形態の電力変換装置によれば、1つの電源により複数のスイッチング素子を駆動する電源を供給することが可能となり、省配線化および低コスト化を実現することが可能である。また、本実施形態によれば、電力変換装置に不具合が生じることを回避し、信頼性を担保することが可能である。

【 0 1 2 3 】

したがって、本実施形態の電力変換装置によれば、上述の第1実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

10

【 0 1 2 4 】

次に、第7実施形態の電力変換装置について図面を参照して詳細に説明する。

本実施形態の電力変換装置は、複数のスイッチング素子 1 U N、1 X M を駆動するためのブートストラップ電源を備えている点において上述の第1乃至第6実施形態の電力変換装置と異なっている。

【 0 1 2 5 】

図9は、第7実施形態の電力変換装置の、上アームのスイッチング素子へのゲート信号を供給する回路の一構成例を概略的に示す図である。

本実施形態の電力変換装置は、第5実施形態の電力変換装置と同様のゲート信号供給回路 3 0 0 と、ゲート信号供給回路 3 0 0 に電源を供給するブートストラップ電源と、を備えている。

20

【 0 1 2 6 】

ブートストラップ電源は、電源 P S と、ブートストラップコンデンサ C 1 - C n と、ブートストラップダイオード D 1 - D n と、を備えている。

ブートストラップコンデンサ C 1 - C n は、バッファ B 1 1 - B 1 n の電源入力端に接続されている。

【 0 1 2 7 】

電源 P S の負側端子は、ブートストラップコンデンサ C 1 の低電位側端、バッファ B 1 1 の低電位側の電源入力端、および、上アームの低電位側端（正側セル端子）2 0 0 と電氣的に接続されている。電源 P S の正側端子は、ブートストラップダイオード D 1 - D n のアノードと電氣的に接続されている。

30

【 0 1 2 8 】

ブートストラップダイオード D 1 - D n は、カソードにおいて、ブートストラップコンデンサ C 1 - C n の高電位側端およびバッファ B 1 1 - B 1 n の高電位側の電源入力端と電氣的に接続されている。ブートストラップダイオード D 1 - D n により、上アームの複数のスイッチング素子 1 U 1 - 1 U n のゲート電圧が略等しくなり、スイッチング素子 1 U 1 - 1 U n のスイッチング特性のばらつきを抑制することができる。

【 0 1 2 9 】

上記ブートストラップ電源によれば、例えばスイッチング素子 1 U 1 がオンされることにより、ブートストラップコンデンサ C 2 の低電位側端およびバッファ B 1 2 の低電位側の電源入力端は、スイッチング素子 1 U 1 を介して電源 P S の負側端子と電氣的に接続され、電源 P S からバッファ B 1 2 へ電源が供給される。これにより、スイッチング素子 1 U 2 へゲート信号を供給可能となる。

40

【 0 1 3 0 】

上記のようにスイッチング素子 1 U 1 - 1 U ( n - 1 ) が低電位側から高電位側へと順次オンされることにより、電源 P S からバッファ B 1 2 - B 1 n へ順次電源が供給され、上アームのスイッチング素子 1 U 1 - 1 U n を所定のタイミングで順次駆動させることができる。

なお、下アームのスイッチング素子 1 X 1 - 1 X m についても、同様に、ブートストラ

50

ップ電源を用いることにより低電位側から高電位側へと順次駆動させることが可能となる。

【0131】

すなわち、本実施形態の電力変換装置によれば、上アームと下アームとのそれぞれに1つの電源を設けることにより、複数のスイッチング素子を駆動する電源を供給することが可能となり、省配線化および低コスト化を実現することが可能である。

したがって、本実施形態の電力変換装置によれば、上述の第1実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

なお、例えば電圧調整用の電源回路を更に備えることにより、ブートストラップ電源から供給される電源を利用して更にブートストラップ電源を構成することも可能である。

【0132】

次に、第8実施形態の電力変換装置について図面を参照して詳細に説明する。

本実施形態の電力変換装置は、スイッチング素子1UN、1XMのゲートへゲート信号を供給するバッファB1N、B1Mの電源を生成するゲート電源自給用コンバータGC ONを備えている点において、上述の第1乃至第5実施形態の電力変換装置と異なっている。

【0133】

図10は、第8実施形態の電力変換装置の上アームのゲート電源自給用コンバータの構成例を説明するための図である。

スイッチ回路101Nのスイッチング素子1UNのゲートの前段にゲート抵抗器GRNが接続され、バッファB1Nの出力端がゲート抵抗器GRNを介してスイッチング素子1UNのゲートと電氣的に接続されている。

【0134】

上アームのゲート電源自給用コンバータ(第1コンバータ)GC ONは、コンデンサ3UNに蓄えられたエネルギーを所定の直流電力に変換して、バッファB1Nへ電源を供給することができる。すなわち、ゲート電源自給用コンバータGC ONの一方の直流端は、コンデンサ3UNの高電位側端と低電位側端とに電氣的に接続されている。ゲート電源自給用コンバータGC ONの他方の直流端は、バッファB1Nの電源入力端と電氣的に接続されている。

【0135】

なお、上アームのスイッチング素子1UNのゲートの基準電位は、コンデンサ3UNの低電位側端の電位と異なるため、上アームのゲート電源自給用コンバータGC ONの一方の直流端と他方の直流端とは絶縁されている。

【0136】

図11は、第8実施形態の電力変換装置の下アームのゲート電源自給用コンバータの構成例を説明するための図である。

スイッチ回路102Mのスイッチング素子1XMのゲートの前段にゲート抵抗器GRMが接続され、バッファB1Mの出力端がゲート抵抗器GRMを介してスイッチング素子1XMのゲートと電氣的に接続されている。

【0137】

下アームのゲート電源自給用コンバータ(第2コンバータ)GC ONは、コンデンサ3XMに蓄えられたエネルギーを所定の直流電力に変換して、バッファB1Mへ電源を供給することができる。すなわち、ゲート電源自給用コンバータGC ONの一方の直流端は、コンデンサ3XMの高電位側端と低電位側端とに電氣的に接続されている。ゲート電源自給用コンバータGC ONの他方の直流端は、バッファB1Nの電源入力端と電氣的に接続されている。

【0138】

なお、下アームのスイッチング素子1XMのゲートの基準電位は、コンデンサ3XMの低電位側端の電位と同じであるため、下アームのゲート電源自給用コンバータGC ONの一方の直流端と他方の直流端とが絶縁される必要はなく、図9に示すように一方の直流端と他方の直流端との基準電位は同じであってもよく、図8に示すように絶縁された構成であっても構わない。

10

20

30

40

50

## 【 0 1 3 9 】

上記のように、スイッチ回路 1 0 1 N、1 0 2 M のコンデンサ 3 U N、3 X M に蓄えられたエネルギーを利用して、ゲート信号を供給する回路の電源を生成することにより、別途電源を備える必要がなくなり、電力変換装置の構成要素を減らすことができる。すなわち、本実施形態の電力変換装置によれば、省配線化および低コスト化を実現することができる。

## 【 0 1 4 0 】

また本実施形態の電力変換装置によれば、上述の第 1 実施形態と同様に、エネルギー損失を低く抑え、かつ、大型化を回避することが可能である。

なお、1つのスイッチング素子 1 U N、1 X M に対応する 1 つゲート電源自給用コンバータ G C O N が設けられてもよく、1つのスイッチング素子 1 U N、1 X M に対応する複数のゲート電源自給用コンバータ G C O N が設けられてもよく、隣り合う複数のスイッチング素子 1 U N、1 X M に対応する 1 つのゲート電源自給用コンバータ G C O N が設けられてもよい。換言すると、複数のコンデンサ 3 U N、3 X M に蓄えられたエネルギーを用いて 1 つのスイッチング素子 1 U N、1 X M を駆動する電源を生成することも可能であるし、1つのコンデンサ 3 U N、3 X M に蓄えられたエネルギーを用いて複数のスイッチング素子 1 U N、1 X M を駆動する電源を生成することも可能である。いずれの場合であっても、電力変換装置の省配線化および低コスト化を実現することができる。

## 【 0 1 4 1 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

例えば、上述の複数の実施形態の電力変換装置において、第 1 回生整流回路と第 2 回生整流回路との一方が省略されてもよい。

また、上アームにおいて、第 1 スイッチ回路の少なくとも 1 つが、第 1 スwitchング素子の低電位側端にカソードが接続された第 1 ダイオードと、第 1 ダイオードのアノードと第 1 スwitchング素子の高電位側端との間に接続された第 1 コンデンサと、を有するときに、インバータセルの低電位側端と第 1 コンデンサの低電位側端とを接続する第 1 回生整流回路を有していればよい。全ての第 1 スイッチ回路について第 1 回生整流回路が接続される必要はない。

また、下アームにおいて、第 2 スイッチ回路の少なくとも 1 つが、第 2 スwitchング素子の高電位側端にアノードが接続された第 2 ダイオードと、第 2 ダイオードのカソードと第 2 スwitchング素子の低電位側端との間に接続された第 2 コンデンサと、を有するときに、インバータセルの高電位側端と第 2 コンデンサの高電位側端とを接続する第 2 回生整流回路を有していればよい。全ての第 2 スイッチ回路について第 2 回生整流回路が接続される必要はない。

なお、第 2 実施形態の電力変換装置においては、インバータセルの上側セルアームと下側セルアームとが上記上アームと下アームと同様の構成であっても構わない。

## 【 符号の説明 】

## 【 0 1 4 2 】

1 U、1 X、1 U H、1 X H、1 U N、1 X M、1 U 0、1 X 0、1 U 0 K、1 X 0 J ... スwitchング素子、2 ... フローティングコンデンサ、3 U N、3 X M、3 U 0 K、3 X 0 J ... コンデンサ、4 U N、4 X M、4 U 0 K、4 X 0 J ... ダイオード、5 U、5 U N、5 X M ... 抵抗器、6 U N、6 X M、6 U K、6 X J ... 回生整流ダイオード、6 U 0、6 X 0 ... 還流ダイオード、1 0 0 ... インバータセル、1 0 0 A ... セル回路、1 0 1 N、1 0 2 M、U K、X J ... スwitch回路、2 0 9 ... 正側直流端、2 1 0 ... 負側直流端、2 1 1 ... 交流端子（交流端）、3 0 0 ... ゲート信号供給回路、B 1 1 - B 1 n ... バッファ、B 2 2 - B 2 n ... 絶縁回路、D R Y 2 - D R Y n ... デレイ回路。

10

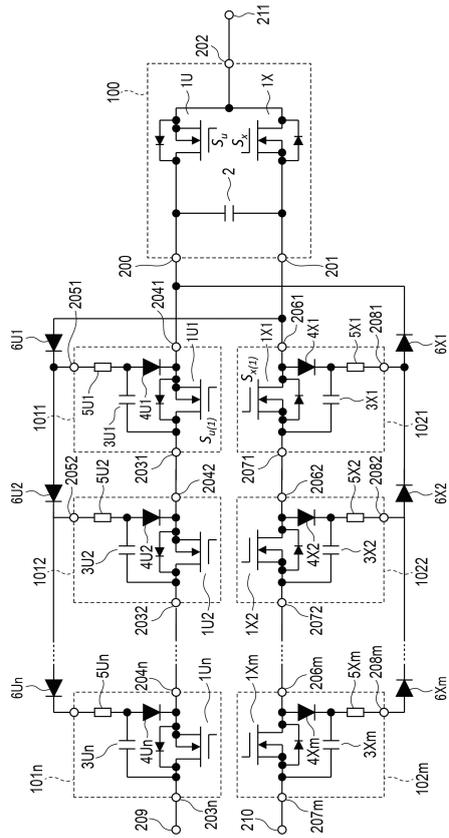
20

30

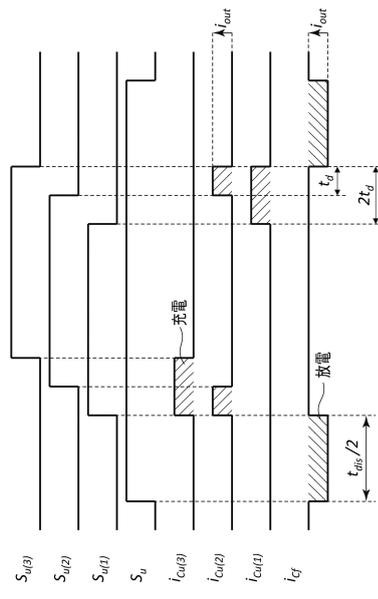
40

50

【図面】  
【図 1】



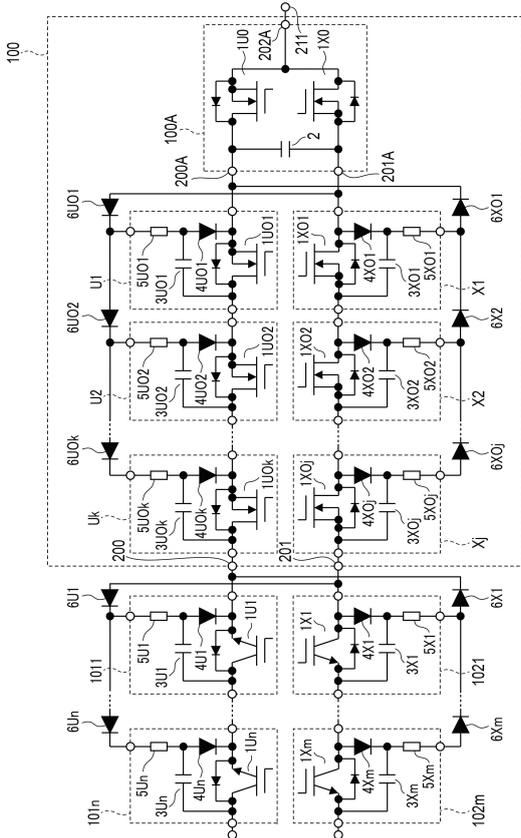
【図 2】



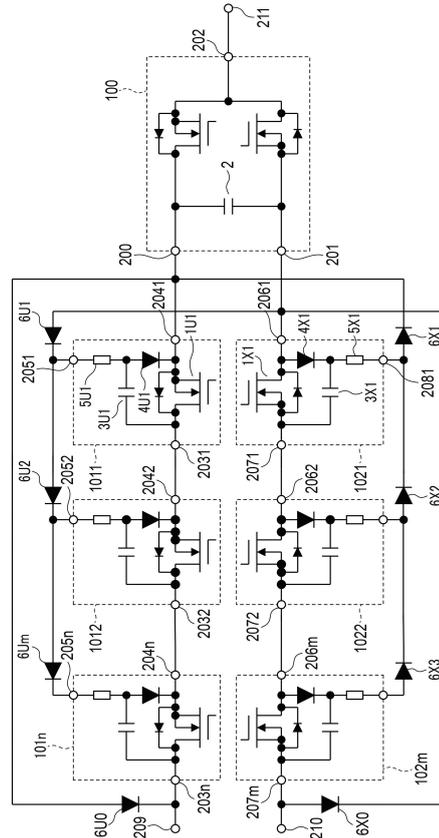
10

20

【図 3】



【図 4】



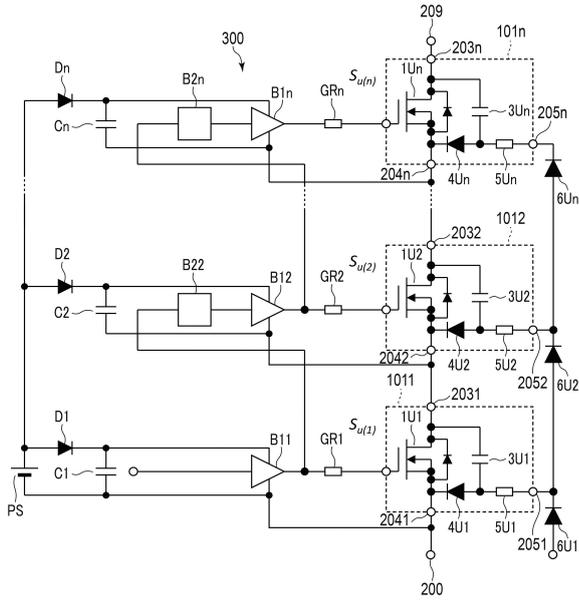
30

40

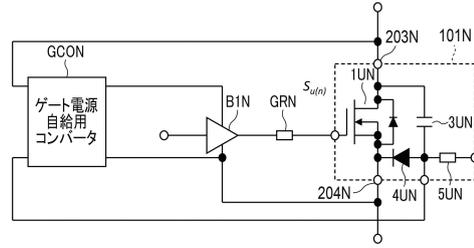
50



【図 9】



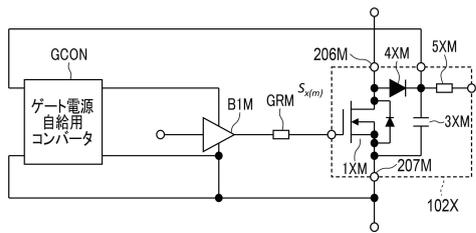
【図 10】



10

20

【図 11】



30

40

50

---

フロントページの続き

- (56)参考文献 米国特許出願公開第2019/0013743 (US, A1)  
特開平08-009656 (JP, A)  
特開2017-121170 (JP, A)  
米国特許出願公開第2015/0333658 (US, A1)  
特開2007-282334 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)  
H02M 7/48