

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-182281
(P2008-182281A)

(43) 公開日 平成20年8月7日(2008.8.7)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/76 (2006.01)	HO 1 L 21/76 E	5 F 0 3 2
HO 1 L 21/762 (2006.01)	HO 1 L 21/76 D	5 F 1 1 0
HO 1 L 27/12 (2006.01)	HO 1 L 27/12 L	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	

審査請求 有 請求項の数 6 O L (全 25 頁)

(21) 出願番号	特願2008-110539 (P2008-110539)	(71) 出願人	000003078
(22) 出願日	平成20年4月21日 (2008.4.21)		株式会社東芝
(62) 分割の表示	特願2003-209311 (P2003-209311) の分割		東京都港区芝浦一丁目1番1号
原出願日	平成15年8月28日 (2003.8.28)	(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

(54) 【発明の名称】 半導体装置

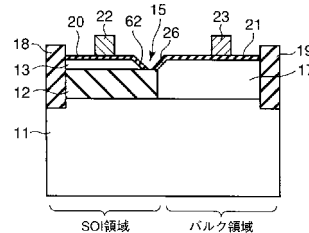
(57) 【要約】

【課題】 SOI領域とバルク領域との境界部における素子分離領域のスペースを縮小する。

【解決手段】 半導体装置は、第1及び第2の領域を有する基板11と、第1の領域における基板上に設けられた第1の絶縁膜12と、第2の領域における基板上に設けられ、第1の絶縁膜の上面よりも高い上面を有する第1のエピタキシャル層17と、第1のエピタキシャル層と隙間15を有して第1の絶縁膜上に設けられ、第1のエピタキシャル層の上面とほぼ等しい高さの上面を有し、第1のエピタキシャル層の側面と対向するテーパ面62を有する第1の半導体層13とを具備する。

【選択図】 図40

図40



【特許請求の範囲】

【請求項 1】

第 1 及び第 2 の領域を有する基板と、
 前記第 1 の領域における前記基板上に設けられた第 1 の絶縁膜と、
 前記第 2 の領域における前記基板上に設けられ、前記第 1 の絶縁膜の上面よりも高い上面を有する第 1 のエピタキシャル層と、
 前記第 1 のエピタキシャル層と隙間を有して前記第 1 の絶縁膜上に設けられ、前記第 1 のエピタキシャル層の前記上面とほぼ等しい高さの上面を有し、前記第 1 のエピタキシャル層の側面と対向するテーパ面を有する第 1 の半導体層と
 を具備することを特徴とする半導体装置。

10

【請求項 2】

前記第 1 のエピタキシャル層の前記側面はファセットを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 の半導体層の前記上面及び前記テーパ面上に形成された第 1 のゲート絶縁膜と、
 前記第 1 のエピタキシャル層の前記上面及び前記側面上に形成された第 2 のゲート絶縁膜と
 をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

20

【請求項 4】

前記隙間に設けられ、前記第 1 のエピタキシャル層の前記上面及び前記第 1 の半導体層の前記上面とほぼ等しい高さの上面を有する第 1 の素子分離絶縁膜と
 をさらに具備することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第 1 の素子分離絶縁膜は、前記第 1 の絶縁膜の上面上に形成され、
 第 1 のエピタキシャル層は、前記第 1 の素子分離絶縁膜及び前記第 1 の絶縁膜に直接接することを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記第 1 の領域内に設けられ、前記第 1 の半導体層及び前記第 1 の絶縁膜を貫通し、前記第 1 の素子分離絶縁膜の底面より下方に位置する底面を有し、前記第 1 のエピタキシャル層に直接接しない第 2 の素子分離絶縁膜と
 をさらに具備することを特徴とする請求項 4 に記載の半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、SOI (Silicon On Insulator) 領域とバルク領域とを有するハイブリッドウエハを用いた半導体装置に関する。

【背景技術】

【0002】

近年、従来のシリコンウエハの代わりに薄膜 SOI (Silicon On Insulator) ウエハを用い、この SOI ウエハ上に素子を形成することで、寄生容量を低減し、ロジック回路の低消費電力化や高速化を図る試みが盛んに検討されており、さらに、SOI ウエハを用いたマイクロプロセッサの製品化も始まっている。今後は、このような SOI ロジックを核にしたシステム LSI チップの必要性が高まるものと予想される。

40

【0003】

しかしながら、SOI ウエハ上の MOSFET はチャンネルが形成されるボディ領域の電位がフローティング状態となるため、いわゆる基板浮遊効果により、回路動作に伴うリーク電流の発生やしきい値の変動が生ずる。このため、SOI ウエハは、DRAM のセルトランジスタ、センスアンプ回路やアナログ回路のペアトランジスタなどのように、リーク電流レベルあるいはマッチング特性に対するスペックが厳しい回路へ適用するには不向き

50

であった。

【0004】

この問題を解決するために、SOIウエハ上にバルク領域を形成したハイブリッドウエハを用意し、DRAMのようなSOIウエハには向かない回路はバルク領域へ形成する提案がある。具体的には、例えば次のような方法がある。

【0005】

第1に、マスクパターンを用いたSIMOX (Separation by Implantation of Oxygen) 法により、バルクウエハ上に選択的にSOI領域を形成する方法がある (特許文献1、非特許文献1参照)。

【0006】

第2に、絶縁膜をパターンングしたバルクウエハ上に別のウエハを張り合わせる方法がある (特許文献2参照)。

【0007】

第3に、SOIウエハ上のSOI層と埋め込み絶縁膜とを部分的にエッチング除去する方法がある (特許文献3、特許文献4、特許文献5参照)。

【0008】

第4に、上記第3の方法において、SOI領域とバルク領域との間に生じた段差を解消するために、バルク領域の支持基板上にシリコンなどを選択エピタキシャル成長し、あるいはさらに研磨によって平坦化する方法がある (特許文献6、非特許文献2参照)。

【0009】

このようなハイブリッドウエハを用いた種々の方法において、第4の方法は、SOI領域の素子表面とバルク領域の素子表面との段差が無いことから、素子の生産性に優れている。さらに出来合いのSOIウエハをもとに製造するため、SOI層や埋め込み絶縁膜の膜厚構成、さらにはシリコン層やSiGe層などSOI層の材質などが変化しても柔軟に対応できる手法である。

【0010】

しかしながら、上記従来の第4の方法では次のような問題があった。この問題を説明するにあたり、具体的に第4の方法を以下に説明する。

【0011】

まず、図41に示すように、支持基板111と埋め込み絶縁膜112とSOI層113とを有するSOIウエハが用意される。

【0012】

次に、図42に示すように、SOI層113上に保護のための第1のマスク材 (例えばSiN膜) 114が堆積される。次に、バルク領域における第1のマスク材114、SOI層113、埋め込み絶縁膜112が順に、選択的にエッチング除去される。この際、支持基板111上に薄い埋め込み絶縁膜112'を残す。

【0013】

次に、図43に示すように、全面にSOI層113の側壁保護用の第2のマスク材 (例えばSiN膜) 116が堆積される。その後、異方性ドライエッチングにより、SOI層113の側面に第2のマスク材116からなるスペーサが形成される。この際、上記図42の工程と同様に、支持基板111上の薄い埋め込み絶縁膜112''を残すようにする。

【0014】

次に、図44に示すように、支持基板111へダメージを与えないように、HF溶液などを用いて埋め込み絶縁膜112, 112''を除去する。尚、SOI層113の上部及び側面におけるマスク材114, 116は、埋め込み絶縁膜112と異なる種類の絶縁膜であるため、埋め込み絶縁膜112, 112''を除去してもマスク材114, 115を残すことが可能となる。

【0015】

次に、図45に示すように、露出した支持基板111上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層117が形成される。

10

20

30

40

50

このエピタキシャル成長では、エピタキシャル層 117 の上面が S O I 層 113 の上面とほぼ一致するように、両者の高さ合わせを行う。尚、エピタキシャル層 117 の S O I 領域側の上端部には、ファセット 161 が生じる。

【0016】

次に、図 46 に示すように、第 1 のマスク材 114 が除去される。このとき、S O I 層 113 の側面に形成された第 2 のマスク材 116 は第 1 のマスク材 114 と同じ材料で形成されているため、第 1 のマスク材 114 とともに第 2 のマスク材 116 も除去され、S O I 領域とバルク領域との境界部に窪み 160 が生じてしまう。

【0017】

次に、図 47 に示すように、ゲート絶縁膜 120, 121、ゲート電極 122, 123, 131、S T I (Shallow Trench Isolation) 構造の素子分離領域 118, 119, 130 がそれぞれ形成される。

10

【0018】

上記のような従来の第 4 の方法では、S O I 領域とバルク領域との境界部のファセット 161 や窪み 160 が生じてしまう。従って、これらファセット 161 や窪み 160 を無くすために、S O I 領域とバルク領域との境界部における素子分離領域 130 のスペースが大きくなってしまっていた。

【特許文献 1】特開平10-303385号公報

【特許文献 2】特開平8-316431号公報

【特許文献 3】特開平7-106434号公報

20

【特許文献 4】特開平11-238860号公報

【特許文献 5】特開2000-91534号公報

【特許文献 6】特開2000-243944号公報

【非特許文献 1】Robert Hannon, et al., 2000 Symposium on VLSI Technology of Technical Papers, pp.66-67

【非特許文献 2】T. Yamada, et al., 2002 Symposium on VLSI Technology of Technical Papers, pp.112-113

【発明の開示】

【発明が解決しようとする課題】

【0019】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、S O I 領域とバルク領域との境界部における素子分離領域のスペースを縮小することが可能な半導体装置を提供することにある。

30

【課題を解決するための手段】

【0020】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0021】

本発明の一視点による半導体装置は、第 1 及び第 2 の領域を有する基板と、前記第 1 の領域における前記基板上に設けられた第 1 の絶縁膜と、前記第 2 の領域における前記基板上に設けられ、前記第 1 の絶縁膜の上面よりも高い上面を有する第 1 のエピタキシャル層と、前記第 1 のエピタキシャル層と隙間を有して前記第 1 の絶縁膜上に設けられ、前記第 1 のエピタキシャル層の前記上面とほぼ等しい高さの上面を有し、前記第 1 のエピタキシャル層の側面と対向するテーパ面を有する第 1 の半導体層とを具備する。

40

【発明の効果】

【0022】

本発明によれば、S O I 領域とバルク領域との境界部における素子分離領域のスペースを縮小することが可能な半導体装置及びその製造方法を提供できる。

【発明を実施するための最良の形態】

【0023】

本発明の実施の形態は、S O I (Silicon On Insulator) 領域とバルク領域とを有する

50

ハイブリッドウエハを用いたものである。この本発明の実施の形態を以下に図面を参照して説明する。尚、この説明に際し、全図にわたり、共通する部分には共通する参照符号を付す。

【0024】

1. 第1の実施形態

第1の実施形態は、SOI領域とバルク領域との境界において、SOI層の側面を埋め込み絶縁膜の側面よりも横方向（基板に水平方向）に後退させて隙間を形成した後、この隙間にエピタキシャル成長時のマスク材を形成し、このマスク材をそのまま残して素子分離領域として利用するものである。

【0025】

以下に、第1の実施形態に係る第1乃至第4の例を説明する。

【0026】

[1-1] 第1の例

第1の実施形態に係る第1の例は、第1の実施形態の基本構造であり、SOI層とエピタキシャル層との間に隙間を形成し、この隙間に設けたエピタキシャル成長時のマスク材を素子分離領域として利用するものである。

【0027】

図1は、本発明の第1の実施形態に係る第1の例の半導体装置の断面図を示す。図1に示すように、第1の実施形態に係る第1の例において、SOI領域では、支持基板11上に埋め込み絶縁膜12が設けられ、この埋め込み絶縁膜12上にSOI層13が設けられている。一方、バルク領域では、支持基板11上にエピタキシャル層17が設けられ、このエピタキシャル層17の上面はSOI層13の上面とほぼ等しくなっている。

【0028】

ここで、SOI層13のエピタキシャル層17側の側面は埋め込み絶縁膜12のエピタキシャル層17側の側面よりも後退しているため、SOI層13とエピタキシャル層17間に隙間部15が存在し、この隙間部15を埋めるように埋め込み絶縁膜12上に素子分離領域16aが設けられている。この素子分離絶縁膜16aの上面は、SOI層13の上面及びエピタキシャル層17の上面とほぼ等しくなっている。

【0029】

このように、SOI領域のSOI層13とバルク領域のエピタキシャル層17とは、素子分離領域16aにより電氣的に分離されている。言い換えると、エピタキシャル層17は、埋め込み絶縁膜12と素子分離領域16aとは接しているが、SOI層13には接していない。

【0030】

尚、素子分離領域16aは、埋め込み絶縁膜12と同質の材料（例えばSiO₂膜）で形成することが望ましい。

【0031】

図2乃至図8は、本発明の第1の実施形態に係る第1の例の半導体装置の製造工程の断面図を示す。以下に、第1の実施形態に係る第1の例の製造方法について説明する。

【0032】

まず、図2に示すように、支持基板11と埋め込み絶縁膜12とSOI層13とを有するSOIウエハが用意される。ここで、支持基板11として比抵抗が10程度程度のp型シリコン基板を用い、埋め込み絶縁膜12として膜厚が150nm程度のSiO₂膜を用い、SOI層13として膜厚が50nm程度の単結晶シリコン膜を用いるが、これらに限定されない。

【0033】

次に、図3に示すように、SOI層13上に保護のための第1のマスク材14が堆積される。この第1のマスク材14は、例えばSiN膜でもよいし、埋め込み絶縁膜12や後述する第2のマスク材16と同質の材料膜（例えばSiO₂膜）でもよい。次に、フォトリソグラフィ及び異方性ドライエッチング（例えばRIE（Reactive Ion Etching））に

10

20

30

40

50

より、バルク領域における第1のマスク材14、SOI層13、埋め込み絶縁膜12が順次エッチング除去される。この際、異方性ドライエッチングのダメージを、バルク領域における支持基板11へ与えないようにするために、支持基板11上に薄い埋め込み絶縁膜12'を残すとよい。

【0034】

次に、図4に示すように、SOI層13の露出した側面が後退するように、SOI層13が等方性エッチング（例えばCDE（Chemical Dry Etching））で除去される。これにより、隙間部15が形成される。

【0035】

次に、図5に示すように、全面に、SOI層13の側壁保護用の第2のマスク材（例えばSiO₂膜）16が堆積される。ここで、第2のマスク材16の膜厚Yを、SOI層13の膜厚Zの1/2以上に設定することにより、埋め込み絶縁膜12の側面よりもSOI層13の側面が後退した長さに相当する隙間部15の幅Xに依存することなしに、第2のマスク材16で隙間部15を容易に埋め込むことが可能となる。

【0036】

次に、図6に示すように、等方性エッチングにより、第2のマスク材16及び埋め込み絶縁膜12'がエッチング除去される。この等方性エッチングとしては、HF溶液やNH₄F溶液等を用いたウエットエッチングを用いることができる。このようにして、隙間部15に第2のマスク材16からなる素子分離領域16aが形成され、バルク領域における支持基板11の上面が露出される。尚、隙間部15に素子分離領域16aとなるマスク材16が残るように、この工程におけるエッチング量を考慮して、後退させる長さX及び第2のマスク材16の膜厚Yを設定するとよい。

【0037】

次に、図7に示すように、露出した支持基板11上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17が形成される。このエピタキシャル成長では、エピタキシャル層17の上面がSOI層13の上面とほぼ一致するように、両者の高さ合わせを行う。

【0038】

尚、このエピタキシャル成長において、全面成長を行って、エピタキシャル層17をCMP（Chemical Mechanical Polish）でマスク材14の高さまで平坦化する方法でもよい。しかし、この場合、マスク材14の厚さ分だけSOI層13とエピタキシャル層17との高さの差が生じること、ディッシングやスクラッチによりエピタキシャル層17の平坦性や結晶性が劣化することがあり、またコストの面でもあまり好ましくない。

【0039】

次に、図8に示すように、エピタキシャル成長後、第1のマスク材14が除去される。

【0040】

次に、図1に示すように、ゲート絶縁膜20、21、ゲート電極22、23、STI（Shallow Trench Isolation）構造の素子分離領域18、19がそれぞれ形成される。

【0041】

上記第1の実施形態に係る第1の例によれば、次のような効果を得ることができる。

【0042】

(1) SOI層13の側面を埋め込み絶縁膜12の側面よりも後退させて、SOI層13とエピタキシャル層17間に隙間部15を設けることで、この隙間部15に形成されたSOI層13のマスク材16をそのまま素子分離領域16aとして使用することができる。このため、上記従来第4の方法のようにマスク材116を除去する必要がないので、マスク材116を除去した時に生じる窪み160も発生しない。従って、窪み160を無くすための大きなスペースの素子分離領域を形成する必要がないため、SOI領域とバルク領域との境界部における素子分離領域16aのスペースを縮小することができる。さらに、境界部の素子分離領域16aの深さについても、SOI層13の膜厚相当まで浅くすることができる。

10

20

30

40

50

【 0 0 4 3 】

(2) 上記従来第 4 の方法では、窪み 1 6 0 が発生した後、この窪み 1 6 0 内に電極 1 3 1 の材料が埋め込まれ、そして、この窪み 1 6 0 を無くすように素子分離領域 1 3 0 が形成されていた。このため、この窪み 1 6 0 内に電極材が深く埋め込まれると、素子分離領域 1 3 0 の加工後にも窪み 1 6 0 内に電極材が残渣として残る場合があり、SOI 領域とバルク領域における同一境界をゲート電極が複数横切り、互いにショート不良が生じる恐れがあった。

【 0 0 4 4 】

これに対し、第 1 の実施形態に係る第 1 の例によれば、上述するように、従来のような窪み 1 6 0 は生じないため、上記のようなショート不良の問題を回避することができる。

10

【 0 0 4 5 】

(3) 上記従来第 4 の方法では、埋め込み絶縁膜 1 1 2 ' を除去する工程 (図 4 4 の工程) において、SOI 層 1 1 3 の側面がエッチングされないように、この側面に埋め込み絶縁膜 1 1 2 と異質の材料からなる第 2 のマスク材 1 1 6 を設けていた。従って、埋め込み絶縁膜 1 1 2 のみが除去されるようなエッチング条件を設定すると、第 2 のマスク材 1 1 6 はエッチングされないため、埋め込み絶縁膜 1 1 2 のみが大幅にエッチングされ、第 2 のマスク材 1 1 6 の側面よりも埋め込み絶縁膜 1 1 2 の側面が後退したオーバーハングが生じることがあった。そして、このオーバーハングの生じた状態でエピタキシャル層 1 1 7 を形成すると、オーバーハングした部分に空洞や結晶欠陥が生じてしまう。

【 0 0 4 6 】

これに対し、第 1 の実施形態に係る第 1 の例によれば、素子分離領域 1 6 a は、埋め込み絶縁膜 1 2 と同質の材料 (例えば SiO_2 膜) で形成することができる。従って、埋め込み絶縁膜 1 2 ' を除去する工程 (図 6 の工程) において、SOI 層 1 3 の側面がエッチングされることを防止しながらも、埋め込み絶縁膜 1 2 ' とマスク材 1 6 を同時に除去できるため、従来のようなオーバーハングの問題も生じない。これにより、エピタキシャル層 1 7 に、オーバーハングによる空洞や結晶欠陥が生じる恐れもない。

20

【 0 0 4 7 】

[1 - 2] 第 2 の例

第 1 の実施形態による第 2 の例は、SOI 領域とバルク領域との間の領域において、SOI 層とエピタキシャル層とを電氣的に絶縁させる部分と導通させる部分とをそれぞれ設けたものである。

30

【 0 0 4 8 】

図 9 は、本発明の第 1 の実施形態に係る第 2 の例において、SOI 層とエピタキシャル層とを電氣的に絶縁させる部分と導通させる部分の半導体装置の断面図を示す。

【 0 0 4 9 】

図 9 において、紙面の左側の領域 (以下、絶縁領域と称す) は、SOI 層 1 3 - A とエピタキシャル層 1 7 - A とが電氣的に絶縁された部分を示している。この絶縁領域については、上記第 1 の実施形態に係る第 1 の例と同様の構造であるため説明は省略する。

【 0 0 5 0 】

一方、図 9 において、紙面の右側の領域 (以下、導通領域と称す) は、SOI 層 1 3 - B とエピタキシャル層 1 7 - B とが電氣的に導通された部分を示している。つまり、SOI 層 1 3 - B とエピタキシャル層 1 7 - B とが直接接している。その他の構造は、絶縁領域と同様の構造である。

40

【 0 0 5 1 】

図 1 0 乃至図 1 5 は、本発明の第 1 の実施形態に係る第 2 の例の半導体装置の製造工程の断面図を示す。以下に、第 1 の実施形態に係る第 2 の例の製造方法について説明する。ここでは、上記第 1 の例と同じ構造となる絶縁領域については説明を簡略化する。

【 0 0 5 2 】

まず、図 1 0 に示すように、導通領域では、上記第 1 の例と同様に、薄い埋め込み絶縁膜 1 2 ' - B が残された後、レジスト 2 5 が形成され、SOI 層 1 3 - B の側面が覆われ

50

る。次に、絶縁領域では、隙間部 15 が形成される。この際、導通領域では、SOI 層 13 - B の側面がレジスト 25 で覆われているため隙間部 15 は形成されない。

【0053】

次に、図 11 に示すように、導通領域におけるレジスト 25 が除去される。

【0054】

次に、図 12 に示すように、全面に第 2 のマスク材（例えば SiO₂ 膜）16 が堆積される。尚、絶縁領域では、隙間部 15 内に第 2 のマスク材 16 が形成される。

【0055】

次に、図 13 に示すように、HF 溶液や NH₄F 溶液等を用いたウエットエッチングにより、第 2 のマスク材 16 及び埋め込み絶縁膜 12' - A, 12' - B がエッチング除去される。これにより、バルク領域における支持基板 11 - A, 11 - B の上面が露出される。尚、絶縁領域では、隙間部 15 に第 2 のマスク材 16 からなる素子分離領域 16a が形成される。

10

【0056】

次に、図 14 に示すように、露出した支持基板 11 - A, 11 - B 上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層 17 - A, 17 - B が形成される。このエピタキシャル成長では、エピタキシャル層 17 - A, 17 - B の上面が SOI 層 13 - A, 13 - B の上面とほぼ一致するように、両者の高さ合わせを行う。尚、導通領域では、SOI 層 13 - B とエピタキシャル層 17 - B は直接接するが、絶縁領域では、素子分離領域 16a が存在するため、SOI 層 13 - A とエピタキシャル層 17 - A は直接接しない。

20

【0057】

次に、図 15 に示すように、第 1 のマスク材 14 - A, 14 - B が除去される。

【0058】

次に、図 9 に示すように、ゲート絶縁膜 20 - A, 20 - B, 21 - A, 21 - B、ゲート電極 22 - A, 22 - B, 23 - A, 23 - B、STI 構造の素子分離領域 18 - A, 18 - B, 19 - A, 19 - B がそれぞれ形成される。

【0059】

上記第 1 の実施形態に係る第 2 の例によれば、絶縁領域では、第 1 の実施形態に係る第 1 の例と同様の効果を得ることができる。また、導通領域では、SOI 層 13 - B とエピタキシャル 17 - B とが直接接するため、両者を電氣的に接続したい場合に有効である。

30

【0060】

[1-3] 第 3 の例

第 1 の実施形態による第 3 の例は、エピタキシャル成長によってファセットが生じた場合、第 1 の例におけるマスク材をそのまま素子分離領域として使用せずに、ファセットを除去するように素子分離領域を改めて形成するものである。

【0061】

図 16 は、本発明の第 1 の実施形態に係る第 3 の例の半導体装置の断面図を示す。図 16 に示すように、第 1 の実施形態に係る第 3 の例において、上記第 1 の例と異なる部分は、エピタキシャル層 17 のファセットを除去するために、マスク材ではない素子分離領域 30 を改めて形成しているところである。この素子分離領域 30 は、SOI 層 13 内からエピタキシャル層 17 内にまで形成されている。また、この素子分離領域 30 は、埋め込み絶縁膜 12 を貫いて基板 11 内に至るまで形成してもよいが、SOI 層 13 とエピタキシャル層 17 とが電氣的に絶縁されればよいため、必ずしも基板 11 内に至るまで形成する必要はない。

40

【0062】

図 17 及び図 18 は、本発明の第 1 の実施形態に係る第 3 の例の半導体装置の製造工程の断面図を示す。以下に、第 1 の実施形態に係る第 3 の例の製造方法について説明する。ここでは、上記第 1 の例と異なる構造となる領域についてのみ説明する。

【0063】

50

まず、図 17 に示すように、露出した支持基板 11 上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層 17 が形成される。このエピタキシャル成長では、エピタキシャル層 17 の上面が S O I 層 13 の上面とほぼ一致するように両者の高さ合わせを行うが、エピタキシャル層 17 の S O I 領域側の上端部にファセット 26 が生じる場合がある。

【 0064 】

次に、図 18 に示すように、第 1 のマスク材 14 が除去される。

【 0065 】

次に、図 16 に示すように、ゲート絶縁膜 20, 21 が形成された後、ファセットが無くなるように S T I 構造の素子分離領域 30 が形成され、これと同時に S O I 領域及びバルク領域内の素子分離領域 18, 19 も形成される。その後、ゲート電極 22, 23, 31 がそれぞれ形成される。

10

【 0066 】

上記第 1 の実施形態に係る第 3 の例によれば、S O I 領域とバルク領域の境界にファセットが無くなるように素子分離領域 30 を形成するため、上記第 1 の例においてエピタキシャル成長後にファセットが生じた場合に有効である。

【 0067 】

尚、第 3 の例の素子分離領域 30 は、第 1 の例の素子分離領域 16 a よりもスペースが大きくなるが、従来のような深い窪み 160 を無くすために形成するわけではないため、従来よりも十分に素子分離領域のスペースの縮小を図れることは言うまでもない。

20

【 0068 】

[1 - 4] 第 4 の例

S O I 領域とバルク領域の境界における素子分離領域は、第 1 の実施形態による第 1 の例では、S O I 層とエピタキシャル層との間にのみ形成されていたが、第 1 の実施形態による第 4 の例では、S O I 層とエピタキシャル層との間に加えて、埋め込み絶縁膜とエピタキシャル層との間にも形成されている。

【 0069 】

図 19 は、本発明の第 1 の実施形態に係る第 4 の例の半導体装置の断面図を示す。図 19 に示すように、第 1 の実施形態に係る第 4 の例では、上記第 1 の例と素子分離領域 16 a の形成されている位置が異なる。つまり、素子分離領域 16 a は、S O I 層 13 とエピタキシャル層 17 との間に加えて、埋め込み絶縁膜 12 とエピタキシャル層 17 との間にも形成されている。

30

【 0070 】

ここで、埋め込み絶縁膜 12 のエピタキシャル層 17 側の側面は S O I 層 13 のエピタキシャル層 17 側の側面よりも後退しており、S O I 層 13 とエピタキシャル層 17 間の隙間部 15 の幅よりも埋め込み絶縁膜 12 とエピタキシャル層 17 間の隙間部 35 の幅の方が大きい。言い換えると、S O I 層 13 のエピタキシャル層 17 側の側面は、埋め込み絶縁膜 12 のエピタキシャル層 17 側の側面よりも突出した構造になっている。

【 0071 】

尚、この第 4 の例のように、素子分離領域 16 a とエピタキシャル層 17 との接触面が大きい場合は、エピタキシャル成長時のファセットを抑制するために、素子分離領域 16 a を S i N 膜で形成するのが好ましい。

40

【 0072 】

図 20 乃至図 25 は、本発明の第 1 の実施形態に係る第 4 の例の半導体装置の製造工程の断面図を示す。以下に、第 1 の実施形態に係る第 4 の例の製造方法について説明する。ここでは、上記第 1 の例と異なる構造となる領域についてのみ説明する。

【 0073 】

まず、図 20 に示すように、支持基板 11 と埋め込み絶縁膜 12 と S O I 層 13 とを有する S O I ウエハ上に、保護のための第 1 のマスク材 14 が堆積される。この第 1 のマスク材 14 は、例えば S i N 膜や S i O₂ 膜等で形成すればよいが、埋め込み絶縁膜 12 と

50

異なる材質の膜で形成するのが好ましい。次に、異方性エッチング（例えばR I E）により、バルク領域における第1のマスク材14、S O I層13、埋め込み絶縁膜12が順次エッチング除去される。この際、異方性ドライエッチングのダメージを、バルク領域における支持基板11へ与えないようにするために、支持基板11上に薄い埋め込み絶縁膜12'を残すとよい。そして、S O I層13の側面を埋め込み絶縁膜12の側面よりも後退させ、隙間部15が形成される。

【0074】

次に、図21に示すように、等方性エッチングにより、埋め込み絶縁膜12の側面が第1のマスク材14の側面よりも後退するように、埋め込み絶縁膜12がエッチングされ、隙間部35が形成される。

10

【0075】

次に、図22に示すように、全面に、S O I層13の側壁保護用の第2のマスク材（例えばS i N膜）16が堆積される。

【0076】

次に、図23に示すように、等方性エッチングにより、第2のマスク材16及び埋め込み絶縁膜12'がエッチング除去される。このようにして、隙間部15、35に第2のマスク材16からなる素子分離領域16aが形成され、バルク領域における支持基板11の上面が露出される。

【0077】

次に、図24に示すように、露出した支持基板11上に、単結晶シリコンなどの素子形成用膜として、エピタキシャル成長技術によるエピタキシャル層17が形成される。このエピタキシャル成長では、エピタキシャル層17の上面がS O I層13の上面とほぼ一致するように、両者の高さ合わせを行う。

20

【0078】

次に、図25に示すように、エピタキシャル成長後、第1のマスク材14が除去される。

【0079】

次に、図19に示すように、ゲート絶縁膜20、21、ゲート電極22、23、31、S T I構造の素子分離領域18、19がそれぞれ形成される。

【0080】

上記第1の実施形態に係る第4の例によれば、上記第1の例と同様に、エピタキシャル成長時のS O I層13のマスク材16をそのまま素子分離領域16aとして使用することができるため、素子分離領域のスペースの縮小を図ることができる。

30

【0081】

尚、第4の例の素子分離領域16aは、第1の例の素子分離領域16aよりもスペースが大きくなるが、従来のような深い窪み160を無くすために形成するわけではないため、従来よりも十分に素子分離領域のスペース（特に素子分離領域の横幅）の縮小を図れることは言うまでもない。

【0082】

また、素子分離領域16aを、埋め込み絶縁膜12と異質材であるS i N膜で形成している。ここで、選択エピタキシャル成長において、エピタキシャル層17は、S i O₂膜と境界面を形成する場合よりもS i N膜と境界面を形成する場合の方が、ファセットを小さくできる（あるいはファセットを無くすことができる）ことが知られている。従って、S i N膜からなる素子分離領域16aを設けることで、素子分離領域16aとエピタキシャル層17との境界におけるファセットを抑制できる。

40

【0083】

尚、ここでは、埋め込み絶縁膜12の側面がS O I層13の側面よりも後退する場合を示したが、両者の側面を第1のマスク材14の側面よりも後退させて隙間部15、35を形成することが重要であるだけで、図19の構造に限定されるわけではない。例えば図26に示すように、S O I層13の側面が埋め込み絶縁膜12の側面よりも後退していても構わ

50

ない。従って、隙間部 15 の幅が隙間部 35 の幅より小さくてもよいし（図 19）、隙間部 35 の幅が隙間部 15 の幅より小さくてもよい（図 26）。

【0084】

2. 第 2 の実施形態

第 2 の実施形態は、エピタキシャル成長を行わないことで、SOI 領域とバルク領域の境界における素子分離領域のスペースの縮小を図る例である。

【0085】

以下に、第 2 の実施形態に係る第 1 及び第 2 の例を説明する。

【0086】

[2-1] 第 1 の例

第 2 の実施形態に係る第 1 の例は、SOI 領域とバルク領域に 2 層構造のゲート電極をそれぞれ形成し、この両者のゲート電極の下面の高さは異なるが、両者のゲート電極の上面の高さをほぼ同じにするものである。

【0087】

図 27 は、本発明の第 2 の実施形態に係る第 1 の例の半導体装置の断面図を示す。図 27 に示すように、SOI 領域では、SOI 層 13 上にゲート絶縁膜 20 が設けられ、このゲート絶縁膜 20 上にゲート電極 45 が設けられている。このゲート電極 45 は、下部電極層 43a と上部電極層 44a とからなる 2 層構造になっている。

【0088】

バルク領域では、支持基板 11 上にゲート絶縁膜 21 が設けられ、このゲート絶縁膜 21 上にゲート電極 46 が設けられている。このゲート電極 46 は、下部電極層 43b と上部電極層 44b とからなる 2 層構造になっている。

【0089】

SOI 領域におけるゲート電極 45 とバルク領域におけるゲート電極 46 とは、ゲート電極下の基板の高さは異なるが、ゲート電極の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極 46 の電極層 43b が、SOI 領域とバルク領域のゲート電極下の基板の高さの差を埋めるように、SOI 領域のゲート電極 45 の電極層 43a よりも厚くなっている。

【0090】

また、SOI 領域とバルク領域との境界部分には、STI 構造の素子分離領域 41 が形成されている。これにより、SOI 層 13 とバルク領域の基板 11 とが電氣的に分離されている。さらに、SOI 領域及びバルク領域内には、それぞれ素子分離領域 40, 42 が形成されている。ここで、素子分離領域 41 は、埋め込み絶縁膜 12 と異質材で形成することが望ましい。

【0091】

図 28 乃至図 32 は、本発明の第 2 の実施形態に係る第 1 の例の半導体装置の製造工程の断面図を示す。以下に、第 2 の実施形態に係る第 1 の例の製造方法について説明する。

【0092】

まず、図 28 に示すように、支持基板 11 と埋め込み絶縁膜 12 と SOI 層 13 とを有する SOI ウエハが用意される。次に、SOI 層 13 の表面から支持基板 11 にまで貫通する素子分離領域 40, 41, 42 がそれぞれ形成される。ここで、素子分離領域 40, 41, 42 の上部が SOI 層 13 の上面よりも突出するようにし、凹部 48 が形成されるようにする。

【0093】

次に、図 29 に示すように、バルク領域においては、SOI 層 13 及び埋め込み絶縁膜 12 がそれぞれ除去される。これにより、SOI 領域では、凹部 48 が形成された状態のままであり、バルク領域では、凹部 48 よりも深い凹部 49 が形成される。

【0094】

ここで、埋め込み絶縁膜 12 を除去する際は、下地の支持基板 11 へダメージを与えないように、少なくとも最終ステップにはウエットエッチングを用いるのが好ましい。

10

20

30

40

50

【 0 0 9 5 】

また、この際、バルク領域の素子分離領域 4 1 , 4 2 にも同様にダメージを与えないようにするために、素子分離領域用の溝内には、S i N ライナー（薄膜 S i N 膜）を敷いたり、埋め込み絶縁膜 1 2 と異なる材料を埋め込んだりすることが望ましい。

【 0 0 9 6 】

次に、図 3 0 に示すように、S O I 層 1 3 上にゲート絶縁膜 2 0 が形成され、支持基板 1 1 上にゲート絶縁膜 2 1 が形成される。次に、ゲート絶縁膜 2 0 , 2 1 及び素子分離領域 4 0 , 4 1 , 4 2 上に第 1 の電極材 4 3 が形成される。

【 0 0 9 7 】

次に、図 3 1 に示すように、C M P により、素子分離領域 4 0 , 4 1 , 4 2 の上面が露出するまで、第 1 の電極材 4 3 の上面が平坦化される。これにより、S O I 領域におけるゲート電極の下部電極層 4 3 a が凹部 4 8 内に形成されるとともに、バルク領域におけるゲート電極の下部電極層 4 3 b が凹部 4 9 内に形成される。その結果、S O I 領域における下部電極層 4 3 a の上面とバルク領域における下部電極層 4 3 b の上面とを等しい高さにでき、S O I 領域とバルク領域間の段差が解消される。

10

【 0 0 9 8 】

次に、図 3 2 に示すように、下部電極層 4 3 a , 4 3 b 及び素子分離領域 4 0 , 4 1 , 4 2 上に第 2 の電極材 4 4 が形成される。

【 0 0 9 9 】

次に、図 2 7 に示すように、下部電極層 4 3 a , 4 3 b 及び第 2 の電極材 4 4 が一括加工される。これにより、S O I 領域においては、下部電極層 4 3 a と上部電極層 4 4 a とからなるゲート電極 4 5 が形成され、バルク領域においては、下部電極層 4 3 b と上部電極層 4 4 b とからなるゲート電極 4 6 が形成される。

20

【 0 1 0 0 】

上記第 2 の実施形態に係る第 1 の例によれば、次のような効果を得ることができる。

【 0 1 0 1 】

(1) 第 2 の実施形態に係る第 1 の例では、バルク領域で選択エピタキシャル成長を行わないため、エピタキシャル成長時のマスク材を S O I 層 1 3 の側面に設ける必要がない。従って、マスク材を除去することによる窪み 1 6 0 も生じないため、窪み 1 6 0 を無くすための大きな素子分離領域を形成する必要がない。従って、S O I 領域とバルク領域との境界部における素子分離領域 4 1 のスペースを縮小することができる。

30

【 0 1 0 2 】

(2) 従来技術では、エピタキシャル成長時に、選択成長の膜厚のばらつきにより S O I 層 1 3 とエピタキシャル層 1 7 と間の段差が生じる恐れがあり、この段差が残った状態でゲート電極を形成すると、S O I 領域とバルク領域で同じ高さのゲート電極を形成することができない。

【 0 1 0 3 】

これに対し、第 2 の実施形態に係る第 1 の例では、バルク領域で選択エピタキシャル成長を行わないため、S O I 領域とバルク領域間に段差が生じるが、ゲート電極の下部電極層 4 3 a , 4 3 b でこの段差を解消することができる。このため、S O I 領域とバルク領域で同じ高さのゲート電極 4 5 , 4 6 を形成することができる。

40

【 0 1 0 4 】

[2 - 2] 第 2 の例

第 2 の実施形態に係る第 2 の例は、上記第 2 の例を変形したものであり、バルク領域に E E P R O M を形成した例である。

【 0 1 0 5 】

図 3 3 は、本発明の第 2 の実施形態に係る第 2 の例の半導体装置の断面図を示す。ここでは、上記第 1 の例と異なる構造を中心に説明する。

【 0 1 0 6 】

図 3 3 に示すように、第 2 の実施形態に係る第 2 の例では、バルク領域において、上部

50

電極層 4 4 b と下部電極層 4 3 b との間に例えば O N O (Oxide Nitride Oxide) 膜などの絶縁膜 4 7 を設けている。つまり、バルク領域では、下部電極層 4 3 b をフローティングゲートとし、上部電極層 4 4 b をコントロールゲートとした E E P R O M セルを形成している。

【 0 1 0 7 】

また、第 2 の例では、S O I 領域とバルク領域間の段差を解消する構造が第 1 の例とは異なる。すなわち、下部電極層 4 3 b は下部電極層 4 3 a とほぼ等しい厚さで形成し、上部電極層 4 4 b 及び絶縁膜 4 7 で S O I 領域とバルク領域間の段差を解消している。

【 0 1 0 8 】

また、バルク領域において、下部電極層 4 3 b は、凹部 4 9 の側面 (素子分離領域 4 1 , 4 2 の側面) に沿って形成された側面部分と、凹部 4 9 の底面 (ゲート絶縁膜 2 1 上) に沿って形成された底面部分とを有している。そして、絶縁膜 4 7 は、下部電極層 4 3 b の側面部分に沿って形成された側面部分と、下部電極層 4 3 b の底面部分に沿って形成された底面部分と、素子分離領域 4 1 , 4 2 及び下部電極層 4 3 b の上面に沿って形成された上面部分とを有する。すなわち、バルク領域における下部電極層 4 3 b 及び絶縁膜 4 7 は、凹部 4 9 の形状に沿った凹型構造になっている。さらに、上部電極層 4 4 b は下部電極層 4 3 b 及び絶縁膜 4 7 からなる凹型構造の窪みを埋めるように形成されるため、上部電極層 4 4 b の中央部が端部よりも厚くなっている。

【 0 1 0 9 】

上記第 2 の実施形態に係る第 2 の例によれば、第 2 の実施形態に係る第 1 の例と同様の効果を得ることができる。

【 0 1 1 0 】

さらに、第 2 の例では、S O I 領域とバルク領域間の段差を利用して、バルク領域における下部電極層 4 3 b 及び絶縁膜 4 7 を凹形状にしている。これにより、上部電極層 4 4 b 及び下部電極層 4 3 b 間のカップリング比を確保することが可能となり、セルの安定動作に寄与するというメリットもある。

【 0 1 1 1 】

3 . 第 3 の実施形態

第 3 の実施形態は、S O I 領域における埋め込み絶縁膜及び S O I 層を、バルク領域ではゲート絶縁膜及びゲート電極として使用する例である。

【 0 1 1 2 】

以下に、第 3 の実施形態に係る第 1 及び第 2 の例を説明する。

【 0 1 1 3 】

[3 - 1] 第 1 の例

第 3 の実施形態に係る第 1 の例は、S O I 領域における埋め込み絶縁膜及び S O I 層を、バルク領域ではゲート絶縁膜及びゲート電極として使用した基本構造である。

【 0 1 1 4 】

図 3 4 は、本発明の第 3 の実施形態に係る第 1 の例の半導体装置の断面図を示す。図 3 4 に示すように、第 3 の実施形態に係る第 1 の例の半導体装置は、S O I 領域における埋め込み絶縁膜 1 2 a を比較的薄く形成することで、この埋め込み絶縁膜 1 2 a として使用している絶縁膜を、バルク領域におけるゲート絶縁膜 1 2 b として使用している。また、S O I 領域における S O I 層 1 3 a として使用している層を、バルク領域におけるゲート電極 5 4 の下部電極層 1 3 b として使用している。また、S O I 領域におけるゲート電極として使用している電極層を、バルク領域におけるゲート電極 5 4 の上部電極 5 3 b として使用している。

【 0 1 1 5 】

そして、S O I 領域におけるゲート電極 5 3 a とバルク領域におけるゲート電極 5 4 とは、ゲート電極 5 3 a , 5 4 下の基板の高さは異なるが、ゲート電極 5 3 a , 5 4 の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極 5 4 を 2 層構造にすることで、S O I 領域とバルク領域のゲート電極下における基板の高さの差を埋めている。

【 0 1 1 6 】

ここで、S O I 層 1 3 a が例えば単結晶シリコン層で形成された場合、バルク領域のゲート電極 5 4 の一部の層（下部電極層 1 3 b）は、単結晶シリコン層で形成されることになる。

【 0 1 1 7 】

図 3 5 乃至図 3 6 は、本発明の第 3 の実施形態に係る第 1 の例の半導体装置の製造工程の断面図を示す。以下に、第 3 の実施形態に係る第 1 の例の製造方法について説明する。

【 0 1 1 8 】

まず、図 3 5 に示すように、支持基板 1 1 と埋め込み絶縁膜 1 2 と S O I 層 1 3 とを有する S O I ウエハが用意される。次に、S O I 層 1 3 の表面から支持基板 1 1 にまで貫通する素子分離領域 5 0 , 5 1 , 5 2 がそれぞれ形成される。これにより、S O I 領域においては、埋め込み絶縁膜 1 2 a 及び S O I 層 1 3 a が形成される。また、バルク領域においては、埋め込み絶縁膜 1 2 からなるゲート絶縁膜 1 2 b が形成されるとともに、S O I 層 1 3 からなるゲート電極用の下部電極層 1 3 b が形成される。

10

【 0 1 1 9 】

次に、図 3 6 に示すように、S O I 領域において、S O I 層 1 3 a 上にゲート絶縁膜 2 0 が形成される。その後、全面に電極材 5 3 が形成される。

【 0 1 2 0 】

次に、図 3 4 に示すように、電極材 5 3 及び下部電極層 1 3 b が一括加工される。これにより、S O I 領域においては、電極材 5 3 からなるゲート電極 5 3 a が形成され、バルク領域においては、下部電極層 1 3 b と電極材 5 3 からなる上部電極層 5 3 b とからなる 2 層構造のゲート電極 5 4 が形成される。

20

【 0 1 2 1 】

上記第 3 の実施形態に係る第 1 の例によれば、次のような効果を得ることができる。

【 0 1 2 2 】

(1) 第 3 の実施形態に係る第 1 の例では、バルク領域で選択エピタキシャル成長を行わないため、エピタキシャル成長時のマスク材を S O I 層 1 3 の側面に設ける必要がない。従って、マスク材を除去することによる窪み 1 6 0 も生じないため、窪み 1 6 0 を無くすための大きな素子分離領域を形成する必要がない。従って、S O I 領域とバルク領域との境界部における素子分離領域 5 1 のスペースを縮小することができる。

30

【 0 1 2 3 】

(2) 従来技術では、エピタキシャル成長時に、選択成長の膜厚のばらつきにより S O I 層 1 3 とエピタキシャル層 1 7 と間の段差が生じる恐れがあり、この段差が残った状態でゲート電極を形成すると、S O I 領域とバルク領域で同じ高さのゲート電極を形成することができない。

【 0 1 2 4 】

これに対し、第 3 の実施形態に係る第 1 の例では、バルク領域で選択エピタキシャル成長を行わないため、S O I 領域とバルク領域間に段差が生じるが、バルク領域のゲート電極 5 4 を 2 層構造にすることで、この段差を解消することができる。このため、S O I 領域とバルク領域で同じ高さのゲート電極 5 3 a , 5 4 を形成することができる。

40

【 0 1 2 5 】

(3) 第 3 の実施形態に係る第 1 の例では、S O I 領域において、埋め込み絶縁膜 1 2 a、S O I 層 1 3 a 及びゲート電極 5 3 a として使用した材料層を、バルク領域では、ゲート絶縁膜 1 2 b、ゲート電極 5 4 の下部電極層 1 3 b 及び上部電極層 5 3 b の材料層としてそれぞれ使用している。従って、バルク領域における素子を形成するにあたり、新たな工程を設ける必要がないため、プロセスが容易となる。

【 0 1 2 6 】

(4) 第 3 の実施形態に係る第 1 の例では、S O I 領域の埋め込み絶縁膜 1 2 a をバルク領域のゲート絶縁膜 1 2 b として使用し、S O I 領域の S O I 層 1 3 a をバルク領域のゲート電極（下部電極層 1 3 b）として使用している。ここで、本実施形態における S O

50

I層13が単結晶シリコンで形成された場合、従来の多結晶シリコンで形成された場合のグレインが無い場合、本実施形態ではグレインに関わる不具合を回避することができる。例えば、一様な膜厚のゲート絶縁膜を形成することが可能となり、微視的な耐圧の劣化がなく、より薄膜化が可能となる。また、単結晶シリコンからなるゲート電極は、多結晶シリコンからなるゲート電極よりも、配線の低抵抗化を図ることができる。

【0127】

[3-2] 第2の例

第3の実施形態に係る第2の例は、上記第1の例において、バルク領域にEEPROMを追加したものである。

【0128】

図37は、本発明の第3の実施形態に係る第2の例の半導体装置の断面図を示す。図37に示すように、第3の実施形態に係る第2の例の半導体装置は、SOI領域には1層構造のゲート電極53aを形成し、バルク領域には2層構造のゲート電極54とEEPROMのゲート電極56とを形成している。

【0129】

ここで、バルク領域のEEPROMにおいて、ゲート絶縁膜12cは埋め込み絶縁膜12a及びゲート絶縁膜12bと同じ膜12で形成され、フローティングゲートとして機能する下部電極層13cはSOI層13a及び下部電極層13bと同じ層13で形成され、絶縁膜20bはゲート絶縁膜20aと同じ膜20で形成され、コントロールゲートとして機能する上部電極層53cはゲート電極53a及び上部電極層53bと同じ層53で形成されている。

【0130】

そして、SOI領域におけるゲート電極53aとバルク領域におけるゲート電極54、56とは、ゲート電極53aとゲート電極54、56下の基板の高さは異なるが、ゲート電極53a、54、56の上面の高さはほぼ等しくなっている。つまり、バルク領域のゲート電極54、56を2層構造にすることで、SOI領域とバルク領域のゲート電極下における基板の高さの差を埋めている。

【0131】

上記第3の実施形態に係る第2の例によれば、第3の実施形態に係る第1の例と同様の効果を得ることができる。

【0132】

さらに、バルク領域にEEPROMを形成する場合、ゲート絶縁膜12c、下部電極層13c、絶縁膜20b及び上部電極層53cは、埋め込み絶縁膜12a、SOI層13a、ゲート絶縁膜20a、ゲート電極53aと同じ層を利用して、それぞれ形成する。このため、バルク領域のEEPROMを形成する新たな工程を設ける必要がないためプロセスが容易となる。

【0133】

その他、本発明は、上記各実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で、例えば以下のように、種々に変形することが可能である。

【0134】

(1) バルク領域における埋め込み絶縁膜12の最終的な除去方法は、ウエットエッチングに限定されない。例えば、RIEで埋め込み絶縁膜12を除去した後、支持基板11に生じたダメージ層をさらに除去するような方法にしてもよい。

【0135】

(2) SOI層13が後退して形成された隙間部15は、第2のマスキ材16で埋め込んでいるが、この第2のマスキ材16で埋め込む工程を省略することも可能である。

【0136】

この場合、エピタキシャル層17の形成時に、SOI層13の後退した側面からもエピタキシャル成長がなされる可能性があるが、SOI層13の側面の後退量(隙間部15の幅)を大きくすることで、SOI層13とエピタキシャル層17とが接続されないように

10

20

30

40

50

制御することも可能である。

【0137】

さらに、レジストプロセスを用いて前記後退量の異なる領域を形成し、この後退量の大小のみで、第1の実施形態における第2の例で説明したような絶縁領域と導通領域とを作り分けることも可能である。

【0138】

また、隙間部15を埋め込まないことで、絶縁領域の境界付近の埋め込み絶縁膜12上に、SOI層13の膜厚分の段差が存在することになるが、この点はSOI層13が十分に薄膜であれば問題とならない。

【0139】

(3) 隙間部15は、次のように形成することも可能である。まず、図38に示すように、第1のマスク材14がRIEでパターニングされる。次に、SOI層13が等方性エッチングを用いて除去され、隙間部15が形成される。この際、等方性エッチングとしては、例えば、CDEによるドライエッチングや、KOH溶液によるウエットエッチング等が用いられる。従って、この場合、SOI層13の側面に順テーパ面62が形成されるため、素子形成に膜残り等の支障を来す心配がさらになくなる。そして、隙間部15が形成された後に、バルク領域の埋め込み絶縁膜12が、RIE及びウエットエッチングでエッチングされる。その後、上述したような隙間部15を埋め込まないプロセスを経た場合、図39又は図40のような構造が完成する。

【0140】

ここで、図39は、エピタキシャル層17にファセットが生じなかった場合の構造を示し、図40は、エピタキシャル層17にファセット26が生じた場合の構造を示す。

【0141】

尚、上記のようにSOI層13の側面に順テーパ面62を形成した場合、隙間部15を第2のマスク材16で埋め込んでも構わない。

【0142】

(4) 素子分離領域16aの形成は、バルク領域のSOI層13及び埋め込み絶縁膜12を除去した後に行ったが、これに限定されない。例えば、素子分離領域16aを少なくともSOI領域とバルク領域との境界部に形成した後に、バルク領域のSOI層13及び埋め込み絶縁膜12を除去し、その後、エピタキシャル成長を行うようにしても構わない。

【0143】

(5) SOI層13、埋め込み絶縁膜12、支持基板11、マスク材14、16、エピタキシャル層17における材質や結晶性に関して、デバイス形成に適用される種々のものを適用することが可能である。

【0144】

(6) 素子分離領域16aの上面は、SOI層13及びエピタキシャル層17の上面とほぼ等しい高さであることに限定されず、SOI層13及びエピタキシャル層17の上面よりも多少高くなったり多少低くなったりする場合もあり得る。例えば、素子分離領域16aが酸化膜の場合、酸化膜の除去処理によって、素子分離領域16aの上面がSOI層13及びエピタキシャル層17の上面よりも低くなる場合はあり得る。また、素子分離領域16aが窒化膜の場合、酸化や酸化膜の除去処理によって素子分離領域16aの上面の高さは変わらないが、酸化や酸化膜の除去処理によってSOI層13及びエピタキシャル層17の上面が低くなるため、結果として、素子分離領域16aの上面がSOI層13及びエピタキシャル層17の上面よりも高くなる場合もあり得る。

【0145】

さらに、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件から幾つかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、こ

10

20

30

40

50

の構成要件が削除された構成が発明として抽出され得る。

【図面の簡単な説明】

【0146】

【図1】本発明の第1の実施形態に係わる第1の例の半導体装置を示す断面図。

【図2】本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図

。

【図3】図2に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図4】図3に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

10

【図5】図4に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図6】図5に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図7】図6に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図8】図7に続く、本発明の第1の実施形態に係わる第1の例の半導体装置の製造工程を示す断面図。

【図9】本発明の第1の実施形態に係わる第2の例の半導体装置を示す断面図。

【図10】本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

20

【図11】図10に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図12】図11に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図13】図12に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図14】図13に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

【図15】図14に続く、本発明の第1の実施形態に係わる第2の例の半導体装置の製造工程を示す断面図。

30

【図16】本発明の第1の実施形態に係わる第3の例の半導体装置を示す断面図。

【図17】本発明の第1の実施形態に係わる第3の例の半導体装置の製造工程を示す断面図。

【図18】図17に続く、本発明の第1の実施形態に係わる第3の例の半導体装置の製造工程を示す断面図。

【図19】本発明の第1の実施形態に係わる第4の例の半導体装置を示す断面図。

【図20】本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図21】図20に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

40

【図22】図21に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図23】図22に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図24】図23に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

【図25】図24に続く、本発明の第1の実施形態に係わる第4の例の半導体装置の製造工程を示す断面図。

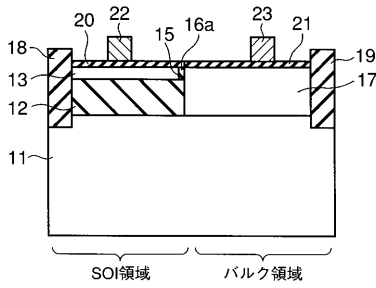
【図26】本発明の第1の実施形態に係わる第4の例の他の半導体装置を示す断面図。

50

- 【図 2 7】本発明の第 2 の実施形態に係わる第 1 の例の半導体装置を示す断面図。
- 【図 2 8】本発明の第 2 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 2 9】図 2 8 に続く、本発明の第 2 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 3 0】図 2 9 に続く、本発明の第 2 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 3 1】図 3 0 に続く、本発明の第 2 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 3 2】図 3 1 に続く、本発明の第 2 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。 10
- 【図 3 3】本発明の第 2 の実施形態に係わる第 2 の例の半導体装置を示す断面図。
- 【図 3 4】本発明の第 3 の実施形態に係わる第 1 の例の半導体装置を示す断面図。
- 【図 3 5】本発明の第 3 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 3 6】図 3 5 に続く、本発明の第 3 の実施形態に係わる第 1 の例の半導体装置の製造工程を示す断面図。
- 【図 3 7】本発明の第 3 の実施形態に係わる第 2 の例の半導体装置を示す断面図。
- 【図 3 8】本発明の各実施形態に係わる順テーパが形成された半導体装置を示す断面図。 20
- 【図 3 9】本発明の各実施形態に係わる順テーパが形成された半導体装置を示す断面図。
- 【図 4 0】本発明の各実施形態に係わる順テーパとファセットとが形成された半導体装置を示す断面図。
- 【図 4 1】従来技術による半導体装置の製造工程を示す断面図。
- 【図 4 2】図 4 1 に続く、従来技術による半導体装置の製造工程を示す断面図。
- 【図 4 3】図 4 2 に続く、従来技術による半導体装置の製造工程を示す断面図。
- 【図 4 4】図 4 3 に続く、従来技術による半導体装置の製造工程を示す断面図。
- 【図 4 5】図 4 4 に続く、従来技術による半導体装置の製造工程を示す断面図。
- 【図 4 6】図 4 5 に続く、従来技術による半導体装置の製造工程を示す断面図。 30
- 【図 4 7】図 4 6 に続く、従来技術による半導体装置の製造工程を示す断面図。
- 【符号の説明】
- 【 0 1 4 7】
- 1 1 ... 支持基板、1 2 , 1 2 ' , 1 2 a ... 埋め込み絶縁膜、1 3 , 1 3 a ... S O I 層、1 4 ... 第 1 のマスク材、1 5 , 3 5 ... 隙間部、1 6 ... 第 2 のマスク材、1 6 a , 1 8 , 1 9 , 3 0 , 4 0 , 4 1 , 4 2 , 5 0 , 5 1 , 5 2 , 5 5 ... 素子分離領域、1 7 ... エピタキシャル層、1 2 b , 1 2 c , 2 0 , 2 1 ... ゲート絶縁膜、2 2 , 2 3 , 3 1 , 4 5 , 4 6 , 5 3 a , 5 4 , 5 6 ... ゲート電極、2 5 ... レジスト、2 6 ... ファセット、4 3 , 4 4 , 5 3 ... 電極材、1 3 b , 1 3 c , 4 3 a , 4 3 b ... 下部電極層、4 4 a , 4 4 b , 5 3 b , 5 3 c ... 上部電極層、2 0 b , 4 7 ... 絶縁膜、4 8 , 4 9 ... 凹部、6 2 ... 順テーパ面 40
- 。

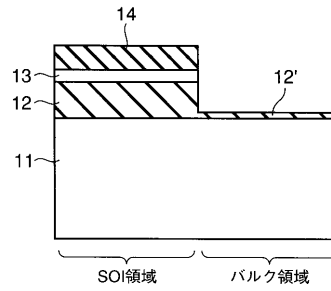
【 図 1 】

図 1



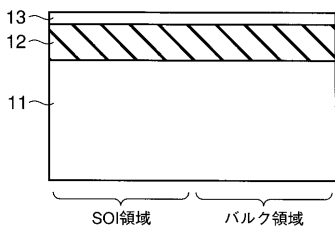
【 図 3 】

図 3



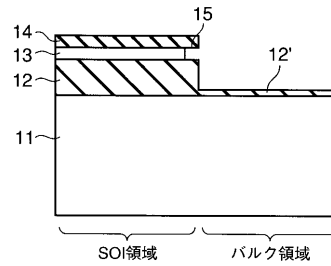
【 図 2 】

図 2



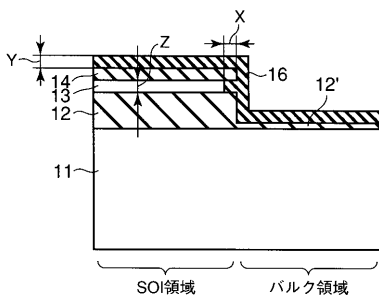
【 図 4 】

図 4



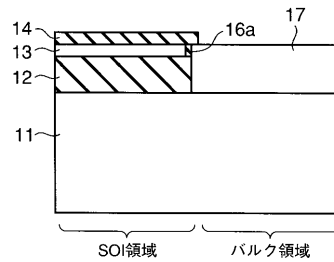
【 図 5 】

図 5



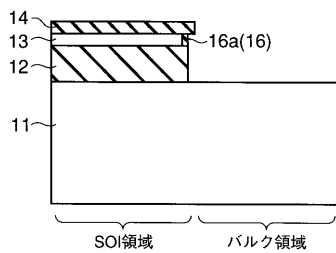
【 図 7 】

図 7



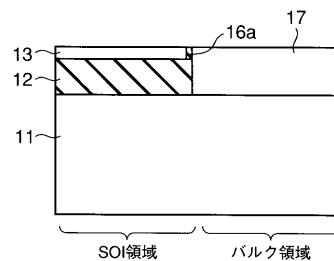
【 図 6 】

図 6



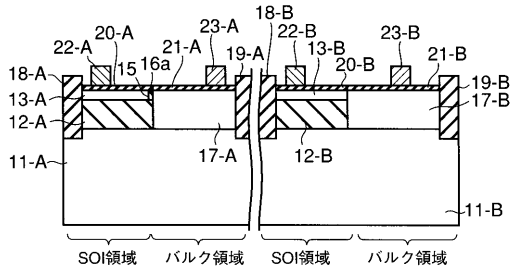
【 図 8 】

図 8



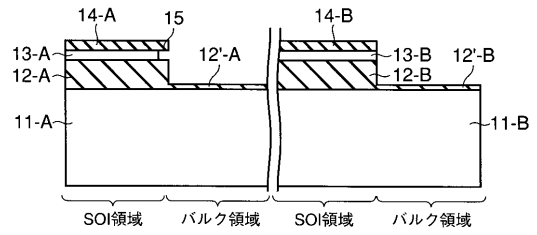
【 図 9 】

図 9



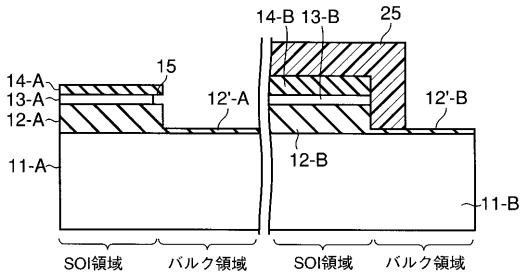
【 図 1 1 】

図 11



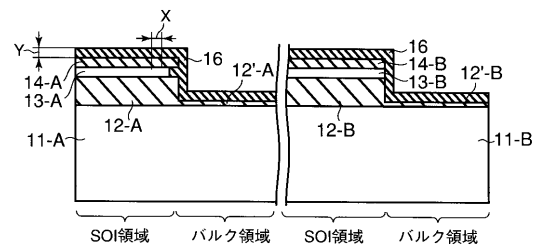
【 図 1 0 】

図 10



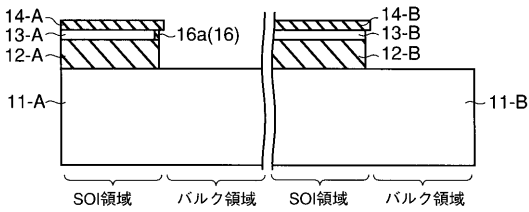
【 図 1 2 】

図 12



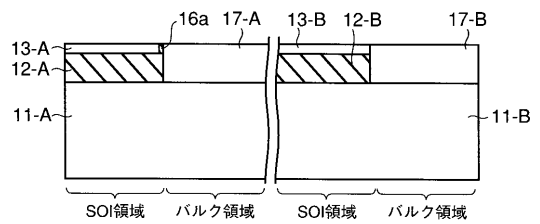
【 図 1 3 】

図 13



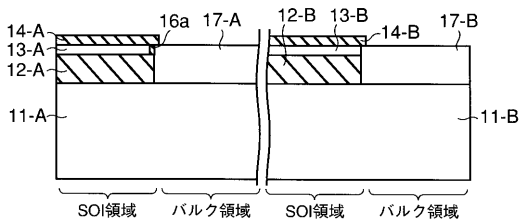
【 図 1 5 】

図 15



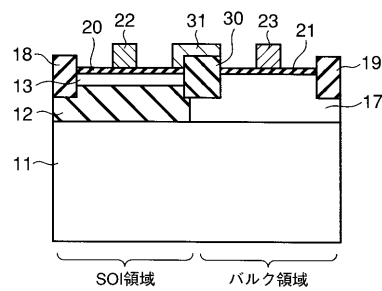
【 図 1 4 】

図 14



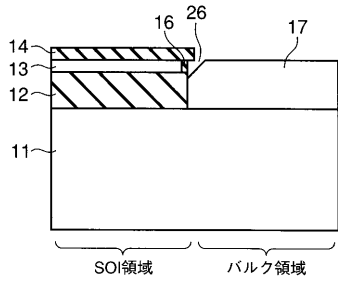
【 図 1 6 】

図 16



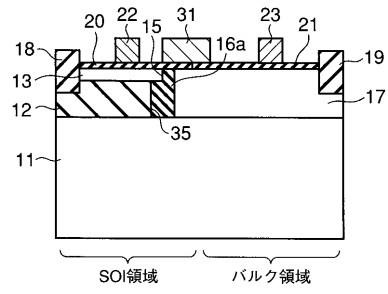
【図 17】

図 17



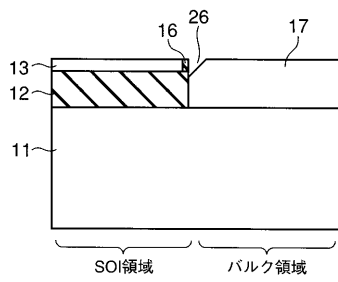
【図 19】

図 19



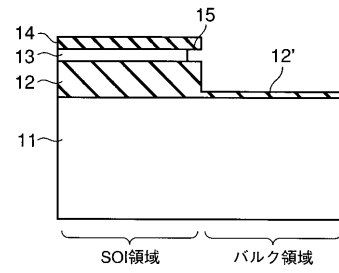
【図 18】

図 18



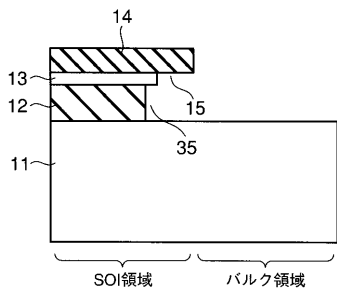
【図 20】

図 20



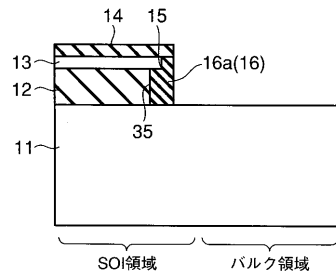
【図 21】

図 21



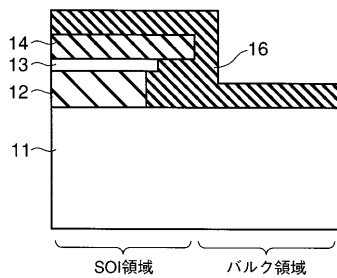
【図 23】

図 23



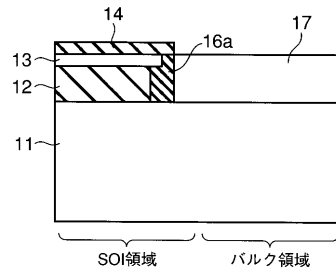
【図 22】

図 22



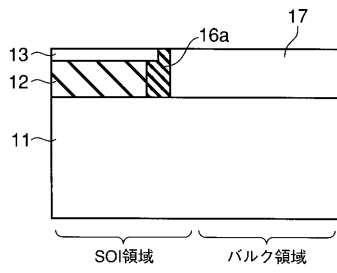
【図 24】

図 24



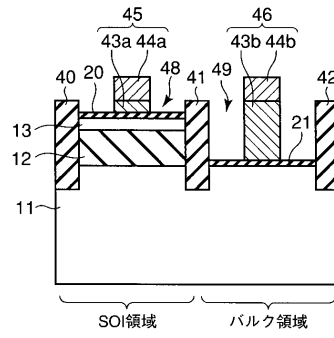
【図 25】

図 25



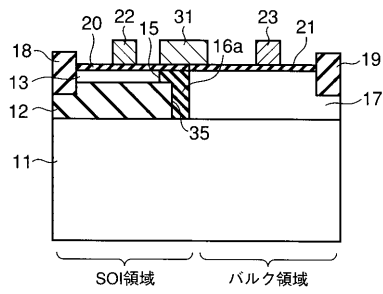
【図 27】

図 27



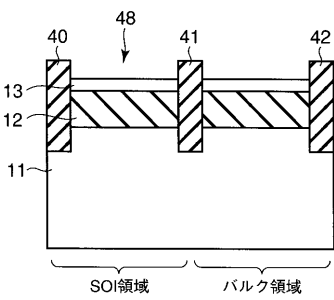
【図 26】

図 26



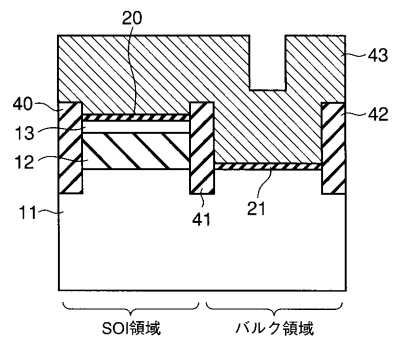
【図 28】

図 28



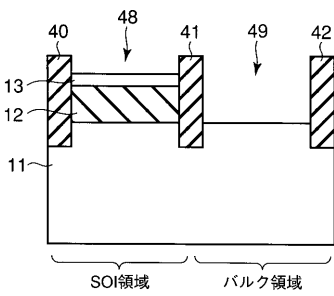
【図 30】

図 30



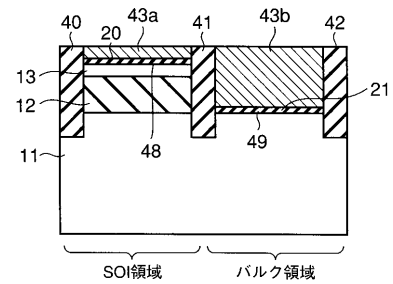
【図 29】

図 29



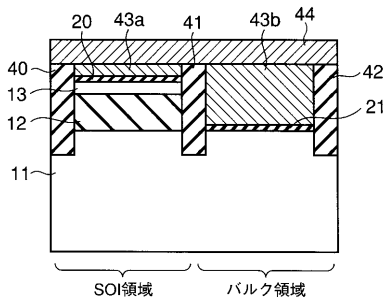
【図 31】

図 31



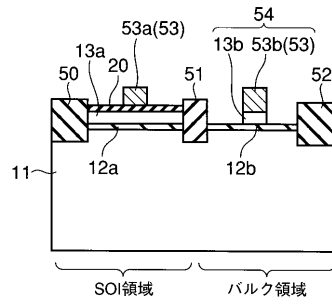
【 図 3 2 】

図 32



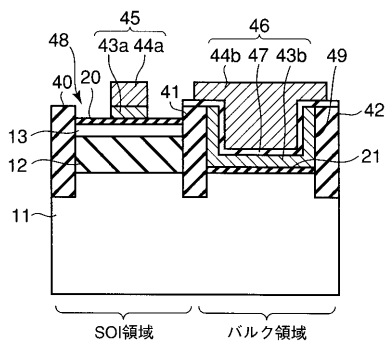
【 図 3 4 】

図 34



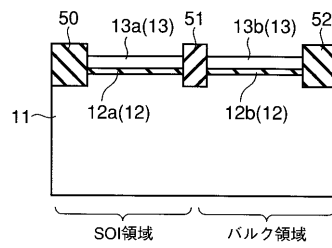
【 図 3 3 】

図 33



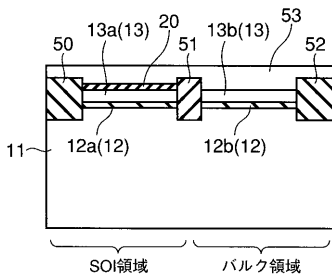
【 図 3 5 】

図 35



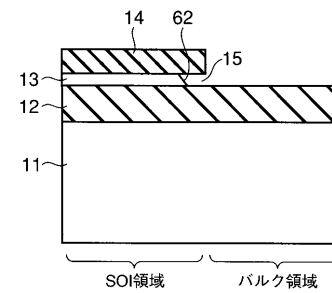
【 図 3 6 】

図 36



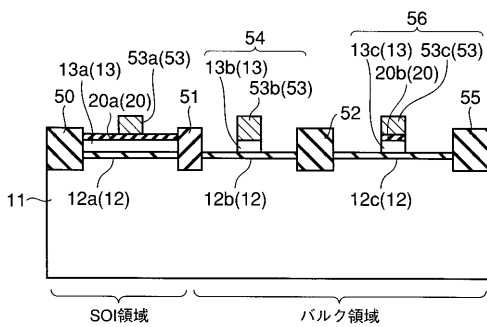
【 図 3 8 】

図 38



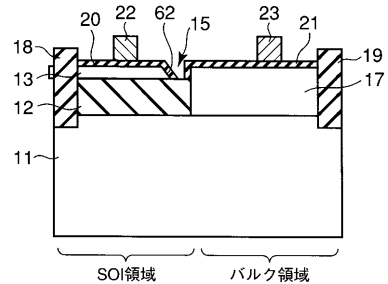
【 図 3 7 】

図 37



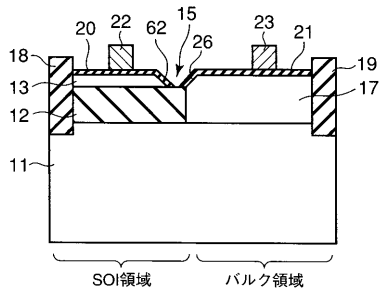
【 図 3 9 】

図 39



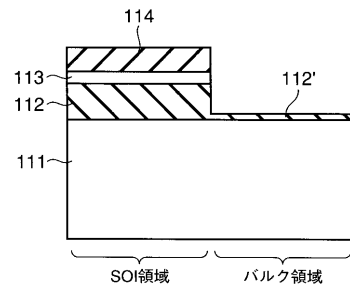
【図 4 0】

図 40



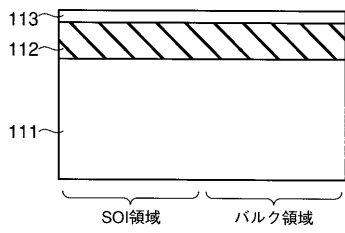
【図 4 2】

図 42



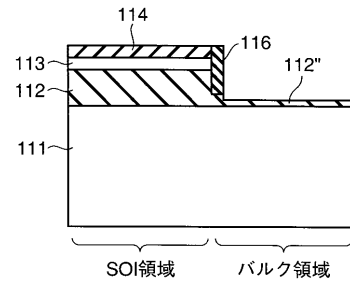
【図 4 1】

図 41



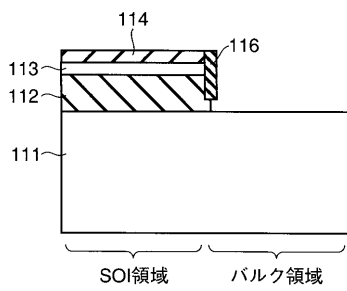
【図 4 3】

図 43



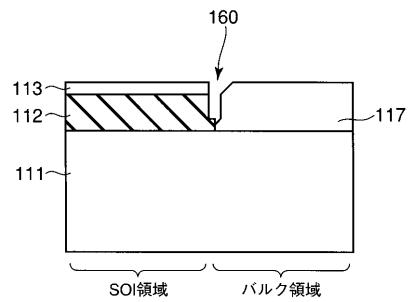
【図 4 4】

図 44



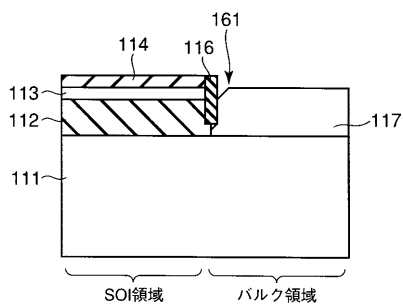
【図 4 6】

図 46



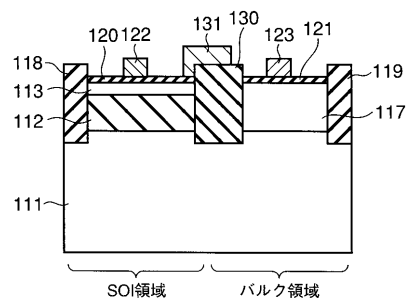
【図 4 5】

図 45



【図 4 7】

図 47



フロントページの続き

- (74)代理人 100095441
 弁理士 白根 俊郎
- (74)代理人 100084618
 弁理士 村松 貞男
- (74)代理人 100103034
 弁理士 野河 信久
- (74)代理人 100119976
 弁理士 幸長 保次郎
- (74)代理人 100153051
 弁理士 河野 直樹
- (74)代理人 100140176
 弁理士 砂川 克
- (74)代理人 100101812
 弁理士 勝村 紘
- (74)代理人 100092196
 弁理士 橋本 良郎
- (74)代理人 100100952
 弁理士 風間 鉄也
- (74)代理人 100070437
 弁理士 河井 将次
- (74)代理人 100124394
 弁理士 佐藤 立志
- (74)代理人 100112807
 弁理士 岡田 貴志
- (74)代理人 100111073
 弁理士 堀内 美保子
- (74)代理人 100134290
 弁理士 竹内 将訓
- (74)代理人 100127144
 弁理士 市原 卓三
- (74)代理人 100141933
 弁理士 山下 元
- (72)発明者 山田 敬
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 永野 元
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- (72)発明者 浜本 毅司
 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内
- F ターム(参考) 5F032 AA01 AA34 AA44 AA46 BA02 BA06 CA17 DA01 DA12 DA16
 DA23 DA24 DA25 DA26 DA27 DA30 DA33 DA78
 5F110 AA04 AA26 BB08 CC01 DD05 DD13 EE08 EE14 EE22 GG02
 GG12 GG22 GG25 NN62 NN65