



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I592984 B

(45)公告日：中華民國 106 (2017) 年 07 月 21 日

(21)申請案號：104129136

(22)申請日：中華民國 104 (2015) 年 09 月 03 日

(51)Int. Cl. : H01L21/02 (2006.01)

H01L21/308 (2006.01)

H01L21/31 (2006.01)

H01L21/311 (2006.01)

H01L21/3205(2006.01)

H01L21/3213(2006.01)

(30)優先權：2014/09/10 美國

14/482,246

(71)申請人：台灣積體電路製造股份有限公司(中華民國) TAIWAN SEMICONDUCTOR
MANUFACTURING COMPANY LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：嚴永松 YEN, YUNG SUNG (TW)

(74)代理人：馮博生

(56)參考文獻：

TW 200830358A

審查人員：彭大慶

申請專利範圍項數：9 項 圖式數：6 共 30 頁

(54)名稱

半導體積體電路的製造方法

METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT FABRICATION

(57)摘要

本揭露係關於一種半導體積體電路(IC)的製造方法。在一實施例中，於基板上方形形成材料層，且在材料層上方形成第一硬罩(hard mask, HM)構件。HM 構件包括具有第一寬度的上部與具有第二寬度的下部，第二寬度大於第一寬度。該方法更包含沿著第一 HM 構件的側壁形成間隔件，藉由使用間隔件作為第一蝕刻遮罩而於材料層上方形成第二 HM 構件，以及藉由使用第二 HM 構件作為第二蝕刻遮罩而於材料層中形成圖案化的構件。

A method of fabricating a semiconductor integrated circuit (IC) is disclosed. In one embodiment, a material layer is formed over a substrate and a first hard mask (HM) feature is formed over the material layer. The HM feature includes an upper portion having a first width and a lower portion having a second width which is greater than the first width. The method also includes forming spacers along sidewalls of the first HM feature, forming second HM features over the material layer by using the spacers as a first etch mask and forming patterned features in the material layer by using the second HM features as a second etch mask.

指定代表圖：

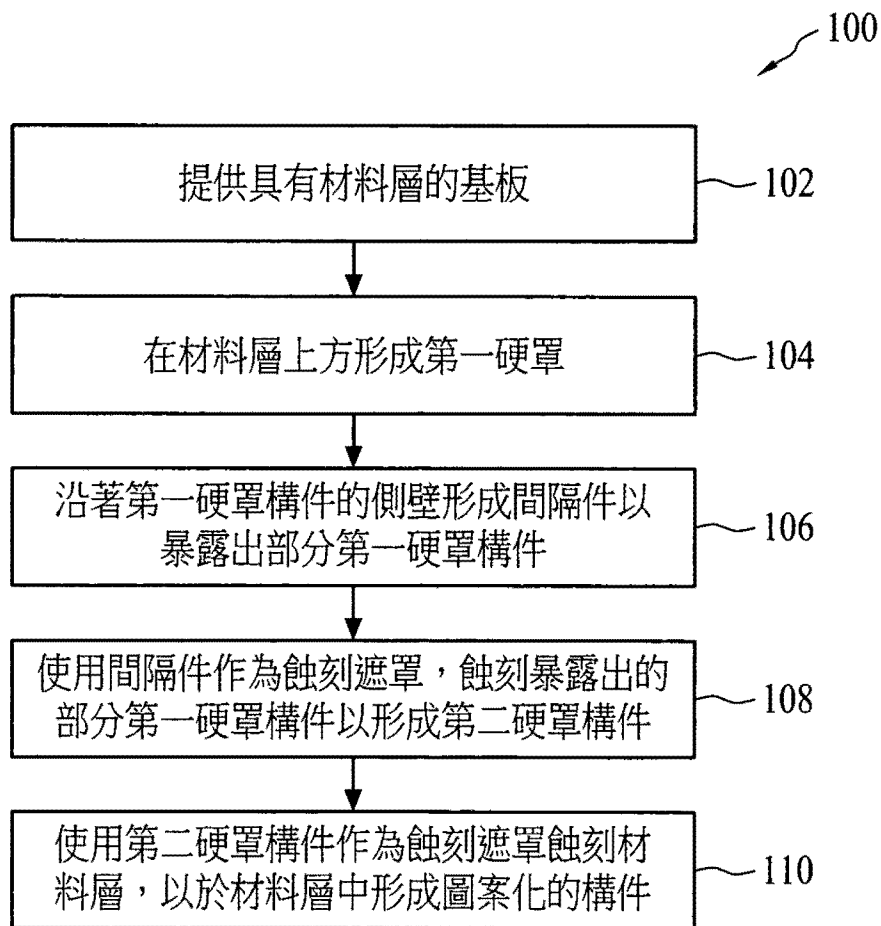


圖 1

發明摘要

※ 申請案號：104129136

※ 申請日：104.9.3.

※IPC 分類： H01L 21/02 (2006.1)
 H01L 21/308 (2006.1)
 H01L 21/31 (2006.1)
 H01L 21/311 (2006.1)
 H01L 21/3205 (2006.1)
 H01L 21/3213 (2006.1)

【發明名稱】

半導體積體電路的製造方法

METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT

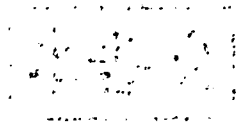
FABRICATION

● 【中文】

本揭露係關於一種半導體積體電路(IC)的製造方法。在一實施例中，於基板上方形成材料層，且在材料層上方形成第一硬罩(hard mask, HM)構件。HM構件包括具有第一寬度的上部與具有第二寬度的下部，第二寬度大於第一寬度。該方法更包含沿著第一HM構件的側壁形成間隔件，藉由使用間隔件作為第一蝕刻遮罩而於材料層上方形成第二HM構件，以及藉由使用第二HM構件作為第二蝕刻遮罩而於材料層中形成圖案化的構件。

● 【英文】

A method of fabricating a semiconductor integrated circuit (IC) is disclosed. In one embodiment, a material layer is formed over a substrate and a first hard mask (HM) feature is formed over the material layer. The HM feature includes an upper portion having a first width and a lower portion having a second width which is greater than the first width. The method also includes forming spacers along sidewalls of the first HM feature, forming second HM features over the material layer by using the spacers as a first etch mask and forming patterned features in the material layer by using the second HM features as a second etch mask.



【代表圖】

【本案指定代表圖】：第（1）圖。

【本代表圖之符號簡單說明】：

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體積體電路的製造方法

METHOD OF SEMICONDUCTOR INTEGRATED CIRCUIT
FABRICATION

【技術領域】

本發明係關於半導體技術領域，更具體地，關於半導體積體電路的製造方法。

【先前技術】

半導體積體電路 (IC) 工業已經歷了快速發展。IC 設計與材料的技術進步已產生了幾代 IC，其中每代都具有比前一代更小且更複雜的電路。在 IC 發展的過程中，功能密度 (即，每個晶片面積的互連裝置的數量) 通常會提高，而幾何尺寸 (即，使用製程能夠製造的最小元件 (或線)) 減小。

這種規模縮小製程通常藉由提高生產效率與降低相關成本來提供益處。這種規模縮小製程也增加了 IC 處理與製造的複雜程度。為了實現此等進步，需要在 IC 處理與製造中有類似的發展。儘管製造 IC 裝置的既有方法通常能滿足其預期目的，但此等方法尚未符合所有方面的要求。例如，需要一種形成具有小型臨界尺寸構件 (例如鰭) 的可行方法。

【發明內容】

為了解決現有技術中所存在的缺陷，根據本發明的一方面，提供了一種半導體裝置的製造方法，該方法包含：於基板上方形形成材料層；於該材料層上方形成第一硬罩 (hard mask, HM) 構件，該 HM 構件包括：上部，具有第一寬度；以及下部，具有第二寬度，該第二寬度大於該第一寬度；沿著該第一 HM 構件的側壁形成間隔件；藉由使用該間隔件作為第一蝕刻遮罩，而於

該材料層上方形成第二 HM 構件；以及藉由使用該第二 HM 構件作為第二蝕刻遮罩，而於該材料層中形成圖案化的構件。

在該方法中，形成該第一 HM 構件包括：於該材料層上方沉積 HM 層；於該 HM 層上方形成光阻構件，其中該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；以及將該光阻構件轉移至該 HM 層。

在該方法中，形成該光阻構件包括：於該 HM 層上方塗覆第一光阻層；於該第一光阻層上方塗覆第二光阻層；以及圖案化該第一光阻層與該第二光阻層，以於該第二光阻層中形成該光阻構件的上部並於該第一光阻層中形成該光阻構件的下部。

在該方法中，圖案化該第一光阻層與該第二光阻層包括：對該第一光阻層與該第二光阻層執行單次曝光製程，以於該第一光阻層與該第二光阻層中分別形成第一潛在構件與第二潛在構件；以及執行顯影製程，以藉由分別去除該第二潛在構件與該第一潛在構件而形成該光阻構件的上部以及下部。

在該方法中，將該光阻構件轉移至該 HM 層包括：通過該光阻構件蝕刻該 HM 層，其中，該蝕刻製程未實質上蝕刻該材料層；以及去除剩餘的光阻層。

在該方法中，形成該第一 HM 構件包括：於該材料層上方沉積 HM 層；對該 HM 層應用第一圖案化與第一蝕刻，以形成該第一 HM 構件的下部；以及對該 HM 層應用第二圖案化與第二蝕刻，以形成該 HM 構件的上部。

在該方法中，形成該第一 HM 構件包括：於該材料層上方沉積 HM 層；於該 HM 層上方沉積第一中間層；於該第一中間層上方沉積第二中間層；於該第二中間層上方形成光阻構件，其中該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；轉移該光阻構件的上部以圖案化該第二中間層，且轉移該光阻構件的下部以圖案化該第一中間層；以及將該圖案化的第一中間層轉移至該 HM 層，作為該第一 HM 構件的下部，且將該圖案化的第二中間層轉移至該 HM 層，作為該第一 HM 構件的上部。

在該方法中，形成第二 HM 構件包括：在沿著該第一 HM 構件的側壁形成間隔件之期間，暴露出該第一 HM 構件的部分；以及藉由使用間隔件作為蝕刻遮罩，蝕刻暴露出的第一 HM 構件，其中該蝕刻製程未實質上蝕刻該間隔件與該材料層。

在該方法中，該第一 HM 構件的下部與上部均形成有垂直的輪廓。

在該方法中，該第二 HM 構件形成有垂直的輪廓且具有與該間隔件實質上相同的寬度。

在該方法中，該圖案化的構件之寬度與該間隔件的寬度實質上相同。

根據本發明的另一方面，提供了一種半導體裝置的製造方法，該方法包含：於基板上方形形成材料層；於該材料層上方形成第一硬罩（HM）構件，該第一 HM 構件包括：上部，具有第一寬度；以及下部，具有第二寬度，該第二寬度實質上大於該第一寬度；沿著該第一 HM 構件的側壁形成間隔件，其中，該步驟暴露出該 HM 層的未被該間隔件覆蓋的部分頂面；使用該間隔件作為蝕刻遮罩，去除暴露出的 HM 層，以於該材料層上方形成第二 HM 構件；以及使用該第二 HM 構件作為蝕刻遮罩，蝕刻該材料層，以於該材料層中形成圖案化的構件。

在該方法中，形成該第一 HM 構件包括：於該材料層上方沉積 HM 層；於該 HM 層上方形成光阻構件，其中，該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；以及將該光阻構件轉移至該 HM 層。

在該方法中，形成該第一 HM 構件包括：於該材料層上方沉積 HM 層；於該 HM 層上方沉積第一中間層；於該第一中間層上方沉積第二中間層；於該第二中間層上方形成光阻構件，其中，該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；轉移該光阻構件的上部以圖案化該第二中間層，且轉移該光阻構件的下部以圖案化該第一中間層；以及將圖案化的第一中間層轉移至該 HM 層，作為該第一 HM 構件的下部，且將圖案化的第二中間層轉移至該 HM 層，作為該第一 HM 構件的上部。

在該方法中，藉由選擇性蝕刻去除該 HM 層之暴露出的部分，該選擇性蝕刻未實質上蝕刻該間隔件與該材料層。

在該方法中，藉由選擇性蝕刻蝕刻該材料層，該選擇性蝕刻未實質上蝕刻該第二 HM 構件與該基板。

在該方法中，該第二 HM 構件形成有垂直的輪廓且具有與該間隔件實質上相同的寬度；且該圖案化的構件之寬度與該間隔件之寬度實質上相同。

根據本發明的又一方面，提供了一種半導體裝置的製造方法，該方法包含：於基板上方形形成材料層；於該材料層上方形成硬罩（HM）層；於該 HM 層上方形成第一光阻（photoresist, PR）層；於該第一 PR 層上方形成第二 PR 層；藉由執行單次曝光製程而於該第二 PR 層中形成第一 PR 構件且於該第一 PR 層中形成第二 PR 構件，其中，該第一 PR 構件以中心對中心的方式與該第二 PR 構件對準，其中，該第一 PR 構件的寬度實質上小於該第二 PR 構件的寬度；通過該第一 PR 構件與該第二 PR 構件蝕刻該 HM 層，以形成第一 HM 構件，其中，將該第一 PR 構件轉移至該第一 HM 構件的上部，且將該第二 PR 構件轉移至該第一 HM 構件的下部；沿著該第一 HM 構件形成間隔件，其中，該步驟暴露出該 HM 層之未被該間隔件覆蓋的部分頂面；去除暴露出的 HM 層，以於該材料層上方形成第二 HM 構件；以及使用該第二 HM 構件作為蝕刻遮罩，蝕刻該材料層，以於該基板上方形形成圖案化的構件。

在該方法中，藉由選擇性蝕刻去除該 HM 層之該暴露出的部分，該選擇性蝕刻未實質上蝕刻該間隔件與該材料層。

在該方法中，藉由選擇性蝕刻蝕刻該材料層，該選擇性蝕刻未實質上蝕刻該第二 HM 構件與該基板。

【圖式簡單說明】

自後述詳述說明與附屬圖式，可最佳理解本揭露之各方面。須注意，依據產業之標準實施方式，各種構件並非依比例繪製。實際上，為了清楚討論，可任意增大或減小各種構件之尺寸。

圖 1 係根據一些實施例構造的用於製造半導體裝置之例示性方法的流程圖。

圖 2A 至圖 2F、圖 3、圖 4、圖 5 與圖 6 係根據圖 1 的方法在各個製造階段所構造之例示性半導體裝置的剖面圖。

【實施方式】

以下揭露之內容提供許多不同的實施例或範例，用於實施本案所提供之主題的不同特徵。元件與配置的特定範例之描述如下，以簡化本揭露。當可想見，此等敘述僅為例示，其本意並非用於限制本揭露。舉例來說，在下文的描述中，在第二構件上或上方形成第一構件的敘述，可包含形成直接接觸之第一與第二構件的實施例，亦可包含在該第一與第二構件之間形成其他構件，因而該第一與第二構件並未直接接觸的實施例。此外，本揭示內容可能會在多個實施例中重複使用元件符號及/或標號。此種重複使用乃是基於簡化與清晰化之目的，且其本身不代表所討論的不同實施例及/或配置之間的關係。

再者，為了易於描述，可使用空間對應語詞，例如「之下」、「下方」、「低於」、「之上」、「上方」等類似語詞之簡單說明，以描述圖式中一元件或構件與另一元件或構件的關係。空間對應詞語係用以包括除了圖式中描述的位向之外，裝置於使用或操作中之不同位向。裝置可被定位（旋轉 90 度或是其他位向），並可相應解釋本申請案使用的空間對應描述。

圖 1 係根據一些實施例的用於製造一個或多個半導體裝置之方法 100 的流程圖。以下參考如圖 2A 至圖 2F、圖 3、圖 4、圖 5 與圖 6 所示的半導體裝置 200，詳細地討論方法 100。

參考圖 1 與圖 2A，方法 100 藉由提供具有材料層 220 的基板 210，而開始步驟 102。基板 210 包括矽。可選地或附加地，基板 210 可包括例如鍺的其他元素半導體。基板 210 可亦包括化合物半導體，如碳化矽、砷化鎵、砷化銮與磷化銮。基板 210 可包括合金半導體，如矽鍺、碳化矽鍺、磷化鎵砷

與磷化鎵銻的。在一實施例中，基板 210 包括磊晶層。例如，基板 210 可具有覆蓋塊狀半導體的磊晶層。而且，基板 210 可包括絕緣體上覆半導體 (SOI) 結構。例如，基板 210 可包括埋入氧化物 (BOX) 層，藉由例如注氧隔離 (SIMOX) 的製程或其他適合的技術 (例如晶圓接合與研磨) 形成該埋入氧化物層。

基板 210 可亦包括藉由例如離子植入及/或擴散製程實施的各種 p 型摻雜區及/或 n 型摻雜區。此等摻雜區包括 n 井、p 井、輕摻雜區 (LDD)、重摻雜的源極與汲極 (S/D)、及配置為形成各種積體電路 (IC) 裝置 (例如互補式金氧半場效電晶體 (CMOSFET)、成像感測器及/或發光二極體 (LED)) 的各種通道摻雜輪廓。基板 210 可更包括形成於基板中與上的其他功能構件，例如電阻器或電容器。

基板 210 可亦包括各種隔離構件。該隔離構件分離基板 210 中的各個裝置區域。隔離構件包括藉由使用不同處理技術所形成的不同結構。例如，隔離構件可包括淺溝槽隔離 (shallow trench isolation, STI) 構件。STI 的形成可包括：在基板 210 中蝕刻溝槽，且以例如氧化矽、氮化矽或氮氧化矽的絕緣材料填充溝槽。填充後的溝槽可具有多層結構，例如以氮化矽填充溝槽的熱氧化物襯層。可執行化學機械拋光 (CMP)，以回拋 (polish back) 多餘的絕緣材料且平坦化隔離構件的頂面。

基板 210 可亦包括藉由介電層與電極層形成的閘極堆疊件。介電層可包括藉由合適技術 (例如化學氣相沉積 (CVD)、原子層沉積 (ALD)、物理氣相沉積 (PVD)、熱氧化、其等之組合或其他合適的技術) 而沉積之界面層 (IL) 與高介電常數 (HK) 介電層。IL 可包括氧化物、HfSiO 與氮氧化物，且 HK 介電層可包括 LaO、AlO、ZrO、TiO、Ta₂O₅、Y₂O₃、SrTiO₃ (STO)、BaTiO₃ (BTO)、BaZrO、HfZrO、HfLaO、HfSiO、LaSiO、AlSiO、HfTaO、HfTiO、(Ba, Sr) TiO₃ (BST)、Al₂O₃、Si₃N₄、氮氧化矽 (SiON) 及/或其他合適材料。

電極層可包括單層或可選的多層結構，例如以下各層之各種組合：具有提高裝置性能之功函數的金屬層（功函數金屬層）；襯層；潤濕層；附著層；以及金屬、金屬合金或金屬矽化物的導電層。MG（即金屬閘極）電極 420 可包括 Ti、Ag、Al、TiAlN、TaC、TaCN、TaSiN、Mn、Zr、TiN、TaN、Ru、Mo、WN、Cu、W、任何合適的材料或其等之組合。

基板 210 可亦包括複數層間介電（ILD）層與被整合為形成互連結構的導電構件，其中，該互連結構配置為將各種 p 型與 n 型摻雜區與其他功能構件（例如閘極電極）連接，以得到功能積體電路。在一個範例中，基板 210 可包括互連結構的一部分，且該互連結構包括多層互連（MLI）結構、及與 MLI 結構整合的 ILD 層，而提供電佈線以將基板 210 中的各種裝置，與輸入/輸出功率及訊號耦合。互連結構包括各種金屬線、接觸件及通孔構件（或通孔塞）。金屬線提供水平的電佈線。接觸件提供矽基板與金屬線之間的垂直連接，而通孔構件提供不同金屬層中之金屬線的垂直連接。

仍然參考圖 2A，在本實施例中，於基板 210 上方形成材料層 220。材料層 220 可包括半導體材料層、介電材料層、導電材料層及/或其他合適的材料或其等之組合。可藉由 CVD、PVD、ALD、旋塗及/或其他合適的技術將材料層 220 沉積在基板 210 上方。

仍參考圖 1 與圖 2A，方法 100 進行至步驟 104，其中，在材料層 220 上方形成第一硬罩（hard mask, HM）構件 315。在本實施例中，第一 HM 構件 315 包括上部 315U 以及下部 315L。上部 315U 具有第一寬度 W_1 ，且下部具有第二寬度 W_2 ，第二寬度 W_2 實質上大於第一寬度 W_1 。在一實施例中，第二寬度 W_2 大於第一寬度 W_1 的兩倍。可藉由包括沉積、圖案化以及蝕刻的合適製程來形成第一 HM 構件 315。參考圖 2B 至圖 2F，如下描述形成第一 HM 構件 315 的一些例示性製程。

圖 2B 與圖 2C 描述形成圖 2A 所示之第一 HM 構件 315 的一個例示性製程。如圖 2B 所示，在材料層 220 上方沉積 HM（硬罩）層 310。HM 層 310

可包括氧化矽、氮化矽、氮氧化物、碳化矽、氧化鈦、氮化鈦、氧化鋇、氮化鋇及/或任何合適的材料。可藉由例如 CVD、PVD、ALD、旋塗及/或其他合適的技術來沉積 HM 層 310。

接下來，在 HM 層 310 上方形成第一光阻層 410。藉由旋塗或其他合適的技術形成第一光阻層 410。而後藉由旋塗或其他合適的技術在第一光阻層 410 上方形成第二光阻層 412。可在塗覆每個光阻層之後進行其他步驟，例如烘焙。根據多個實施例，第一光阻層 410 與第二光阻層 412 可具有彼此相似或不同的組成。

在一個範例中，選擇具有不同曝光閾值的第一光阻層 410 與第二光阻層 412。在另一個範例中，在微影曝光製程期間第二光阻層 412 使曝光光束衰減，以使投射到第二光阻層 412 上的曝光光束被部分吸收，且該曝光光束僅有一部分到達第一光阻層 410。在又一個範例中，將第一光阻層 410 與第二光阻層 412 配置為僅溶解於分別的、相應的顯影劑。具體地，第一顯影劑用於使第一光阻層 410 顯影，第二顯影劑用於使第二光阻層 412 顯影。第一顯影劑不同於第二顯影劑。第一光阻層 410 可溶解於第一顯影劑而不溶解於第二顯影劑。第二光阻層 412 可溶解於第二顯影劑而不溶解於第一顯影劑。

在本實施例中，而後，使用光罩實施單次微影曝光製程，以同時使第一光阻層 410 與第二光阻層 412 曝光，藉此在相應的光阻層上形成潛在圖案。在微影曝光製程期間，在第一光阻層 410 中形成第一潛在圖案，且在第二光阻層 412 中形成第二潛在圖案。潛在圖案係指光阻層中的已被曝光但還未被顯影的部分。由於不同的曝光強度或不同的曝光閾值或此兩者，第一潛在圖案與第二潛在圖案彼此不同。

在本實施例中，第一光阻層與第二光阻層均為負型。而後，藉由相應的顯影劑使第二光阻層 412 顯影。在顯影劑中去除第二光阻層 412 中的未被曝光的部分，藉此形成具有第二光阻構件 412A 的圖案化的第二光阻層。而後，藉由相應的顯影劑使第一光阻層 410 顯影。如圖 2C 所示，在顯影劑中去除

未被曝光的部分，藉此形成具有第一光阻構件 410A 的圖案化的第一光阻層。第一光阻構件 410A 形成為具有第二寬度 W_2 ，第二光阻構件 412A 形成為具有第一寬度 W_1 。如圖 2C 所示，第二寬度 W_2 實質上大於第一寬度 W_1 。在 2013 年 5 月 14 日提出申請之序號為 13/906,795 號美國專利申請「使用單次曝光定義多層圖案的方法」中，揭露在兩個不同的光阻層中同時形成兩個圖案的方法，將其全部內容結合至此以作為參考。

而後，如圖 2A 所示，藉由使用第一光阻構件 410A 與第二光阻構件 412A 作為第一蝕刻遮罩來蝕刻 HM 層 310，以形成第一 HM 構件 315。控制蝕刻製程，以使將第一光阻構件 410A 轉移至 HM 層 310，以形成第一 HM 構件的下部 315L，且將第二光阻構件 412A 轉移至 HM 層 310，以形成第一 HM 構件的上部 315U。在本實施例中，蝕刻製程為選擇性蝕刻，該選擇性蝕刻實質上並未蝕刻材料層。因此，材料層 220 作為蝕刻停止層，其改善蝕刻製程窗與輪廓控制。而後應用光阻剝離製程，以去除任何剩餘的光阻層。

圖 2D 至圖 2F 顯示形成如圖 2A 所示之第一 HM 構件 315 的另一例示性製程。相同參考標號用於表示上述參考圖 2B 與圖 2C 所述的相同構件。如圖 2D 所示，在形成第一 HM 構件 315 之例示性製程中，於塗覆第一光阻層 410 之前，在 HM 層 310 上方沉積中間層堆疊件。作為範例，如圖 2D 所示，該中間層堆疊件包括第一中間層 320 與第二中間層 330。在 HM 層 310 上方形成第一中間層 320。第一中間層 320 可包括不同於 HM 層 310 的材料，以在後續的蝕刻製程期間實現蝕刻選擇性。第一中間層 320 可包括氧化鈦、氮化鈦、氧化鋇、氮化鋇或任何合適的材料。在第一中間層 320 上方形成第二中間層 330。第二中間層 330 可包括不同於 HM 層 310 的材料，以在後續的蝕刻製程期間實現蝕刻選擇性。第二中間層 330 可包括富矽抗反射層。可藉由例如旋塗、CVD、PVD、ALD 或其他合適的技術沉積第一中間層 320 與第二中間層 330。

而後，如圖 2E 所示，在第二中間層 330 上方形成第一光阻構件 410A 與

第二光阻構件 412A。接著，執行蝕刻製程，以通過第一光阻構件 410A 與第二光阻構件 412A 蝕刻第一中間層 320 與第二中間層 330。如圖 2F 所示，控制蝕刻製程，以將第一光阻構件 410A 轉移至第一中間層 320，以形成第一中間層構件 320A，且將第二光阻構件 412A 轉移至第二中間層 330，以形成第二中間層構件 330A。第一中間層構件 320A 具有第二寬度 W_2 ，且第二中間層構件 330A 具有第一寬度 W_1 。在本實施例中，蝕刻製程為選擇性蝕刻，該選擇性蝕刻未實質上蝕刻 HM 層 310。因此，HM 層 310 作為蝕刻停止層，藉以改善蝕刻製程窗與輪廓控制。而後，應用光阻剝離製程以去除任何剩餘的光阻層。藉由使用中間層，放寬微影圖案化的製程限制且改善蝕刻製程窗。可應用光阻剝離製程以去除任何剩餘的光阻層。

然後，藉由使用第一中間層構件 320A 與第二中間層構件 330A 作為第一蝕刻遮罩來蝕刻 HM 層 310，以形成第一 HM 構件 315。如圖 2A 所示，控制蝕刻製程，以將第一中間層構件 320A 轉移至第一 HM 構件的下部 315L，且將第二中間層構件 330A 轉移至第一 HM 構件的上部 315U。在本實施例中，蝕刻製程為選擇性蝕刻，該選擇性蝕刻未實質上蝕刻材料層 220。因此，將材料層 220 作為蝕刻停止層，藉以改善蝕刻製程窗與輪廓控制。而後應用另一個蝕刻製程去除任何剩餘的中間層。

再次參考圖 2A，在又一實施例中，首先藉由包括光阻塗覆、圖案化與蝕刻的第一步驟形成第一 HM 構件的下部 315L。而後藉由包括另一光阻塗覆、圖案化與蝕刻的第二步驟形成第一 HM 構件的上部 315U。

在又一實施例中，藉由將第一光阻構件 410A 作為第一 HM 構件的下部 315L，以及將第二光阻構件 412A 作為第一 HM 構件的上部 315U，而形成第一 HM 構件 315。

參考圖 1 與圖 3，方法 100 進行至步驟 106，其中，沿著第一 HM 構件 315 的側壁形成間隔件 510 且暴露出 HM 層 310 的上部 315U 的頂面 315A 與 HM 層 310 的下部 315L 的部分頂面 315B。可藉由在第一 HM 層 315 上方沉

積間隔件層以形成間隔件 510，且隨後進行間隔件蝕刻以非等向性地蝕刻間隔件層。在一實施例中，控制間隔件蝕刻，以確保暴露出頂面 315A 與 315B。間隔件層可包括氧化矽、氮化矽、氮氧化物、碳化矽、氧化鈦、氮化鈦、氧化鉬、氮化鉬或任何合適的材料。

在一實施例中，間隔件層包括與材料層 220 及第一 HM 構件 315 不同的材料，以實現後續蝕刻的蝕刻選擇性。可藉由 ALD、CVD、PVD 或其他合適的技術沉積間隔件層。在一實施例中，藉由 ALD 沉積間隔件層以實現沿著側壁的共形膜覆蓋。藉由控制間隔件層的厚度與間隔件蝕刻製程，間隔件 510 形成為具有第三寬度 W_3 。在一實施例中，第三寬度 W_3 在約 20nm 至約 60nm 的範圍內。

參考圖 1 與圖 4，方法 100 進行至步驟 108，其中，使用間隔件 510 作為蝕刻遮罩，蝕刻暴露出的 HM 層 310。適當地選擇蝕刻製程，以選擇性地去除暴露出的 HM 層 310，但未實質上蝕刻間隔件 510 與材料層 220。藉此，在蝕刻製程期間，間隔件層 510 下面的 HM 層 310 保持完好無損。因此，材料層 220 的頂部之間隔件 510 形成第二 HM 構件 610 的第一部分，且間隔件 510 與間隔件 510 下面的剩餘的 HM 層 310 結合，並形成第二 HM 構件 612 的第二部分。在本實施例中，蝕刻製程包括非等向性蝕刻。例如，蝕刻製程為電漿非等向性蝕刻。因此，第二 HM 構件 610 的第一部分與第二 HM 構件 612 的第二部分具有垂直的輪廓。如之前所提到的，利用足夠的蝕刻選擇性，將材料層 220 在蝕刻製程期間作為蝕刻停止層，藉以改善蝕刻製程窗與溝槽輪廓控制。

藉由使用間隔件 510 作為蝕刻遮罩，使第二 HM 構件 610 的第一部分與第二 HM 構件 612 的第二部分的寬度為第三寬度 W_3 。兩個相鄰之第二 HM 構件 612 的第二部分之間隙等於第一寬度 W_1 ，而兩個相鄰之第二 HM 構件 610 的第一部分與第二 HM 構件 612 的第二部分之間隙等於 $\frac{1}{2}\{W_2-(2 \times W_3)-W_1\}$ ，該間隙被稱為第四寬度 W_4 。藉由選擇第一寬度、第二

寬度與第三寬度，達到 W_4 與 W_1 的預期比率，以及 W_4 與 W_3 的預期比率。在一實施例中，第一寬度 W_1 、第三寬度 W_3 與第四寬度 W_4 彼此相同。

參考圖 1 與圖 5，方法 100 進行至步驟 110，其中，使用第二 HM 構件 610 的第一部分與第二 HM 構件 612 的第二部分作為第二蝕刻遮罩，蝕刻材料層 220，以形成圖案化的構件 710。適當地選擇蝕刻製程，以選擇性蝕刻材料層 220，但未實質上蝕刻第二 HM 構件 610 的第一部分與第二 HM 構件 612 的第二部分，以及基板 210。在本實施例中，蝕刻製程包括非等向性蝕刻，例如電漿非等向性蝕刻。因此，圖案化的構件 710 具有垂直的輪廓並具有第三寬度 W_3 。兩個相鄰之圖案化的構件 710 之間間隙為第一寬度 W_1 或第四寬度 W_4 。圖案化的構件 710 的間距相當小，等於 (W_1+W_3) 或 (W_1+W_4) 。如之前所提到的，利用足夠的蝕刻選擇性，將基板 210 作為蝕刻停止層，改善蝕刻製程窗與溝槽輪廓控制。然後應用另一蝕刻製程，以去除圖 6 所示之任何剩餘的第二 HM 構件。

在方法 100 之前、期間與之後可提供附加的步驟，且對於方法 100 的附加實施例可替換、刪除或前後移動所述的一些步驟的順序。可對裝置 200 進行進一步 CMOS 或 MOS 技術處理，以形成各種構件與區域。

基於以上所述，本發明提供用於製造半導體裝置的方法。該方法使用單次微影圖案化與一個間隔件形成，而實現多個小間距構件的形成。該方法論述了製程簡化與成本降低。

本發明提供許多不同之製造 IC 的實施例，在其他現有方法上提供一個或多個改進方式。在一實施例中，方法包括於基板上方形形成材料層，在材料層上方形成第一硬罩 (HM) 構件。HM 構件包括具有第一寬度的上部與具有第二寬度的下部，第二寬度大於第一寬度。該方法更包含沿著第一 HM 構件的側壁形成間隔件，藉由使用間隔件作為第一蝕刻遮罩而於材料層上方形成第二 HM 構件，以及藉由使用第二 HM 構件作為第二蝕刻遮罩而於材料層中形成圖案化的構件。

在另一實施例中，製造半導體裝置的方法包括於基板上方形形成材料層，在材料層上方形成第一硬罩（HM）構件。第一 HM 構件包括具有第一寬度的上部與具有第二寬度的下部，第二寬度實質上大於第一寬度。該方法更包含沿著第一 HM 構件的側壁形成間隔件。該方法暴露出 HM 層的未被間隔件覆蓋的部分頂面。該方法更包含使用第一 HM 構件作為蝕刻遮罩去除暴露出的 HM 層，以於材料層上方形成第二 HM 構件，以及使用第二 HM 構件作為蝕刻遮罩，蝕刻材料層，以於基板上方形形成圖案化的構件。

在又一實施例中，製造半導體 IC 的方法包括於基板上方形形成材料層，在材料層上方形成硬罩（HM）層，在 HM 層上方形成第一光阻（PR）層，在第一 PR 層上方形成第二 PR 層，藉由執行單次曝光製程而於第二 PR 層中形成第一 PR 構件且在第一 PR 層中形成第二 PR 構件。因此第一 PR 構件以中心對中心的方式與第二 PR 構件對準。第一 PR 構件的寬度實質上小於第二 PR 構件的寬度。該方法更包含通過第一 PR 構件與第二 PR 構件蝕刻 HM 層以形成第一 HM 構件，以將第一 PR 構件轉移至第一 HM 構件的上部，且將第二 PR 構件轉移至第一 HM 構件的下部。該方法更包含沿著第一 HM 構件形成間隔件，其中，該方法暴露出 HM 層之未被間隔件覆蓋的部分頂面。該方法更包含去除暴露出的 HM 層，以於材料層上方形成第二 HM 構件，以及使用第二 HM 構件作為蝕刻遮罩，蝕刻材料層以於基板上方形形成圖案化的構件。

以上內容概述若干實施例的特徵，因而所屬技術領域中通常知識者可更為理解本揭露之各方面。所屬技術領域中具有通常知識者應理解可輕易使用本揭露作為基礎，用於設計或修改其他製程與結構而與本文所述之實施例具有相同目的及/或達到相同優點。所屬技術領域中具有通常知識者亦應理解此均等架構並未悖離本揭露之精神與範圍，且在不悖離本揭露之精神與範圍的情況下，所屬技術領域中具有通常知識者可進行各種變化、取代與替換。

【符號說明】

30	鰭式場效電晶體 (Fin Field-Effect Transistor, FinFET)
200	半導體裝置
210	基板
220	材料層
310	硬罩層 (HM層)
315	第一硬罩構件 (第一HM構件)
315A	頂面
315B	頂面
315L	下部
315U	上部
320	第一中間層
320A	第一中間層構件
330	第二中間層
330A	第二中間層構件
410	第一光阻層
410A	第一光阻構件
412	第二光阻層
412A	第二光阻構件
420	金屬閘極電極
510	間隔件
610、612	第二硬罩構件 (第二HM構件)
710	圖案化的構件
W_1	第一寬度
W_2	第二寬度
W_3	第三寬度

W₄

第四寬度



申請專利範圍

1. 一種半導體裝置的製造方法，該方法包含：

於基板上方形形成材料層；

於該材料層上方形成第一硬罩（hard mask, HM）構件，該第一 HM 構件包括：

上部，具有第一寬度；與

下部，具有第二寬度，該第二寬度大於該第一寬度，其中形成該第一 HM 構件包括：

於該材料層上方沉積 HM 層；

於該 HM 層上方形成光阻構件，其中該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；以及

將該光阻構件轉移至該 HM 層；

沿著該第一 HM 構件的側壁形成間隔件；

藉由使用該間隔件作為第一蝕刻遮罩，而於該材料層上方形成第二 HM 構件；以及

藉由使用該第二 HM 構件作為第二蝕刻遮罩，而於該材料層中形成圖案化的構件。

2. 如申請專利範圍第1項之方法，其中，形成該光阻構件包括：

於該 HM 層上方塗覆第一光阻層；

於該第一光阻層上方塗覆第二光阻層；以及

圖案化該第一光阻層與該第二光阻層，以於該第二光阻層中形成該光阻構件的上部並於該第一光阻層中形成該光阻構件的下部。

3. 如申請專利範圍第2項之方法，其中，圖案化該第一光阻層與該第二光阻層包括：

對該第一光阻層與該第二光阻層執行單次曝光製程，以於該第一光阻層與該第二光阻層中分別形成第一潛在構件與第二潛在構件；以及

執行顯影製程，以藉由分別去除該第二潛在構件與該第一潛在構件而形成該光阻構件的上部以及下部。

4. 如申請專利範圍第1項之方法，其中，將該光阻構件轉移至該HM層包括：
通過該光阻構件蝕刻該 HM 層，其中，該蝕刻製程未實質上蝕刻該材料層；以及
去除剩餘的光阻層。

5. 如申請專利範圍第1項之方法，其中，形成該第一HM構件包括：
於該材料層上方沉積 HM 層；
對該 HM 層應用第一圖案化與第一蝕刻，以形成該第一 HM 構件的下部；以及
對該 HM 層應用第二圖案化與第二蝕刻，以形成該第一 HM 構件的上部。

6. 如申請專利範圍第1項之方法，其中，形成該第一HM構件包括：
於該材料層上方沉積 HM 層；
於該 HM 層上方沉積第一中間層；
於該第一中間層上方沉積第二中間層；
於該第二中間層上方形成光阻構件，其中該光阻構件包括具有該第一寬度的上部與具有該第二寬度的下部；
轉移該光阻構件的上部以圖案化該第二中間層，且轉移該光阻構件的下部以圖案化該第一中間層；以及
將該圖案化的第一中間層轉移至該 HM 層，作為該第一 HM 構件的下部，且將該圖案化的第二中間層轉移至該 HM 層，作為該第一 HM 構件的上部。

7. 如申請專利範圍第1項之方法，其中，形成第二HM構件包括：

在沿著該第一 HM 構件的側壁形成間隔件之期間，暴露出該第一 HM 構件的部分；以及

藉由使用間隔件作為蝕刻遮罩，蝕刻該暴露出的第一 HM 構件，其中該蝕刻製程未實質上蝕刻該間隔件與該材料層。

8. 一種半導體裝置的製造方法，該方法包含：

於基板上方形形成材料層；

於該材料層上方形成第一硬罩（hard mask, HM）構件，該第一 HM 構件包括：

上部，具有第一寬度；與

下部，具有第二寬度，該第二寬度實質上大於該第一寬度，其中該上部與該下部係由相同材料形成；

沿著該第一 HM 構件的側壁形成間隔件，其中，該步驟暴露出一 HM 層之未被該間隔件覆蓋的部分頂面；

使用該間隔件作為蝕刻遮罩，去除該暴露出的 HM 層，以於該材料層上方形成第二 HM 構件；以及

使用該第二 HM 構件作為蝕刻遮罩，蝕刻該材料層，以於該材料層中形成圖案化的構件。

9. 一種半導體裝置的製造方法，該方法包含：

於基板上方形形成材料層；

於該材料層上方形成硬罩（hard mask, HM）層；

於該 HM 層上方形成第一光阻（photoresist, PR）層；

於該第一 PR 層上方形成第二 PR 層；

藉由執行單次曝光製程而於該第二 PR 層中形成第一 PR 構件且於該第一 PR 層中形成第二 PR 構件，其中，該第一 PR 構件以中心對中心的方式

與該第二 PR 構件對準，其中，該第一 PR 構件的寬度實質上小於該第二 PR 構件的寬度；

通過該第一 PR 構件與該第二 PR 構件蝕刻該 HM 層，以形成第一 HM 構件，其中，將該第一 PR 構件轉移至該第一 HM 構件的上部，且將該第二 PR 構件轉移至該第一 HM 構件的下部；

沿著該第一 HM 構件形成間隔件，其中，該步驟暴露出該 HM 層之未被該間隔件覆蓋的部分頂面；

去除暴露出的 HM 層，以於該材料層上方形成第二 HM 構件；以及
使用該第二 HM 構件作為蝕刻遮罩，蝕刻該材料層，以於該基板上方形成圖案化的構件。

圖式

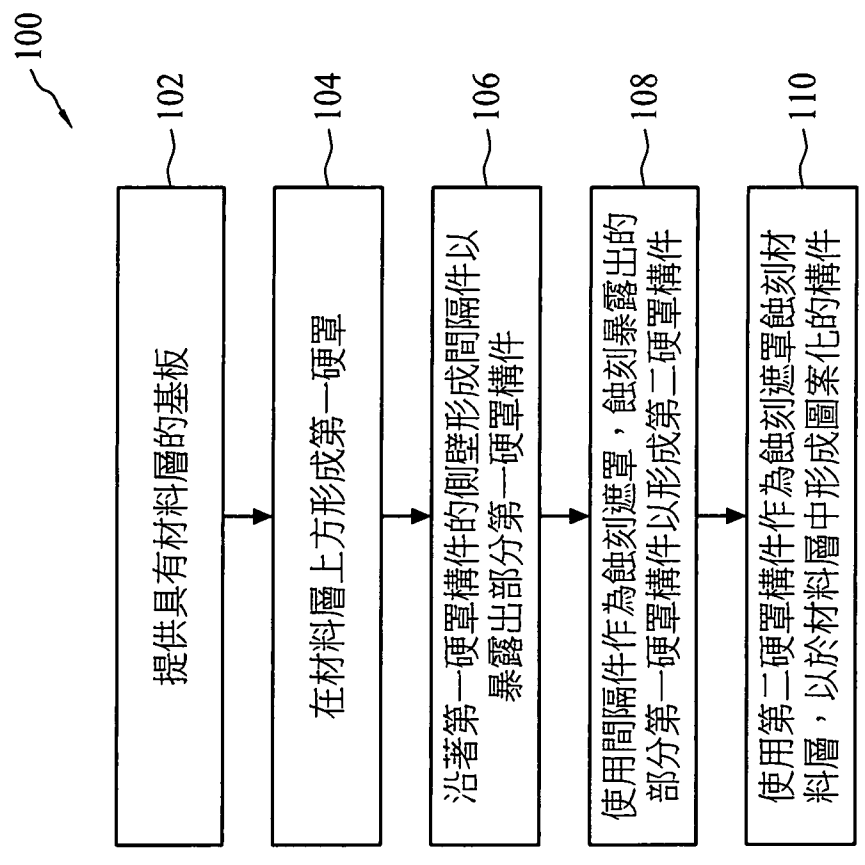


圖 1

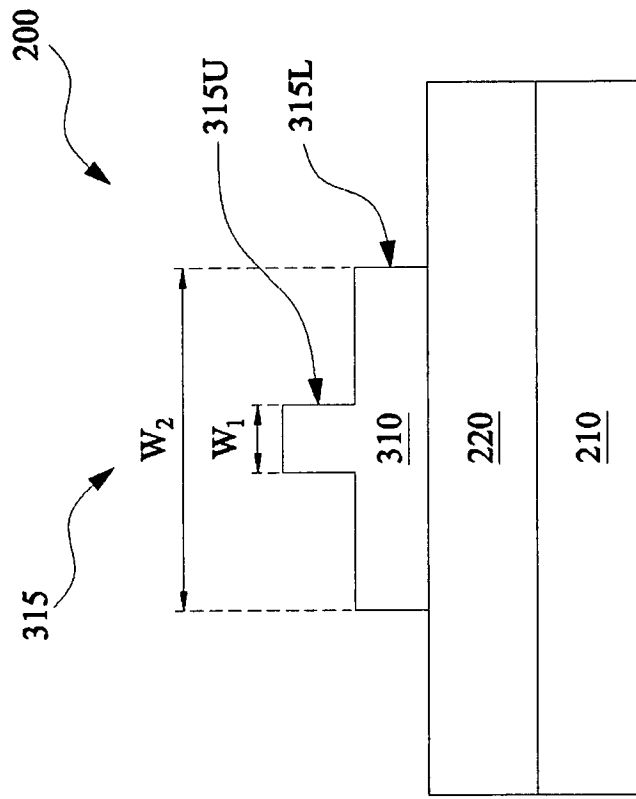


圖 2A

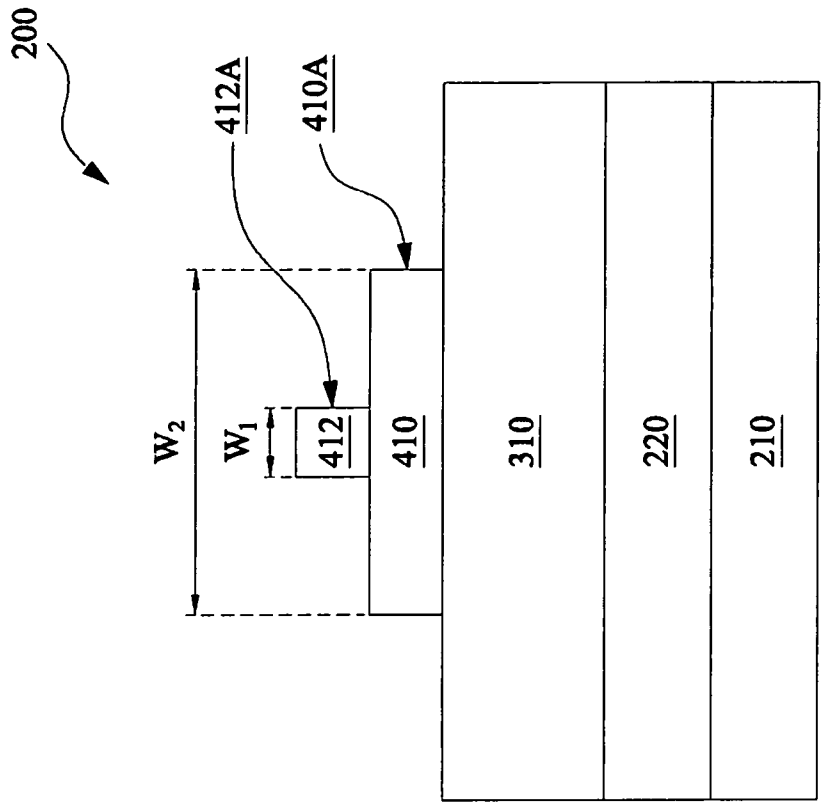


圖 2C

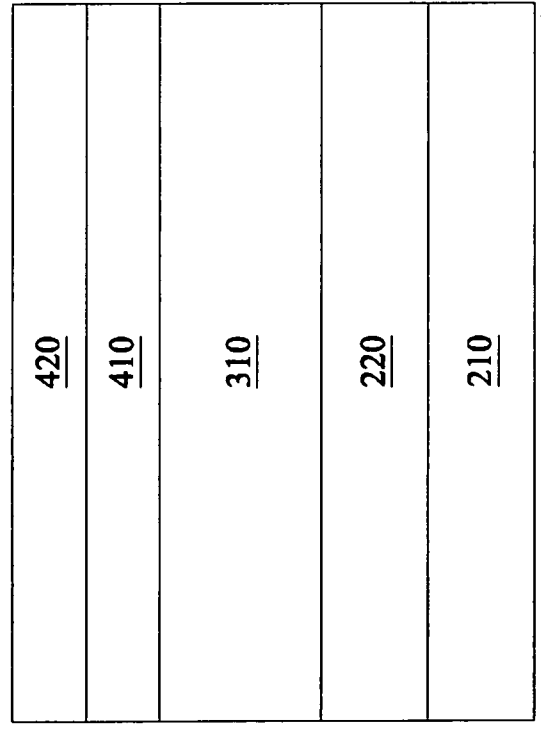


圖 2B

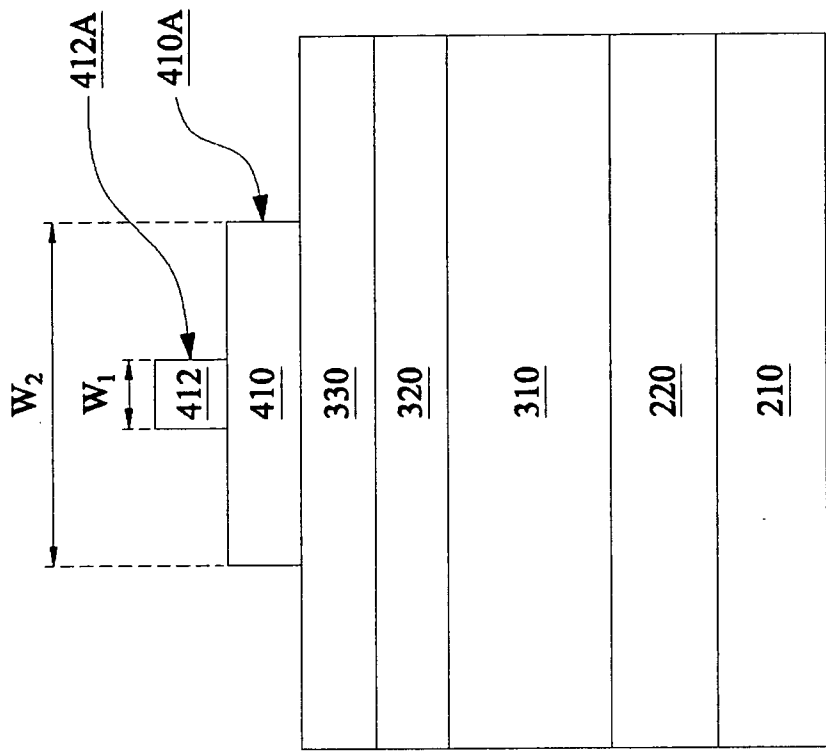


圖 2E

200

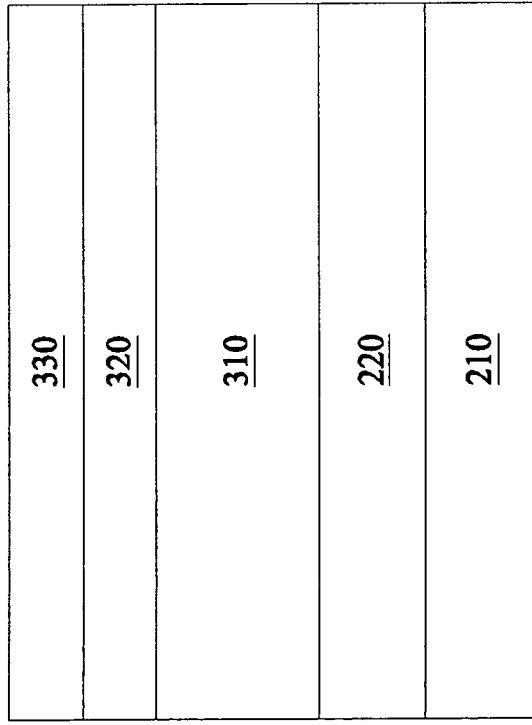


圖 2D

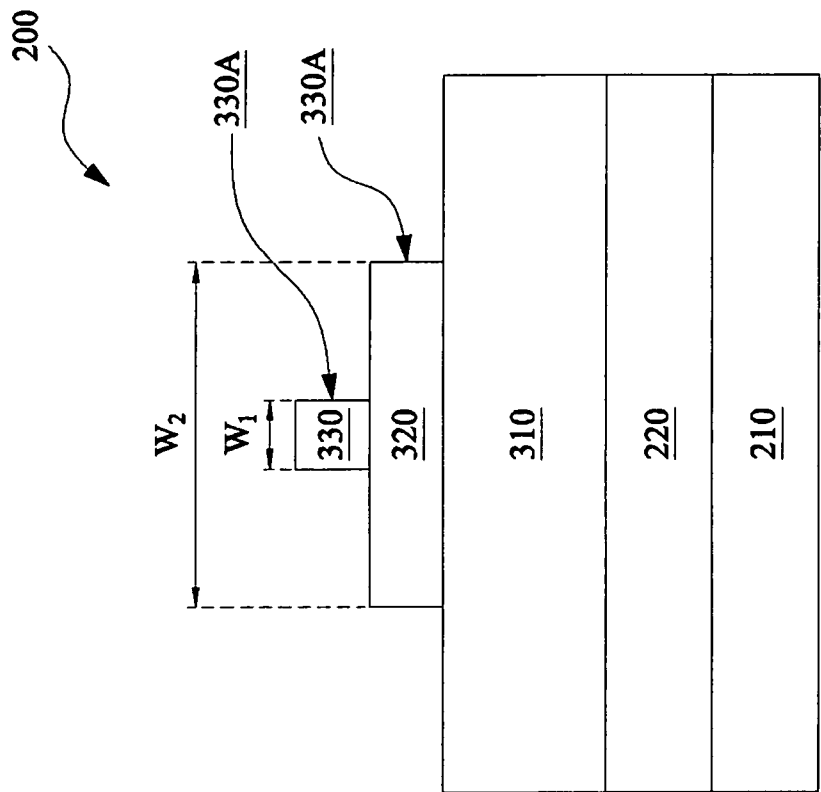


圖 2F

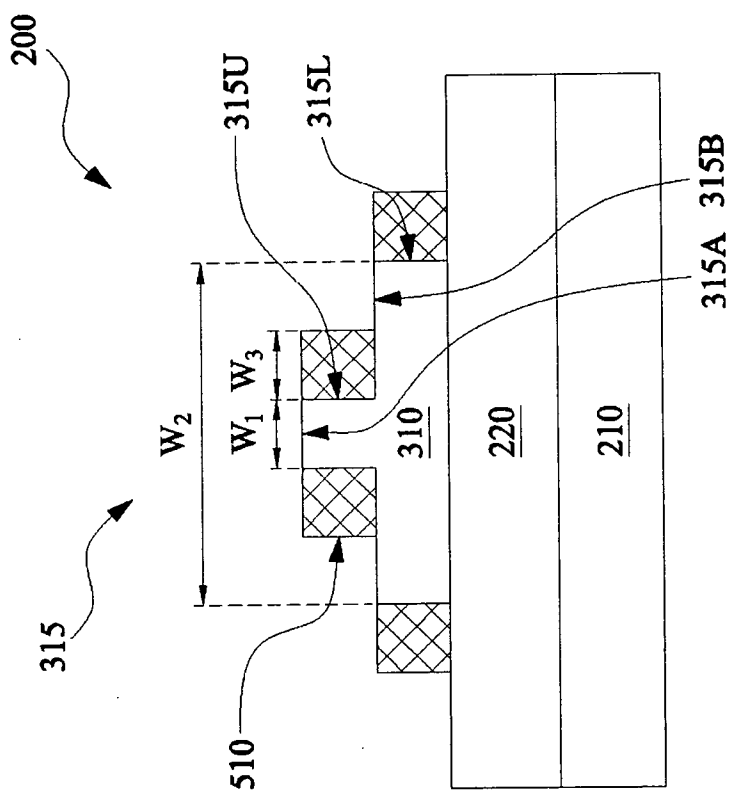


圖 3

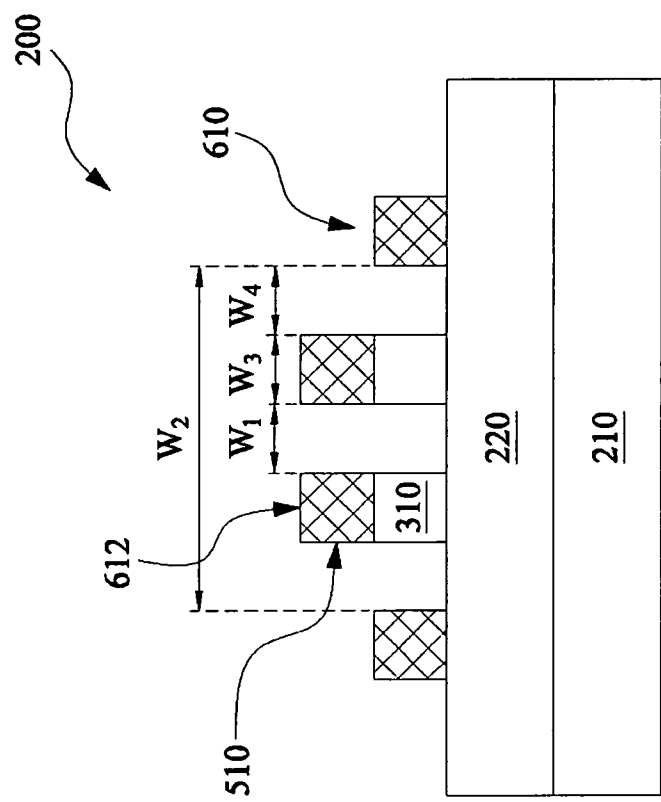


圖 4

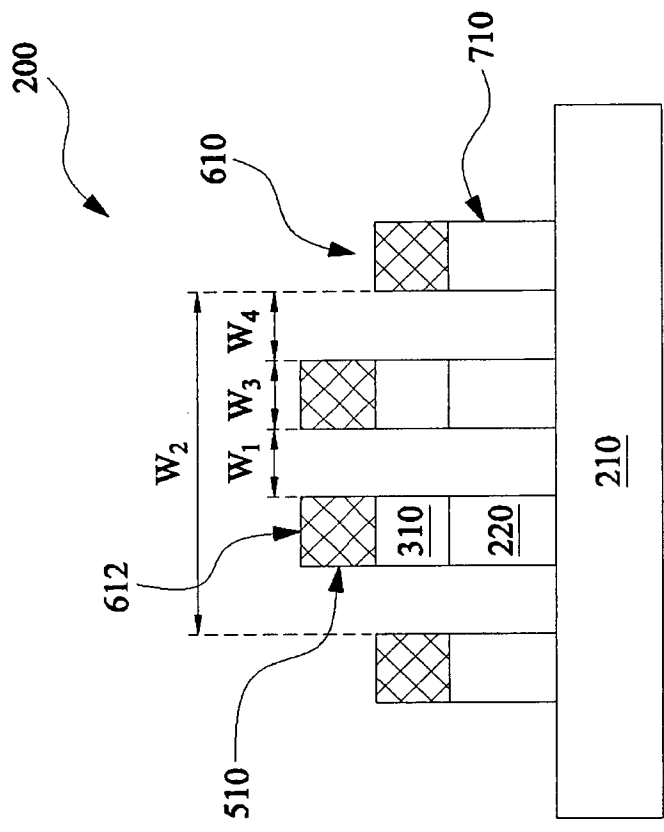


圖 5

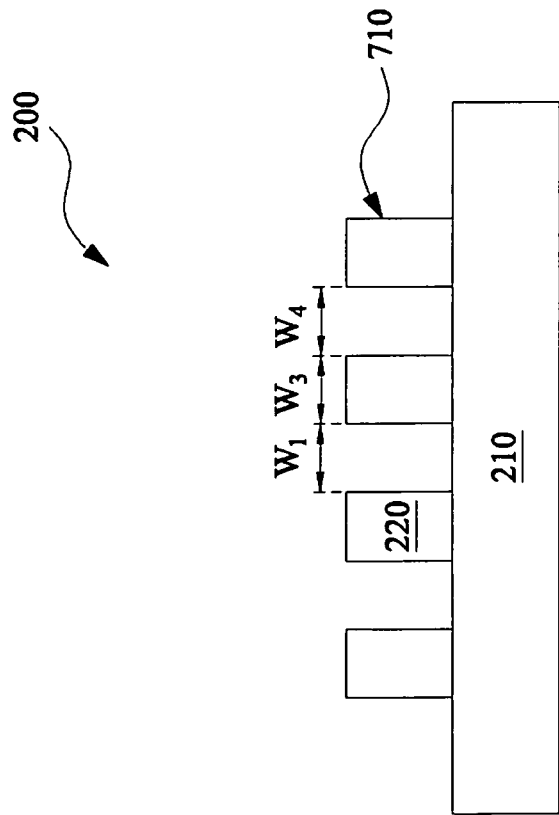


圖 6