

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6391429号
(P6391429)

(45) 発行日 平成30年9月19日(2018.9.19)

(24) 登録日 平成30年8月31日(2018.8.31)

(51) Int.Cl. F I
H05B 37/02 (2006.01) H05B 37/02 J
H02M 3/155 (2006.01) H02M 3/155 P

請求項の数 12 (全 17 頁)

(21) 出願番号	特願2014-224444 (P2014-224444)	(73) 特許権者	000116024
(22) 出願日	平成26年11月4日 (2014.11.4)		ローム株式会社
(65) 公開番号	特開2016-91781 (P2016-91781A)		京都府京都市右京区西院溝崎町2 1 番地
(43) 公開日	平成28年5月23日 (2016.5.23)	(74) 代理人	100105924
審査請求日	平成29年10月3日 (2017.10.3)		弁理士 森下 賢樹
		(74) 代理人	100133215
			弁理士 真家 大樹
		(72) 発明者	佐々木 義和
			京都府京都市右京区西院溝崎町2 1 番地
			ローム株式会社内
		審査官	田中 友章

最終頁に続く

(54) 【発明の名称】 スイッチングコンバータおよびその制御回路、制御方法、それを用いた照明装置、電子機器

(57) 【特許請求の範囲】

【請求項 1】

光源を駆動するスイッチングコンバータの制御回路であって、
 前記スイッチングコンバータは、
 入力ラインと出力ラインの間に設けられた出力キャパシタと、
 前記出力ラインと接地ラインの間に直列に設けられたインダクタ、スイッチングトランジスタおよび検出抵抗と、
 前記入力ラインにカソードが接続され、前記インダクタと前記スイッチングトランジスタの接続点にアノードが接続されたダイオードと、
 を備え、
 前記制御回路は、
 前記検出抵抗の電圧降下に応じた電流検出信号が設定値を超えると、リセットパルスアサートする電流リミットコンパレータと、
 前記インダクタに流れる電流が実質的にゼロとなるとセットパルスアサートするゼロ電流検出回路と、
 前記セットパルスおよび前記リセットパルスを受け、制御パルスを生成するロジック回路であって、(i) 前記制御パルスは、前記セットパルスがアサートされると、前記スイッチングトランジスタのオンに対応するオンレベルに遷移し、(ii) 前記リセットパルスがアサートされると、前記スイッチングトランジスタのオフに対応するオフレベルに遷移するものである、ロジック回路と、

前記光源の目標輝度に応じてデューティ比が調節される調光パルスを受けるパルス調光端子と、

前記調光パルスと前記制御パルスに応じた信号とを受け、修正調光パルスを生成する調光パルス修正部であって、前記調光パルスの点灯レベルから消灯レベルへの遷移が前記制御パルスのオンレベル中に発生するとき、当該遷移を、前記制御パルスの次のオフレベルの期間まで遅延させる調光パルス修正部と、

前記修正調光パルスが点灯レベルの間、前記制御パルスにもとづいて前記スイッチングトランジスタを駆動する出力部と、

を備えることを特徴とする制御回路。

【請求項 2】

10

前記調光パルス修正部は、前記調光パルスの周期の先頭から所定数 N 個の制御パルスの間は、前記調光パルスを修正しないことを特徴とする請求項 1 に記載の制御回路。

【請求項 3】

前記調光パルス修正部は、

前記調光パルスの周期の先頭から前記制御パルスが N 個発生するまでの間、所定レベルとなるマスク信号を生成するマスク信号生成部と、

前記マスク信号と前記調光パルスを論理演算し、前記修正調光パルスを生成する第 1 論理ゲートと、

を含むことを特徴とする請求項 2 に記載の制御回路。

【請求項 4】

20

前記マスク信号生成部は、

クロック端子およびリセット端子に前記制御パルスに応じた信号を受けるフリップフロップと、

クロック端子に前記制御パルスに応じた信号を受け、リセット端子に前記調光パルスを受け、カウント値が前記 N に達するとカウント完了信号をアサートするカウンタと、

前記カウント完了信号と前記フリップフロップの出力を論理演算する第 2 論理ゲートと

、

を含むことを特徴とする請求項 3 に記載の制御回路。

【請求項 5】

30

前記スイッチングトランジスタがターンオンしてから所定時間の経過までをマスク期間とし、前記マスク期間の間、前記リセットパルスのアサートをマスクし、マスク後のリセットパルスを前記ロジック回路に出力するリーディングエッジブランキング回路をさらに備えることを特徴とする請求項 1 から 4 のいずれかに記載の制御回路。

【請求項 6】

前記スイッチングコンバータは、前記インダクタと前記スイッチングトランジスタの接続点と接地ラインの間に直列に設けられた第 1 キャパシタおよび第 1 抵抗をさらに備え、

前記ゼロ電流検出回路は、前記第 1 抵抗の電位が所定のしきい値電圧がクロスすると、前記セットパルスをアサートすることを特徴とする請求項 1 から 5 のいずれかに記載の制御回路。

【請求項 7】

40

前記スイッチングコンバータは、前記インダクタと結合された補助巻線をさらに備え、

前記ゼロ電流検出回路は、前記補助巻線の電圧が所定のしきい値電圧とクロスすると、前記セットパルスをアサートすることを特徴とする請求項 1 から 5 のいずれかに記載の制御回路。

【請求項 8】

ひとつの半導体基板に一体集積化されることを特徴とする請求項 1 から 7 のいずれかに記載の制御回路。

【請求項 9】

請求項 1 から 8 のいずれかに記載の制御回路を備えることを特徴とするスイッチングコンバータ。

50

【請求項 10】

直列に接続された複数のLED（発光ダイオード）を含むLED光源と、
商用交流電圧を平滑整流する整流回路と、
前記整流回路により平滑整流された直流電圧を入力電圧として受け、前記LED光源を負荷とするスイッチングコンバータと、
を備え、
前記スイッチングコンバータは、請求項1から9のいずれかに記載の制御回路を備えることを特徴とする照明装置。

【請求項 11】

液晶パネルと、
前記液晶パネルを裏面から照射するバックライトである請求項10に記載の照明装置と、
を備えることを特徴とする電子機器。

10

【請求項 12】

光源を駆動するスイッチングコンバータの制御方法であって、
前記スイッチングコンバータは、
入力ラインと出力ラインの間に設けられた出力キャパシタと、
前記出力ラインと接地ラインの間に直列に設けられたインダクタ、スイッチングトランジスタおよび検出抵抗と、
前記入力ラインにカソードが接続され、前記インダクタと前記スイッチングトランジスタの接続点にアノードが接続されたダイオードと、
を備え、

20

前記制御方法は、
前記検出抵抗の電圧降下に応じた電流検出信号が設定値を超えると、リセットパルスアサートするステップと、
前記インダクタに流れる電流が実質的にゼロとなると、セットパルスアサートするステップと、

前記セットパルスおよび前記リセットパルスにもとづいて制御パルスを生成するステップであって、(i)前記制御パルスは、前記セットパルスアサートされると、前記スイッチングトランジスタのオンに対応するオンレベルに遷移し、(ii)前記リセットパルスアサートされると、前記スイッチングトランジスタのオフに対応するオフレベルに遷移するものであるステップと、

30

前記光源の目標輝度に応じてデューティ比が調節される調光パルスを生成するステップと、

前記制御パルスを利用して前記調光パルスを修正し、修正調光パルスを生成するステップであって、前記調光パルスのオンレベルからオフレベルへの遷移が前記制御パルスのオンレベル中に発生するとき、前記調光パルスのオンレベルからオフレベルへの遷移を、前記制御パルスの次のオフレベルの期間まで遅延させるステップと、

前記修正調光パルスがオンレベルの間、前記制御パルスにもとづいて前記スイッチングトランジスタを駆動するステップと、
を備えることを特徴とする制御方法。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、スイッチングコンバータに関する。

【背景技術】**【0002】**

液晶のバックライトや照明器具として、LED（発光ダイオード）などの半導体光源の普及が進んでいる。近年、LED照明においては、降圧型の開発が進められている。図1は、本発明らが検討した降圧型のスイッチングコンバータの回路図である。スイッチング

50

コンバータ100rは、図示しない電源から、入力電圧 V_{IN} を受け、それを降圧することにより負荷であるLED光源502に出力電圧 V_{OUT} を供給するとともに、LED光源502に流れる電流（負荷電流あるいは駆動電流という） I_{LED} を目標値 I_{REF} に安定化させる。たとえばLED光源502は、発光ダイオード（LED）ストリングであり、スイッチングコンバータ100rは、LEDストリングの目標輝度に応じて、負荷電流 I_{LED} の目標電流値 I_{REF} を設定する。

【0003】

スイッチングコンバータ100rは、出力回路102および制御回路200rを備える。出力回路102は、平滑キャパシタC1、整流ダイオードD1、スイッチングトランジスタM1、インダクタL1、補助巻線L2、および検出抵抗 R_{CS} を備える。

10

【0004】

スイッチングトランジスタM1のオン期間において、検出抵抗 R_{CS} には、スイッチングトランジスタM1に流れる電流が流れる。制御回路200rの電流検出（CS）端子には、検出抵抗 R_{CS} の電圧降下（検出電圧） V_{CS} がフィードバックされる。

【0005】

制御回路200は、電流リミットコンパレータ202、ゼロ電流検出回路204、ロジック回路206、ドライバ208を備える。

【0006】

図2は、図1のスイッチングコンバータ100rの動作波形図である。スイッチングトランジスタM1がオンの期間（オン期間）、コイル電流 I_L はスイッチングトランジスタM1を流れる電流 I_{M1} に相当し、LED光源502、インダクタL1、スイッチングトランジスタM1および検出抵抗 R_{CS} を經由して流れる。コイル電流 I_L の増大にともない、電流検出信号 V_{CS} が上昇する。電流リミットコンパレータ202は、電流検出信号 V_{CS} を、目標電流値 I_{REF} に対応して設定された目標電圧 V_{ADIM} と比較し、電流検出信号 V_{CS} が目標電圧 V_{ADIM} に達すると、つまりコイル電流 I_L がリミット電流 $I_{LIM} (= V_{ADIM} / R_{CS})$ に達すると、リミット電流検出信号S1をアサート（たとえばハイレベル）する。オン期間において、インダクタL1に蓄えられるエネルギーが増大する。

20

【0007】

ロジック回路206は、リミット電流検出信号S1がアサートされると、パルス信号S2をスイッチングトランジスタM1のオフに対応するオフレベル（たとえばローレベル）に遷移させる。ドライバ208は、パルス信号S2に応じて、スイッチングトランジスタM1をオフする。

30

【0008】

スイッチングトランジスタM1がオフの期間、コイル電流 I_L は整流ダイオードD1に流れる電流 I_{D1} に相当し、LED光源502、インダクタL1、および整流ダイオードD1を經由して流れる。オフ時間の経過にともない、インダクタL1に蓄えられたエネルギーが減少していき、コイル電流 I_L は減少していく。

【0009】

補助巻線L2は、インダクタL1と結合されており、トランスT1が形成される。制御回路200rのゼロクロス検出（ZT）端子には、補助巻線L2の電圧 V_{ZT} が入力される。ゼロ電流検出回路204は、補助巻線L2の電圧 V_{ZT} にもとづいて、インダクタL1に流れるコイル電流 I_L がゼロになったこと（ゼロクロス）を検出し、ゼロクロス検出信号S3をアサートする。

40

【0010】

ロジック回路206は、ゼロクロス検出信号S3がアサートされると、パルス信号S2を、スイッチングトランジスタM1のオンに対応するオンレベル（たとえばハイレベル）に遷移させる。ドライバ208は、パルス信号S2に応じて、スイッチングトランジスタM1をオンする。

【0011】

50

制御回路 200r は、以上の動作を繰り返す。負荷電流 I_{LED} は、コイル電流 I_L を平滑キャパシタ C1 により平滑化された電流となり、そのときの目標電流値 I_{REF} は、 $I_{LIM} / 2$ となる。

【0012】

図 2 に示すように、ドライバ 208 の出力パルス信号 S_{OUT} がオンレベルに遷移した直後、電流検出信号 V_{CS} はサージノイズの影響で大きく跳ね上がる。このスパイクノイズにより、コイル電流 I_L がリミット電流 I_{LIM} に達していないにもかかわらず、電流リミットコンパレータ 202 の出力（リミット電流検出信号）S1 がアサートされるのを防止するために、スイッチングトランジスタ M1 がオンした直後、所定の長さを有するマスク時間 T_{MSK} が設定され、マスク時間 T_{MSK} の間、電流リミットコンパレータ 202 による比較結果が無効化される。これをリーディングエッジブランキング（LEB）とも称する。

10

【0013】

スイッチングコンバータ 100r が LED 光源 502 の輝度（光量）を制御する方法として、アナログ調光と PWM 調光がある。アナログ調光は、目標電圧 V_{ADIM} を変化させることにより負荷電流 I_{LED} の電流量を変化させ、輝度を変化させる。

【0014】

PWM 調光では、負荷電流 I_{LED} をスイッチングし、そのデューティ比を変化させる。具体的には PWM 端子には、輝度に応じたデューティ比を有する調光パルス S4 が入力される。調光パルス S4 の周波数は、スイッチングトランジスタ M1 のゲートパルス S_{OUT} の周波数よりも十分に低い。調光パルス S4 がハイレベルの期間は、スイッチングトランジスタ M1 は、リミット電流検出信号 S1 とゼロクロス検出信号 S3 に応じてスイッチングし、LED 光源 502 は負荷電流 I_{LED} に応じた輝度で発光する。調光パルス S4 がローレベルの期間は、スイッチングトランジスタ M1 のスイッチングが停止し、負荷電流 I_{LED} はゼロとなり LED 光源 502 は消灯する。したがって調光パルス S4 のデューティ比を 0 ~ 100% の範囲で変化させれば、LED 光源 502 の輝度を変化させることができる。

20

【先行技術文献】

【特許文献】

【0015】

30

【特許文献 1】特開 2003 - 153529 号公報

【特許文献 2】特開 2004 - 47538 号公報

【発明の概要】

【発明が解決しようとする課題】

【0016】

図 3 (a) ~ (c) は、PWM 調光の波形図である。図 3 (a) ~ (c) には、調光パルス S4 (PWM)、出力パルス S_{OUT} 、CS 端子の電流検出信号 V_{CS} 、コイル電流 I_L 、負荷電流 I_{LED} 、負荷電流 I_{LED} の平均値 I_{LEDAVE} が示される。なお本明細書における波形図やタイムチャートの縦軸および横軸は、理解を容易とするために適宜拡大、縮小したものであり、また示される各波形も、理解の容易のために簡略化され、あるいは強調されている。

40

【0017】

はじめに図 3 (a) を参照して通常の調光動作を説明する。調光パルス S4 がハイレベルの区間、コイル電流 I_L は、0 と目標電圧 V_{ADIM} に応じたピーク I_{LIM} の間を変化するソフトスイッチングが行なわれ、このとき負荷電流 I_{LED} は $I_{LIM} / 2$ となる。

【0018】

調光パルス S4 の 1 周期の負荷電流 I_{LED} の平均値 I_{LEDAVE} は、調光パルス S4 のデューティ比を % とすると、以下の式で与えられ、調光パルスのデューティ比に対して実質的にリニアに変化する。

50

$$I_{LEDAVE} = I_{LEDX} / 100$$

【0019】

本発明者は、PWM調光について検討したところ、以下の2つの課題を認識するに至った。はじめに、図3(b)を参照して第1の課題を説明する。図3(a)と(b)とでは、横軸の時間スケールが異なることに留意されたい。

図3(b)には、調光パルスS4のデューティ比が100%に近い状態が示される。出力パルスS_{OUT}のうち調光パルスS4の1周期の最後の1個Xに注目する。

【0020】

最後のパルスXがハイレベルであるときに調光パルスS4がローレベルに遷移し、そして非常に短いローレベル区間T_{OFF}を挟んで、調光パルスS4が再びハイレベルに復帰する。調光パルスS4のローレベル区間T_{OFF}が短いと、ローレベル区間T_{OFF}内にコイル電流I_Lがゼロに低下する前に、次のパルスYが発生することとなる。これにより、コイル電流I_Lがゼロより大きい状態でスイッチングトランジスタM1がターンオンするハードスイッチングとなってしまう、疑似共振(QR)モードから逸脱してしまう。これは、負荷電流I_{LED}がコイル電流I_LのピークI_{LIM}の1/2から逸脱することを意味し、アナログ調光の精度が低下することを意味する。以上が第1の課題である。

【0021】

続いて図3(c)を参照して第2の課題を説明する。図3(c)には、出力パルスS_{OUT}のあるパルスZがハイレベルであり、かつコイル電流I_LがピークI_{LIM}に到達する前に、調光パルスS4がローレベルに遷移したときの波形である。この場合、最後のパルスZの周波数は、それより前のパルスの周波数よりも高くなる。この周波数の変動は、スイッチングコンバータ100rのアプリケーションによってはノイズとして認識されうる。

【0022】

これらの課題は、PWM調光用のスイッチと、DC/DCコンバータのスイッチングトランジスタが共用されていることに起因する図1の回路形式固有の問題といえる。なおこれらの課題を本発明の分野における共通の一般知識の範囲として捉えてはならず、さらに言えば本発明者が独自に認識したものである。

【0023】

本発明はこれらの課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、上述の課題の少なくともひとつを解決可能なスイッチングコンバータおよびその制御回路の提供にある。

【課題を解決するための手段】

【0024】

本発明のある態様は、光源を駆動するスイッチングコンバータの制御回路に関する。スイッチングコンバータは、入力ラインと出力ラインの間に設けられた出力キャパシタと、出力ラインと接地ラインの間に直列に設けられたインダクタ、スイッチングトランジスタおよび検出抵抗と、入力ラインにカソードが接続され、インダクタとスイッチングトランジスタの接続点にアノードが接続されたダイオードと、を備える。制御回路は、検出抵抗の電圧降下に応じた電流検出信号が設定値を超えると、リセットパルスのアサートする電流リミットコンパレータと、インダクタに流れる電流が実質的にゼロとなるとセットパルスのアサートするゼロ電流検出回路と、セットパルスおよびリセットパルスを受け、制御パルスを生成するロジック回路であって、(i)制御パルスは、セットパルスがアサートされると、スイッチングトランジスタのオンに対応するオンレベルに遷移し、(ii)リセットパルスがアサートされると、スイッチングトランジスタのオフに対応するオフレベルに遷移するものである、ロジック回路と、光源の目標輝度に応じてデューティ比が調節される調光パルスを受けるパルス調光端子と、調光パルスと制御パルスに応じた信号を受け、修正調光パルスを生成する調光パルス修正部であって、調光パルスの点灯レベルから消灯レベルへの遷移が制御パルスのオンレベル中に発生するとき、当該遷移を、制御パルスの次のオフレベルの期間まで遅延させる調光パルス修正部と、修正調光パルスが点灯レ

10

20

30

40

50

ベルの間、制御パルスにもとづいてスイッチングトランジスタを駆動する出力部と、を備える。

【0025】

この態様によると、調光パルスを制御パルスを利用して修正することにより、インダクタに流れるコイル電流が非ゼロの状態スイッチングトランジスタがスイッチングするハードスイッチングを防止でき、および/または、制御パルスの周波数が変動するのを抑制できる。

【0026】

調光パルス修正部は、調光パルスの周期の先頭から所定数N個の制御パルスの間は、調光パルスを修正しなくてもよい。これにより、調光パルスのデューティ比が小さい領域において、調光の精度を高めることができる。

10

【0027】

N = 1であってもよい。N = 2であってもよい。

【0028】

調光パルス修正部は、調光パルスの周期の先頭から制御パルスがN個発生するまでの間、所定レベルとなるマスク信号を生成するマスク信号生成部と、マスク信号と調光パルスを論理演算し、修正調光パルスを生成する第1論理ゲートと、を含んでもよい。

【0029】

マスク信号生成部は、クロック端子およびリセット端子に制御パルスに応じた信号を受け、フリップフロップと、クロック端子に制御パルスに応じた信号を受け、リセット端子に調光パルスを受け、カウント値がNに達するとカウント完了信号をアサートするカウンタと、カウント完了信号とフリップフロップの出力を論理演算する第2論理ゲートと、を含んでもよい。

20

【0030】

ある態様の制御回路は、スイッチングトランジスタがターンオンしてから所定時間の経過までをマスク期間とし、マスク期間の間、リセットパルスのアサートをマスクし、マスク後のリセットパルスをロジック回路に出力するリーディングエッジブランキング回路をさらに備えてもよい。

【0031】

スイッチングコンバータは、インダクタとスイッチングトランジスタの接続点と接地ラインの間に直列に設けられた第1キャパシタおよび第1抵抗をさらに備えてもよい。ゼロ電流検出回路は、第1抵抗の電位が所定のしきい値電圧がクロスすると、セットパルスをアサートしてもよい。

30

【0032】

スイッチングコンバータは、インダクタと結合された補助巻線をさらに備えてもよい。ゼロ電流検出回路は、補助巻線の電圧が所定のしきい値電圧とクロスすると、セットパルスをアサートしてもよい。

【0033】

制御回路は、ひとつの半導体基板に一体集積化されてもよい。

「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

40

【0034】

本発明の別の態様は、スイッチングコンバータに関する。スイッチングコンバータは、上述のいずれかの制御回路を含む。

【0035】

本発明の別の態様は、照明装置に関する。照明装置は、直列に接続された複数のLED（発光ダイオード）を含むLED光源と、商用交流電圧を平滑整流する整流回路と、整流回路により平滑整流された直流電圧を入力電圧として受け、LED光源を負荷とするスイッチングコンバータと、を備えてもよい。スイッチングコンバータは、上述のいずれかの

50

制御回路を備えてもよい。

【0036】

本発明の別の態様は電子機器に関する。電子機器は、液晶パネルと、液晶パネルを裏面から照射するバックライトである上述の照明装置と、を備えてもよい。

【0037】

なお、以上の構成要素の任意の組み合わせや、本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したのもまた、本発明の態様として有効である。

【発明の効果】

【0038】

本発明のある態様によれば、インダクタに流れるコイル電流が非ゼロの状態ですイッチングトランジスタがスイッチングするハードスイッチングを防止でき、および/または、制御パルスの周波数が変動するのを抑制できる。

10

【図面の簡単な説明】

【0039】

【図1】本発明らが検討した降圧型のスイッチングコンバータの回路図である。

【図2】図1のスイッチングコンバータの動作波形図である。

【図3】図3(a)~(c)は、PWM調光の波形図である。

【図4】実施の形態に係るスイッチングコンバータの構成を示す回路図である。

【図5】図5(a)、(b)は、調光パルス修正部の構成例を示す回路図である。

【図6】図6(a)、(b)は、図4のスイッチングコンバータの動作波形図である。

20

【図7】図7(a)は、図4のスイッチングコンバータにおける調光パルスと修正調光パルスの関係を示す図であり、図7(b)は、第1変形例に係るスイッチングコンバータ100における調光パルスと修正調光パルスの関係を示す図である。

【図8】第1変形例に係るスイッチングコンバータの動作波形図である。

【図9】第1変形例に係る調光パルス修正部の回路図である。

【図10】第2変形例に係るスイッチングコンバータの回路図である。

【図11】スイッチングコンバータを用いた照明装置のブロック図である。

【図12】図12(a)~(c)は、照明装置の具体例を示す図である。

【発明を実施するための形態】

【0040】

30

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【0041】

本明細書において、「部材Aと部材Bが接続」された状態とは、部材Aと部材Bが物理的に直接的に接続される場合や、部材Aと部材Bが、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

同様に、「部材Cが、部材Aと部材Bの間に設けられた状態」とは、部材Aと部材C、あるいは部材Bと部材Cが直接的に接続される場合のほか、電気的な接続状態に影響を及ぼさない他の部材を介して間接的に接続される場合も含む。

40

【0042】

図4は、実施の形態に係るスイッチングコンバータ100の構成を示す回路図である。スイッチングコンバータ100は、入力ライン104の入力電圧 V_{IN} を降圧し、降圧された出力電圧 V_{OUT} を出力ライン106から出力する降圧コンバータ(バックコンバータ)である。LED光源502の一端(アノード)は入力ライン104と接続され、その他端(カソード)は出力ライン106と接続される。LED光源502の両端間には、駆動電圧 $V_{IN} - V_{OUT}$ が供給される。

【0043】

50

LED光源502は、定電流駆動すべきデバイスであり、スイッチングコンバータ100は、LED光源502に流れる電流 I_{LED} を、目標量に安定化する。たとえばLED光源502は、直列に接続された複数の発光素子(LED)を含むLEDストリングであってもよい。スイッチングコンバータ100は、LED光源502に流れる電流 I_{LED} を、目標となる輝度に応じた目標電流 I_{REF} に安定化する。

【0044】

出力回路102は、平滑キャパシタC1、入力キャパシタC2、整流ダイオードD1、スイッチングトランジスタM1、インダクタL1、検出抵抗 R_{CS} を備える。平滑キャパシタC1の一端は入力ライン104と接続され、その他端は出力ライン106と接続される。

10

【0045】

インダクタL1の一端は出力ライン106と接続され、その他端はスイッチングトランジスタM1のドレインと接続される。検出抵抗 R_{CS} は、スイッチングトランジスタM1がオンの期間に、スイッチングトランジスタM1およびインダクタL1に流れる電流 I_L の経路上に配置される。整流ダイオードD1のカソードは入力ライン104と接続され、そのアノードは、インダクタL1とスイッチングトランジスタM1の接続点N1(ドレイン)と接続される。

【0046】

制御回路200は、ひとつの半導体基板に一体集積化された機能IC(Integrated Circuit)であり、出力(OUT)端子、電流検出(CS)端子、補助(ZT)端子、接地(GND)端子、パルス調光(PWM)端子を有する。GND端子は接地される。OUT端子は、スイッチングトランジスタM1のゲートと接続され、CS端子には、検出抵抗 R_{CS} の電圧降下に応じた電流検出信号 V_{CS} が入力される。スイッチングトランジスタM1は、制御回路200に内蔵されてもよい。

20

【0047】

制御回路200は、電流リミットコンパレータ202、ゼロ電流検出回路204、ロジック回路206、出力部209、LEB(Leading Edge Blanking)回路210、調光パルス修正部240を備える。

【0048】

電流リミットコンパレータ202は、電流検出信号 V_{CS} が設定値 V_{ADIM} を超えると、言い換えればコイル電流 I_L が設定値 V_{ADIM} に応じたリミット電流 I_{LIM} に達すると、リセットパルスS11をアサート(たとえばハイレベル)する。設定値 V_{ADIM} は、アナログ調光の設定値に対応する。

30

【0049】

ゼロ電流検出回路204は、スイッチングトランジスタM1のターンオンを指示するセットパルスS13を生成する。図4のスイッチングコンバータ100は、疑似共振(QR)型のコンバータであり、コイル電流 I_L がゼロとなると、スイッチングトランジスタM1をターンオンするソフトスイッチング動作を行なう。ゼロ電流検出回路204は、コイル電流 I_L が実質的にゼロとなると、セットパルスS13をアサート(たとえばハイレベル)する。

40

【0050】

キャパシタC11、抵抗R10は、コイル電流 I_L を検出するために設けられる。ゼロ電流検出回路204は、キャパシタC11と抵抗R10の接続点N2の電圧 V_{N2} が、ゼロ付近のしきい値とクロスすると、セットパルスS13をアサートする。ZT端子には、接続点N2の電圧 V_{N2} を直接入力してもよいが、抵抗R11、R12により分圧した電圧 V_{ZT} を入力してもよい。

【0051】

ゼロ電流検出回路204は、コンパレータを含み、ZT端子の電圧 V_{ZT} が、ゼロ付近に設定されたしきい値電圧 V_{ZERO} とクロスすると、セットパルスS13をアサート(たとえばハイレベル)する。

50

【 0 0 5 2 】

LEB回路210は、スイッチングトランジスタM1がターンオンしてから所定時間(マスク時間)の経過までをマスク期間とし、マスク期間中のリセットパルスS11のアサートをマスク、つまり無効化し、マスク後のリセットパルスS12をロジック回路206に出力する。つまり、LEB回路210のマスク時間は、スイッチングトランジスタM1のオン時間の最小幅を規定する。

【 0 0 5 3 】

LEB回路210の構成は特に限定されず、公知技術を用いればよい。たとえばLEB回路210は、タイマー回路とゲート素子で構成できる。タイマー回路は、スイッチングトランジスタM1がターンオンしてからマスク時間の間、所定レベルとなるマスク信号を生成する。ゲート素子は、マスク信号とリセットパルスS11とを論理演算することにより、マスク後のリセットパルスS12を生成する。

10

【 0 0 5 4 】

ロジック回路206は、セットパルスS13およびリセットパルスS12を受け、制御パルスS14を生成する。(i)制御パルスS14は、セットパルスS13がアサートされると、スイッチングトランジスタM1のオンに対応するオンレベル(たとえばハイレベル)に遷移し、(ii)リセットパルスS12がアサートされると、スイッチングトランジスタM1のオフに対応するオフレベル(たとえばローレベル)に遷移する。

【 0 0 5 5 】

PWM端子には、LED光源502の目標輝度に応じてデューティ比が調節される調光パルスS20が入力される。調光パルス修正部240は、調光パルスS20と制御パルスS14に応じた信号S15を受け、修正調光パルスS21を生成する。調光パルス修正部240は、調光パルスS20の点灯レベル(たとえばハイレベル)から消灯レベル(たとえばローレベル)への遷移(つまりネガティブエッジ)が制御パルスS14のオンレベル中に発生するとき、当該遷移(ネガティブエッジ)を、制御パルスS14の次のオフレベルの期間まで遅延させる。より詳しくは、調光パルス修正部240は、調光パルスS20のネガティブエッジを、制御パルスS14のネガティブエッジまで遅延させてもよい。

20

【 0 0 5 6 】

出力部209は、修正調光パルスS21が点灯レベル(ハイレベル)の間、制御パルスS14にもとづいてスイッチングトランジスタM1を駆動し、修正調光パルスS21が消灯レベルである間、スイッチングトランジスタM1をオフに固定する。たとえば出力部209は、ANDゲート211およびドライバ208を備える。ANDゲート211は制御パルスS14と修正調光パルスS21を論理演算することにより、駆動パルスS15を生成する。ドライバ208は駆動パルスS15にもとづいてスイッチングトランジスタM1を駆動する。駆動パルスS15は、制御パルスS14に応じた論理レベルを有する。

30

【 0 0 5 7 】

図5(a)、(b)は、調光パルス修正部240の構成例を示す回路図である。図5(a)、(b)の調光パルス修正部240は、いずれも、論理ゲート242とフリップフロップ244を含む。図5(a)の論理ゲート242はORゲートであり、調光パルスS20と制御パルスS14(駆動パルスS15)の論理和を生成する。図5(a)のフリップフロップ244は、Dフリップフロップであり、そのクロック端子には調光パルスS20が、そのリセット端子(反転論理)には論理ゲート242の出力が入力される。フリップフロップ244の出力は、調光パルスS20のネガティブエッジが、駆動パルスS15のローレベル区間まで遅延された修正調光パルスS21となる。

40

【 0 0 5 8 】

図5(b)の論理ゲート242はNORゲートであり、調光パルスS20と制御パルスS14(駆動パルスS15)の否定論理和を生成する。図5(b)のフリップフロップ244は、RSフリップフロップであり、そのセット端子には調光パルスS20が、そのリセット端子には論理ゲート242の出力が入力される。フリップフロップ244の出力は、調光パルスS20のネガティブエッジが、駆動パルスS15のローレベル区間まで遅延

50

された修正調光パルスS21となる。当業者によれば、調光パルス修正部240には、さまざまな変形例が存在しうることが理解される。

【0059】

以上が制御回路200の構成である。続いてその動作を説明する。図6(a)、(b)は、図4のスイッチングコンバータ100の動作波形図である。図6(a)には、調光パルスS20のデューティ比が100%に近い状態が示される。調光パルスS20のネガティブエッジは、制御パルスS14(S15)のハイレベル区間に発生する。したがって調光パルス修正部240は、調光パルスS20のネガティブエッジを、制御パルスS14の次のネガティブエッジNE1まで遅延させることにより修正調光パルスS21を生成する。その結果、修正調光パルスS21のデューティ比は100%に引き延ばされる。

10

【0060】

これにより、コイル電流 I_L がゼロトリミット電流を変動するハードスイッチングが維持され、図3(b)に示したようなソフトスイッチングを防止できる。

【0061】

図6(b)には、制御パルスS14がハイレベルであり、コイル電流 I_L がピーク I_{L, I_M} に到達する前に、調光パルスS20がローレベルに遷移したときの波形が示される。調光パルスS20のネガティブエッジは、制御パルスS14(S15)のハイレベル区間に発生している。調光パルス修正部240は、調光パルスS20のネガティブエッジを、制御パルスS14の次のネガティブエッジNE2まで遅延させることにより修正調光パルスS21を生成する。その結果、制御パルスS14のデューティ比は100%に引き延ばされる。

20

【0062】

これにより、最後のパルスZの周期は、それより前のパルスの周期と実質的に等しくなり、周波数変動を抑制できる。

【0063】

このように、実施の形態に係るスイッチングコンバータ100によれば、PWM調光用のスイッチと、DC/DCコンバータのスイッチングトランジスタが共用される照明装置500において生じうる問題の少なくともひとつを解決できる。

【0064】

実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例を説明する。

30

【0065】

(第1変形例)

実施の形態では、調光パルスS20のデューティ比(パルス幅)にかかわらず、調光パルス修正部240による修正を行なった。図7(a)は、図4のスイッチングコンバータ100における調光パルスS20と修正調光パルスS21の関係を示す図である。縦軸の修正調光パルスS21は、LED光源502の光量(輝度)とも把握できる。つまり図4のスイッチングコンバータ100では、修正調光パルスS21のデューティ比は、とある最小値MINより小さくならず、またデューティ比が小さな領域において、光量を離散的にしか変化させることができない。

40

【0066】

この問題を解決するために、第1変形例では、調光パルスS20のデューティ比に応じて、調光パルス修正部240による修正動作のオン、オフが切りかえられる。具体的には調光パルス修正部240は、調光パルスS20の周期の先頭から所定数N個の制御パルスS14の間は、調光パルスS20を修正せずにそのまま出力する。N=1であってもよいし、N=2であってもよい。言い換えれば、調光パルス修正部240は、調光パルスS20の周期に含まれる少なくとも先頭の制御パルスS14の区間は、調光パルスS20を修正せずにそのまま出力する。図7(b)は、第1変形例に係るスイッチングコンバータ100における調光パルスS20と修正調光パルスS21の関係を示す図である。図7(b)

50

)には $N = 3$ の場合を示す。

【0067】

図8は、第1変形例に係るスイッチングコンバータ100の動作波形図である。ここでは、先頭のパルスP1がハイレベルの間に、言い換えればコイル電流 I_L がリミット電流 I_{LIM} に達する前に、調光パルスS20が消灯レベルに遷移した場合が示される。この場合、調光パルス修正部240は、調光パルスS20のエッジを遅延することなく、そのまま修正調光パルスS21として出力する。その結果、調光パルスS20のネガティブエッジのタイミングで、駆動パルスS15はローレベルに遷移し、スイッチングトランジスタM1がオフする。

【0068】

この変形例によれば、図7(a)の最小値MINより小さな範囲でPWM調光が可能となる。また、調光パルスS20のデューティ比(パルス幅)が小さな領域において、光量を連続的に変化させることができる。

【0069】

図9は、第1変形例に係る調光パルス修正部240aの回路図である。調光パルス修正部240aは、マスク信号生成部250と、第1論理ゲート252を含む。マスク信号生成部250は、調光パルスS20の周期の先頭から制御パルスS14がN個発生するまでの間、所定レベル(ハイレベル)となるマスク信号S22を生成する。第1論理ゲート252は、マスク信号S22と調光パルスS20を論理演算し、修正調光パルスS21を生成する。

【0070】

たとえばマスク信号生成部250は、フリップフロップ254、カウンタ256、第2論理ゲート258を含む。フリップフロップ254は、そのクロック端子およびそのリセット端子(反転論理)に制御パルスS14に応じた駆動パルスS15を受ける。

【0071】

カウンタ256は、そのクロック端子に制御パルスS14に応じた信号(駆動パルスS15)を受け、駆動パルスS15ごとにカウントアップする。カウンタ256のリセット端子(反転論理)には調光パルスS20が入力され、調光パルスS20がローレベルに遷移するたびにカウント値はリセットされる。カウンタ256は、そのカウント値が所定値Nに達すると、カウント完了信号S23をアサート(たとえばハイレベル)する。

【0072】

第2論理ゲート258は、カウント完了信号S23とフリップフロップ254の出力を論理演算し、修正調光パルスS21を生成する。たとえば第2論理ゲート258はORゲートである。なお調光パルス修正部240aの構成は図9のそれには限定されない。

【0073】

(第2変形例)

図10は、第2変形例に係るスイッチングコンバータ100bの回路図である。このスイッチングコンバータ100bは、キャパシタC11、抵抗R10に代えて、インダクタL1と結合された補助巻線L2を備える。制御回路200bのZT端子には、補助巻線L2に生ずる電圧 V_{L2} に応じた電圧 V_{ZT} が入力される。ゼロ電流検出回路(セットパルス発生器)204は、補助巻線L2の電圧 V_{ZT} が所定のしきい値電圧 V_{ZERO} とクロスすると、セットパルスS13をアサートする。この構成によっても、疑似共振モードを実現できる。

【0074】

(第3変形例)

実施の形態では、LED光源502がLEDストリングである場合を説明したが、負荷の種類は特に限定されない。

【0075】

(第4変形例)

本実施の形態において、ロジック回路のハイレベル、ローレベルの論理値の設定は一例

10

20

30

40

50

であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

【0076】

また、上述の実施の形態および任意の変形例の組み合わせも、本発明の態様として有効である。

【0077】

最後に、スイッチングコンバータ100の用途を説明する。図11は、スイッチングコンバータ100を用いた照明装置500のブロック図である。照明装置500は、LED光源502である発光部、スイッチングコンバータ100に加えて、整流回路504、平滑コンデンサ506、マイコン508を備える。整流回路504および平滑コンデンサ506は、商用交流電圧 V_{AC} を整流平滑化し、直流電圧 V_{DC} に変換する。マイコン508は、LED光源502の輝度を指示する制御信号 S_{DIM} を生成する。スイッチングコンバータ100は、直流電圧 V_{DC} を入力電圧 V_{IN} として受け、制御信号 S_{DIM} に応じた駆動電流 I_{LED} をLED光源502に供給する。

10

【0078】

図12(a)~(c)は、照明装置500の具体例を示す図である。図12(a)~(c)にはすべての構成要素が示されているわけではなく、一部は省略されている。図12(a)の照明装置500aは、直管型LED照明である。LED光源502であるLEDストリングを構成する複数のLED素子は、基板510上にレイアウトされる。基板510には、整流回路504や制御回路200、出力回路102などが実装される。

20

【0079】

図12(b)の照明装置500bは、電球形LED照明である。LED光源502であるLEDモジュールは、基板510上に実装される。制御回路200や整流回路504は、照明装置500bの筐体の内部に実装される。

【0080】

図12(c)の照明装置500cは、液晶ディスプレイ装置600に内蔵されるバックライトである。照明装置500cは、液晶パネル602の背面を照射する。

【0081】

あるいは照明装置500は、シーリングライトに利用することも可能である。このように、図11の照明装置500はさまざまな用途に利用可能である。

30

【0082】

実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められることはいうまでもない。

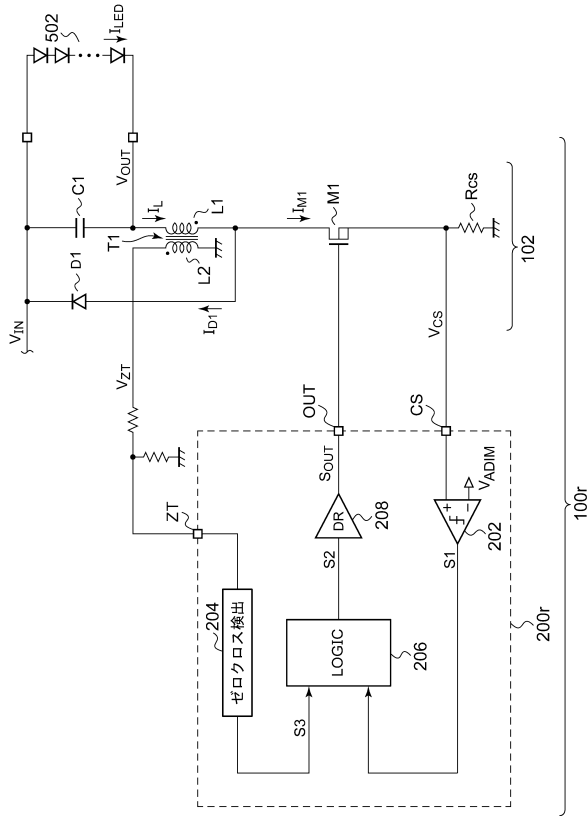
【符号の説明】

【0083】

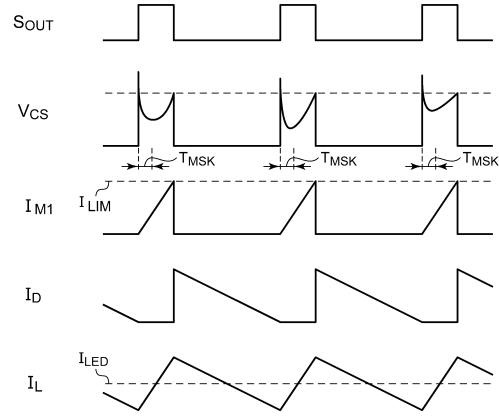
100...スイッチングコンバータ、102...出力回路、104...入力ライン、106...出力ライン、C1...平滑キャパシタ、D1...整流ダイオード、M1...スイッチングトランジスタ、T1...トランス、L1...インダクタ、L2...補助巻線、 R_{CS} ...検出抵抗、200...制御回路、202...電流リミットコンパレータ、204...ゼロ電流検出回路、206...ロジック回路、208...ドライバ、210...LEB回路、500...照明装置、502...LED光源、504...整流回路、506...平滑コンデンサ、508...マイコン、510...基板。

40

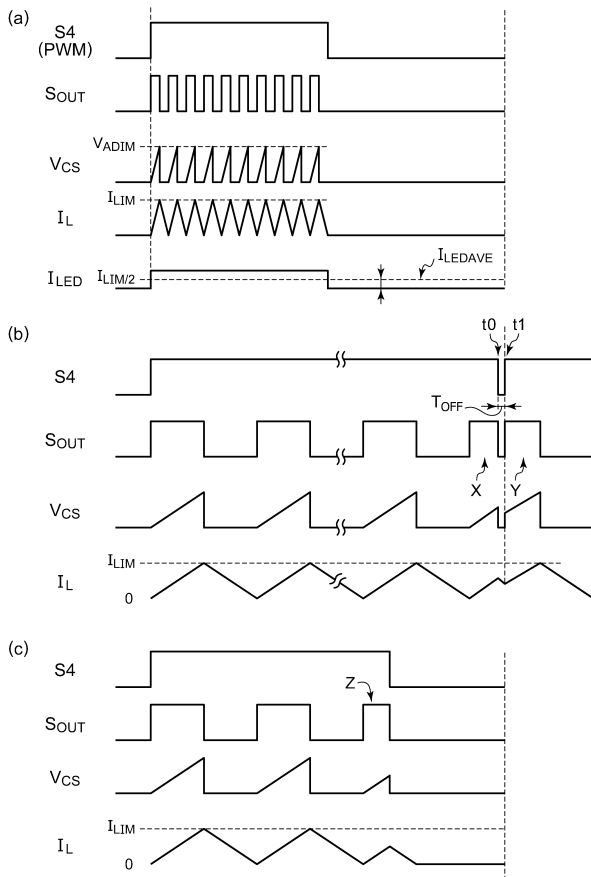
【図1】



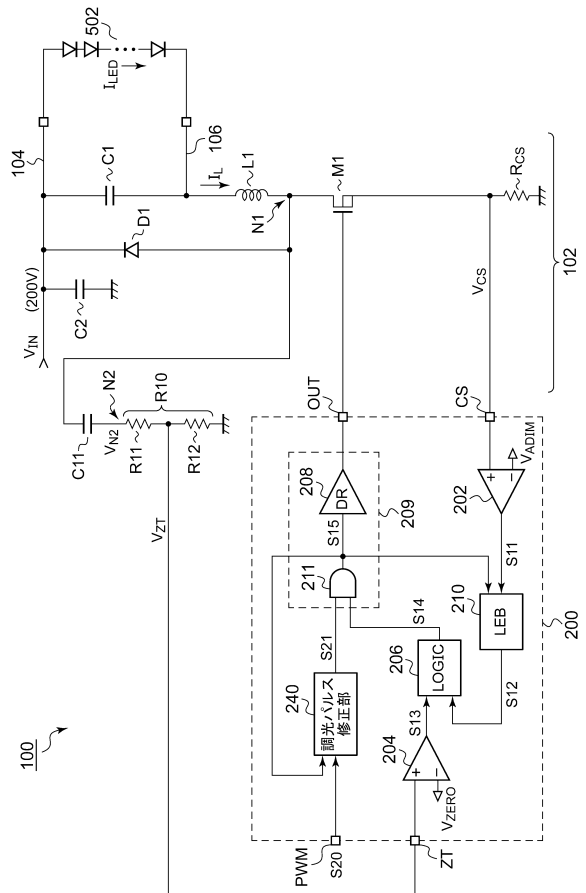
【図2】



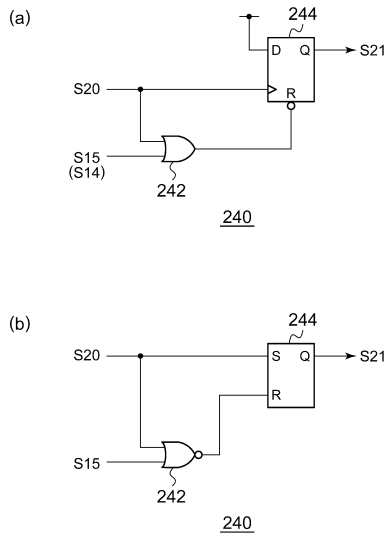
【図3】



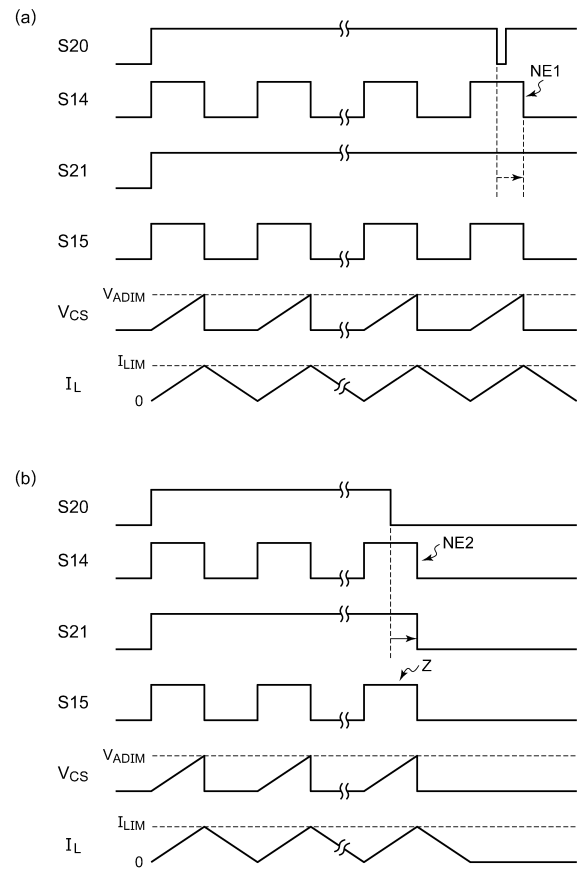
【図4】



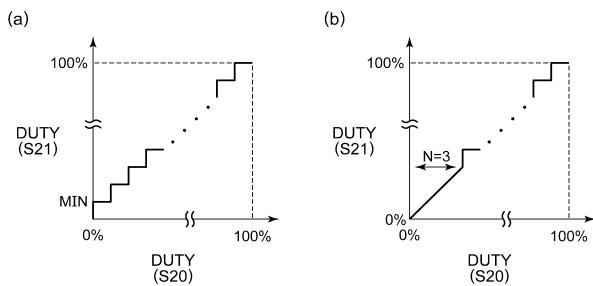
【 図 5 】



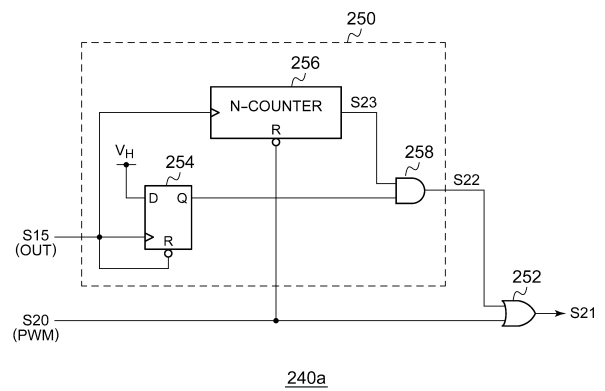
【 図 6 】



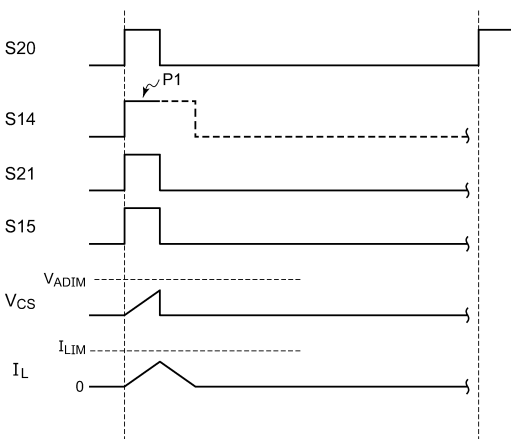
【 図 7 】



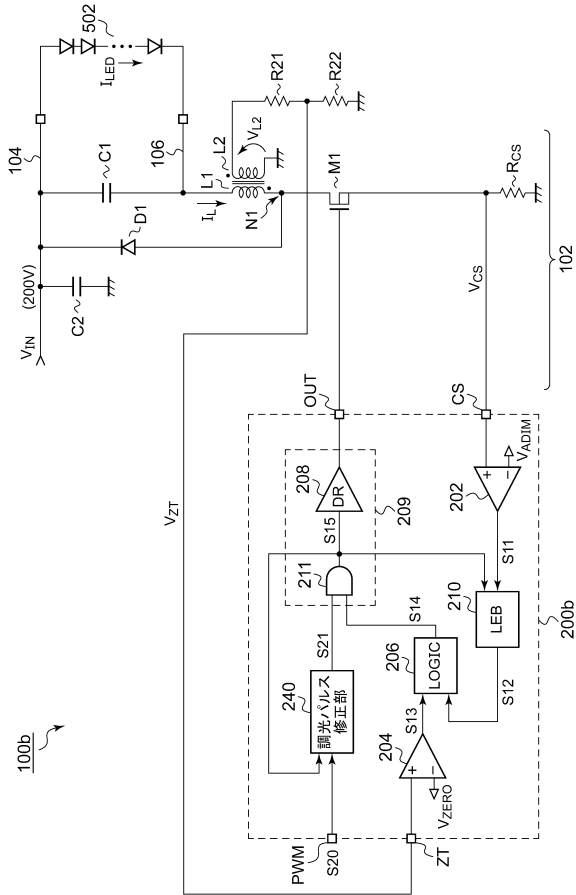
【 図 9 】



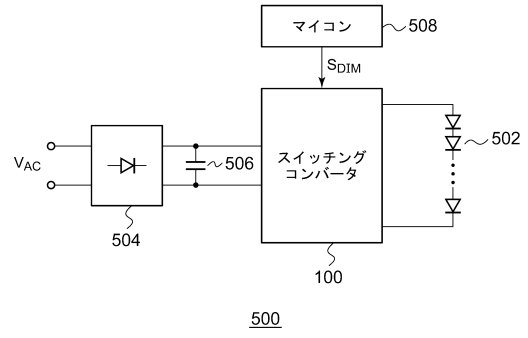
【 図 8 】



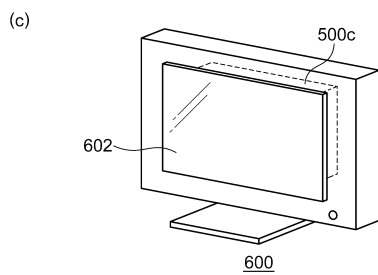
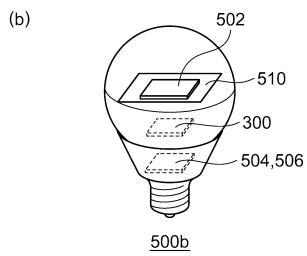
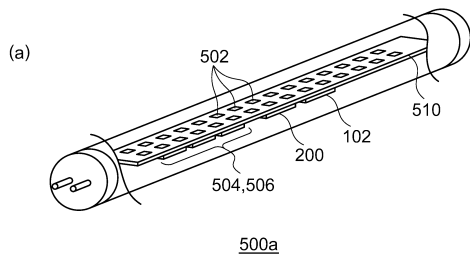
【図10】



【図11】



【図12】



フロントページの続き

- (56)参考文献 特開2012-115039(JP,A)
特開2013-254717(JP,A)
特開2014-56793(JP,A)
特開2014-143048(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05B 37/02
H02M 3/155