

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4745697号  
(P4745697)

(45) 発行日 平成23年8月10日(2011.8.10)

(24) 登録日 平成23年5月20日(2011.5.20)

(51) Int.Cl. F I  
**G06F 17/50 (2006.01)** G O 6 F 17/50 6 5 8 H  
**HO1L 21/82 (2006.01)** G O 6 F 17/50 6 5 8 U  
 H O 1 L 21/82 C

請求項の数 5 (全 22 頁)

<p>(21) 出願番号 特願2005-96133 (P2005-96133)                  (22) 出願日 平成17年3月29日 (2005.3.29)                  (65) 公開番号 特開2006-277388 (P2006-277388A)                  (43) 公開日 平成18年10月12日 (2006.10.12)                  審査請求日 平成20年1月25日 (2008.1.25)</p> <p>前置審査</p>	<p>(73) 特許権者 308014341                  富士通セミコンダクター株式会社                  神奈川県横浜市港北区新横浜二丁目10番                  23                  (74) 代理人 100074099                  弁理士 大菅 義之                  (74) 代理人 100133570                  弁理士 ▲徳▼永 民雄                  (72) 発明者 大庭 久芳                  神奈川県川崎市中原区上小田中4丁目1番                  1号 富士通株式会社内</p> <p>審査官 松浦 功</p>
--	--

最終頁に続く

(54) 【発明の名称】 複数の配線層を有する半導体回路の端子層設定方法、端子層設定プログラム、配線端子延長処理プログラム、および、その端子層を設定に用いられる端子延長用コンポーネント

(57) 【特許請求の範囲】

【請求項1】

複数の配線層を有する半導体回路の端子層をコンピュータが設定する方法において、前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得し、

前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較し、前記比較の結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定し、

ビアと、該ビアとの接触を十分可能とした長さであって配線の寸法が大きい配線層では長く配線の寸法が小さい配線層では短い突き出し長さを有する直線状の配線とから構成される、前記複数の配線層にそれぞれ対応する寸法の端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に2個以上追加することで、その対象とするセルまたはマクロの配線端子を延長先として設定された配線層まで延長する、ことを特徴とする端子層設定方法。

【請求項2】

前記比較の結果において、取得された対象とするセルまたはマクロの駆動能力が、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の距離に基づく配線の抵抗より小さい場合に、単位長さ当たりの抵抗値が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定し、該設定された配線層まで延

長するのに必要な前記端子延長用コンポーネントの数を設定する、ことを特徴とする請求項 1 記載の端子層設定方法。

【請求項 3】

対象とするセルまたはマクロが所定数以上の接続先のセルまたはマクロに接続されているかを判定し、

所定数以上であると判定された場合には、単位長さ当たりの配線容量が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定し、該設定された配線層まで延長するのに必要な前記端子延長用コンポーネントの数を設定する、ことを特徴とする請求項 1 記載の端子層設定方法。

【請求項 4】

取得した情報に基づいて、該セルまたはマクロと接続先のセルまたはマクロ間の配線が密集している前記基板上的エリアを特定し、

配線が密集していると判定されたエリア内に含まれるセルまたはマクロについて、そのセルまたはマクロの延長先の配線層を前記複数の配線層の間で分散して設定し、該設定された複数の配線層まで延長するのに必要な前記端子延長用コンポーネントの数をそれぞれ設定する、ことを特徴とする請求項 1 記載の端子層設定方法。

【請求項 5】

複数の配線層を有する半導体回路の端子層をコンピュータに設定させるプログラムにおいて、

前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得するステップと、

前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較するステップと、

前記比較の結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定するステップと、

ビアと、該ビアとの接触を十分可能とした長さであって配線の寸法が大きい配線層では長く配線の寸法が小さい配線層では短い突き出し長さを有する直線状の配線とから構成される、前記複数の配線層にそれぞれ対応する寸法の端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に 2 個以上追加することで、その対象とするセルまたはマクロの配線端子を延長先として設定された配線層まで延長するステップと、を前記コンピュータに実行させることを特徴とする端子層設定プログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の配線層を有する半導体回路の端子層設定方法、端子層設定プログラム、配線端子延長処理プログラム、および、その端子層を設定に用いられる端子延長用コンポーネントに関する。

【背景技術】

【0002】

近年、基板上に搭載されるセル（ロジックゲート、インバータ、ナンド、等）またはマクロ（SRAM等）の個数が飛躍的に増大したことに伴って、それらセルまたはマクロ間を配線する層も基板とは別に、基板に並行に複数の層を設けるようになってきた。

【0003】

このような複数の配線層を有する半導体回路については、例えば、下記特許文献 1 に記載されるように、セルやマクロをその接続先のセルやマクロに接続する際に、それら複数の配線層のいずれを介して接続を行うかが問題となる。

【特許文献 1】特開平 4 - 251964 号公報 「自動レイアウト方法」

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【0004】

しかし、セルまたはマクロの配線端子の延長先の配線層（端子層）を設定する場合、従来は、セルまたはマクロの汎用性を優先していた関係から、その延長先を基板に近い下層の配線層に設定することが多かった。そして、これにより、配線の引き回しが多く発生し、また、下層の配線層、すなわち、抵抗の大きいローカル層内で配線が引き回されることが多くなり、さらに、ビア（Via、コンタクトホールともいう）が多用されて、回路動作に遅延が生じている。

## 【0005】

図16に示すように、遅延時間が増大すると、波形の *slew rate* が大きくなる。すなわち、波形がなだらかな形状になる。そして、この遅延時間は、その回路（セル、マクロ）の配線容量やその回路と接続先の回路との間の配線の抵抗に比例して大きくなる。すなわち、配線容量や配線抵抗が大きい回路を波形が伝わると、図に示すように、波形は、急速にその形状を崩していく。

10

## 【0006】

本発明の課題は、基板上に搭載されるセルまたはマクロに対して、遅延時間の増大を避けることが可能な、そのセルまたはマクロの延長先の配線層（端子層）を設定できる端子層設定方法およびプログラムを提供することである。

## 【課題を解決するための手段】

## 【0007】

本発明の第1態様の端子層設定方法は、複数の配線層を有する半導体回路の端子層をコンピュータが設定する方法において、前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得し、前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較し、前記比較の結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定する、ことを特徴とする端子層設定方法である。

20

## 【0008】

ここで、対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較することで、その対象とするセルまたはマクロと接続先のセルまたはマクロを接続する配線が「長め」か「短め」かを判定している。そして、その比較（判定）結果に基づいて、その対象とするセルまたはマクロの配線端子の延長先の配線層（端子層）を設定している。配線抵抗を適度な大きさに設定することが可能となり、遅延時間の増大を避けて、その対象とするセルまたはマクロの延長先の配線層（端子層）を設定できる。

30

## 【0009】

上記第1態様において、ビアと該ビアとの接触を十分可能とした長さを有する配線とから構成される端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に必要な数だけ追加することで、その対象とするセルまたはマクロの配線端子を延長先として設定された配線層まで延長するようにしてもよい。

## 【0010】

対象とするセルまたはマクロの搭載された面の法線方向は、その対象とするセルまたはマクロの配線端子を延長先の配線層まで延長する最短パスになるので、上述の遅延時間をさらに抑えることができる。

40

## 【0011】

本発明の第2態様の端子層設定プログラムは、複数の配線層を有する半導体回路の端子層をコンピュータに設定させるプログラムにおいて、前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得するステップと、前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較するステップと、前記比較の結果に基づいて

50

該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定するステップと、を前記コンピュータに実行させることを特徴とする端子層設定プログラムである。

【発明の効果】

【0012】

本発明によれば、対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較することで、その対象とするセルまたはマクロと接続先のセルまたはマクロを接続する配線が「長め」か「短め」かを判定し、その比較（判定）結果に基づいて、その対象とするセルまたはマクロの配線端子の延長先の配線層（端子層）を設定している。よって、配線抵抗を適度な大きさに設定することが可能となり、遅延時間の増大を避けて、その対象とするセルまたはマクロの延長先の配線層（端子層）を設定できる。

10

【発明を実施するための最良の形態】

【0013】

以下、本発明の実施の形態を、図面を参照しながら詳細に説明する。

図1は、本発明の一実施形態の端子層設定処理が適用される半導体回路が有する複数の配線層の構成を示す斜視図である。

【0014】

図1では、セルやマクロが搭載される基板（不図示）の上に設けられた6つの配線層1～6が示されている。ここで、配線層1および配線層2は、配線幅、配線高さ、配線間のピッチが配線層1～6の間で最も短い層であり、ローカル（Local）層と呼ばれている。また、配線層5および配線層6は、配線幅、配線高さ、配線間のピッチが配線層1～6の間で最も長い層であり、グローバル（Global）層と呼ばれている。また、配線層3および配線層4は、配線幅、配線高さ、配線間のピッチが配線層1～6の間では中間的な値を持つ層（配線層1または2と比較すると長く、また、配線層5または6と比較すると短い層）であり、セミ・グローバル（Semi-Global）層と呼ばれている。すなわち、図1は、配線層を6層で構成した場合で、ローカル層＝2層、セミ・グローバル層＝2層、グローバル層＝2層とした場合を示した図である。

20

【0015】

配線層の総数やそのうちのローカル層などの各層の数は、回路設計者によって予め適切な値に設定される。例えば、図2は、配線層を9層で構成した場合で、ローカル層＝5層、セミ・グローバル層＝2層、グローバル層＝2層とした場合を示した断面図である。図1や図2に示されるように、通常、隣接する配線層間では配線が直交する。

30

【0016】

なお、図1および図2からは定かでないが、各配線層間や配線層内の配線パターンの間には、絶縁膜が存在する。

図3は、本発明の一実施形態の端子層設定部の構成を示すブロック図である。端子層設定部は例えばソフトウェアとしてコンピュータにインストールされることで実現される。

【0017】

図3に示すように、端子層設定部10は、基板上に搭載される複数のセルまたはマクロの配置情報などの各種情報を上記コンピュータの二次記憶から取得する情報取得部11と、取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較し、その比較結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を決定する比較・決定部12とから構成される。

40

【0018】

なお、図4では、端子層設定部15は、複数のセルまたはマクロの配線端子を決定された配線層まで最短のパスで延長する指定を行う最短パス指定部13をさらに備えている。図4に示すように端子層設定部を構成することも可能である。

【0019】

50

図5は、本発明の一実施形態の配線端子延長処理部の構成を示すブロック図である。配線端子延長処理部は例えばソフトウェアとしてコンピュータにインストールされることで実現される。

【0020】

図5の配線端子延長処理部20は、セルまたはマクロの配線端子の延長先の層である端子層の設定結果に基づいて、該配線端子の延長処理を実行する。この配線端子延長処理部20は、ビアと該ビアとの接触を十分可能とした長さを有する配線とから構成される端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に必要な数だけ追加することで、処理対象のセルまたはマクロの配線端子を設定された配線層まで延長する延長処理部21を備える。

10

【0021】

図6は端子延長用コンポーネントと、その組み合わせ例を示す斜視図である。

図6に示されるように、端子延長用コンポーネント31は、ビア32と最小の突き出し長さを持つ配線33とから構成される。その最小の突き出し長さとは、配線33がそのビア32との接触を十分可能とした長さであり、例えば、それ以下の長さでは、十分な通電特性が得られないような長さである。

【0022】

ビア32と配線33から構成される端子延長用コンポーネント31に対して、ビア36と配線37から構成される別の端子延長用コンポーネント35を図に示すように所定方向に延長するようにして追加していくことが可能である。

20

【0023】

なお、上記ビアのビア径と、そのビアの接触を十分可能とした長さは、より具体的には、図7に示すように、配線層の配線の寸法に応じて設定される。

図7において、対象とするセルのゲート41に一番近いローカル層まで配線端子を延長する場合、例えば、ビア42<sub>1</sub>とそのビア42<sub>1</sub>に対する最小の突き出し長さを持つ配線43<sub>1</sub>から構成される端子延長用コンポーネント44<sub>1</sub>が、そのゲート41に追加される。

【0024】

さらに、その一番セルに近いローカル層の1つ上で、その一番セルに近いローカル層と同じ配線の寸法を持つローカル層に延長する場合は、ビア42<sub>2</sub>とそのビア42<sub>2</sub>に対する最小の突き出し長さを持つ配線43<sub>2</sub>から構成される端子延長用コンポーネント44<sub>2</sub>を、その端子延長用コンポーネント44<sub>1</sub>の上に追加する。この場合、端子延長用コンポーネント44<sub>1</sub>と44<sub>2</sub>は、同じ寸法の配線を持つ配線層にそれぞれ対応するコンポーネントであるので、ビア42<sub>1</sub>と42<sub>2</sub>のビア径、配線43<sub>1</sub>と43<sub>2</sub>の突き出し長さは同じである。

30

【0025】

同様に、その一番セルに近いローカル層の3つ上の層に配線端子を延長する場合で、その一番セルに近いローカル層の1つ上のローカル層が、その一番セルに近い層と同じ配線の寸法を持ち、2つ上、3つ上の層にいくに従い、順に配線の寸法が大きくなるような場合は、上記端子延長用コンポーネント44<sub>2</sub>に加えて、ビア46とビア46に対する最小の突き出し長さを持つ配線47から構成される端子延長用コンポーネント48、ビア51とビア51に対する最小の突き出し長さを持つ配線52とから構成される端子延長用コンポーネント53を順次、端子延長用コンポーネント44<sub>1</sub>の上に追加する。この場合、端子延長用コンポーネント44<sub>2</sub>、48、53は、この端子延長用コンポーネント44<sub>2</sub>、48、53の順により大きい寸法の配線を持つ配線層に対応するコンポーネントであるので、以下の不等式が成立する。

40

ビア42<sub>2</sub>のビア径 < ビア46のビア径 < ビア51のビア径

配線43<sub>2</sub>の突き出し長さ < 配線47の突き出し長さ < 配線52の突き出し長さ

【0026】

続いて、本実施形態の端子層の設定方法について説明する。遅延時間の増大が回路動作

50

等に悪影響を及ぼすことはよく知られている。

本実施形態においては、図 8 に示すように、対象とするセルまたはマクロ 5 6 とその接続先のセルまたはマクロ 5 7 を接続する配線の抵抗値  $R_w$  と、その対象とするセルまたはマクロ 5 6 の駆動能力（ドライバ抵抗） $R_d$  とを比較することで、この遅延時間を評価している。すなわち、対象とするセルまたはマクロのドライバ抵抗  $R_d$  が、対象とするセルまたはマクロとその接続先のセルまたはマクロを接続する配線の抵抗値  $R_w$  より小さい場合に、配線の長さが「長め」であり、遅延が発生していると判定し、対象とするセルまたはマクロのドライバ抵抗  $R_d$  が、対象とするセルまたはマクロとその接続先のセルまたはマクロを接続する配線の抵抗値  $R_w$  より大きい場合に、配線の長さが「短め」として判定している。なお、遅延時間を評価する際に用いる配線負荷としては、配線抵抗  $R_w$  の他に、配線容量  $C_w$  がある。この配線容量  $C_w$  は、対象とするセルまたはマクロが複数の分岐先のセルまたはマクロに接続している場合に考慮される。また、ドライバ抵抗とは、トランジスタが配線を介して充放電したときに流れる電流を抵抗に換算した値であるとともに、トランジスタサイズに比例する値である。

#### 【 0 0 2 7 】

上記ドライバ抵抗  $R_d$  と配線抵抗  $R_w$  との比較において、配線の長さが「長め」として判定された場合には、単位長さ当たりの抵抗値が小さい配線を持つ配線層の間で、その対象とするセルまたはマクロの配線端子の延長先の配線層（端子層）が設定される。また、配線の長さが「短め」として判定された場合には、単位長さ当たりの抵抗値が大きい配線を持つ配線層の間で、その対象とするセルまたはマクロの配線端子の延長先の配線層（端子層）が設定される。

#### 【 0 0 2 8 】

図 9 は、本実施形態の端子層設定処理のフローチャートである。このフローは、図 3 または図 4 の端子層設定部によって実行される。

図 9 において、まず、ステップ S 1 0 1 で、基板上に搭載される複数のセルまたはマクロの配置情報などの各種情報が情報取得部 1 1 によってコンピュータの二次記憶から取得される。そして、続くステップ S 1 0 2 で、取得した情報に含まれる、処理対象とするセルまたはマクロの駆動能力（ドライバ抵抗  $R_d$ ）が抽出されるとともに、対象とするセルまたはマクロとその接続先のセルまたはマクロの位置情報から縦方向や横方向の距離が抽出される。対象とするセルまたはマクロと接続先のセルまたはマクロとの接続に用いられる配線の単位長さ当たりの抵抗値と抽出された距離とを乗算することで、対象とするセルまたはマクロと接続先のセルまたはマクロとを結ぶ配線の抵抗値  $R_w$  が算出される。

#### 【 0 0 2 9 】

ステップ S 1 0 3 では、ステップ S 1 0 2 で抽出されたドライバ抵抗  $R_d$  と抵抗値  $R_w$  とが比較される。

なお、図 1 に示すように、通常、幅、高さが小さく、したがって、断面積が小さい配線を持つ配線層が下層（基板に近い位置）に設けられ、配線層が上にいくにしたがい、その層に設けられる配線の断面積が大きくなる。このため、上記ステップ S 1 0 3 での比較の結果、ドライバ抵抗  $R_d$  が  $R_w$  より大きかった場合、ステップ S 1 0 4 に進み、抵抗の大きい（配線の断面積の小さい）下層の配線層が対象とするセルまたはマクロの延長先の配線層（端子層）に設定される。また、ドライバ抵抗  $R_d$  が  $R_w$  と等しかった場合、ステップ S 1 0 5 に進み、抵抗が中間の値である（配線の断面積が中間の値である）中間の配線層（中間層）が対象とするセルまたはマクロの延長先の配線層（端子層）に設定される。また、ドライバ抵抗  $R_d$  が  $R_w$  より小さかった場合、ステップ S 1 0 6 に進み、抵抗の小さい（配線の断面積の大きい）上層の配線層が対象とするセルまたはマクロの延長先の配線層（端子層）に設定される。

#### 【 0 0 3 0 】

なお、ステップ S 1 0 4、S 1 0 5、S 1 0 6 のいずれの場合でも、図 4 の最短パス指定部 1 3 によって、複数のセルまたはマクロの配線端子を決定された配線層まで最短のパスで延長するように指定がなされると、その指定に対応して、各セルまたはマクロの配線

10

20

30

40

50

端子に追加されることになる端子延長用コンポーネントの追加パターンが決定される。

【 0 0 3 1 】

例えば、延長先の配線層が下層の配線層に設定されたステップ S 1 0 4 に対しては、続くステップ S 1 0 7 で、基本の端子（例えば図 7 のゲート 4 1）に下層端子（図 7 の端子延長用コンポーネント 4 4<sub>1</sub>）を追加するように指定がなされる。また、例えば、延長先の配線層が中間層の配線層に設定されたステップ S 1 0 5 に対しては、続くステップ S 1 0 8 で、基本の端子（例えば図 7 のゲート 4 1）に中間端子（図 7 の端子延長用コンポーネント 4 4<sub>1</sub> + 4 4<sub>2</sub>）を追加するように指定がなされる。また、延長先の配線層が上層の配線層に設定されたステップ S 1 0 6 に対しては、続くステップ S 1 0 9 で、基本の端子（例えば図 7 のゲート 4 1）に上層端子（図 7 の端子延長用コンポーネント 4 4<sub>1</sub>、4 4<sub>2</sub>、4 8、および、5 3）を追加するように指定がなされる。

10

【 0 0 3 2 】

ステップ S 1 0 7、S 1 0 8、および、S 1 0 9 が実行された場合には、図 5 の配線端子延長処理部 2 0 によって、ステップ S 1 0 7、S 1 0 8、および、S 1 0 9 のいずれかのステップで使用するものと決められた端子を用いて、セルまたはマクロの配線端子を延長する処理が実行されることは言うまでもない。そして、さらに端子層の設定が行われた後は、配線のレイアウト処理を行う配線レイアウト処理部によって、例えば、設定済みの端子層をなるべく生かすようにして端子層間を配線で結線する処理が行われる。

【 0 0 3 3 】

図 1 0 は、従来技術における結線処理が行われた後の配線層の状態を示す斜視図である。また、図 1 1 は、本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を示す斜視図である。

20

【 0 0 3 4 】

図 1 0 および図 1 1 に示されるように、配線層間は、ビア（Via、コンタクトホール）と呼ばれる柱形状の導体で接続されている。

図 1 1 では、上層までのパスとして最短パスが指定されているので、配線層間は、ビアとそのビアに対する最小突き出し長さを有する配線とから構成される端子延長用コンポーネントを回路 6 1 や回路 6 2 に対して、それら回路 6 1、回路 6 2 が搭載される基板面の法線方向に必要な数だけ追加することで、接続されている。すなわち、連続する端子延長用コンポーネント間は、最小の突き出し長さを有する配線を介することで、必要な通電特性を得ている。

30

【 0 0 3 5 】

図 1 0 および図 1 1 のいずれの図面においても、基板上の他の回路 6 5 を避けるために、回路（セルまたはマクロ）6 1 から接続先の回路 6 2 まで上層の配線層を介して結線処理がなされている。

【 0 0 3 6 】

図 1 0 の従来技術においては、回路 6 1 やその接続先である回路 6 2 は、配線端子にビア 6 3 またはビア 6 4 を追加しただけの構成となっている。すなわち、従来技術では、各回路を汎用性を持たせて設計することが優先されていたため、本実施形態のように、各回路の配線端子上に追加する端子延長用コンポーネントに対応する要素を有さず、したがって、図 1 1 に示すように、端子延長用コンポーネントを回路 6 1 や回路 6 2 の配線端子から必要な数だけ回路 6 1 や回路 6 2 が搭載された基板面の法線方向に追加することを行っていない。

40

【 0 0 3 7 】

なお、最短パス指定を行わない場合は、本実施形態の処理によっても、図 1 0 に示す従来例と同様に、配線の引き回しが発生する。しかし、本実施形態においては、どの層を介して回路間を接続するかが、上述したように、ドライバ抵抗とその回路間の配線の抵抗との比較により決定されるので、従来技術より遅延を回避する効果が大きいことは言うまでもない。

【 0 0 3 8 】

50

そして、そのようにして設定された層に対して、図 1 1 に示すように、さらに最短パス指定を行った場合、回路間を接続する配線の長さがさらに短くできるので、一層、遅延の削減効果が高まる。

【 0 0 3 9 】

なお、図 1 1 に示す例では、回路 6 1 と接続先の回路 6 2 との左右方向位置が一致しているため、最短パス指定により回路 6 1 と接続先の回路 6 2 とを配線で結ぶのに用いる配線層を設定する場合に、その設定された配線層の付近の配線層で、配線の引き回しを行う必要がなかった。

【 0 0 4 0 】

図 1 2 は、従来技術における結線処理が行われた後の配線層の状態を上方から見た図と、本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を上方から見た図とを比較して示した図である。

【 0 0 4 1 】

図 1 2 と、図 1 0 および図 1 1 との主な相違点は、回路（図 1 2 では端子 7 1 に対応）と接続先の回路（図 1 2 では端子 7 2 に対応）との左右方向位置がずれている点である。

このような場合、本実施形態においては、例えば、図 1 2 の下段の区間 X で、端子 7 1 の延長先として設定された上層の配線層の 1 つ下の配線層であるとともに、その設定された上層の配線層とは、配線の向きがその位置で直交しているような配線層において、端子層間が結線されるように処理される。

【 0 0 4 2 】

なお、対象とするセルまたはマクロが所定数以上のセルまたはマクロに接続されている場合は、その対象とするセルまたはマクロの配線容量が大きくなり、遅延が発生し易くなる。そこで、このような場合は、複数の配線層のうちで、単位長さ当たりの配線容量が小さい配線を持つ配線層の間で、その対象とするセルまたはマクロの配線端子の延長先の配線層をなるべく分散させるようにして設定すればよい。

【 0 0 4 3 】

なお、配線容量 = (配線と配線の間にある絶縁膜の) 誘電率 × 配線の断面積 / 距離 (配線間のピッチや上下配線との距離) で与えられる。このため、ローカル層の間では、基板から最も離れているローカル層が配線容量が最も小さくなる。また、ローカル層とセミ・グローバル層では、セミ・グローバル層、セミ・グローバル層とグローバル層では、グローバル層の方が、基板から離れているので、配線容量が小さくなる。また、セミ・グローバル層やグローバル層では、配線間のピッチもローカル層の配線同士より長いことを考慮すると、セミ・グローバル層やグローバル層では、配線容量はローカル層と比較し一層小さくなる。

【 0 0 4 4 】

よって、上述の「単位長さ当たりの配線容量が小さい配線を持つ配線層」とは、具体的には、セミ・グローバル層、グローバル層、または、ローカル層の中で基板から離れている層、ということになる。

【 0 0 4 5 】

また、図 3 または図 4 の情報取得部 1 1 によって取得された各種情報に含まれる情報に基づいて、セルまたはマクロと接続先のセルまたはマクロ間で、配線が密集している基板上のエリアが特定された場合には、その特定されたエリア内に含まれるセルまたはマクロについて、そのセルまたはマクロの延長先の配線層を複数の配線層の間で分散して設定する。

【 0 0 4 6 】

図 1 3 は、配線が密集する回路配線の一例を示す図である。

図 1 3 において、ロジック回路  $8 1_1$ 、 $8 1_2$ 、 $8 1_3$ 、 $\dots$ 、 $8 1_N$  が、基板上、横方向に配置され、それらロジック回路  $8 1_1$ 、 $8 1_2$ 、 $8 1_3$ 、 $\dots$ 、 $8 1_N$  の接続先がそれぞれ、ロジック回路  $8 2_1$ 、 $8 2_2$ 、 $8 2_3$ 、 $\dots$ 、 $8 2_N$  であった場合、それらロジック回路間において配線が密集しているエリアが存在する。

10

20

30

40

50

## 【 0 0 4 7 】

特に、この例においては、本実施形態の図 9 に示すフローに従って処理した場合に、ロジック回路  $81_1$ 、 $81_2$ 、 $81_3$ 、 $\dots$ 、 $81_N$  のドライバ抵抗が同じであれば、接続先との間の距離は図から同じであるので、N 個のロジック回路に対して同じ配線層が配線端子の延長先として設定されてしまい、複数の配線層を有するにもかかわらず、配線の密集が解決されないことになる。

## 【 0 0 4 8 】

そこで、このような場合は、図 9 のフローを用いることなく、配線が密集するエリアが特定された場合には、そのエリアに含まれるセルまたはマクロについて、そのセルまたはマクロの延長先の配線層を複数の配線層の間で分散して設定するようにして、上述の不都合を回避している。

10

## 【 0 0 4 9 】

なお、以上の説明では、対象とするセルまたはマクロの駆動能力（ドライバ抵抗）と、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の配線の抵抗とを比較することで、配線が「長め」か「短め」かを判定し、その対象とするセルまたはマクロの配線端子の延長先の配線層を決めていた。

## 【 0 0 5 0 】

しかし、端子延長用コンポーネントを追加していく方法を用いることで、対象とするセルまたはマクロの配線端子を延長先の端子層まで最短パスで延長する限り、複数の配線層の間で、延長先の配線層を分散可能な任意のロジックに対して、回路動作の遅延を削減できるという効果を主張することが可能となる。

20

## 【 0 0 5 1 】

本発明の各実施形態の書き込み処理部はソフトウェアとして構成することが可能である。図 1 4 は、本発明の各実施形態をプログラムで実現する場合のハードウェア環境を示す図である。

## 【 0 0 5 2 】

図 1 4 において、ハードウェアとしてのコンピュータは、CPU 9 1、ROM 9 2、RAM 9 3、通信インターフェイス 9 4、入出力装置 9 6、記憶装置 9 5、（記録媒体）読み取り装置 9 8、がバス 9 7 を介して接続されることで構成されている。

## 【 0 0 5 3 】

図 1 4 において、CPU 9 1 は、コンピュータ全体を制御し、RAM 9 3 は、プログラム実行、データ更新等の際に、記憶装置 9 5 をはじめとする二次記憶内に記憶されるデータを一次的に格納する一次記憶である。

30

## 【 0 0 5 4 】

ユーザは、入出力装置 9 6 を介して端子層設定部などに対して起動指示を与えることができる。また、ユーザは、入出力装置 9 6 を介して提示される端子層設定部などの処理結果の情報を見ることができる。

## 【 0 0 5 5 】

記憶装置 9 5 に記憶されるプログラムやデータの他に、可搬記憶媒体 9 9 のプログラムやデータが読み取り装置 9 8 を介して読み込まれたり、情報提供者 8 8 のプログラムやデータがネットワーク 8 9、通信インターフェイス 9 4 を介して読み込まれたりしたプログラムやデータを、コンピュータ内部で用いることができる。

40

## 【 0 0 5 6 】

図 1 5 は、プログラムのローディングを説明する図である。

本発明の端子層設定処理などは当然一般的なコンピュータ 1 1 4 によって実現することが可能である。この場合、コンピュータ 1 1 4 の記憶装置 1 1 2 から本発明の処理のためのプログラムなどをコンピュータ 1 1 4 のメモリにロードして実行することも、可搬型記憶媒体 1 1 3 から本発明の処理のためのプログラムなどをコンピュータ 1 1 4 のメモリにロードして実行することも、また、プログラム提供者 1 1 0 の記憶装置 1 1 1 側からネットワークを介して本発明の処理のためのプログラムなどをコンピュータ 1 1 4 のメモリに

50

ロードして実行することも可能である。

【 0 0 5 7 】

(付記 1) 複数の配線層を有する半導体回路の端子層をコンピュータが設定する方法において、

前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得し、

前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較し、

前記比較の結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定する、ことを特徴とする端子層設定方法。 10

(付記 2) 前記複数のセルまたはマクロの配線端子を延長先として設定された配線層まで最短のパスで延長する、ことを特徴とする付記 1 記載の端子層設定方法。

(付記 3) ピアと該ピアとの接触を十分可能とした長さを有する配線とから構成される端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に必要な数だけ追加することで、その対象とするセルまたはマクロの配線端子を延長先として設定された配線層まで延長する、ことを特徴とする付記 2 記載の端子層設定方法。

(付記 4) 前記対象とするセルまたはマクロとその対象とするセルまたはマクロの接続先のセルまたはマクロとの間で配線の引き回しが必要である場合に、前記延長先として設定された配線層の近辺の配線層内で配線の引き回しを可能とするように端子層を該延長先として設定された配線層およびその近辺の配線層に設定することを特徴とする付記 1 記載の端子層設定方法。 20

(付記 5) 前記比較において、取得された対象とするセルまたはマクロの駆動能力が、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の距離に基づく配線の抵抗より大きい場合に、単位長さ当たりの抵抗値が大きい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定する、ことを特徴とする付記 1 記載の端子層設定方法。

(付記 6) 前記比較において、取得された対象とするセルまたはマクロの駆動能力が、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の距離に基づく配線の抵抗より小さい場合に、単位長さ当たりの抵抗値が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定する、ことを特徴とする付記 1 記載の端子層設定方法。 30

(付記 7) 対象とするセルまたはマクロが所定数以上の接続先のセルまたはマクロに接続されているかを判定し、

所定数以上であると判定された場合には、単位長さ当たりの配線容量が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定する、ことを特徴とする付記 1 記載の端子層設定方法。

(付記 8) 取得した情報に基づいて、該セルまたはマクロと接続先のセルまたはマクロ間の配線が密集している前記基板上的エリアを特定し、

配線が密集していると判定されたエリア内に含まれるセルまたはマクロについて、そのセルまたはマクロの延長先の配線層を前記複数の配線層の間で分散して設定する、ことを特徴とする付記 1 記載の端子層設定方法。 40

(付記 9) 複数の配線層を有する半導体回路の端子層をコンピュータが設定する方法において、

前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得し、

取得した情報に基づいて所定のロジックを用いて前記複数のセルまたはマクロの配線端子の延長先の配線層である端子層を前記複数の配線層中にバランスよく配分するように設定するとともに、

前記複数のセルまたはマクロの配線端子を延長先として設定された配線層まで最短のパスで延長する、ことを特徴とする端子層設定方法。 50

(付記10) 複数の配線層を有する半導体回路の端子層をコンピュータに設定させるプログラムにおいて、

前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得するステップと、

前記取得した情報に含まれる対象とするセルまたはマクロの駆動能力と、その対象とするセルまたはマクロと接続先のセルまたはマクロとを接続する配線の抵抗値とを比較するステップと、

前記比較の結果に基づいて該対象とするセルまたはマクロの配線端子の延長先の配線層である端子層を設定するステップと、を前記コンピュータに実行させることを特徴とする端子層設定プログラム。

10

(付記11) 前記複数のセルまたはマクロの配線端子を延長先として設定された配線層まで最短のパスで延長するように指定するステップ、をさらに備えることを特徴とする付記10記載の端子層設定プログラム。

(付記12) 複数の配線層を有する半導体回路を構成する、セルまたはマクロの配線端子の延長先の層である端子層の設定結果に基づいて、該配線端子の延長処理をコンピュータに実行させるプログラムにおいて、

ビアと該ビアとの接触を十分可能とした長さを有する配線とから構成される端子延長用コンポーネントを、その対象とするセルまたはマクロの搭載された面の法線方向に必要な数だけ追加することで、その対象とするセルまたはマクロの配線端子を延長先として設定された配線層まで延長するステップ、を前記コンピュータに実行させることを特徴とする配線端子延長処理プログラム。

20

(付記13) 前記ビアのビア径と前記接触を十分可能とした長さとは、配線層の配線の寸法に応じて設定されることを特徴とする付記12記載の配線端子延長処理プログラム。

(付記14) 前記対象とするセルまたはマクロとその対象とするセルまたはマクロの接続先のセルまたはマクロとの間で配線の引き回しが必要である場合に、前記延長先として設定された配線層の近辺の配線層内で配線の引き回しを可能とするように端子層を該延長先として設定された配線層およびその近辺の配線層に設定するステップをさらに備えることを特徴とする付記10記載の端子層設定プログラム。

(付記15) 前記比較ステップにおいて、取得された対象とするセルまたはマクロの駆動能力が、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の距離に基づく配線の抵抗より大きい場合に、単位長さ当たりの抵抗値が大きい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定する、ことを特徴とする付記10記載の端子層設定プログラム。

30

(付記16) 前記比較ステップにおいて、取得された対象とするセルまたはマクロの駆動能力が、その対象とするセルまたはマクロと接続先のセルまたはマクロとの間の距離に基づく配線の抵抗より小さい場合に、単位長さ当たりの抵抗値が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定する、ことを特徴とする付記10記載の端子層設定プログラム。

(付記17) 対象とするセルまたはマクロが所定数以上の接続先のセルまたはマクロに接続されているかを判定するステップと、

40

所定数以上であると判定された場合には、単位長さ当たりの配線容量が小さい配線を持つ配線層の間で該対象とするセルまたはマクロの配線端子の延長先の配線層を設定するステップと、をさらに備えることを特徴とする付記10記載の端子層設定プログラム。

(付記18) 取得した情報に基づいて、該セルまたはマクロと接続先のセルまたはマクロ間の配線が密集している前記基板上のエリアを特定するステップと、

配線が密集していると判定されたエリア内に含まれるセルまたはマクロについて、そのセルまたはマクロの延長先の配線層を前記複数の配線層の間で分散して設定するステップと、を備えることを特徴とする付記10記載の端子層設定プログラム。

(付記19) 複数の配線層を有する半導体回路の端子層をコンピュータに設定させるプログラムにおいて、

50

前記半導体回路を構成するとともに、基板上に搭載される複数のセルまたはマクロに関する配置情報などの各種情報を前記コンピュータの記憶手段から取得するステップと、

取得した情報に基づいて所定のロジックを用いて前記複数のセルまたはマクロの配線端子の延長先の配線層である端子層を前記複数の配線層中にバランスよく配分するように設定するとともに、前記複数のセルまたはマクロの配線端子を延長先として設定された配線層まで最短のパスで延長するステップと、を前記コンピュータに実行させることを特徴とする端子層設定プログラム。

(付記20) 複数の配線層を有する半導体回路を構成する、セルまたはマクロの配線端子の延長先の層である端子層を設定する際に用いられる端子延長用コンポーネントにおいて、

10

対象とするセルまたはマクロの配線端子を、そのセルまたはマクロの搭載された面の法線方向に延長するのに用いられるとともに、ビアと該ビアとの接触を十分可能とした長さを有する配線とを備えることを特徴とする端子延長用コンポーネント。

(付記21) 前記ビアのビア径と前記接触を十分可能とした長さとは、配線層の配線の寸法に応じて設定されることを特徴とする付記20記載の端子延長用コンポーネント。

【図面の簡単な説明】

【0058】

【図1】本発明の一実施形態の端子層設定処理が適用される半導体回路が有する複数の配線層の構成を示す斜視図である。

【図2】配線層の層数を9層とした場合の半導体回路が有する複数の配線層の構成を示す断面図である。

20

【図3】本発明の一実施形態の端子層設定部の構成を示すブロック図である。

【図4】図3の端子層設定部の変形例を示すブロック図である。

【図5】本発明の一実施形態の配線端子延長処理部の構成を示すブロック図である。

【図6】端子延長用コンポーネントと、その組み合わせ例を示す図(その1)である。

【図7】端子延長用コンポーネントと、その組み合わせ例を示す図(その2)である。

【図8】本実施形態の端子層の設定方法を説明する図である。

【図9】本実施形態の端子層設定処理のフローチャートである。

【図10】従来技術における結線処理が行われた後の配線層の状態を示す斜視図である。

【図11】本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を示す斜視図である。

30

【図12】従来技術における結線処理が行われた後の配線層の状態を上方から見た図と、本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を上方から見た図とを比較して示した図である。

【図13】配線が密集する回路配線の一例を示す図である。

【図14】本発明の各実施形態をプログラムで実現する場合のハードウェア環境を示す図である。

【図15】プログラムのローディングを説明する図である。

【図16】従来の問題点を説明する図である。

40

【符号の説明】

【0059】

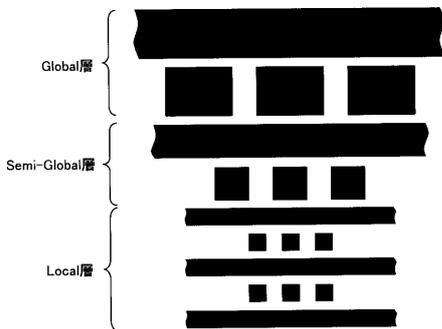
- 1、2 ローカル層
- 3、4 セミ・グローバル層
- 5、6 グローバル層
- 10、15 端子層設定部
- 11 情報取得部
- 12 比較・決定部
- 13 最短パス指定部
- 20 配線端子延長処理部
- 21 延長処理部

50

- 3 1、3 5、4 4、4 8、5 3 端子延長用コンポーネント
- 3 2、3 6、4 2、4 6、5 1、6 3、6 4 ビア
- 3 3、3 7、4 3、4 7、5 2 最小突き出し長さを持つ配線
- 6 1、6 2、6 5、8 1、8 2 回路
- 7 1、7 2 配線端子

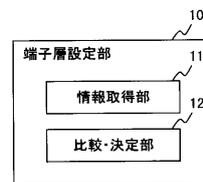
【図 2】

配線層の層数を9層とした場合の半導体回路が有する複数の配線層の構成を示す断面図



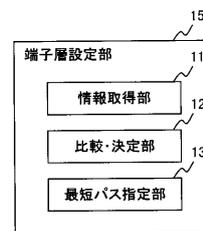
【図 3】

本発明の一実施形態の端子層設定部の構成を示すブロック図



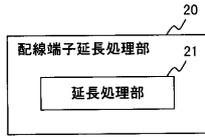
【図 4】

図3の端子層設定部の変形例を示すブロック図



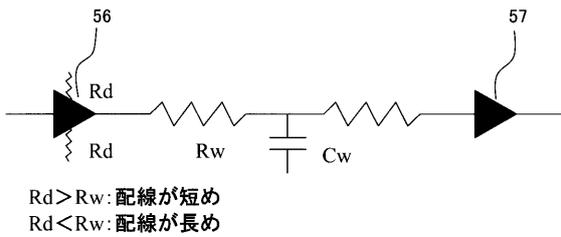
【図5】

本発明の一実施形態の配線端子延長処理部の構成を示すブロック図



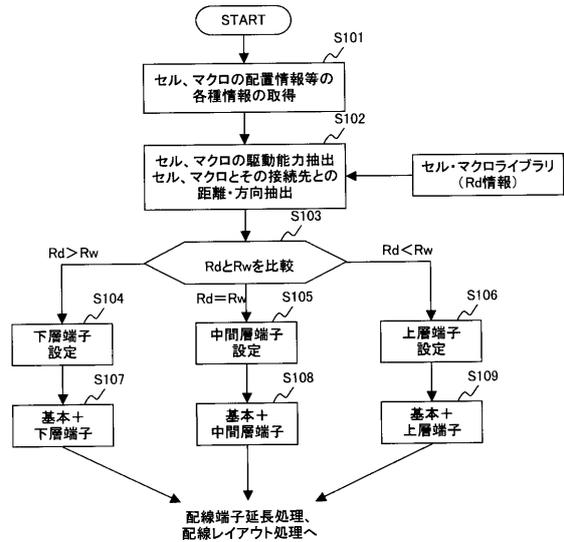
【図8】

本実施形態の端子層の設定方法を説明する図



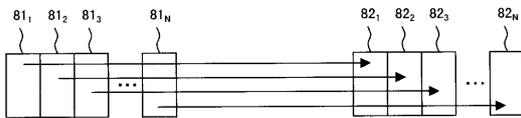
【図9】

本実施形態の端子層設定処理のフローチャート



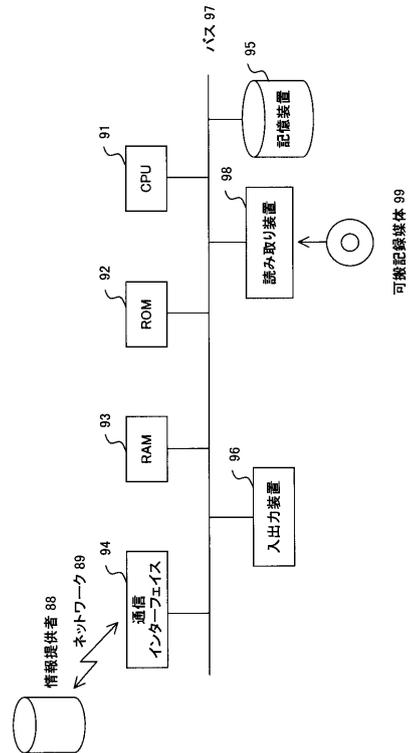
【図13】

配線が密集する回路配線の一例を示す図



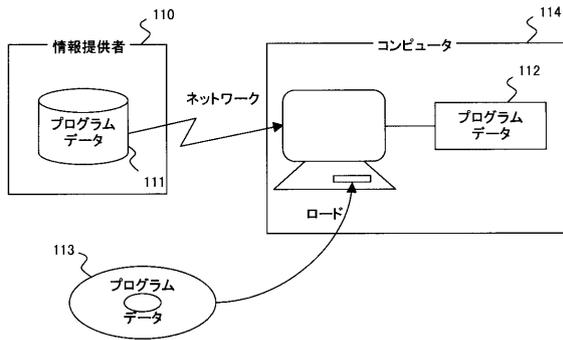
【図14】

本発明の各実施形態をプログラムで実現する場合のハードウェア環境を示す図



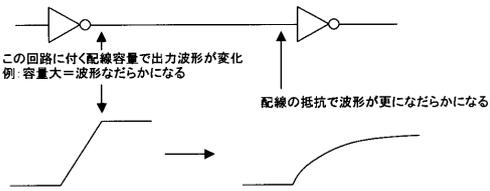
【図15】

プログラムのローディングを説明する図



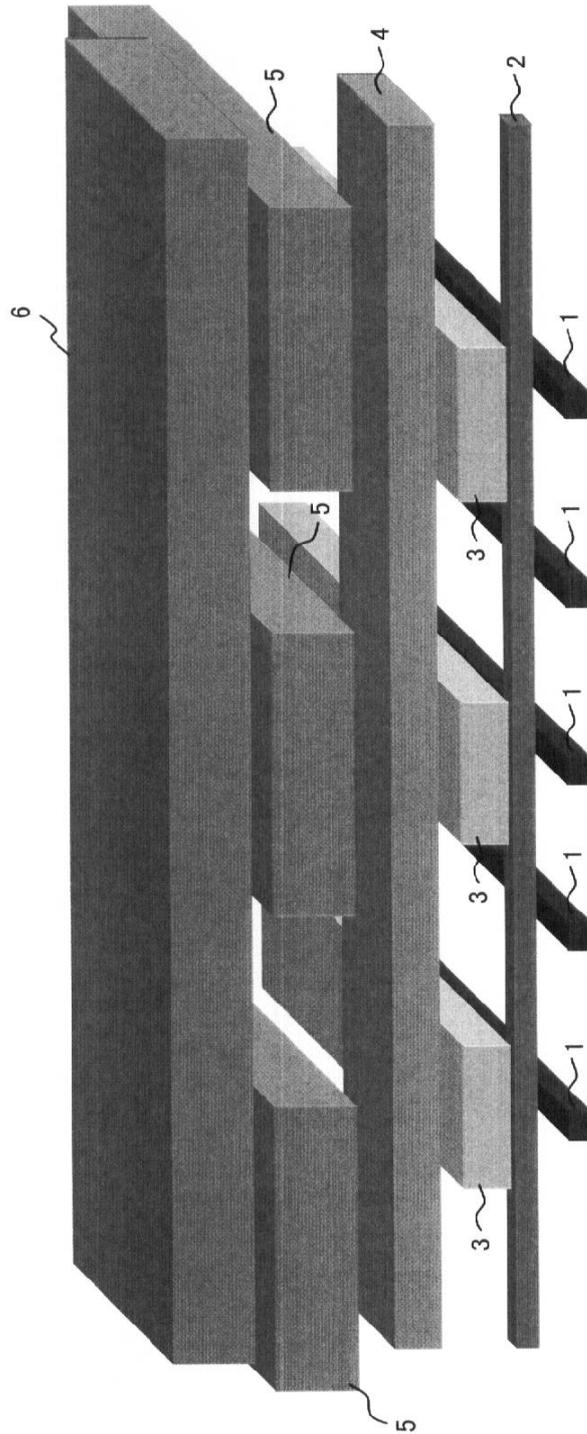
【図16】

従来の問題点を説明する図



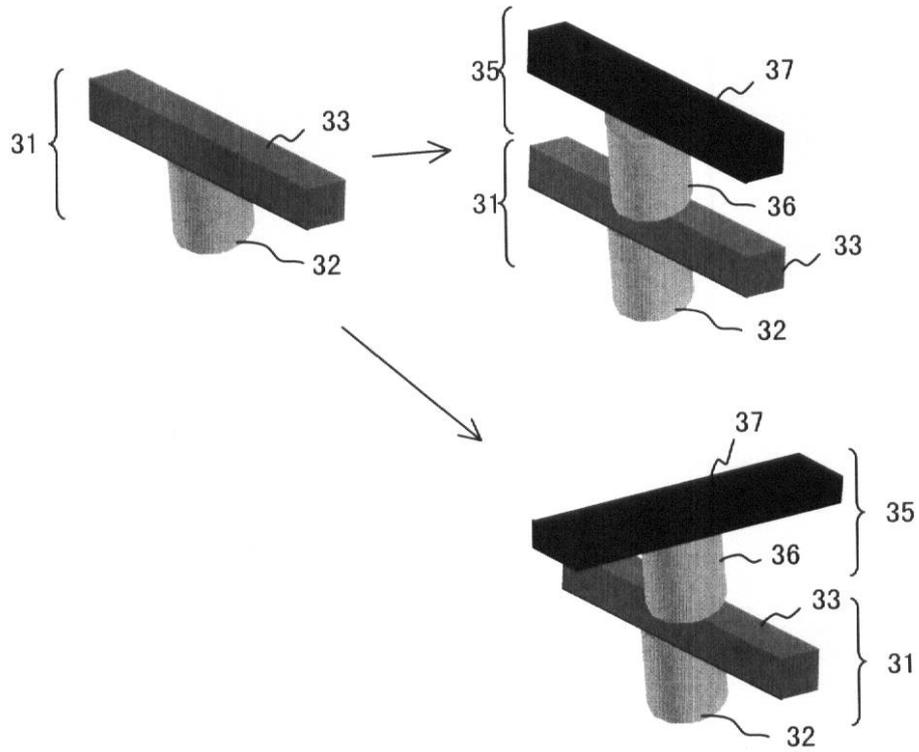
【図1】

本発明の一実施形態の端子層設定処理が適用される半導体回路が有する複数の配線層の構成を示す斜視図



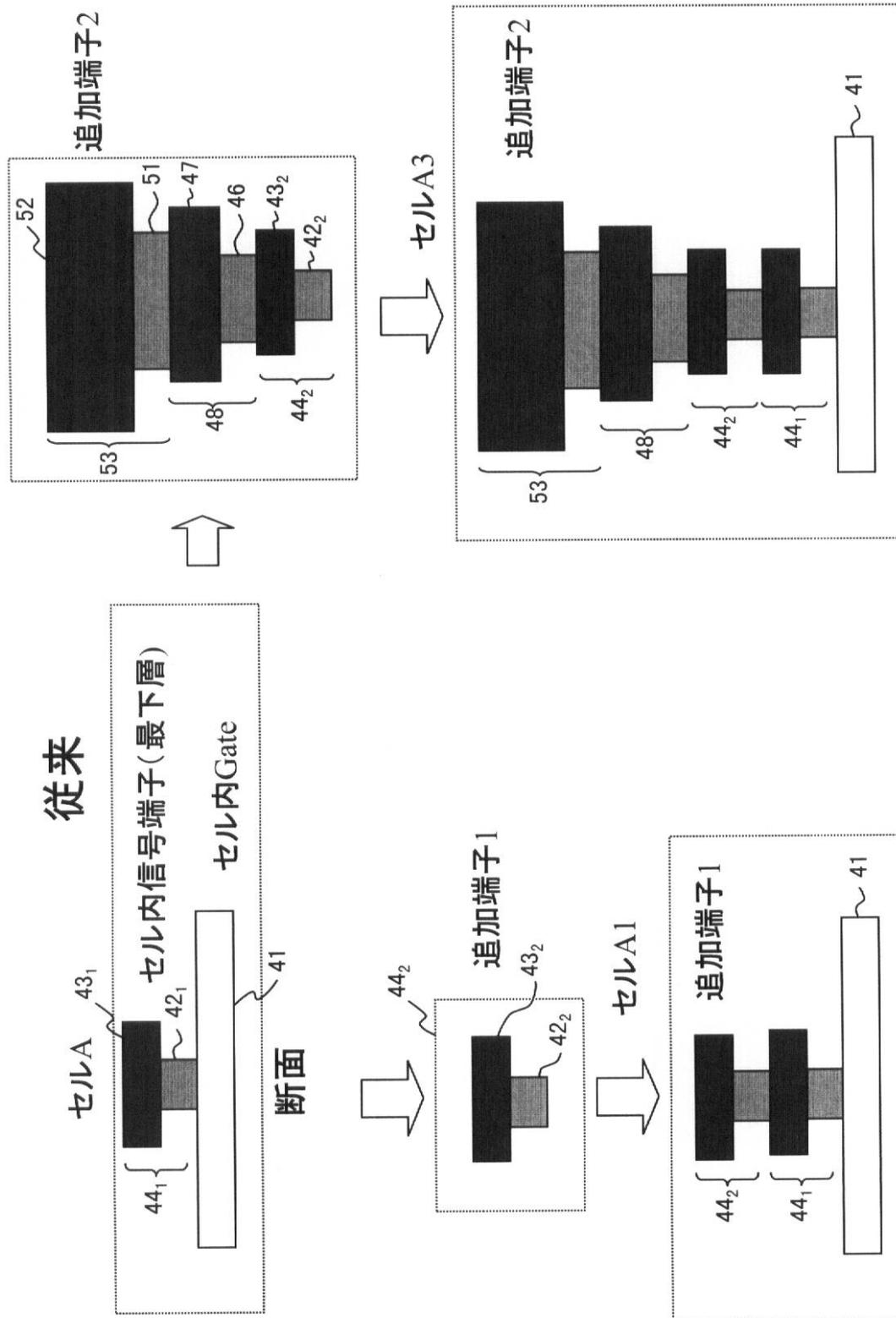
【図6】

端子延長用コンポーネントと、その組み合わせ例を示す図(その1)



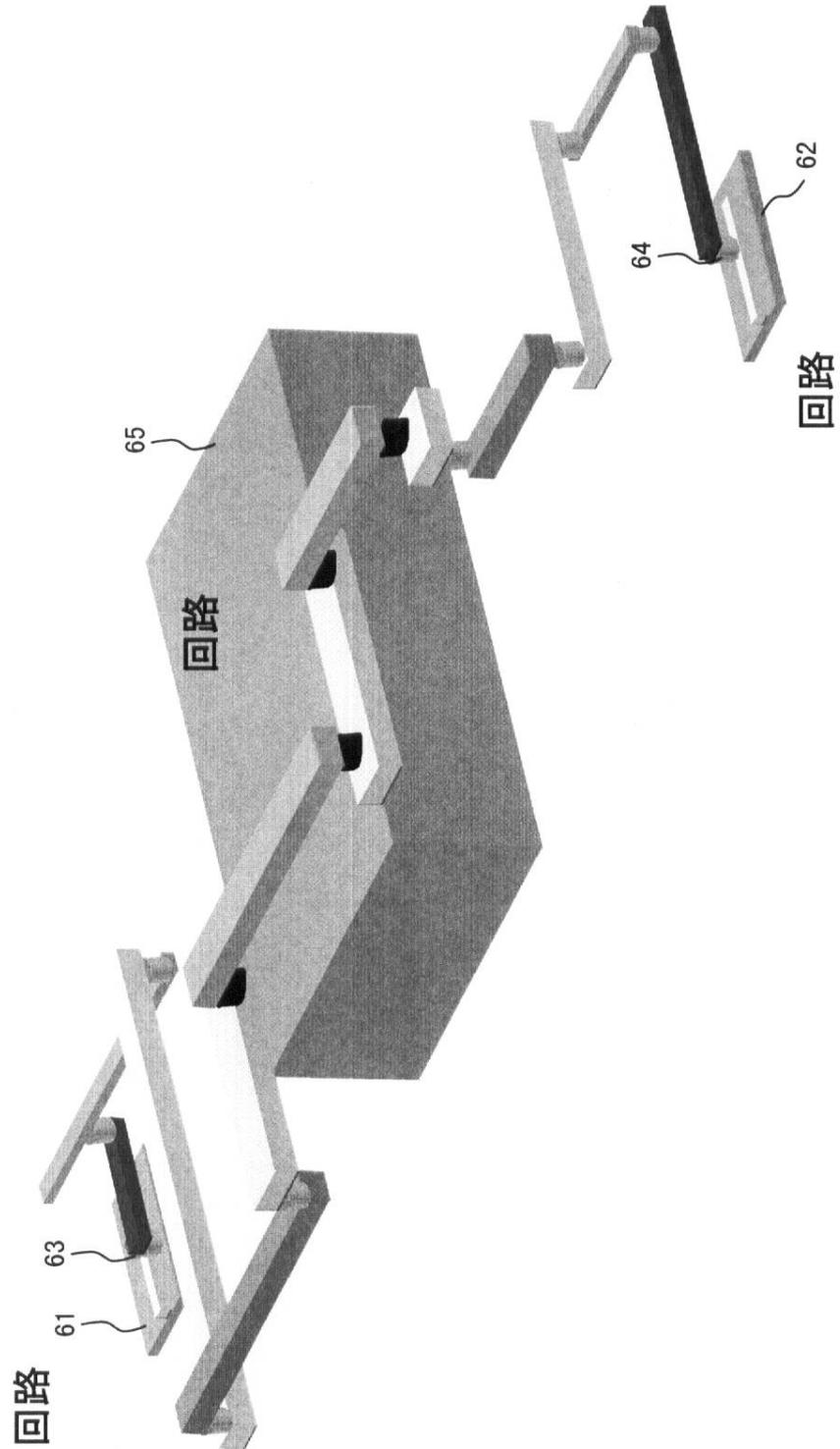
【図7】

端子延長用コンポーネントと、その組み合わせ例を示す図(その2)



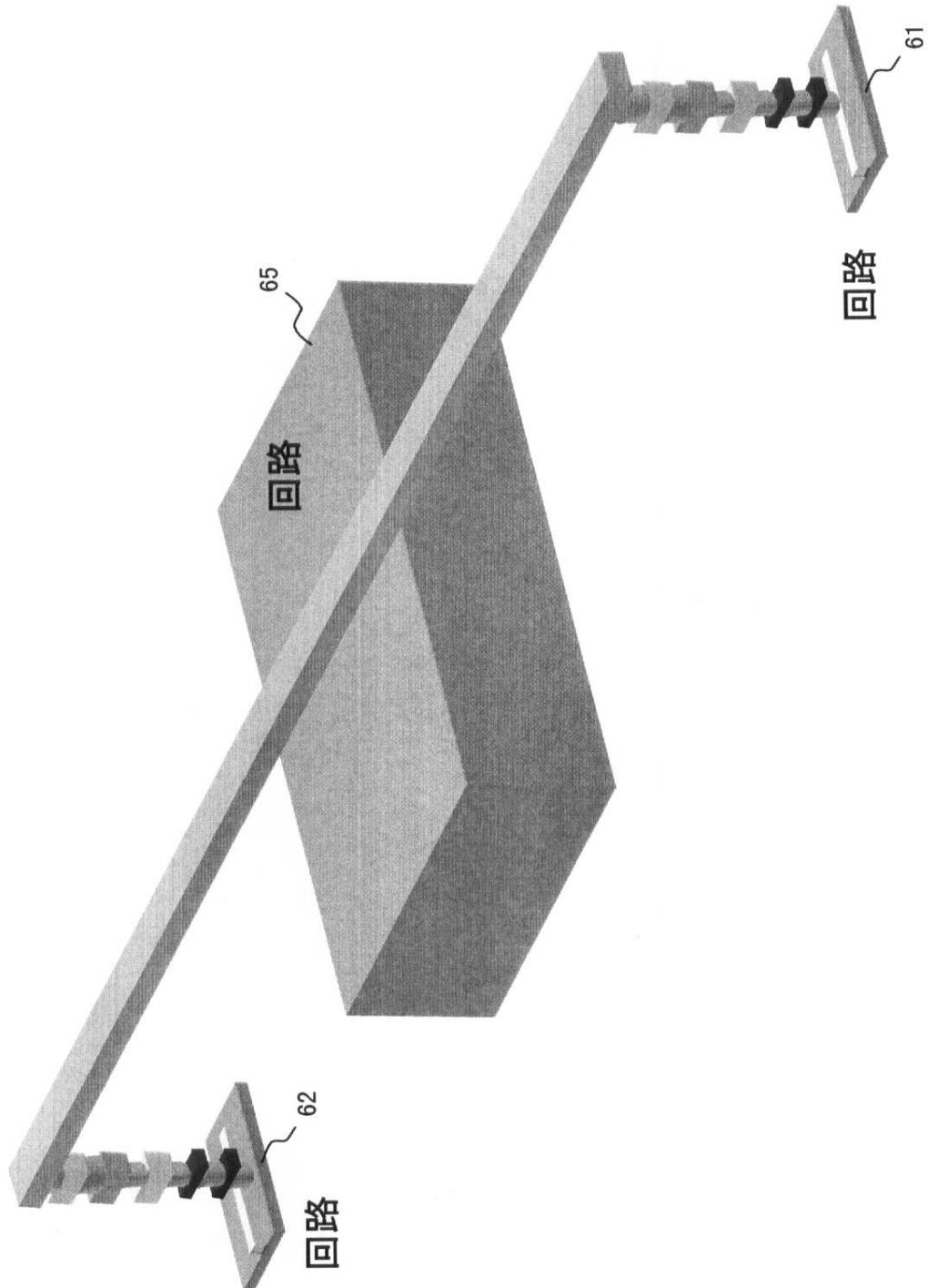
【図10】

従来技術における結線処理が行われた後の配線層の状態を示す斜視図



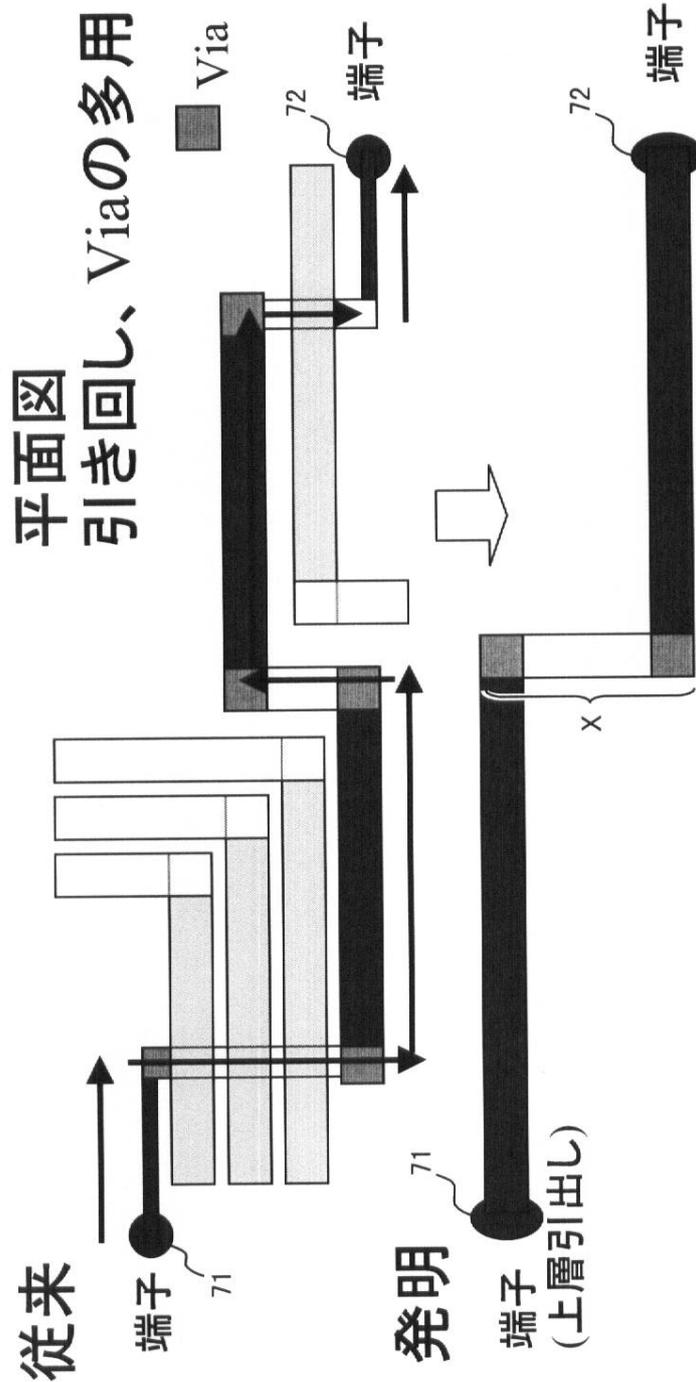
【図11】

本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を示す斜視図



【図12】

従来技術における結線処理が行われた後の配線層の状態を上方から見た図と、本実施形態において、最短パスによる配線端子の延長を行った場合の結線処理が行われた後の配線層の状態を上方から見た図とを比較して示した図



---

フロントページの続き

(56)参考文献 特開2003-332431(JP,A)  
特開平09-293786(JP,A)  
特開2003-044535(JP,A)  
特開2003-091567(JP,A)  
特開平08-274181(JP,A)  
特開平04-030495(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 17/50  
H01L 21/82  
H05K 1/11  
H05K 3/40  
H05K 3/46  
Cini  
JSTPlus(JDreamII)