



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월21일
(11) 등록번호 10-1002680
(24) 등록일자 2010년12월14일

(51) Int. Cl.

H01L 23/28 (2006.01)

(21) 출원번호 10-2008-0103181
(22) 출원일자 2008년10월21일
심사청구일자 2008년10월21일
(65) 공개번호 10-2010-0043920
(43) 공개일자 2010년04월29일
(56) 선행기술조사문헌
KR100679573 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성전기주식회사

경기도 수원시 영통구 매탄동 314

(72) 발명자

김운천

경기도 수원시 영통구 영통동 968 신나무실 풍림
아파트 605-1003

임순규

경기도 성남시 분당구 서현동 시범단지한신아파트
113동 105호

(뒷면에 계속)

(74) 대리인

특허법인이지

전체 청구항 수 : 총 3 항

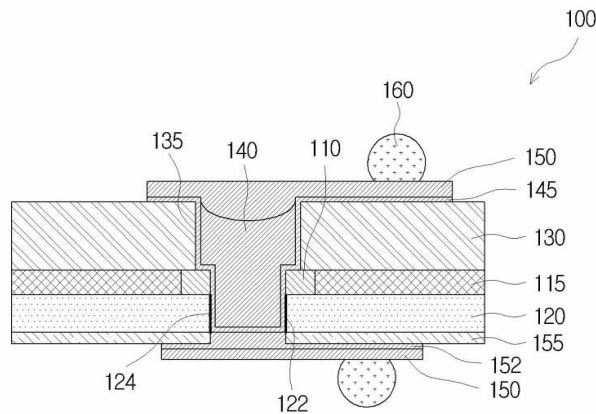
심사관 : 김건형

(54) 반도체 패키지 및 그 제조 방법

(57) 요약

반도체 패키지 및 그 제조 방법이 개시된다. 일면에 전도성 패드(conductive pad)가 형성된 반도체 기판(semiconductor substrate), 반도체 기판의 일면에 형성되는 절연층, 전도성 패드, 반도체 기판 및 절연층을 관통하는 메탈 포스트(metal post), 및 메탈 포스트와 전기적으로 연결되는 외층 회로를 포함하는 반도체 패키지(semiconductor package)가 제공된다. 이와 같은 본 발명에 따르면, 반도체 기판의 양면을 전기적으로 연결하기 위한 비아를 별도로 형성할 필요가 없어, 공정을 단순화하고, 제조 비용을 절감할 수 있으며, 접속 신뢰성을 향상시킬 수 있다.

대표도 - 도1



(72) 발명자
권영도
서울특별시 송파구 잠실5동 27번지아파트 527-1001

이재광
경기도 성남시 분당구 구미동 무지개마을LG아파트
211동 705호

특허청구의 범위

청구항 1

일면에 전도성 패드(conductive pad)가 형성된 반도체 기판(semiconductor substrate);

상기 반도체 기판의 일면에 형성되는 절연층;

상기 전도성 패드, 상기 반도체 기판 및 상기 절연층을 모두 관통하도록 형성되는 메탈 포스트(metal post);

상기 메탈 포스트와 전기적으로 연결되도록 상기 반도체 기판의 타면 및 상기 절연층의 표면에 각각 형성되는 외층 회로; 및

상기 외층 회로에 각각 형성되는 솔더 범프(solder bump)를 포함하는 반도체 패키지(semiconductor package).

청구항 2

삭제

청구항 3

일면에 전도성 패드가 형성된 반도체 기판을 제공하는 단계;

상기 전도성 패드를 관통하도록 상기 반도체 기판의 일면에 홀(hole)을 형성하는 단계;

- 상기 홀의 깊이는 상기 반도체 기판의 두께 이하임 -

메탈 포스트가 절연층을 관통하도록, 상기 반도체 기판의 일면에 상기 절연층을 형성하고 상기 홀에 상기 메탈 포스트를 형성하는 단계;

상기 메탈 포스트가 노출되도록 상기 반도체 기판의 일부를 제거하는 단계;

상기 메탈 포스트와 전기적으로 연결되도록 상기 반도체 기판의 타면 및 상기 절연층의 표면에 외층 회로를 각각 형성하는 단계; 및

상기 외층 회로에 솔더 범프를 각각 형성하는 단계를 포함하는 반도체 패키지 제조 방법.

청구항 4

삭제

청구항 5

제3항에 있어서,

상기 절연층 및 상기 메탈 포스트를 형성하는 단계는,

상기 반도체 기판의 일면에, 상기 전도성 패드의 위치에 상응하도록 개구부가 형성된 상기 절연층을 형성하는 단계; 및

상기 홀 및 상기 개구부 내부에 전도성 물질을 충전하여 상기 메탈 포스트를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 패키지 제조 방법.

청구항 6

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 패키지 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 반도체 패키지(semiconductor package)는, 웨이퍼 레벨 패키지(wafer level package, WLP), 칩 스케일 패키지(chip scale package, CSP) 등과 같이, 일면에 전극이 형성된 반도체 기판 상에 메탈 포스트(metal post) 및 절연층 등을 형성함으로써, 제조된다.

[0003] 또한, 이와 같은 반도체 패키지는, 메인 보드(main board)등 외부 장치와의 전기적인 연결을 위하여, 메탈 포스트에 외층 회로가 형성되고, 이 외층 회로에 솔더(solder)가 형성된다.

[0004] 그러나, 이와 같은 종래 기술에 따르면, 반도체 기판의 양면을 모두 활용하기 위해서는, 반도체 기판을 관통하도록 비아(via)를 형성하게 되나, 이러한 비아는 메탈 포스트와 별도의 공정을 통해 별개로 형성된 후 메탈 포스트와 접합되므로, 메탈 포스트와 비아 간의 접속 신뢰성이 저하되고, 제조 공정 및 제조 비용이 증가되는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0005] 본 발명은, 비아를 별도로 형성할 필요가 없어, 제조 공정을 단순화하고, 제조 비용을 절감할 수 있으며, 접속 신뢰성이 향상될 수 있는 반도체 패키지 및 그 제조 방법을 제공하는 것이다.

과제 해결수단

[0006] 본 발명의 일 측면에 따르면, 일면에 전도성 패드(conductive pad)가 형성된 반도체 기판(semiconductor substrate), 반도체 기판의 일면에 형성되는 절연층, 전도성 패드, 반도체 기판 및 절연층을 관통하는 메탈 포스트(metal post), 및 메탈 포스트와 전기적으로 연결되는 외층 회로를 포함하는 반도체 패키지(semiconductor package)가 제공된다.

[0007] 이 때, 외층 회로에 형성되는 솔더 범프(solder bump)를 더 포함할 수 있다.

[0008] 또한, 본 발명의 다른 측면에 따르면, 일면에 전도성 패드가 형성된 반도체 기판을 제공하는 단계, 전도성 패드를 관통하도록 반도체 기판의 일면에 홀(hole)을 형성하는 단계, 메탈 포스트가 절연층을 관통하도록, 반도체 기판의 일면에 절연층을 형성하고 홀에 메탈 포스트를 형성하는 단계, 및 메탈 포스트와 전기적으로 연결되도록 외층 회로를 형성하는 단계를 포함하는 반도체 패키지 제조 방법이 제공된다.

[0009] 이 때, 홀을 형성하는 단계는, 홀의 깊이가 반도체 기판의 두께 이하가 되도록 수행되며, 외층 회로를 형성하는 단계 이전에, 메탈 포스트가 노출되도록 반도체 기판의 일부를 제거하는 단계를 더 포함할 수 있다.

[0010] 또한, 절연층 및 메탈 포스트를 형성하는 단계는, 반도체 기판의 일면에, 전도성 패드의 위치에 상응하도록 개구부가 형성된 절연층을 형성하는 단계, 및 홀 및 개구부 내부에 전도성 물질을 충전하여 메탈 포스트를 형성하는 단계를 포함할 수 있다.

[0011] 그리고, 외층 회로를 형성하는 단계 이후에, 외층 회로에 솔더 범프를 형성하는 단계를 더 포함할 수 있다.

효과

[0012] 본 발명의 실시예에 따르면, 반도체 기판의 양면을 전기적으로 연결하기 위한 비아를 별도로 형성할 필요가 없어, 공정을 단순화하고, 제조 비용을 절감할 수 있으며, 접속 신뢰성을 향상시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0013] 본 발명에 따른 반도체 패키지 및 그 제조 방법의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

[0014] 또한, 형성이라 함은, 각 구성 요소 간에 물리적으로 직접 접촉되는 경우만을 뜻하는 것이 아니라, 다른 구성이

각 구성 요소 사이에 개재되어, 그 다른 구성에 구성 요소가 각각 접촉되어 있는 경우까지 포괄하는 개념으로 사용하도록 한다.

- [0015] 도 1은 본 발명의 일 측면에 따른 반도체 패키지(100)의 일 실시예를 나타낸 단면도이다.
- [0016] 본 실시예에 따르면, 일면에 전도성 패드(conductive pad, 110)가 형성된 반도체 기판(semiconductor substrate, 120), 반도체 기판(120)의 일면에 형성되는 절연층(130), 전도성 패드(110), 반도체 기판(120) 및 절연층(130)을 관통하는 메탈 포스트(metal post, 140), 및 메탈 포스트(140)와 전기적으로 연결되는 외층 회로(150)를 포함하는 반도체 패키지(semiconductor package, 100)가 제시된다.
- [0017] 이와 같은 본 실시예에 따르면, 전도성 패드(110), 반도체 기판(120) 및 절연층(130)을 모두 관통하도록 메탈 포스트(140)가 형성됨으로써, 반도체 기판(120)의 양면을 전기적으로 연결하기 위한 비아(via)를 별도로 형성할 필요가 없어, 제조 공정을 단순화하고, 제조 비용을 절감할 수 있으며, 메탈 포스트(140)와는 별도로 비아를 형성하는 경우에 비하여, 반도체 패키지(100) 내부의 접속 신뢰성을 향상시킬 수 있다.
- [0018] 이하, 각 구성에 대하여 보다 상세히 설명하도록 한다.
- [0019] 반도체 기판(120)은, 예를 들어, 실리콘(Si)로 이루어질 수 있으며, 이러한 반도체 기판(120) 일면에는 전도성 패드(110), 예를 들어, 금속 패드가 형성되어 외부 장치와 전기적으로 연결된다. 또한, 반도체 기판(120)의 일면에는, 예를 들어, 산화막 등의 절연막(115)이 형성되며, 이 절연막(115)은 전도성 패드(110)의 위치와 상응하는 관통홀이 형성되어 전도성 패드(110)를 노출시킨다.
- [0020] 또한, 반도체 기판(120)의 일면에는 전도성 패드(110)를 관통하도록 홀(hole, 122)이 형성된다. 이 때, 홀(122)의 내면에는, 반도체 기판(120)과 메탈 포스트(140)의 전기적 절연을 위하여 예를 들어, 산화막 등의 절연막(124)이 형성된다.
- [0021] 이러한 홀(122)은 건식 또는 습식 에칭에 의하여 형성될 수 있으며, 이 홀(122)에는 메탈 포스트(140)가 형성된다. 이에 대하여는 후술할 반도체 패키지(도 12, 도 21, 도 31, 도 42, 도 54 및 도 66의 200) 제조 방법의 일 실시예 및 그 변형 실시예에서 보다 상세히 설명하도록 한다.
- [0022] 절연층(130)은, 반도체 기판(120)의 일면에 형성된다. 즉, 절연층(130)은, 반도체 기판(120)의 일면에 형성되는 절연막(115) 및 전도성 패드(110)를 커버하도록 형성되며, 후술할 메탈 포스트(140)에 의하여 관통된다.
- [0023] 메탈 포스트(140)는, 전도성 패드(110), 반도체 기판(120) 및 절연층(130)을 관통한다. 즉 메탈 포스트(140)는, 반도체 패키지(100)가 외부 장치에 접합된 경우 횡방향 하중에 대한 지지력이 증가되도록 절연층(130)을 관통하여 형성됨은 물론이고, 전도성 패드(110) 및 반도체 기판(120)을 관통함으로써, 반도체 기판(120)의 양면을 전기적으로 연결시키는 비아의 기능도 수행할 수 있는 것이다.
- [0024] 이와 같이, 메탈 포스트(140)가 비아의 기능도 수행하도록, 메탈 포스트(140)가 전도성 패드(110), 반도체 기판(120) 및 절연층(130)을 모두 관통하도록 형성됨으로써, 반도체 기판(120)을 관통하는 비아를 별도로 형성할 필요가 없어, 제조 공정을 단순화하고, 제조 비용을 절감할 수 있을 뿐만 아니라, 메탈 포스트(140)와 별도로 비아를 형성하는 경우에 비하여, 반도체 패키지(100) 내부의 접속 신뢰성을 향상시킬 수 있다.
- [0025] 이와 같은 메탈 포스트(140)는, 상술한 절연층(130)을 홀(122)이 형성된 반도체 기판(120)의 일면에 형성한 후, 이 절연층(130)에 전도성 패드(110) 및 홀(122)의 위치와 상응하는 개구부(135)를 형성하고, 이 홀(122) 및 개구부(135)에 시드층(145) 및 전도성 물질을 충전함으로써 형성되거나, 절연층(130)이 형성되기 이전에 도금 레지스트 등을 이용하여 먼저 반도체 기판(120)의 홀(122)에 형성될 수 있다. 이외에도 다양한 방식으로 메탈 포스트(140)가 형성될 수 있으며, 이에 대하여는 후술할 반도체 패키지(도 12, 도 21, 도 31, 도 42, 도 54 및 도 66의 200) 제조 방법의 일 실시예 및 그 변형 실시예에서 보다 상세히 설명하도록 한다.
- [0026] 한편, 외층 회로(150)는, 메탈 포스트(140)와 전기적으로 연결된다. 즉, 절연층(130) 표면에 형성된 시드층(145)에 전해 도금 방식으로 외층 회로(150)를 형성할 수 있으며, 반도체 기판(120)의 타면에는, 외층 회로(150)를 형성하기 이전에, 외층 회로(150)와 반도체 기판(120)의 전기적 절연을 위한 절연막(155)이 형성되고, 이 절연막(155) 상에 시드층(152)이 형성됨으로써, 전해 도금 방식으로 외층 회로(150)가 형성될 수 있다.
- [0027] 또한, 솔더 범프(solder bump, 160)는, 외층 회로(150)에 형성된다. 즉, 외부 장치와의 전기적 접속을 위하여, 예를 들어, 솔더볼(solder ball) 또는 솔더 페이스트(solder paste) 등을 외층 회로(150)에 형성하게 된다.

- [0028] 이하, 반도체 패키지(100)에 대한 본 실시예의 변형된 형태에 대하여 설명하도록 한다.
- [0029] 도 2는 본 발명의 일 측면에 따른 반도체 패키지(100)의 변형된 실시예를 나타낸 단면도이다.
- [0030] 본 변형 실시예의 경우, 전도성 패드(110), 절연막(115), 반도체 기관(120), 홀(122), 절연막(124), 절연층(130), 개구부(135), 시드층(145), 외층 회로(150), 시드층(152), 절연막(155) 및 솔더 범프(160)는 전술한 일 실시예와 동일 또는 유사하므로, 이에 대한 설명은 생략하도록 하고, 이하, 전술한 일 실시예와의 차이점인 메탈 포스트(140)에 대하여 설명하도록 한다.
- [0031] 본 변형 실시예의 메탈 포스트(140)는, 도 2에 도시된 바와 같이, 메탈 포스트(140)의 외주면에 단턱이 형성되지 않는다. 예를 들어, 반도체 기관(120) 상에 개구부(135)가 형성되는 절연층(130)을 먼저 형성되고, 이후에 이 절연층(130)을 에칭 레지스트로 하여 반도체 기관(120)에 홀(122)을 형성하는 경우, 개구부(135)의 직경과 홀(122)의 직경은 서로 동일 또는 유사하게 되어, 결과적으로 이 개구부(135)와 홀(122)을 전도성 물질로 충전하여 형성되는 메탈 포스트(140)의 외주면에는 단턱이 형성되지 않는 것이다.
- [0032] 이에 대하여는, 후술한 반도체 패키지(도 12, 도 21, 도 31, 도 42, 도 54 및 도 66의 200) 제조 방법의 일 실시예 및 그 변형 실시예에서 보다 상세히 설명하도록 한다.
- [0033] 다음으로 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 일 실시예에 대하여 설명하도록 한다.
- [0034] 도 3은 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 일 실시예를 나타낸 순서도이다. 도 4 내지 도 12는 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법 일 실시예의 각 공정을 나타낸 단면도이다.
- [0035] 본 실시예에 따르면, 일면에 전도성 패드(210)가 형성된 반도체 기관(220)을 제공하는 단계, 전도성 패드(210)를 관통하도록 반도체 기관(220)의 일면에 홀(hole, 222)을 형성하는 단계, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기관(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성하는 단계, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하는 단계를 포함하는 반도체 패키지(200) 제조 방법이 제시된다.
- [0036] 이와 같은 본 실시예에 따르면, 반도체 기관(220)에 형성된 홀(222)에 메탈 포스트(240)를 형성함으로써, 반도체 기관(220)의 양면을 전기적으로 연결하기 위한 비아를 별도로 형성할 필요가 없어, 제조 공정을 단순화하고, 제조 비용을 절감할 수 있으며, 메탈 포스트(240)와는 별도로 비아를 형성하는 경우에 비하여, 반도체 패키지(200) 내부의 접속 신뢰성을 향상시킬 수 있다.
- [0037] 이하, 각 공정에 대하여 보다 상세히 설명하도록 한다.
- [0038] 먼저, 도 4에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기관(220)을 제공한다(S110). 여기서 반도체 기관(220)은, 예를 들어, 실리콘(Si)로 이루어질 수 있으며, 이러한 반도체 기관(220) 일면에는 전도성 패드(210), 예를 들어, 금속 패드가 형성되어 외부 장치와 전기적으로 연결된다.
- [0039] 또한, 반도체 기관(220)의 일면에는, 예를 들어, 산화막 등의 절연막(215)이 형성되며, 이 절연막(215)에는 전도성 패드(210)의 위치와 상응하게 관통홀이 형성되어 전도성 패드(210)를 노출시킨다.
- [0040] 다음으로, 도 5에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기관(220)의 두께 이하가 되도록, 반도체 기관(220)의 일면에 홀(222)을 형성한다(S120). 즉, 전도성 패드(210)를 관통하도록 반도체 기관(220)의 일면에, 예를 들어, 건식 에칭 또는 습식 에칭 등의 공정을 통하여, 홀(222)을 형성하는 공정으로, 여기서 홀(222)의 깊이는 반도체 기관(220)의 두께보다 작으므로 홀(222)은 반도체 기관(220)을 관통하지 않는다.
- [0041] 이와 같이, 반도체 기관(220)에 메탈 포스트(240)를 형성하기 위한 홀(222)을 형성함으로써, 반도체 기관(220)의 양면을 전기적으로 연결하기 위한 비아를 별도로 형성할 필요가 없이 단일 공정에서 메탈 포스트(240)가 비아를 포함하도록 일체로 형성될 수 있으므로, 제조 공정을 단순화하고, 제조 비용을 절감할 수 있다.

- [0042] 또한, 이와 같이, 메탈 포스트(240)가 비아를 포함하여 일체로 형성됨으로써, 메탈 포스트와 별도로 비아를 형성하는 경우에 비하여, 반도체 패키지(200) 내부의 접속 신뢰성을 향상시킬 수 있다.
- [0043] 그리고, 깊이가 반도체 기판(220)의 두께 이하가 되도록 홀(222)을 형성함으로써, 추후 공정에서, 도금에 의해 홀(222)에 전도성 물질을 용이하게 충전할 수 있으므로, 메탈 포스트(240)를 보다 효율적으로 형성할 수 있다.
- [0044] 본 실시예의 경우, 홀(222)의 깊이를 반도체 기판(220)의 두께 이하가 되도록 형성하여, 홀(222)이 반도체 기판(220)을 관통하지 않는 경우를 일 예로서 제시하였으나, 이외에도 홀(222)이 반도체 기판(220)을 관통하도록 홀(222)을 형성할 수도 있으며, 이 역시 본 발명의 권리범위에 포함됨은 물론이다.
- [0045] 한편, 도 5에 도시된 바와 같이, 홀(222)을 형성하는 본 공정 이후에 이어서, 홀(222)의 내면에, 예를 들어, 산화막 등의 절연막(224)을 형성하여 추후 형성될 메탈 포스트(240)가 반도체 기판(220)으로부터 절연되도록 한다.
- [0046] 다음으로, 도 6 내지 도 8에 도시된 바와 같이, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기판(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성한다(S130).
- [0047] 반도체 기판(220)의 일면 상에, 절연층(230)과 이 절연층(230)을 관통하는 메탈 포스트(240)를 형성하는 공정으로, 이 때, 메탈 포스트(240)는 반도체 기판(220)의 홀(222)을 충전하도록 형성되어, 반도체 기판(220)의 양면을 전기적으로 연결하기 위한 비아의 기능도 함께 수행하게 된다.
- [0048] 이와 같이, 절연층(230) 및 메탈 포스트(240)를 형성하는 본 공정은, 다음과 같이 나누어 설명할 수 있다.
- [0049] 우선, 도 6에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210')의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성한다(S132). 즉, 반도체 기판(220)의 일면에 절연층(230)을 형성하고, 포토 리소그래피(photo-lithography) 등의 공정에 의해 전도성 패드(210)의 위치와 상응하는 개구부(235)를 형성하는 것이다.
- [0050] 이어서, 도 7 및 도 8에 도시된 바와 같이, 홀(222) 및 개구부(235) 내부에 전도성 물질을 충전하여 메탈 포스트(240)를 형성한다(S134). 본 공정은 전해 도금을 이용하여 수행될 수 있다. 즉, 도 7에 도시된 바와 같이, 이러한 전해 도금 방식을 이용하기 위하여 홀(222) 및 개구부(235) 내부에 시드층(245)을 형성하고, 이후, 도 8에 도시된 바와 같이, 시드층(245)을 이용하여 홀(222) 및 개구부(235) 내부에 전도성 물질을 충전하여 메탈 포스트(240)를 형성하는 것이다.
- [0051] 이와 같은 메탈 포스트(240)는 전술한 바와 같이, 반도체 기판(220)의 양면을 전기적으로 연결하는 비아의 기능을 수행할 뿐 아니라, 반도체 기판(220)이 외부 장치 등에 솔더링 등에 의해 접합될 시, 횡방향의 응력을 완화시키는 메탈 포스트 본연의 기능도 수행할 수 있다.
- [0052] 다음으로, 도 9에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한다(S140). 전술한 바와 같이, 홀(222)은 반도체 기판(220)의 두께보다 작은 깊이를 갖도록 형성되므로, 이 경우, 반도체 기판(220)의 타면으로 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거하는 공정을 수행하여야 한다.
- [0053] 이 때, 메탈 포스트(240)가 추후 형성될 외층 회로(250)와 전기적으로 연결되도록, 홀(222)의 내면에 형성된 절연막(224)의 일부도 함께 제거해야 함은 물론이다.
- [0054] 다음으로, 도 10 및 도 11에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성한다(S150). 먼저, 도 10에 도시된 바와 같이, 반도체 기판(220')과 외층 회로(250)의 전기적 절연을 위하여 반도체 기판(220')의 타면에 홀(222) 내면의 절연막(224')과 유사한 절연막(255)을 형성하고, 이 절연막(255)의 일부를 포토리소그래피 등에 의해 제거하여, 메탈 포스트(240)를 외부로 노출시킨다.
- [0055] 이후에, 도 11에 도시된 바와 같이, 절연막(255) 표면에 시드층(252)을 형성한 후, 전해 도금에 의하여, 시드층(245) 및 시드층(252)에 외층 회로(250)를 형성한다. 외층 회로(250)를 형성한 뒤에는 외층 회로(250)가 형성되지 않은 시드층(245, 252)를 제거하여 시드층((245', 252)의 일부만이 잔존하게 된다.
- [0056] 다음으로, 도 12에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160). 즉, 외부 장치 등과 전기적 접속을 위하여, 예를 들어, 솔더볼 또는 솔더 페이스트 등을 외층 회로(250)에 형성하는 것이다.

- [0057] 이하, 반도체 패키지(200) 제조 방법에 대한 본 실시예의 변형된 실시예들에 대하여 설명하도록 한다.
- [0058] 도 13 내지 도 21은 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 변형 실시예의 각 공정을 나타낸 단면도이다.
- [0059] 본 변형 실시예는, 도 13에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기판(220)을 제공하고(S110), 도 14에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210)의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성한다(S132).
- [0060] 이후, 도 15에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성하고(S120), 도 16 및 도 17에 도시된 바와 같이, 홀(222) 및 개구부(235) 내부에 전도성 물질을 충전하여 메탈 포스트(240)를 형성한다(S134).
- [0061] 이어서, 도 18에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한 후(S140), 도 19 및 도 20에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하고(S150), 도 21에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160).
- [0062] 본 변형 실시예의 경우, 반도체 기판(220)에 홀(222)을 형성하는 공정(S120)과, 개구부(235)가 형성된 절연층(230)을 형성(S132)의 순서가 바뀌었다는 점 이외에는, 전술한 일 실시예와 공정의 순서 및 세부 사항이 모두 동일 또는 유사하므로, 이하, 도 14 및 도 15를 참조하여, S120 공정과 S132 공정의 순서 변경에 의하여 발생하는 차이점을 중심으로 본 변형 실시예에 대해 설명하도록 한다.
- [0063] 즉, 본 변형 실시예의 경우, 도 14에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210)의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성한 후(S132), 도 15에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120).
- [0064] 이와 같이, 절연층(230)의 개구부(235)를 먼저 형성한 뒤, 반도체 기판(220)의 홀(222)을 형성함으로써, 개구부(235)가 형성된 절연층(230)을 반도체 기판(220)에 홀(222)을 형성하기 위한 에칭 레지스트로 활용할 수 있으므로, 홀(222)을 형성하기 위한 별도의 에칭 레지스트가 필요치 않아 공정을 단순화하고, 제조 공정을 단순화할 수 있다.
- [0065] 본 변형 실시예와 같이, 절연층(230)을 에칭 레지스트로 활용하는 경우, 개구부(235)의 직경과 동일 또는 유사한 직경의 홀(222)이 형성되므로, 메탈 포스트(240)는, 도 17 내지 도 21에 도시된 바와 같이, 외주면에 단턱이 없는 형상이 된다.
- [0066] 도 22 내지 도 31은 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 다른 변형 실시예의 각 공정을 나타낸 단면도이다.
- [0067] 본 변형 실시예는, 도 22에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기판(220)을 제공한 후(S110), 도 23 내지 도 25에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210)의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성하고(S132), 도 25에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120).
- [0068] 이어서, 도 26 및 도 27에 도시된 바와 같이, 홀(222) 및 개구부(235) 내부에 전도성 물질을 충전하여 메탈 포스트(240)를 형성하고(S134), 도 28에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한 후(S140), 도 29 및 도 30에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하고(S150), 도 31에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160).
- [0069] 본 변형 실시예의 경우, 반도체 기판(220)에 홀(222)을 형성하는 공정(S120)과, 개구부(235)가 형성된 절연층(230)을 형성(S132)의 순서가 변경되고, 절연층(230)을 형성하는 공정(S132)이 다소 변형되었다는 점 이외에는, 전술한 일 실시예와 공정의 순서 및 세부 사항이 모두 동일 또는 유사하므로, 이하, 도 23 내지 도 25를 참조하여, S132 공정과 S120 공정을 중심으로 본 변형 실시예에 대해 설명하도록 한다.
- [0070] 즉, 본 변형 실시예의 경우, 먼저, 도 23 내지 도 25에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210)의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성한다(S132). 도 23에 도시된 바와 같

이, 반도체 기판(220)의 일면 상에 절연층(230) 및 동박(232)을 적층하고, 도 24에 도시된 바와 같이, 전도성 패드(210)의 위치와 상응하도록 동박(232)의 일부를 에칭하여 제거한 후, 도 25에 도시된 바와 같이, 동박(232)을 에칭 레지스트로 하여 에칭에 의하여 절연층(230)에 개구부(235)를 형성하는 것이다.

- [0071] 또한, 도 25에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120). 즉, 동박(232)을 에칭 레지스트로 하여 개구부(235)가 형성된 절연층(230)을 에칭 레지스트로 하여 반도체 기판(220)의 일면에 개구부(235)의 직경과 동일 또는 유사한 직경의 홀(222)을 가공하는 것이다.
- [0072] 즉, 기술한 변형 실시예와는 동박(232)의 사용 유무에서 차이점이 있을 뿐 모든 공정이 동일하며, 이에 따라, 동박(232)이 공정 중 계속 잔존하게 되어, 결과적으로 도 31에 도시된 바와 같이, 반도체 패키지(200)에도 동박(232)이 잔존하게 된다.
- [0073] 도 32 내지 도 42는 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도이다.
- [0074] 본 변형 실시예는, 도 32에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기판(220)을 제공한 후(S110), 도 33에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120).
- [0075] 이어서, 도 34 내지 도 36에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210')의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성하고(S132), 도 37 및 도 38에 도시된 바와 같이, 홀(222) 및 개구부(235) 내부에 전도성 물질을 충전하여 메탈 포스트(240)를 형성한다(S134).
- [0076] 이후, 도 39에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한 후(S140), 도 40 및 도 41에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하고(S150), 도 42에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160).
- [0077] 본 변형 실시예의 경우, 개구부(235)가 형성된 절연층(230)을 형성하는 공정(S132)이 다소 변형되었다는 점 이외에는, 기술한 일 실시예와 공정의 순서 및 세부 사항이 모두 동일 또는 유사하므로, 이하, 도 34 내지 도 36을 참조하여, S132 공정을 중심으로 본 변형 실시예에 대해 설명하도록 한다.
- [0078] 즉, 본 변형 실시예의 경우, 도 34 내지 도 36에 도시된 바와 같이, 반도체 기판(220)의 일면에, 전도성 패드(210')의 위치에 상응하도록 개구부(235)가 형성된 절연층(230)을 형성한다(S132). 도 34에 도시된 바와 같이, 홀(222)이 형성된 반도체 기판(220)의 일면에 절연층(230) 및 동박(232)을 적층하고, 도 35에 도시된 바와 같이, 전도성 패드(210')의 위치에 상응하도록 동박(232)의 일부를 에칭하여 제거하고, 도 36에 도시된 바와 같이, 이 동박(232)을 에칭 레지스트로 하여 절연층(230)의 일부를 제거하여 개구부(235)를 형성한다.
- [0079] 한편, 본 변형 실시예의 경우, 공정 중 동박(232)이 계속 잔존하여, 결국, 도 42에 도시된 바와 같이, 반도체 패키지(200)에도 동박(232)이 잔존하게 된다.
- [0080] 도 43 내지 도 54는 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도이다.
- [0081] 본 변형 실시예는, 도 43에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기판(220)을 제공한 후(S110), 도 44에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120).
- [0082] 도 45 내지 도 49 및 도 51에 도시된 바와 같이, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기판(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성한다(S130).
- [0083] 또한, 도 50에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한 후(S140), 도 52 및 도 53에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하고(S150), 도 54에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160).
- [0084] 본 변형 실시예의 경우, 절연층(230) 및 메탈 포스트(240)를 형성하는 공정(S130)이 다소 변형되었다는 점 이외

에는, 전술한 일 실시예와 공정의 순서 및 세부 사항이 모두 동일 또는 유사하므로, 이하, 도 45 내지 도 51을 참조하여, S130 공정을 중심으로 본 변형 실시예에 대해 설명하도록 한다.

- [0085] 즉, 본 변형 실시예의 경우, 도 45 내지 도 49 및 도 51에 도시된 바와 같이, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기판(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성한다(S130). 메탈 포스트(240)를 먼저 형성하고, 다음에 절연층(230)을 형성하는 공정으로, 다음과 같이 나누어 설명할 수 있다.
- [0086] 먼저, 도 45에 도시된 바와 같이, 홀(222) 내부 및 절연막(215)의 표면에 시드층(245)을 먼저 형성하고, 도 46에 도시된 바와 같이, 시드층(245) 상에 전도성 패드(210)와 상응하는 위치가 개구된 도금 레지스트(270)를 형성한다. 이때, 도금 레지스트(270)는 포토리소그래피에 의하여 개구될 수 있다.
- [0087] 이어서, 도 47에 도시된 바와 같이, 전해 도금에 의하여 홀(222) 및 도금 레지스트(270)의 개구된 영역에 전도성 물질을 충전하여 메탈 포스트(240)를 형성하고, 도 48에 도시된 바와 같이, 도금 레지스트(270) 및 메탈 포스트(240)가 형성되지 않은 시드층을 제거한다.
- [0088] 다음으로, 도 49에 도시된 바와 같이, 메탈 포스트(240)가 매립되도록 반도체 기판(220)의 일면에 절연층(230)을 형성한다. 이후, 도 51에 도시된 바와 같이, 그라인딩(grinding) 공정을 통하여 절연층(230)의 표면 및 메탈 포스트(240)의 단부를 제거하여, 절연층(230)을 관통하는 메탈 포스트(240)를 형성할 수 있다.
- [0089] 본 변형 실시예에 있어, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거하는 공정(S140)은, 도 50에 도시된 바와 같이, 그라인딩에 의해 절연층(230) 표면 및 메탈 포스트(240)의 단부를 제거하는 공정 이전에 수행되나, 이 밖에, 그라인딩 공정을 수행한 후에 수행될 수도 있으며, 이 역시 본 발명의 권리범위에 포함됨은 물론이다.
- [0090] 한편, 본 변형 실시예의 경우, 메탈 포스트(240)를 형성한 다음 절연층(230)을 형성함으로써, 도 48에 도시된 바와 같이, 메탈 포스트(240)의 형성을 위한 시드층(245')이 절연층의 표면에 노출되어 있지 않으므로, 도 53에 도시된 바와 같이, 외층 회로(250)를 형성하기 이전에, 절연막(255)의 표면에 시드층(252)을 형성할 뿐만 아니라 절연층(230)의 표면에도 시드층(254)을 형성하게 된다.
- [0091] 도 55 내지 도 66은 본 발명의 다른 측면에 따른 반도체 패키지(200) 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도이다.
- [0092] 본 변형 실시예는, 도 55에 도시된 바와 같이, 일면에 전도성 패드(210)가 형성된 반도체 기판(220)을 제공한 후(S110), 도 56 및 도 57에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120).
- [0093] 도 58 내지 도 61 및 도 63에 도시된 바와 같이, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기판(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성한다(S130).
- [0094] 또한, 도 62에 도시된 바와 같이, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거한 후(S140), 도 64 및 도 65에 도시된 바와 같이, 메탈 포스트(240)와 전기적으로 연결되도록 외층 회로(250)를 형성하고(S150), 도 66에 도시된 바와 같이, 외층 회로(250)에 솔더 범프(260)를 형성한다(S160).
- [0095] 본 변형 실시예의 경우, 반도체 기판(220)에 홀(222)을 형성하는 공정과, 절연층(230) 및 메탈 포스트(240)를 형성하는 공정(S130)이 다소 변형되었다는 점 이외에는, 전술한 일 실시예와 공정의 순서 및 세부 사항이 모두 동일 또는 유사하므로, 이하, 도 56 내지 도 63을 참조하여, S120 및 S130 공정을 중심으로 본 변형 실시예에 대해 설명하도록 한다.
- [0096] 먼저, 도 56 및 도 57에 도시된 바와 같이, 전도성 패드(210)를 관통하고 홀(222)의 깊이가 반도체 기판(220)의 두께 이하가 되도록, 반도체 기판(220)의 일면에 홀(222)을 형성한다(S120). 즉, 도 56에 도시된 바와 같이, 추후 메탈 포스트(240)의 형성을 위하여 이용되는 도금 레지스트(270)를 형성한 후, 이 도금 레지스트(270) 중 전도성 패드(210)의 위치와 상응하는 위치에 개구된 영역을 형성한다.
- [0097] 이어서, 도 57에 도시된 바와 같이, 도금 레지스트(270)를 에칭 레지스트로 하여 반도체 기판(220)에 전도성 패드(210)를 관통하도록 홀(222)을 형성한다. 이 때, 홀(222)의 깊이는 반도체 기판(220)의 두께 이하이고, 홀(222)의 직경은, 도금 레지스트(270)의 개구된 영역의 직경과 동일 또는 유사하다.

- [0098] 다음으로, 58 내지 도 61 및 도 63에 도시된 바와 같이, 메탈 포스트(240)가 절연층(230)을 관통하도록, 반도체 기판(220)의 일면에 절연층(230)을 형성하고 홀(222)에 메탈 포스트(240)를 형성한다(S130). 즉, 메탈 포스트(240)를 먼저 형성하고, 다음에 절연층(230)을 형성하는 공정으로, 다음과 같이 나누어 설명할 수 있다.
- [0099] 먼저, 도 58에 도시된 바와 같이, 홀(222), 도금 레지스트(270)의 개구된 영역 및 도금 레지스트(270)의 표면에 시드층(245)을 형성하고, 이어서, 도 59에 도시된 바와 같이, 전해 도금에 의하여 홀(222) 및 도금 레지스트(270)의 개구된 영역에 전도성 물질을 충전하여 메탈 포스트(240)를 형성하고, 도 60에 도시된 바와 같이, 도금 레지스트(270) 및 메탈 포스트(240)가 형성되지 않은 시드층(245)을 제거한다.
- [0100] 다음으로, 도 61에 도시된 바와 같이, 메탈 포스트(240)가 매립되도록 반도체 기판(220)의 일면에 절연층(230)을 형성한다. 이후, 도 63에 도시된 바와 같이, 그라인딩(grinding) 공정을 통하여 절연층(230)의 표면 및 메탈 포스트(240)의 단부를 제거하여, 절연층(230)을 관통하는 메탈 포스트(240)를 형성할 수 있다.
- [0101] 본 변형 실시예에 있어, 메탈 포스트(240)가 노출되도록 반도체 기판(220)의 일부를 제거하는 공정(S140)은, 도 62에 도시된 바와 같이, 그라인딩에 의해 절연층(230) 표면 및 메탈 포스트(240)의 단부를 제거하는 공정 이전에 수행되나, 이 밖에, 그라인딩 공정을 수행한 후에 수행될 수도 있으며, 이 역시 본 발명의 권리범위에 포함됨은 물론이다.
- [0102] 한편, 본 변형 실시예의 경우, 메탈 포스트(240)를 형성한 다음 절연층(230)을 형성함으로써, 도 60에 도시된 바와 같이, 메탈 포스트(240)의 형성을 위한 시드층(245)이 절연층의 표면에 노출되어 있지 않으므로, 도 65에 도시된 바와 같이, 외층 회로(250)를 형성하기 이전에, 절연막(255)의 표면에 시드층(252)을 형성할 뿐만 아니라 절연층(230)의 표면에 시드층(254)을 형성하게 된다.
- [0103] 이상, 본 발명의 일 실시예에 대하여 설명하였으나, 해당 기술 분야에서 통상의 지식을 가진 자라면 특허청구범위에 기재된 본 발명의 사상으로부터 벗어나지 않는 범위 내에서, 구성 요소의 부가, 변경, 삭제 또는 추가 등에 의해 본 발명을 다양하게 수정 및 변경시킬 수 있을 것이며, 이 또한 본 발명의 권리범위 내에 포함된다고 할 것이다.

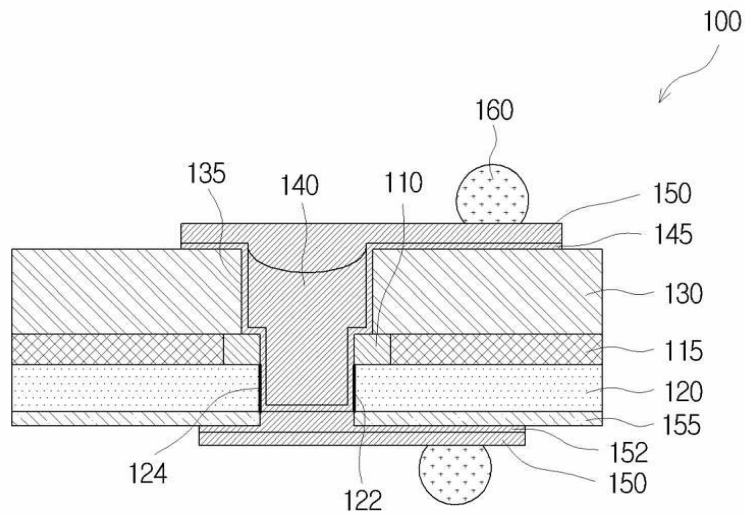
도면의 간단한 설명

- [0104] 도 1은 본 발명의 일 측면에 따른 반도체 패키지의 일 실시예를 나타낸 단면도.
- [0105] 도 2는 본 발명의 일 측면에 따른 반도체 패키지의 변형된 실시예를 나타낸 단면도.
- [0106] 도 3은 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 일 실시예를 나타낸 순서도.
- [0107] 도 4 내지 도 12는 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법 일 실시예의 각 공정을 나타낸 단면도.
- [0108] 도 13 내지 도 21은 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 변형 실시예의 각 공정을 나타낸 단면도.
- [0109] 도 22 내지 도 31은 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 다른 변형 실시예의 각 공정을 나타낸 단면도.
- [0110] 도 32 내지 도 42는 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도.
- [0111] 도 43 내지 도 54는 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도.
- [0112] 도 55 내지 도 66은 본 발명의 다른 측면에 따른 반도체 패키지 제조 방법의 또 다른 변형 실시예의 각 공정을 나타낸 단면도.
- [0113] <도면의 주요 부분에 대한 부호의 설명>
- [0114] 100: 반도체 패키지(semiconductor package)
- [0115] 110: 전도성 패드(conductive pad)

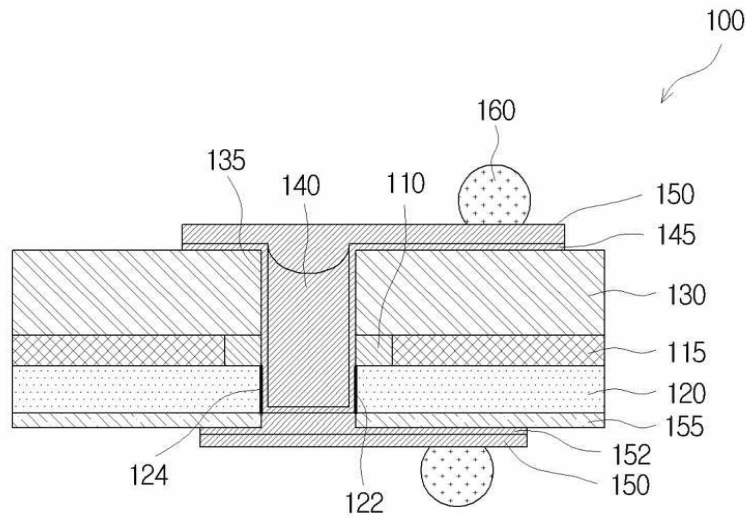
- [0116] 115, 124, 155: 절연막
- [0117] 120: 반도체 기판(semiconductor substrate)
- [0118] 122: 홀(hole)
- [0119] 130: 절연층
- [0120] 135: 개구부
- [0121] 140: 메탈 포스트(metal post)
- [0122] 145, 152: 시드층(seed layer)
- [0123] 150: 외층 회로
- [0124] 160: 솔더 범프(solder bump)

도면

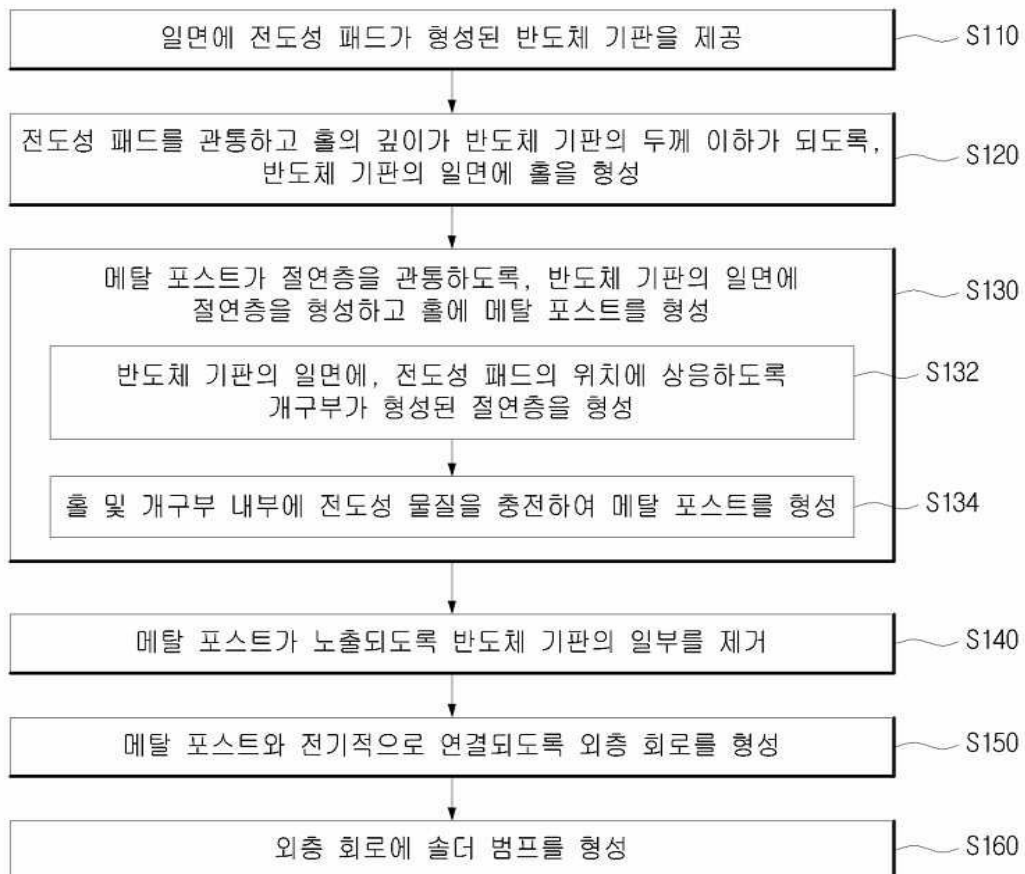
도면1



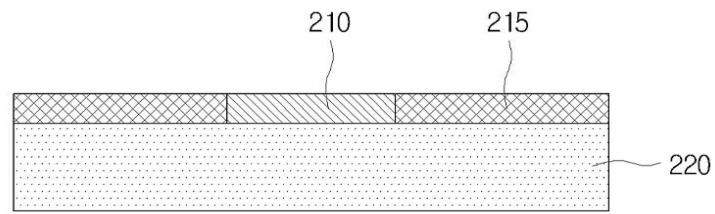
도면2



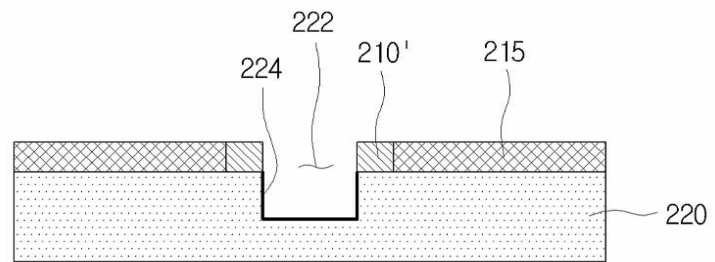
도면3



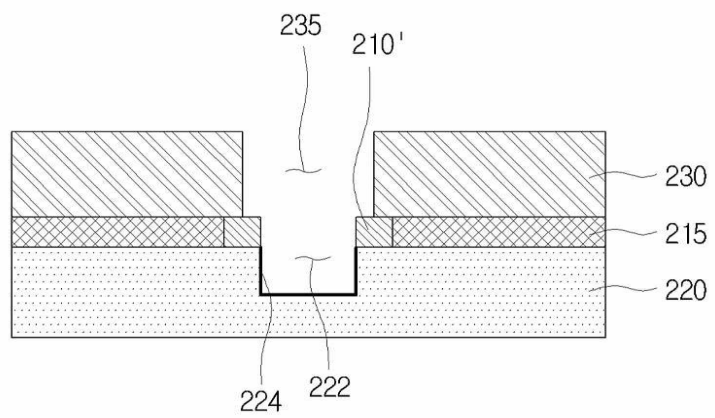
도면4



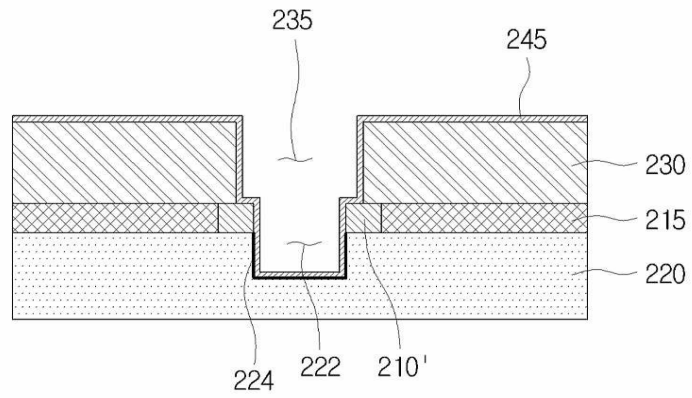
도면5



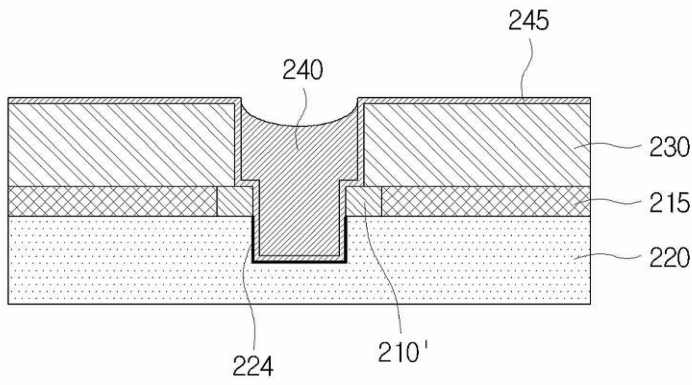
도면6



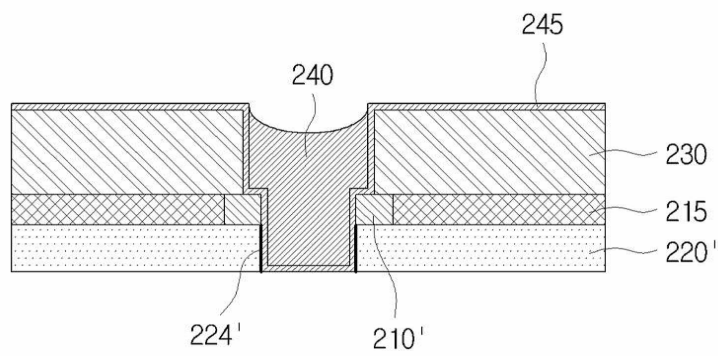
도면7



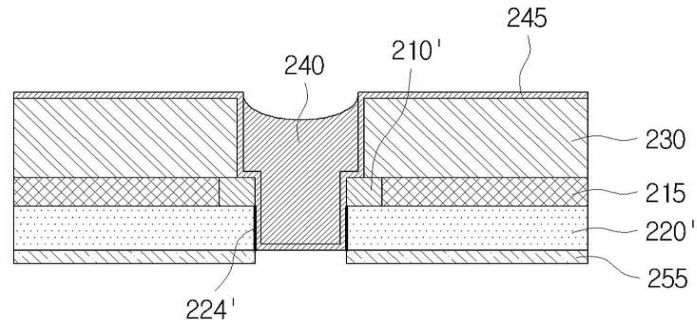
도면8



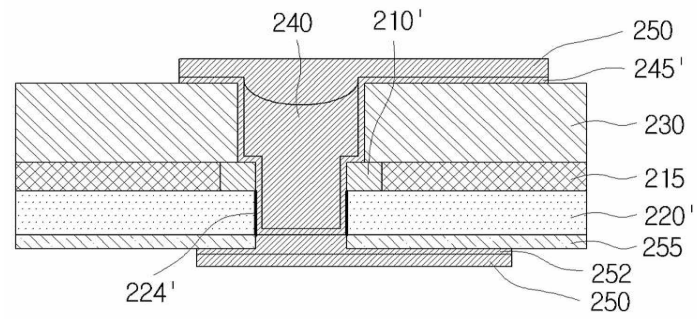
도면9



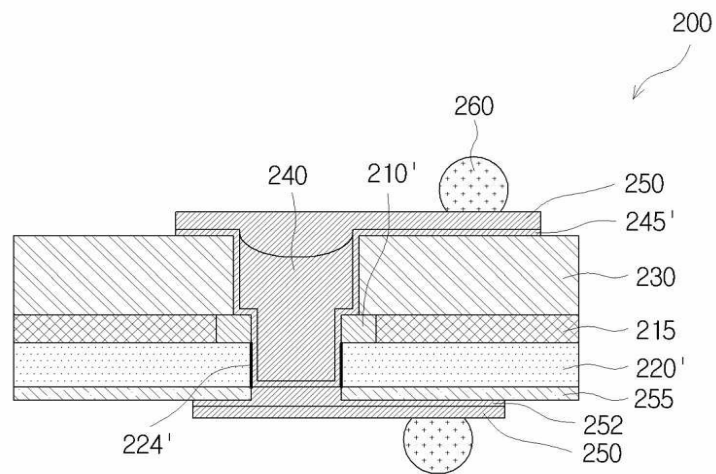
도면10



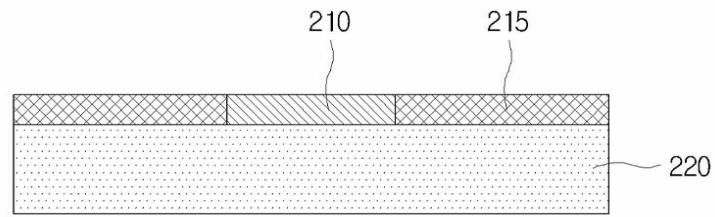
도면11



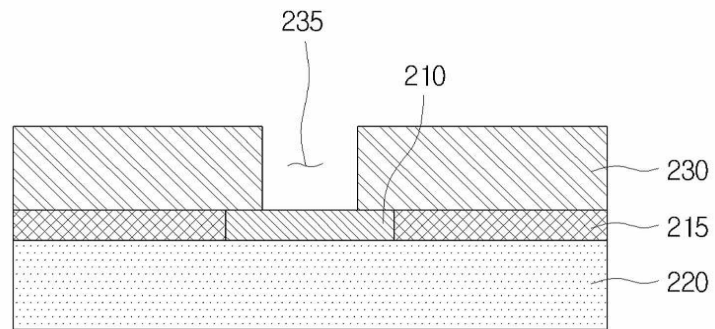
도면12



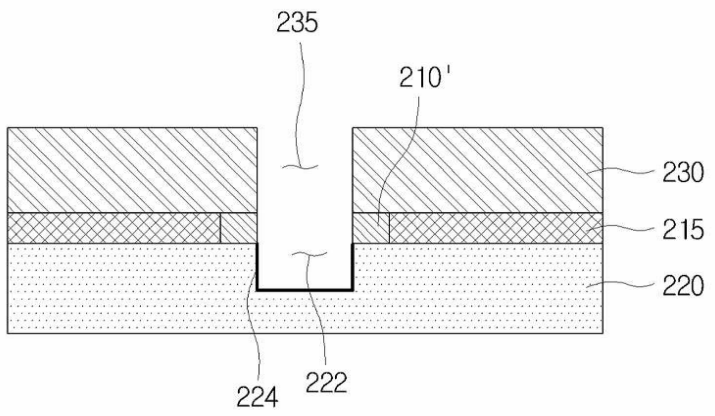
도면13



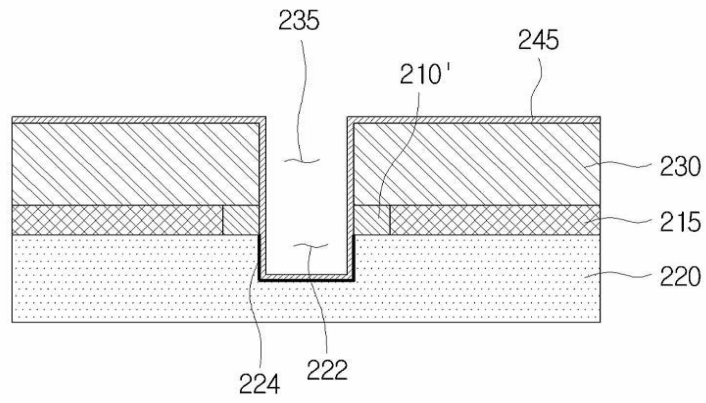
도면14



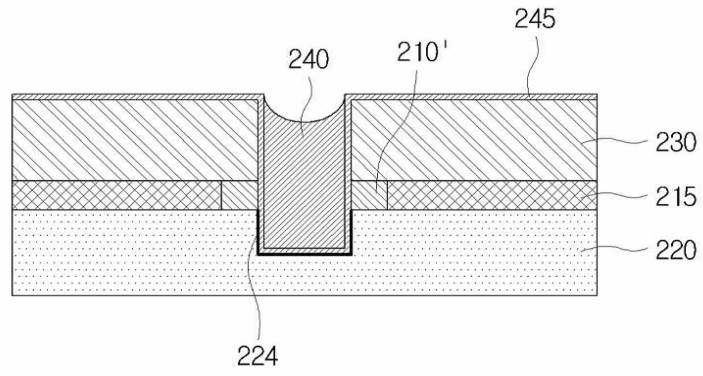
도면15



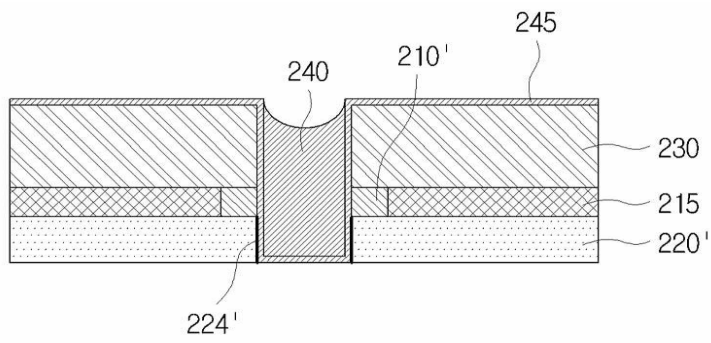
도면16



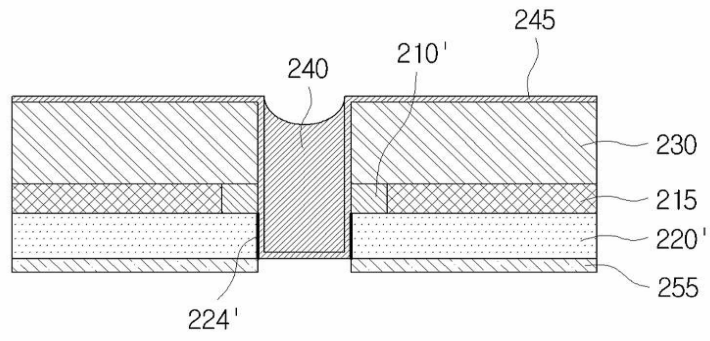
도면17



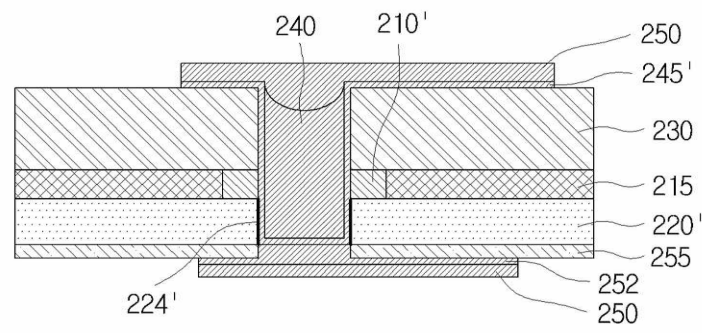
도면18



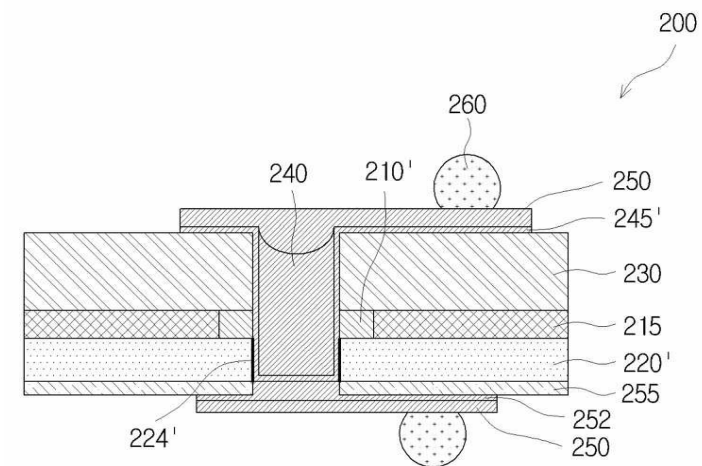
도면19



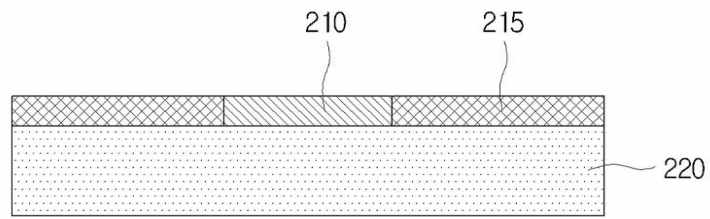
도면20



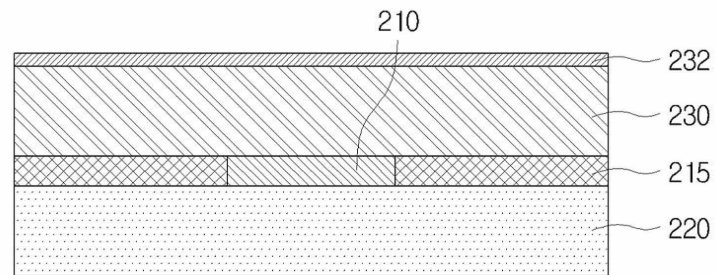
도면21



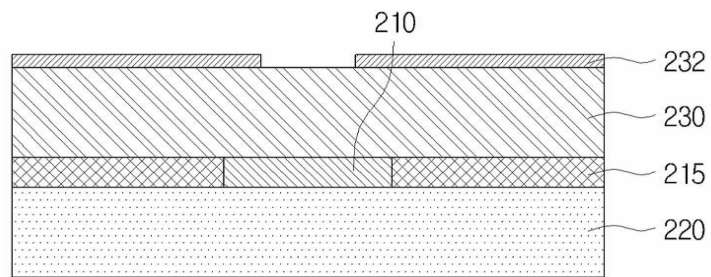
도면22



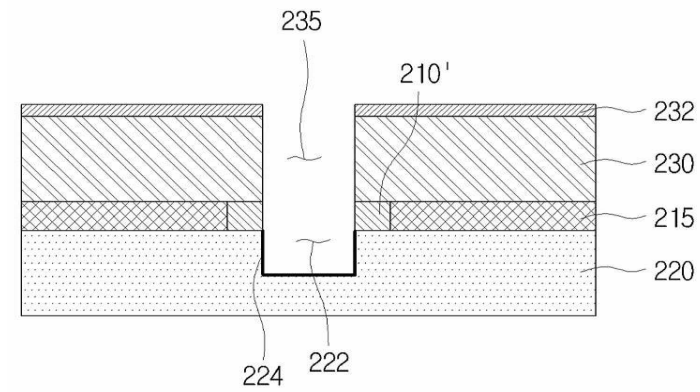
도면23



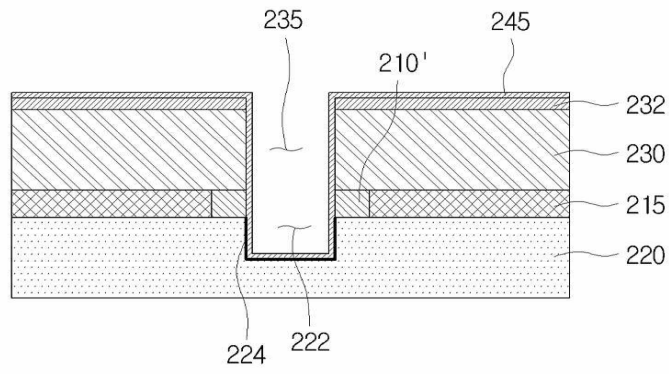
도면24



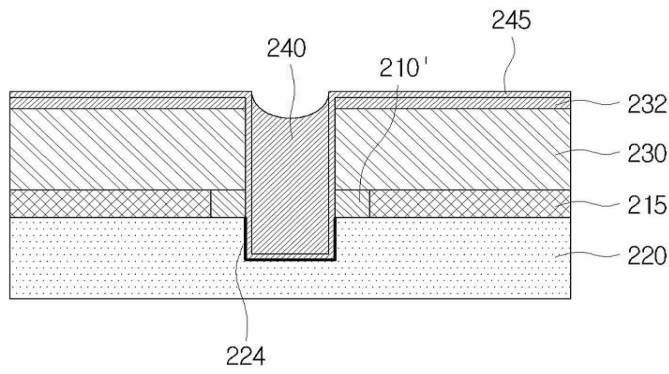
도면25



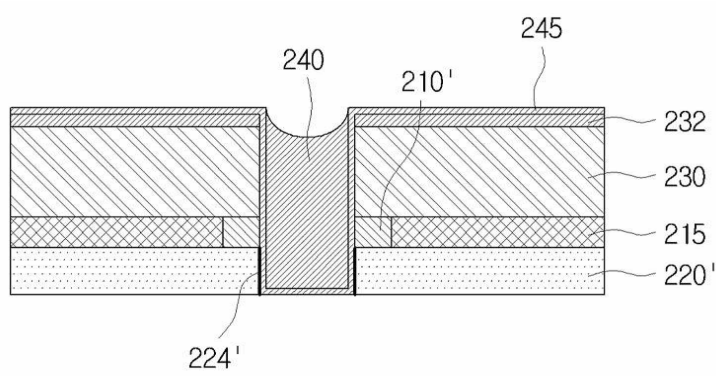
도면26



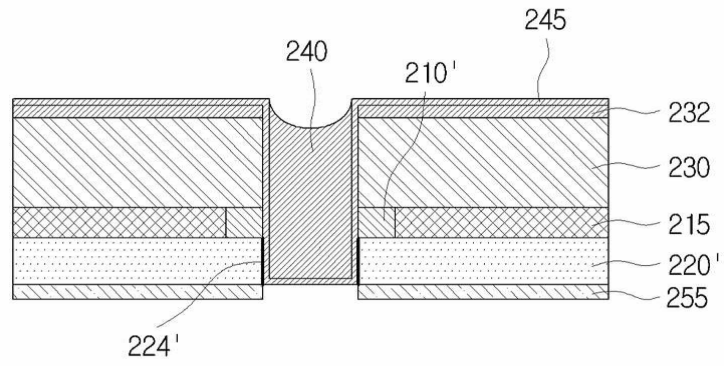
도면27



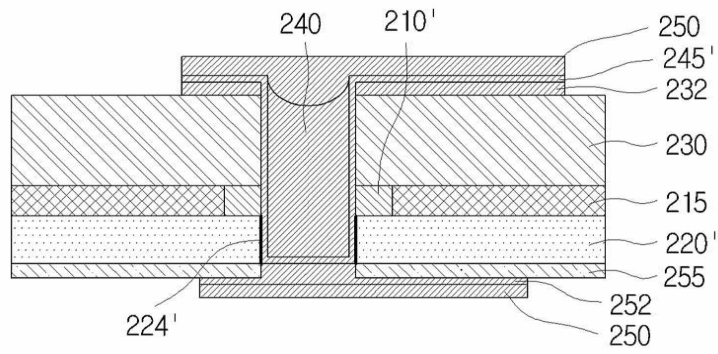
도면28



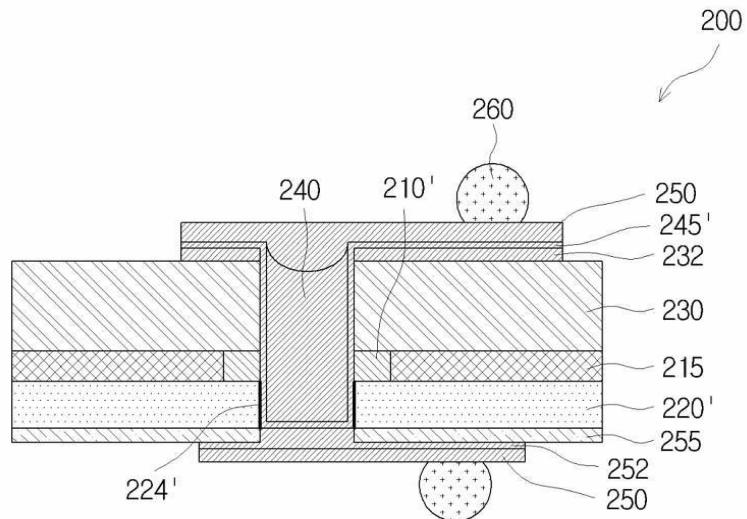
도면29



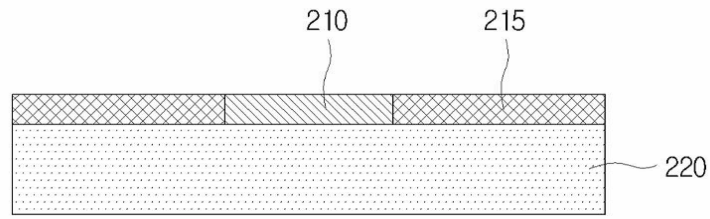
도면30



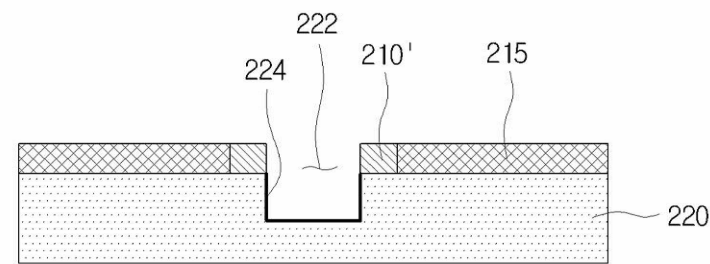
도면31



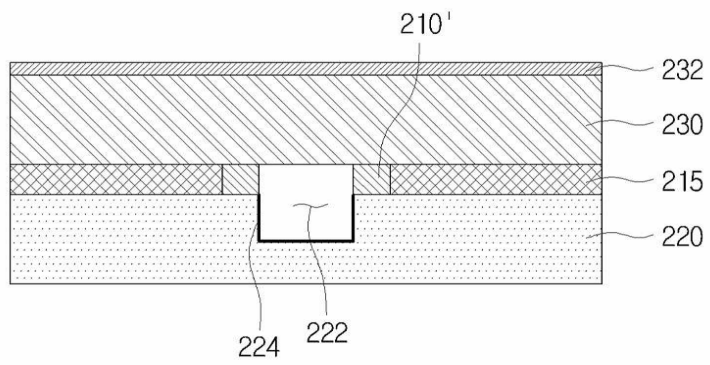
도면32



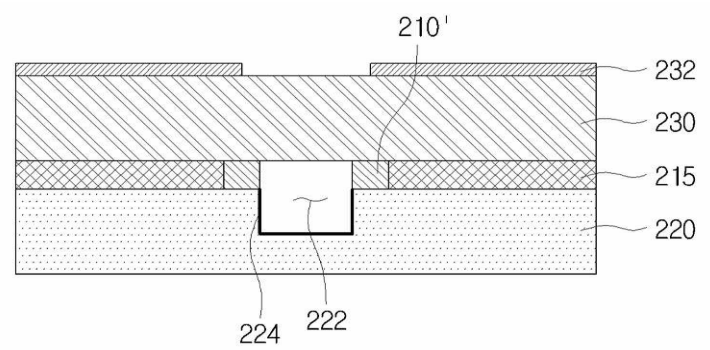
도면33



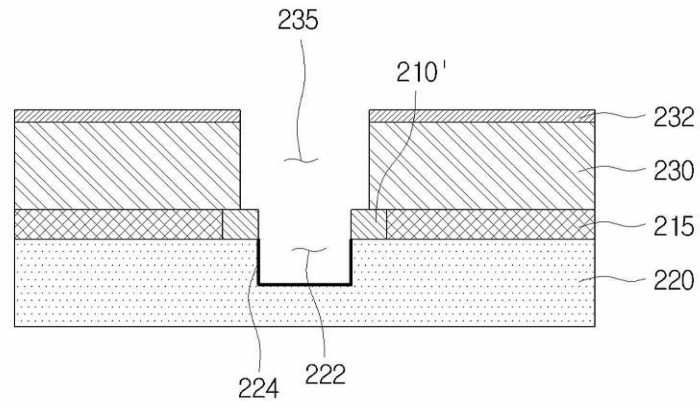
도면34



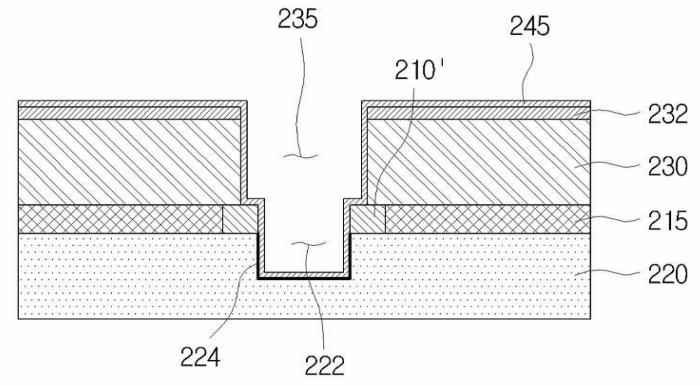
도면35



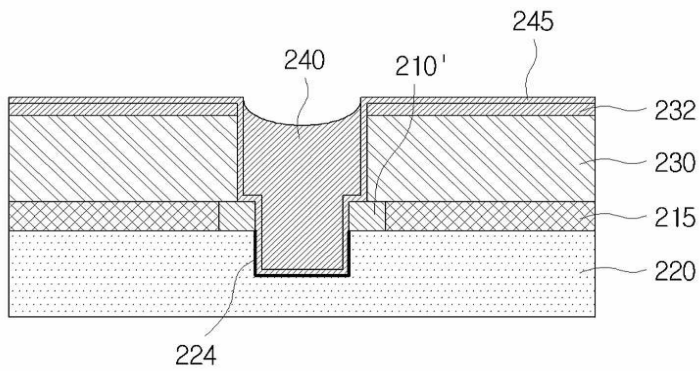
도면36



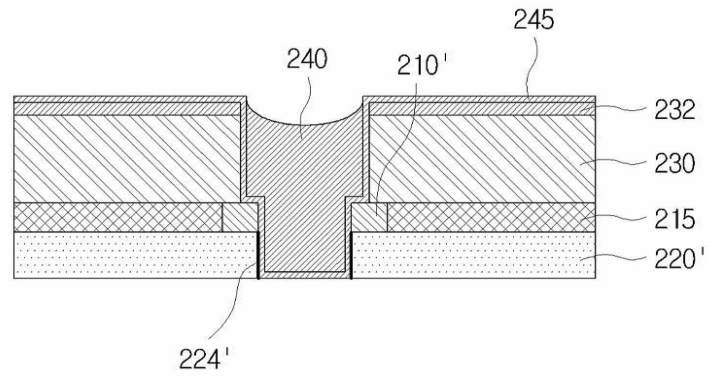
도면37



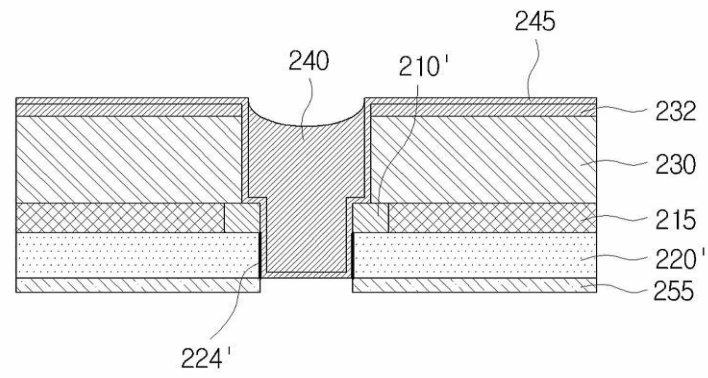
도면38



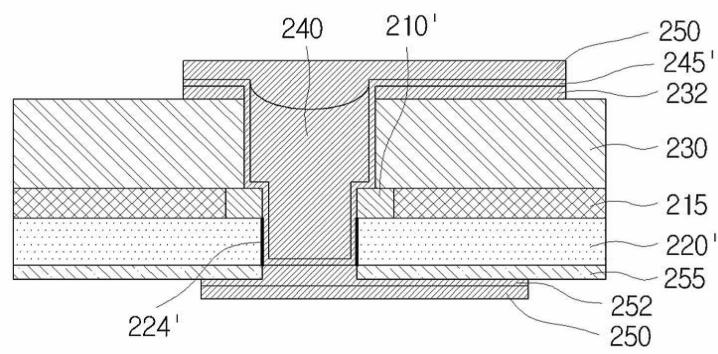
도면39



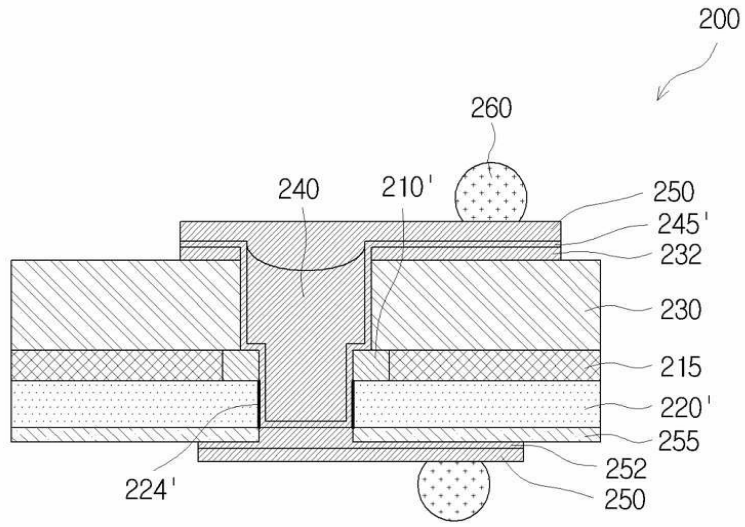
도면40



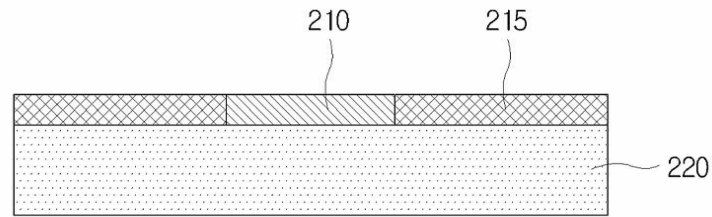
도면41



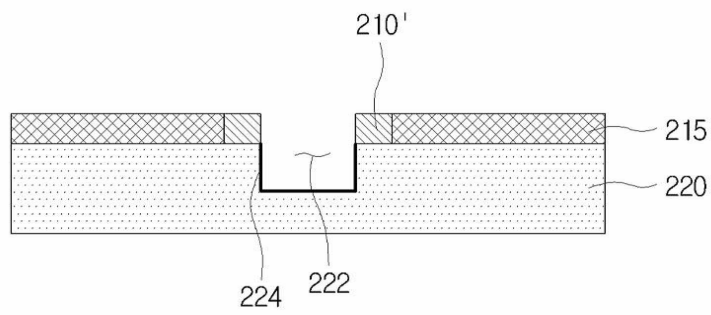
도면42



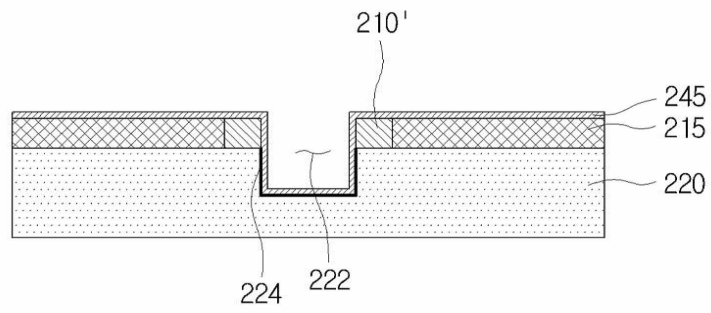
도면43



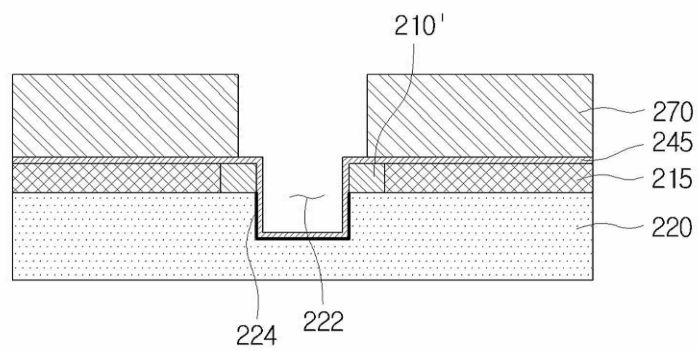
도면44



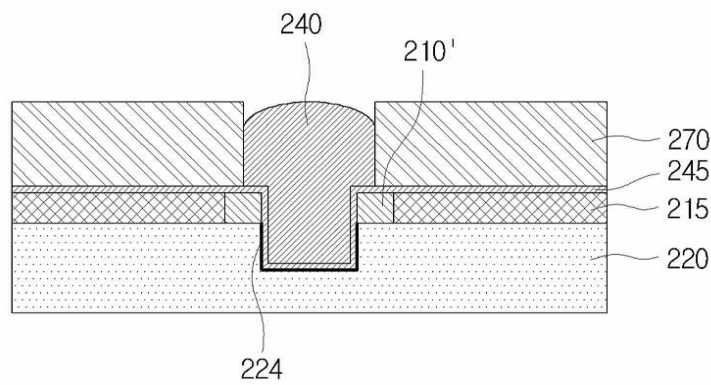
도면45



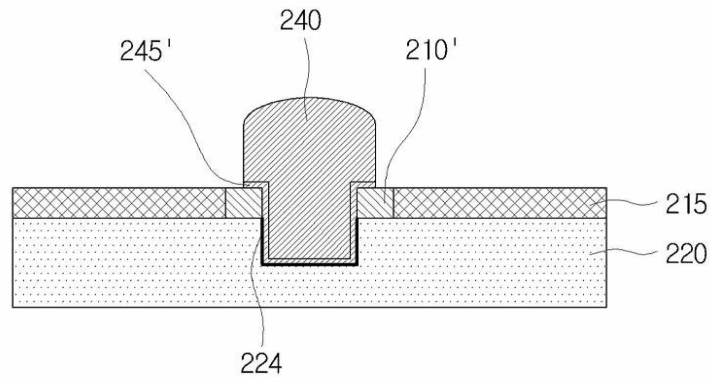
도면46



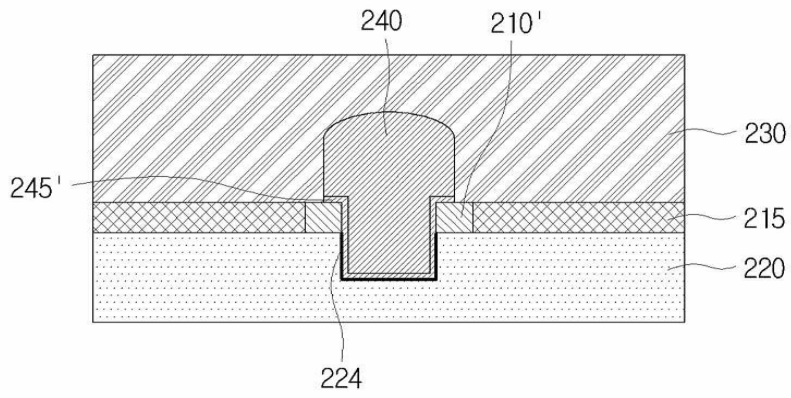
도면47



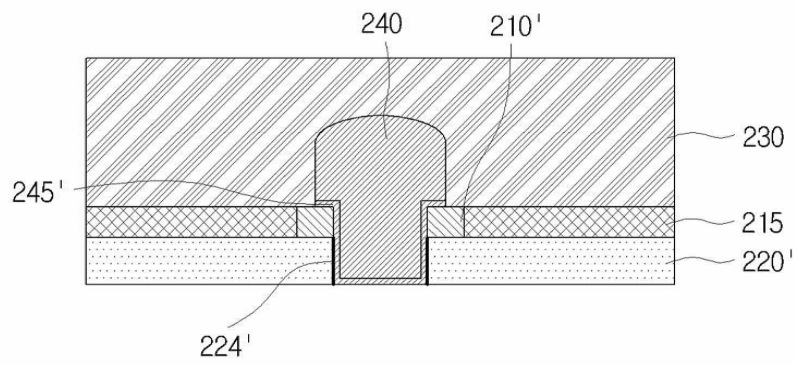
도면48



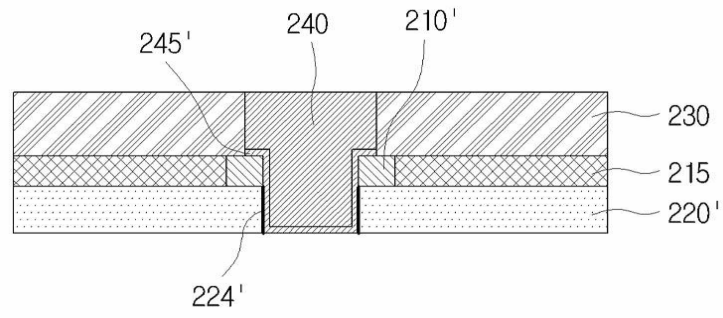
도면49



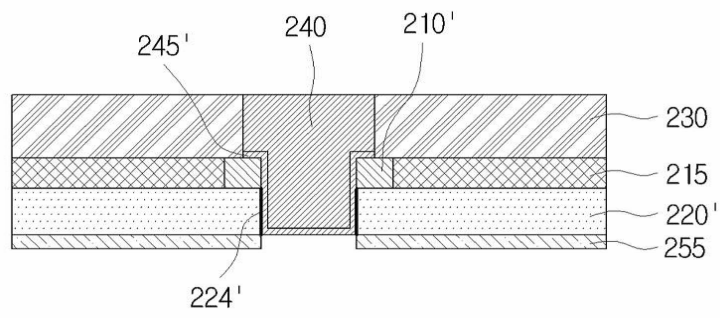
도면50



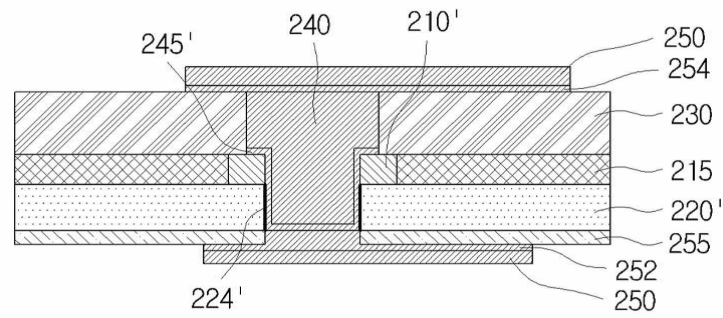
도면51



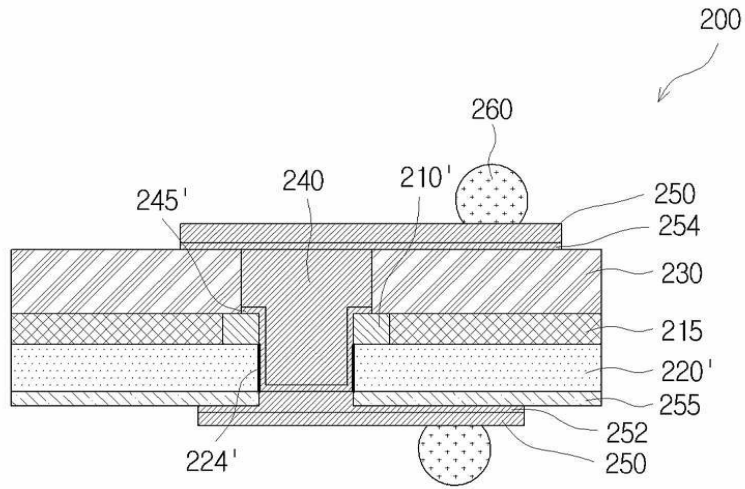
도면52



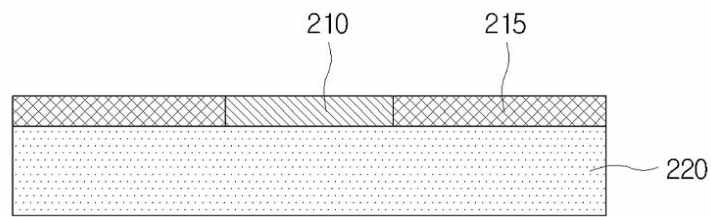
도면53



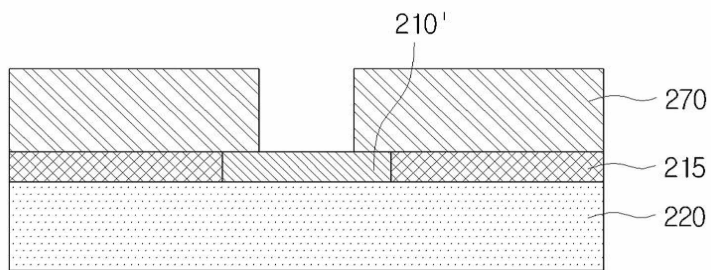
도면54



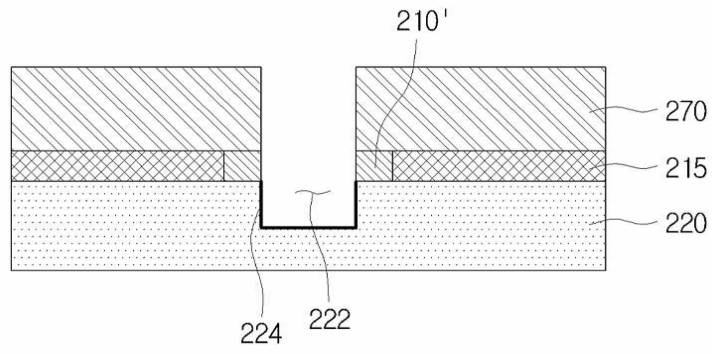
도면55



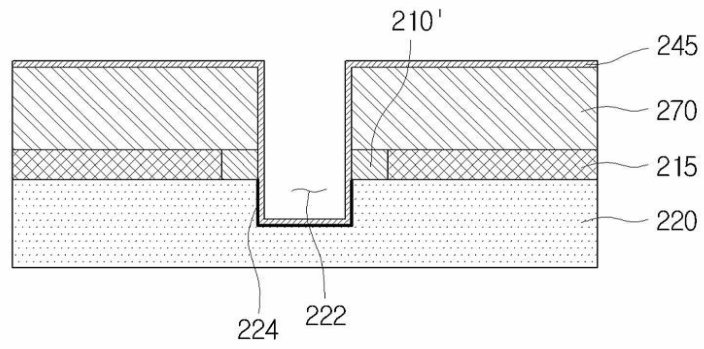
도면56



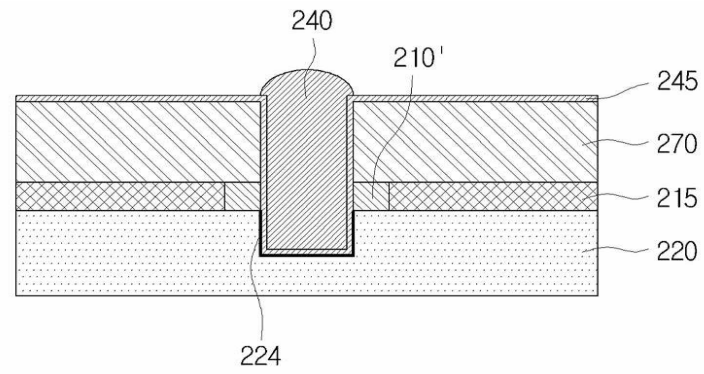
도면57



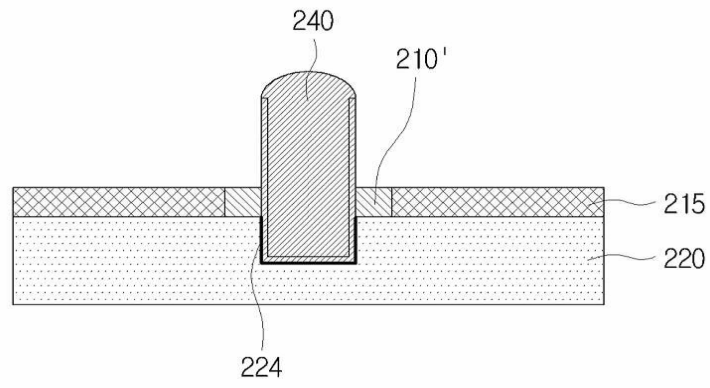
도면58



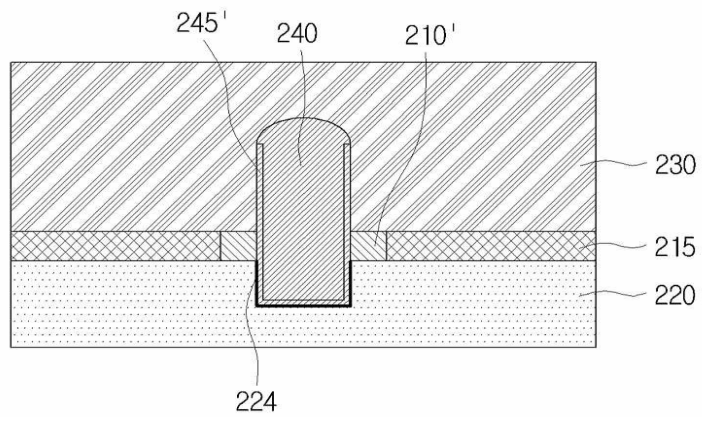
도면59



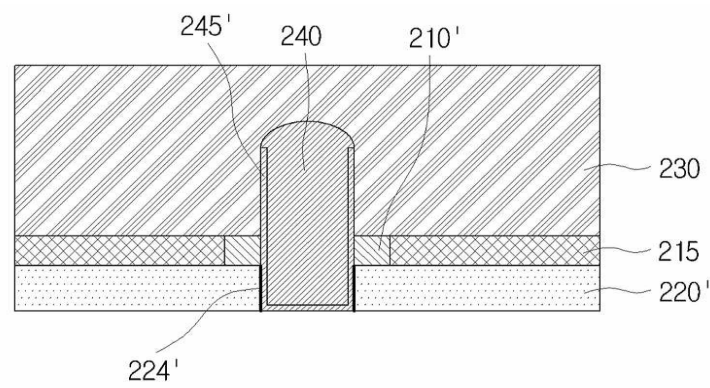
도면60



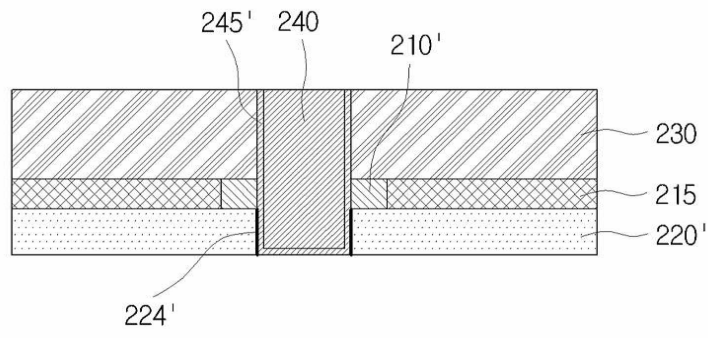
도면61



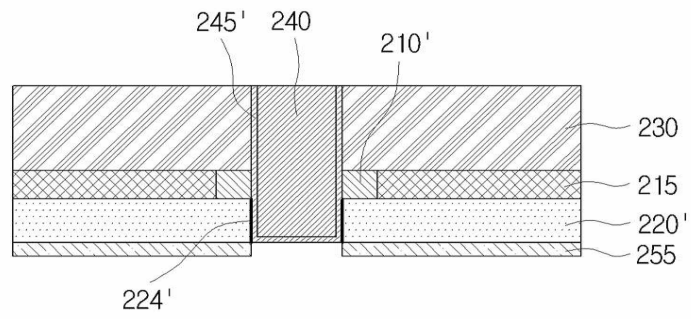
도면62



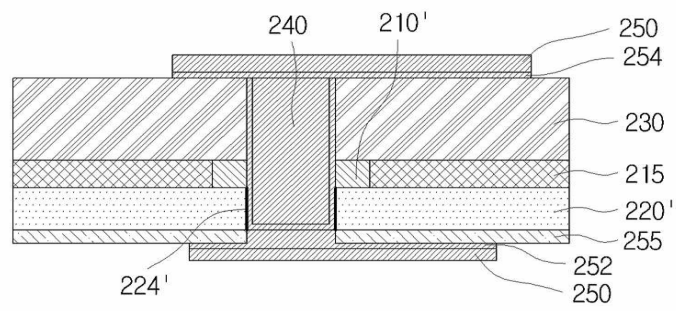
도면63



도면64



도면65



도면66

