

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/00

(45) 공고일자 1990년06월04일
(11) 공고번호 90-003908

(21) 출원번호	특1985-0006288	(65) 공개번호	특1986-0002871
(22) 출원일자	1985년08월30일	(43) 공개일자	1986년04월30일
(30) 우선권주장	198840 1984년09월21일	일본(JP)	
(71) 출원인	후지쓰가부시끼가이샤	야마모도 다쿠마	
	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나까 1015번지		
(72) 발명자	나카노 모또오		
	일본국 가나가와켄 요코하마시 호도가야구 이마이쵸 312-3		
(74) 대리인	문병암		

심사관 : 정현영 (책자공보 제1894호)

(54) 2층 구조의 다이내믹 랜덤 액세스 메모리(DRAM) 셀

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

2층 구조의 다이내믹 랜덤 액세스 메모리(DRAM) 셀

[도면의 간단한 설명]

제 1 도는 종래 드리(three)트랜지스터 DRAM 셀의 회로도.

제 2a 도는 본 발명의 첫번째 실시예의 회로도.

제 2b 도는 드리-트랜지스터 셀의 구조를 도시하는 첫번째 실시예의 부분 평면도.

제 2c 도는 2층 셀의 구조를 도시하는 제 2 도(b)의 셀의 A-A선 횡단면도.

제 2d 도는 이중 게이트 전계 효과 트랜지스터의 개념을 도시하는 제 2 도(a)의 것과 같은 등가회로도.

제 3a 도는 제 2a 도의 셀의 것으로부터 구동선의 수의 감소를 도시하는 본 발명의 두번째 실시예의 회로도.

제 3b 도는 드리-트랜지스터 셀의 구조를 도시하는 두번째 실시예의 부분 평면도.

제 3c 도는 A-A선을 따라 셀의 구조를 도시하는 제 3 도(a)의 드리-트랜지스터 셀의 횡단면도.

제 4 도는 다음 도면 제 5a-e 도에 도시된 횡단면의 위치를 도시하는 첫번째 실시예의 셀의 평면도.

제 5a-e 도는 차례로 첫번째 실시예의 제작단계를 도시하는 제 4 도의 평면에 보여준 셀의 A-A선 횡단면도.

제 5a 도는 확산 영역과 게이트 전극의 형성을 도시하는 셀의 횡단면도.

제 5b 도는 기판을 덮는 S01층의 P형 도핑단계에서 셀의 횡단면도.

제 5c 도는 그 이상의 게이트 전극의 형성을 도시하는 셀의 횡단면도.

제 5d 도는 확산된 영역을 형성하기 위한 n형 이온 주입공정을 도시하는 셀의 횡단면도.

제 5e 도는 데이터 비트선의 형성후 셀의 횡단면 형태를 도시하는 셀의 횡단면도이다.

[발명의 상세한 설명]

본 발명은 다이내믹 랜덤 액세스 메모리(이후 DRAM이라함) 소자의 셀에 관한 것이다.

전기적소자가 높은 패킹 밀도를 실현하도록 2층 배열로 배열된 DRAM 소자의 셀의 구조에 관한 것이

다. 더욱이 그것은 접지선 위에 2 또는 3개의 구동선을 갖는 2층 구조의 DRAM의 드리-트랜지스터 셀에 관한 것이다. 금속산화 반도체(MOS) 기술로 만들어진 랜덤액세스 메모리(RAM) 소자가 컴퓨터와 같은 전자기기의 기억 장치에 널리 사용되었다.

RAM 소자에게 정보 기억용으로 2가지 다른 기술, 즉 스태틱(static) MOS RAM과 다이내믹 MOS RAM을 사용하였다. 보통 스태틱 MOS RAM은 다이내믹 메모리회로와 비교하여 더 증가된 전력손실과 비교적 고속 동작을 갖는다. 다이내믹 MOS RAM(DRAM)은 기관상에 점유면적이 거의 필요없고, 비록 동작 속도가 더 낮아지고 스태틱 RAM과 비교하여 더 정교한 제어회로가 요구될지라도 저전력손실과 높은 패킹 밀도가 적합하다. 그러므로 DRAM은 점차 전자 장치에 대하여 고용량의 기억소자로서 사용된다. 특히 DRAM의 높은 패킹 밀도를 증가시키도록 많은 노력이 행하여졌으며, DRAM 셀당 트랜지스터의 수가 감소되었다. 궁극적으로 하나의 트랜지스터를 갖는 셀이 널리 사용되고 개선되었다. 추가로 하나의 트랜지스터 메모리 셀은 단지 2개의 제어선, 비트선, 워드선을 갖는다. 그러나 그것은 셀의 출력신호가 셀의 캐퍼시터에 충전된 전하에 의하여 제공된 관련된 비트선의 전위차로서 판독되기 때문에 민감한 센스 증폭기를 요구한다. 그러나 셀이 읽혀질때, 셀에 축적된 전기적 전하의 대부분이 비트선의 기생용량을 충전시키도록 소모되며, 실제로 적은 전위차, 즉 매우 미세한 출력신호로 나타난다. 추가로 셀의 용량이 감소되고 관련된 데이터 비트선의 기생용량이 DRAM의 패킹 밀도의 향상으로 거의 불변하도록 유지되는 경향이 있다. 그러므로 관련된 센스증폭기에 대하여 점차 고감도가 요구되고, DRAM 소자의 패킹 밀도의 감소와 단가 상승을 야기시켰다.

원(one)-트랜지스터 셀의 상기 언급된 결점을 극복하는 DRAM 셀의 다른 형태가 개발되었다. 드리-트랜지스터가 최근 사용되고 있는 것들중의 하나이며, 더욱이 드리-트랜지스터 셀은 다양성이 있다.

제 1 도는 종래의 드리-트랜지스터 메모리 셀의 회로도이고, 공유된 읽어들이기/쓰들기(R/W) 데이터 비트선 DL과 분리된 읽어들이기 선택 선 RL과 쓰들기 선택 선 WL을 갖는다. 이 형태의 셀에서 정보가 기억용 트랜지스터 T₃의 게이트의 전위레벨에 의하여 기억되고, 게이트 전극에 기억된 전하에 의하여 발생되며, 기억된 정보가 접지 전위로 데이터 비트선 DL을 방전하도록 기억용 트랜지스터 T₃와 읽어들이기 선택용 트랜지스터 T₁ 2개의 모두를 전도성으로 만듦으로써 출력된다. 그러므로 출력신호로서 데이터 비트선 DL의 전압레벨의 차가 원-트랜지스터 셀의 것과 비교하여 실제로 더 높게 취해질 수 있다. 따라서 간단한 센스-증폭기는 출력신호를 검출하기에 충분하며, DRAM 셀의 더욱 더 높은 패킹밀도를 제공하는 센스 증폭기 영역의 감소로 나타난다. 그러나 드리-트랜지스터 셀에서, 셀에 대한 트랜지스터와 선의 수는 원-트랜지스터의 것에 비해 더 많아진다. 이 소자와 선들이 표면상에 배열될때 셀은 비교적 큰 면적을 차지하며, 역으로 장치의 패킹 밀도에 영향을 미친다. 따라서 2층 구조가 드리-트랜지스터에 채용되었다.

본 발명의 목적은 DRAM 장치의 더 높은 패킹 밀도에 대하여 개선된 구조를 갖는 DRAM에 대하여 드리-트랜지스터를 제공하는 것이다.

본 발명의 다른 목적은 각 소자와 관련된 제어선의 효과적인 배열이 셀의 점유된 면적을 감소하도록 제공된 2층 구조로 DRAM에 대한 드리-트랜지스터를 제공하는 것이다.

본 발명의 또 다른 목적은 3개에서 2개선(접지선을 포함하지 않음)으로 제어선의 수를 감소시키기 위하여 DRAM 장치의 드리-트랜지스터 셀의 개선된 형태를 제공하는 것이다.

제 1 도에서 보여준 종래의 드리-트랜지스터 메모리 셀의 상기 설명에서, 트랜지스터 T₁과 트랜지스터 T₃가 기억된 신호 "0"을 읽어들이고, 데이터 비트선 DL과 접지선 GND 사이의 전류를 통과시키기 위하여 2개 모두가 전도성이 되며, 기억된 신호 "1"을 읽어들이고, T₁-T₃ 회로를 통하여 전류가 흐르지 않을때 트랜지스터 T₁은 도전되며, 트랜지스터 T₃는 비도전된다. 그러므로 각 소오스-드레인 영역을 통하여 트랜지스터 T₁과 트랜지스터 T₃ 사이의 연결이 생략되고, DRAM 장치의 관련된 기관상의 공간을 절약하도록 제공되므로 이중게이트 전계효과 트랜지스터가 적용될 수 있다.

반도체소자의 기관상에 메모리 셀을 점유하는 면적을 제공하기 위하여 2층 구조가 흔히 사용되며, 여기에 전자소자는 서로 절연층에 의하여 분리된 2개의 층에 배열된다.

본 발명에서 읽어들이기 선택용 트랜지스터 T₁, 기억용 트랜지스터 T₃, 트랜지스터 T₁의 게이트 전극으로서 작용하는 읽어들이기 선택선 RL은 실리콘 기관의 표면상에 직접 형성되고, 트랜지스터 T₂의 게이트 트로서 작용하는 워드선택선 WL과 쓰기 트랜지스터 T₂가 2개 층을 분리하는 절연층상에 형성된다. 데이터 비트선 DL은 전체 기관을 덮는 포스퍼-실리 게이트(phospho-silicate) 유리층상에 형성된다. 본 발명에 의한 DRAM 메모리 셀의 구조의 특징은 트랜지스터의 배열이며, 여기서 쓰들기 선택용 트랜지스터 T₂을 읽어들이기 선택용 트랜지스터 T₁위에 놓고 공통 채널 영역은 읽어들이기 선택용 트랜지스터 T₁과 기억용 트랜지스터 T₃의 게이트에 의하여 일부만이 덮여 씩워 형성된다. 그러므로 트랜지스터 T₁과 T₃는 이중 게이트 트랜지스터처럼 작용한다.

결과적으로 보통 적어도 소오스-드레인 영역을 포함하는 2개 트랜지스터 사이의 연결부분은 특히 절약된다. 추가로 셀의 회로 형태와 트랜지스터 T₁상의 트랜지스터 T₂의 위에 놓여지는 구조 때문에 트랜지스터 T₂의 소오스-드레인 영역중 1개가 트랜지스터 T₃의 게이트 전극처럼 공통으로 사용되며, 기관상의 공간을 절약하도록 제공한다.

더욱이 DRAM 셀의 개선된 회로 형태가 개발되고 여기서 메모리 셀에 대한 제어선은 3선에서 2선, 즉 분리된 쓰들기/읽어들이기 비트선과 분리된 쓰들기/읽어들이기 선택선으로 더욱 감소되며, 서로 다른 드레쉬 홀드전압을 갖는 2개의 셀 트랜지스터가 사용된다. 더 단순화된 2층 구조를 갖는 DRAM 셀은 셀의 새로운 회로형태에 따라 제공된다.

본 발명의 많은 특징과 장점은 첨부된 도면에 관하여 본 발명의 청구범위와 실시예의 상세한 설명으로 명확하게 될 것이며, 같은 참조 번호는 같은 부분을 나타낸다.

제 2 도(a)-(c)를 참조하여 본 발명에 관한 첫번째 실시예를 나타냈다. 제 2 도(a)는 DRAM의 메모리 셀의 회로도이며, 3개 트랜지스터와 3개 제어선을 갖고, 형태는 각 트랜지스터의 소오스-드레인 영역을 나타내는 3a, 3b, 9a, 9b와 채널 영역을 나타내는 표시 Ch_1 , Ch_3 를 제하고 제 1 도에서 나타낸 일반적인 드리-트랜지스터 셀의 것과 거의 같다. 이 표시는 각각 메모리 셀의 제 2 도(c)의 횡단면도와 제 2 도(b)의 평면도에 도시된 것과 상응한다.

P형 실리콘 기관 1상에 해치(hatch)된 선으로 제 2 도(b)의 평면에 나타난 전계 산화층 2가 트랜지스터영역과 접지선 사이에 규정하여 형성되었다. 기관 1에서, n^+ 형 드레인 영역 3a와 n^+ 형 소오스 영역 3b가 형성되며, 그 사이에 채널 영역 Ch_1+Ch_3 를 갖는다. MOS 트랜지스터 T_1 , 즉 읽어내기 선택용 트랜지스터가 드레인 영역 3a, 채널 영역 Ch_1 , 그 소오스 영역으로서 채널 영역 Ch_3 , 채널 Ch_1 위에 형성된 약 300Å 두께의 이산화 실리콘(SiO_2)의 채널 절연층 4, 다결정 실리콘 또는 텅스텐 실리사이드(WSi_2)로 된 게이트전극 5를 가진다. 트랜지스터 T_1 의 게이트 전극 5는 써널기 선택용 트랜지스터 T_2 가 형성된 약 6000Å의 두께를 갖는 SiO_2 의 절연층 6으로 덮혀졌다.

읽어내기 선택용 트랜지스터 T_1 상에 놓여진 써널기 선택용 트랜지스터 T_2 가 n^+ 형(드레인 영역)의 첫번째 확산영역 9a, n^+ 형(소오스 영역)의 두번째 확산영역 9b 약 300Å의 두께를 갖는 SiO_2 의 게이트 절연체 10, 채널 영역 Ch_2 혹은 8, 게이트 전극 11을 포함한다. P형 실리콘층 8은 5000-8000Å의 두께를 갖고, 절연체상의 실리콘(SOI)기술을 사용하여 형성된다.

P형 도핑 영역인 실리콘층 8은 게이트 전극 11과 게이트 절연체 10 아래에 형성되어 P채널형 FET T_2 의 채널 영역 Ch_2 로 동작한다.

첫번째 확산 영역 9a와 두번째 확산 영역 9b는 초기에 형성된 P형으로 도핑된 실리콘층 8을 n^+ 형 도핑영역 9a와 9b, 또 게이트 절연체 10아래에 변화없이 남아있는 부분으로 변화시킴에 따라 실리콘층 8에 선택적으로 형성된다. 영역 9a는 접촉장 13a를 통하여 읽어내기 선택용 트랜지스터 T_1 의 드레인 영역 3a에 연결되며, 약 300Å의 두께를 갖는 SiO_2 의 절연층 7에 이른다.

기억용 트랜지스터 T_3 는 소오스 영역 3b, 읽어내기 선택용 트랜지스터 T_1 과 공통으로 사용된 드레인 영역 Ch_1 , 게이트 절연체 7, 채널 영역 Ch_3 , 써널기 선택용 트랜지스터 T_2 의 소오스 영역으로서 공통으로 사용된 게이트 전극 9b를 포함한다. 그러므로 읽어내기 선택용 트랜지스터 T_1 과 기억용 트랜지스터 T_3 의 결합된 소자가 이중 게이트 전계효과 트랜지스터로서 생각될 수 있고, 드레인 영역 3a, 소오스 영역 3b, 채널영역 Ch_1+Ch_3 , 2개의 게이트 절연체 4, 7, 2개의 게이트 전극 5, 9b를 포함한다. 추가로 읽어내기 선택용 트랜지스터 T_1 위에 써널기 선택용 트랜지스터 T_2 를 놓음으로써 트랜지스터 T_2 의 드레인 영역과 소오스 영역중 하나가 기억용 트랜지스터 T_3 의 게이트 전극으로서 공통으로 사용된다. 이들 두 점은 실제로 셀의 패킹밀도를 향상시키도록 제공된다.

읽어내기 선택용 트랜지스터 T_1 의 게이트 전극 5와 써널기 선택용 트랜지스터 T_2 의 게이트 전극 11은 각각 써널기 선택용 WL과 읽어내기 선택용 RL의 역할을 하도록 Y방향(제 2 도(b)에서 하살표 Y로 표시됨)으로 연장되었다. 포스퍼-실리게이트 유리층 12가 소자의 선과 트랜지스터를 덮도록 형성되고, 알루미늄의 데이터 비트선 DL 14가 Y방향에 수직 방향으로 형성되며, 포스퍼-실리게이트 유리층 12에 열려진 접촉구멍 13b를 통하여 드레인 영역 9a와 3a에 연결된다. 소오스 영역 3b는 제 2 도(b)의 평면도에서 보여준 바와같이 접지선 GND로서 제공되도록 연장된다. 따라서 제 2 도(a)에서 보여준 회로 형태가 실현된다.

셀에 논리적 "0"을 써널기 의하여 데이터 비트선 DL이 고레벨에서 유지되고, 써널기 선택용 WL, 즉 써널기 선택용 트랜지스터 T_2 의 게이트 전극 11이 더 높은 전압 레벨로 써널기 선택용 트랜지스터 T_2 가 "ON"되도록 하며, 높은 레벨로 기억용 트랜지스터 T_3 의 게이트 전극 9b가 "ON"상태로 유지되도록 한다. 그후, 써널기 선택용 트랜지스터 T_2 가 기억용 트랜지스터 T_3 의 게이트 전극 9b의 전압 레벨을 높게 유지하도록 "OFF"되며, 논리적 "0"을 기억한다.

셀로부터 기억된 논리적 "0"을 읽어낼때, 데이터 비트선 DL이 고레벨과 저레벨사이의 중간 전압 V_m 과 같은 예정된 전압 레벨로 되고 유리된다. 그후 읽어내기 선택용 트랜지스터 T_1 이 "ON"된다. 기억용 트랜지스터 T_3 가 "ON"상태로 유지되므로, 전류가 데이터 비트선 DL로부터 실제로 접지전압으로 데이터 비트선 DL의 전압을 떨어뜨리는 읽어내기 선택용 트랜지스터 T_1 과 기억용 트랜지스터 T_3 을 통하여 접지선 GND로 흐른다. 데이터 비트선 DL의 전압의 감소는 논리적 "0"을 나타낸다.

셀에 논리적 "1"을 써널기 위하여 데이터 비트선 DL은 저 전압 레벨로 유지되고, 동시에 써널기 선택용 트랜지스터 T_2 가 "ON"되며 기억용 트랜지스터 T_3 의 게이트의 전압 레벨을 저전위로 만든다. 그때 써널기 선택용 트랜지스터 T_2 가 "OFF"되고, 그후 기억용 트랜지스터 T_3 의 게이트 전압 레벨이 저전위로 유지되며, 즉 기억용 트랜지스터 T_3 가 "OFF"상태로 유지된다.

셀로부터 논리적 "1"을 읽어낼 때, 데이터 비트선 DL은 예를들어 전압레벨 V_m 에서 유지되고, 읽어내기 선택용 트랜지스터 T_1 은 "ON"된다. 기억용 트랜지스터 T_3 가 "OFF"상태에서 유지되므로, 회로기억

용 트랜지스터 T_3 와 읽어내기 선택용 트랜지스터 T_1 을 통하여 전류가 흐르지 않으며, V_m 에서 데이터 비트선 DL의 전압을 유지하고, 논리적 "1"을 나타내는 전압차를 제공하지 아니한다.

상기 언급된 바와같이 첫번째 실시예의 회로는 종래 DRAM 셀의 것처럼 같은 방법으로 동작한다. 그러나 기억용 트랜지스터 T_3 와 읽어내기 선택용 트랜지스터 T_1 은 그들의 채널 영역 Ch_3 와 Ch_1 을 함께 취하고 보통 2개의 트랜지스터를 연결하기 위하여 사용된 확산 영역을 제거한다. 더우기 써널기 선택용 트랜지스터 T_2 의 소오스 드레인 영역중 하나가 공동적으로 기억용 트랜지스터 T_3 의 게이트 전극으로서 사용된다.

결과적으로, 셀의 점유면적은 셀의 패킹 밀도를 향상시키기 위하여 특히 감소된다. 추가로 정보가 전기적 전하의 형태로 기억된 기억용 트랜지스터 T_3 의 게이트 전극 9b는 포위하는 이산화실리콘층 6과 7에 의하여 기판 1로부터 전기적으로 격리되며, 알파선 방사에 의하여 야기된 소프트 에러 문제를 방지하기 위한 효과를 나타낸다.

제 2 도(a)의 회로형태는 제 2 도(d)에서 보여준 바와같이 다른 형태로 도시될 수 있고, 여기서 읽어내기 선택용 트랜지스터 T_1 과 기억용 트랜지스터 T_3 가 이중 게이트 전극 MOS 트랜지스터 Td로 대체된다. 2개의 회로 형태가 회로동작의 측면에서 전체적으로 같은 뜻이라는 것이 그 분야에 숙련된 자에 대하여 상기 설명으로부터 명확하게 된다.

지금, 본 발명의 두번째로 언급된 실시예가 제 3 도(a)-(c)를 참조로 언급된다. 두번째 실시예의 메모리셀은 제 3 도(a)의 회로도에서 보여준 바와같이 2개의 제어선과 3개의 트랜지스터를 갖는다. 제 2 도(a)와 비교하여, 제 2 도(a)의 써널기 선택선 WL과 읽어내기 선택선 RL이 한개의 선, 즉 써널기 선택용 트랜지스터 T_2 와 읽어내기 선택용 트랜지스터 T_1 의 게이트 전극이 연결된 써널기/읽어내기 선택선 WRL에 의하여 대체된다. 그러므로 서로 2개의 트랜지스터를 구별하기 위하여, 2개의 트랜지스터 T_1 과 T_2 의 드레쉬 홀드전압, 즉 각각 V_{th1} 과 V_{th2} 가 서로 다르게 된다. 그러므로 제어선은 하나로 감소되고, 셀의 나타난 구조는 더 간단하다.

제 3 도(b)는 DRAM 소자의 부분 평면도이며, 두번째 실시예의 메모리 셀의 형태를 도시하고, 제 3 도(c)는 제 3 도(b)의 평면도에서 나타난 A-A선을 따른 셀의 횡단면도이다.

트랜지스터 T_1 , T_2 , T_3 의 드레쉬 홀드 전압은 각각 V_{th1} , V_{th2} , V_{th3} 로 구분되고 읽어내기 또는 써널기 동작을 선택하기 위한 써널기/읽어내기 선택선 WRL의 전압 전위는 각각 V_r 과 V_w 로 구분된다. 데이터 비트선 DL의 전압레벨, 즉 데이터 신호는 V_d 로 구분된다.

기억용 트랜지스터 T_3 의 드레쉬 홀드 전압을 $V_{th3}=V_{th1}$ 으로 놓고, 상기 드레쉬 홀드 전압 레벨에 대하여 요구된 관계는 다음과 같다.

$$V_{th1} < V_r < V_{th2} \text{ (읽어내기 상태)}$$

$$V_d + V_{th2} < V_w \text{ (써널기 상태)}$$

$$V_{th1} < V_d \text{ (읽어낼 수 있는 상태)}$$

셀에 신호를 쓸때, T_2 는 써널기/읽어내기 선택선 WRL을 V_w 로 유지함으로써 도전된다. 그후 입력신호 전압, 0볼트 또는 V_d 가 데이터 비트선 DL, 즉 T_3 의 게이트에 인가되고, 입력논리에 의존하며, 기억용 트랜지스터 T_3 의 "ON"상태 또는 "OFF"상태로 나타난다. 이 형태에서 읽어내기 선택용 트랜지스터 T_1 도 동시에 도전된다. 데이터 신호가 0볼트일때, 기억용 트랜지스터 T_3 가 "OFF"상태에 있으므로 T_1 - T_3 선을 통하여 전류가 흐르지 않고, 아무런 문제가 발생하지 아니한다. 그러나 데이터 신호가 V_d 일때, 전류가 데이터 비트선 DL로부터 접지선 GND로 흐르며, 역으로 데이터 비트선 DL의 전압이 전압 V_d 로 유지되도록 영향을 미친다. 그러므로 DL선의, 전압레벨 V_d 를 유지하기 위하여 T_1 - T_3 회로의 직렬 저항의 것보다 실제로 더 낮은 데이터 비트선 DL의 관련된 구동회로의 등가 저항을 만들 필요가 있다.

기억된 신호를 셀로부터 읽어낼때, 써널기/읽어내기 선택선 WRL의 전압이 V_r 로 유지되며, 상기 언급된 V_r 의 상태에 의하여 써널기 선택용 트랜지스터 T_2 가 "OFF"되고, 읽어내기 선택용 트랜지스터 T_1 이 "ON"된다. 그러므로 기억용 트랜지스터 T_3 의 게이트의 전압이 불변하여 유지된다. 그러므로 기억된 신호, 즉 기억용 트랜지스터 T_3 의 게이트의 전압이 0볼트일때 T_3 가 "OFF"상태에 있으므로 데이터 비트선 DL로부터 접지선 GND로 전류가 흐르지 아니한다. 따라서 데이터 비트선 DL의 전압이 변하지 않고 유지되며, "1"로서 정보신호를 나타내는 센스증폭기를 통하여 출력된다. 기억된 신호가 기억용 트랜지스터 T_3 를 도전시키는 V_d 일때, 데이터 비트선 DL의 전압이 접지선 GND로 흐르며, 데이터비트선 DL의 전압의 실제적인 강하를 나타내고, "0"으로서 신호를 나타내는 센스 증폭기를 통하여 출력된다.

상세하게 위에서 언급한 바와같이 본 발명에 따른 회로형태와 개선된 2층구조는 관련된 DRAM 소자에 높은 패킹 밀도를 초래한다. 또한 본 발명은 그 제조 단가를 줄이도록 제공한 더 쉬운 제조공정으로 DRAM 소자를 제공하도록 한다. 본 발명에 의한 DRAM 셀의 제조 방법의 일례는 제 4 도와 첫번째 실시예의 각 제조단계에서 제 4 도에 나타난 A-A선을 따라 취한 제 5 도(a)-(e)의 부분 횡단면도를 참조로 하여 설명한다.

제 4 도와 제 5 도(a)에 관하여 : P형 실리콘 기판 10이 준비되고, 이산화 실리콘(SiO_2)의 전계 산화층 FOX가 일반적인 방법에 의하여 그 위에 형성되고, 트랜지스터 영역 Acell을 정의하며, 일반적인

열산화법에 의하여 트랜지스터 영역 Acell1위에 약 300Å 두께의 첫번째 게이트 절연층 4의 형성에 의하여 이루어진다. 게이트 절연층 4위에, 약 2000Å 두께의 텅스텐 실리싸이드(WSi_2)층 5와 약 5000-8000Å 두께의 SiO_2 층 6이 상기 순서대로 적층된 일반적인 화학증기 증착(CVD)법에 의하여 계속하여 형성된다. 통상의 패터닝(patterning)에 의하여 SiO_2 절연층 6을 갖는 워어내기 선택용 트랜지스터 T_1 의 게이트 전극 5가 형성된다. 게이트 전극 5가 기판위에 연장되고, 워어내기 선택용 RL의 역할을 한다. 그런데 광저항 마스크 R(점선으로 도시)이 데이터 비트선에 대하여 예정된 영역을 제외한 기판상의 면적을 덮도록 형성된다. 그후, 비소(As)이온이 100KeV의 가속 에너지와 $5 \times 10^{15} \text{cm}^{-2}$ 의 양으로 실리콘 기판의 노출된 면적에 주입되고, n^+ 형 드레인 영역 3a를 형성하기 위하여 주입된 As불순물을 확산시키기 위하여 적절한 열처리와 광저항 마스크 R의 제거에 의하여 이루어진다.

제 5 도(b)에 관하여, 계속적으로, SiO_2 층(게이트 절연층 4)상의 패턴화된 게이트 전극 5중 노출된 표면은 일반적인 건식에칭(etching)법에 의하여 에칭된다. 그런데 약 300Å의 SiO_2 의 두번째 게이트 절연체가 일반적인 열산화법에 의하여 형성된다. 이 결과, 게이트 전극 5의 측면상에 약 500°C의 약 100Å 두께의 SiO_2 층 6이 형성된다.

그후, 접촉창 13a가 n^+ 형 드레인 영역 3a위 두번째 절연층 7에 열려지며, 기판 1의 전 표면위의 약 5000Å 두께의 두꺼운 다결정 실리콘층의 형성에 의하여 이루어진다. 다결정 실리콘층은 가열하기 위하여 예정된 에너지를 갖는 전자빔 또는 레이저빔의 방사에 의하여 단결정층으로 변한다. 이는 SOI(Silicon On Insulator)기술중 하나이며, 단결정 실리콘층은 실제로 적은 게이트 누설전류를 갖는 MOS FET를 형성하도록 제공하는 SOI층 8로서 언급한다. 다음단계에서, SOI층 8은 붕소(B^+)이온 주입과 연속 열처리에 의하여 10^{16}cm^{-3} 농도의 P형 확산층이 되도록 도우프된다. SOI기술, 즉 솔리드 페이즈 에피탁스(solid phase epitaxy)를 사용한 SOI층 8을 형성하기 위한 교체 방법이다. 일반적인 CVD법에 의하여 전체 기판상에 형성된 다결정 실리콘층은 접촉영역의 노출된 단결정 구조가 재결정화의 세로로 작용하는 약 600°C의 열처리에 의하여 재결정화된 단결정 실리콘 구조의 층으로 변한다.

제 5 도(c)에 관하여, 계속해서 접지영역을 포함하는 소오스 영역을 노출시키기 위하여 동시에 두번째 게이트 절연층 7과 SOI층 8을 패턴화할 때 약 300Å 두께의 세번째 게이트 절연층 10은 열산화법에 의하여 형성된다. 이 단계는 약 2000Å 두께의 텅스텐 실리싸이드(WSi_2)층을 형성하기 위한 화학 증착(CVD)공정에 의하여 이루어지고, 씨널기 선택용 트랜지스터 T_2 의 게이트 전극 11을 패턴화하기 위한 사진식각공정에 의하여 수반된다. 게이트 전극 11은 워드 선택용 WL이 되도록 연장된다.

제 5 도(d)에 관하여, 다음 단계는 전체 표면위에 약 120KeV의 가속 에너지로 약 $5 \times 10^{15} \text{cm}^{-2}$ 양의 비소이온(As^+)의 이온주입이며, 예정된 열처리에 의하여 이루어지고, 씨널기 선택용 트랜지스터 T_2 의 드레인 영역으로서의 첫번째 n^+ 형 영역 9a, 씨널기 선택용 트랜지스터 T_2 소오스 영역으로서의 두번째 n^+ 영역 9b, n^+ 형 소오스 영역 3b를 형성한다. 기억용 트랜지스터 T_3 의 소오스 영역 3b가 접지선으로서 작용하도록 연장된다.

위에 설명된 n^+ 형 영역 9a와 9b는 절연체층 6과 7에 닿도록 형성된다.

게이트 전극 11은 이온을 주입하는 동안에 비소이온이 실리콘층 8에 닿는 것을 방지하는 마스크로서 행동한다. 결과적으로 게이트 전극 11 아래에 있는 실리콘층 8의 일부는 변화되지 않고 P형 확산영역으로 남아있다. 따라서 변화되지 않은 부분은 트랜지스터 T_2 에서 참고번호 8로 표시된 P형 채널영역 ch_2 가 된다.

제 5 도(e)에 관하여, 전체 기판은 일반적인 법에 의하여 포스퍼-실리 게이트 유리층 12로 바뀌며, 여기서 접촉창 13b는 워어내기 선택용 트랜지스터 T_1 의 밑에 놓인 드레인 영역 3a를 노출시키도록 형성된다. 계속해서 일반적인 방법에 의하여 알루미늄 또는 금속의 데이터 비트선 DL은 데이터 비트선 DL이 접촉창 13b를 통하여 워어내기 선택용 트랜지스터 T_1 의 드레인 영역 3a와 씨널기 선택용 트랜지스터 T_2 의 드레인 영역 9a에 연결되도록 포스퍼-실리 게이트 유리층 12위에 형성된다. 마지막으로 기판에 대하여 패시베이팅(passivating)층의 형성과 다른 최종공정(도시되지 않음)은 반도체 메모리 소자를 완성하도록 실행된다.

상세히 위에 언급된 바와같이 반도체 메모리 소자의 모든 제조단계를 통하여 일반적인 반도체 제조 기술이 사용되었고, 제조 단가에 증가를 요구하지 아니한다.

본 발명의 많은 특징과 장점이 상세한 설명으로 명확하게 되고, 그러므로 첨부된 청구범위가 본 발명의 진정한 특성과 범위내에 포함하는 다이내믹 랜덤 액세스 메모리의 셀의 구조와 형태의 장점 및 그러한 특징의 모두를 커버할 것이다.

(57) 청구의 범위

청구항 1

실리콘 기판에 형성된 첫번째 드레인 영역(3a)과 첫번째 채널 영역(ch_1)을 갖고서, 워어내기 동작을 위한 셀을 선택하는 워어내기 선택용 MIS트랜지스터(T_1), 상기 워어내기 선택용 MIS트랜지스터(T_1)위의 절연층(6)에 형성된 반도체층 위에 형성되고, 상기 절연층(6)에서 열린 접촉창(13a)을 통

하여 상기 읽어내기 선택용 트랜지스터(T_1)의 상기 첫번째 드레인 영역(3a)에 직접 연결된 두번째 드레인 영역(9a)과 소오스 영역(9b)을 갖고, 써널기 동작을 위한 상기 셀을 선택하는 써널기 선택용 MIS트랜지스터(T_2) 상기 실리콘 기판에 형성되고, 읽어내기 선택용 트랜지스터(T_1)의 첫번째 채널 영역(ch_1)에 직접 연결된 채널 영역(ch_3)을 갖고, 상기 써널기 선택용 트랜지스터(T_2)의 상기 소오스 영역(9b)을 그의 게이트 전극으로 활용하는, 정보신호를 기억하기 위한 기억용 MIS트랜지스터(T_3), 상기 실리콘 기판에 동일한 레벨로 형성된 상기 읽어내기 선택용 트랜지스터(T_1)와 상기 기억용 트랜지스터(T_3)의 상기 두번째 채널 영역(ch_3)을 포함하는 실리콘 기판위에 형성되는 DRAM 드리-트랜지스터 셀.

청구항 2

청구범위 제 1 항에 있어서, 상기 읽어내기 선택용 트랜지스터(T_1)와 상기 읽어내기 선택용 트랜지스터 위에 형성된 상기 써널기 선택용 트랜지스터(T_2)는 서로 공통 게이트 전극(9b)을 공유하고, 상기 공통전극이 각 게이트 절연층을 통하여 상기 읽어내기 선택용 트랜지스터(T_1)와 써널기 선택용 트랜지스터(T_2)사이에서 배치되며, 상기 읽어내기 선택용 트랜지스터(T_1)와 상기 써널기 선택용 트랜지스터(T_2)는 양 트랜지스터가 구별될 수 있게 구동되어질 수 있도록 각각의 다른 드레쉬 홀드 전압을 가지는 DRAM의 드리-트랜지스터 셀.

청구항 3

청구범위 제 1 항에 있어서, 더욱이 상기 기억용 트랜지스터(T_3)가 게이트 전극과, 절연층에 의하여 덮혀진 측벽을 가지는 DRAM의 드리-트랜지스터 셀.

청구항 4

청구범위 제 2 항에 있어서, 상기 공통 게이트 전극(9b)의 측벽이 절연층에 의하여 덮혀진 DRAM의 드리-트랜지스터 셀.

청구항 5

다이나믹 랜덤 액세스 메모리(DRAM)의 트랜지스터 셀에 있어서, 정보신호를 입,출력하기 위한 데이터 비트선, 그 속에 정보를 써널기 위하여 혹은 그 속에 기억된 정보를 읽어내기 위하여 상기 셀을 선택하기 위한 공유된 써널기/읽어내기 선택선, 접지선, 읽어내기 선택용 MIS트랜지스터(T_1), 써널기 선택용 MIS트랜지스터(T_2), 기억용 MIS트랜지스터(T_3), 상기 셀의 써큐트리(circuitry)를 형성하는 드레인, 소오스, 게이트를 갖고, 여기서 상기 써널기용 트랜지스터(T_2)의 상기 드레인(9a), 상기 소오스(9b) 상기 게이트(11)가 각각 상기 데이터 비트선(DL), 상기 기억용 트랜지스터(T_3)의 상기 게이트(9b), 상기 써널기/읽어내기 선택선에 연결되며, 상기 읽어내기용 트랜지스터(T_1)의 상기 드레인(3a), 상기 소오스(ch_3), 상기 게이트(5)가 각각 상기 데이터 비트선, 상기 기억용 MIS트랜지스터(T_3)의 상기 드레인(ch_1)과, 상기 써널기/읽어내기 선택선에 연결되고, 상기 기억용 트랜지스터(T_3)의 상기 소오스(3b)가 상기 접지선에 연결되며, 상기 읽어내기용 MIS트랜지스터(T_1)와 상기 써널기용 MIS트랜지스터(T_2)가 서로 다른 드레쉬 홀드전압 레벨을 가지는 각 MIS트랜지스터를 가지는 것을 특징으로 하는 DRAM의 트랜지스터 셀.

청구항 6

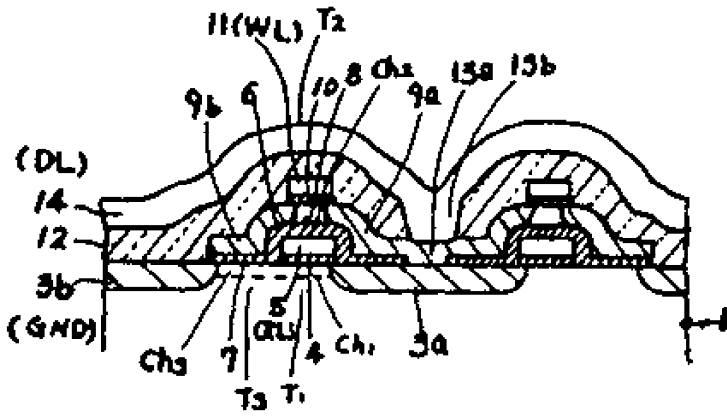
청구범위 제 1 항에 있어서, 상기 써널기 선택용 트랜지스터(T_2)가 형성된 상기 반도체 층이 절연체 상의 실리콘(SOI)기술을 이용하여 제작된 단결정 실리콘층인 DRAM의 드리-트랜지스터 셀.

청구항 7

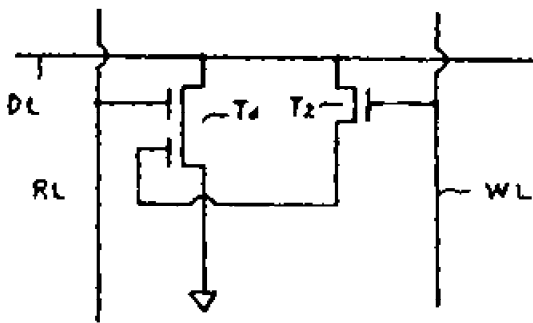
청구범위 제 1 항 또는 제 2 항에 있어서, 상기 읽어내기 선택용 MIS트랜지스터(T_1)와 상기 기억용 MIS트랜지스터(T_3)가 이중 게이트 전극 MIS트랜지스터(T_d)로 대체된 DRAM의 드리-트랜지스터 셀.

도면

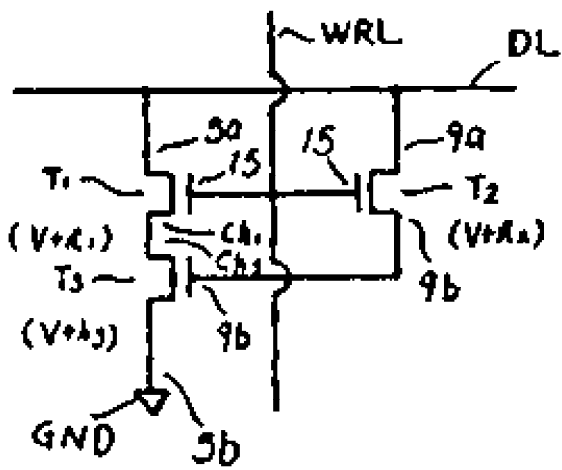
도면2-c



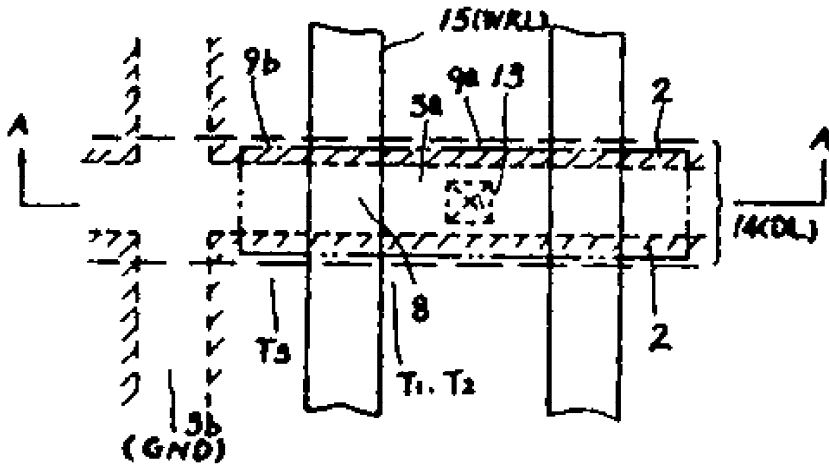
도면2-d



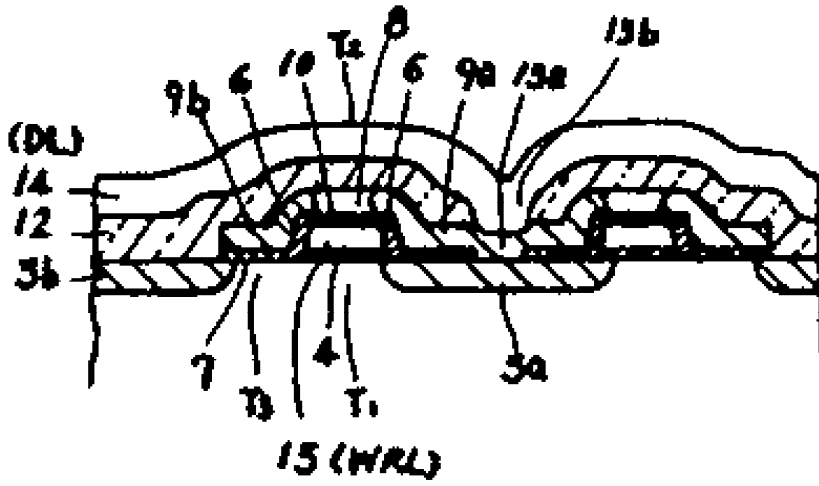
도면3-a



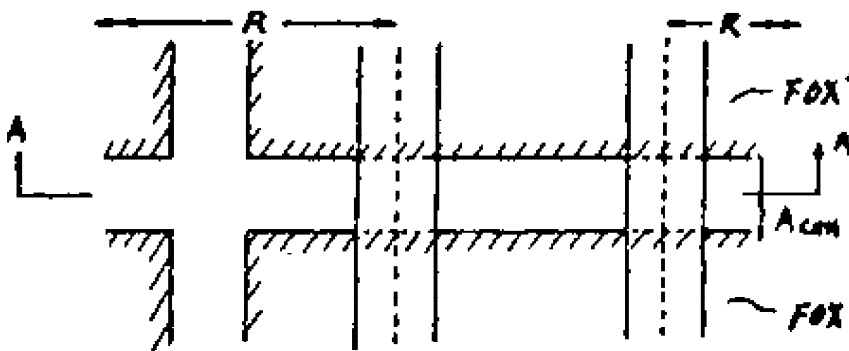
도면3-b



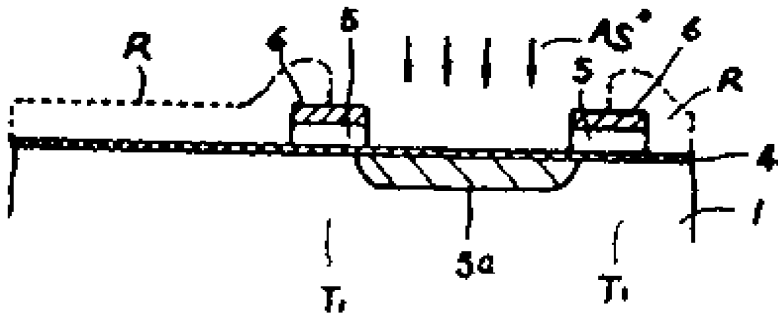
도면3-c



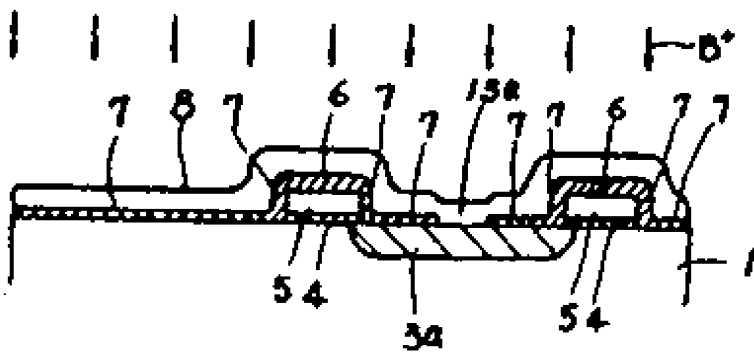
도면4



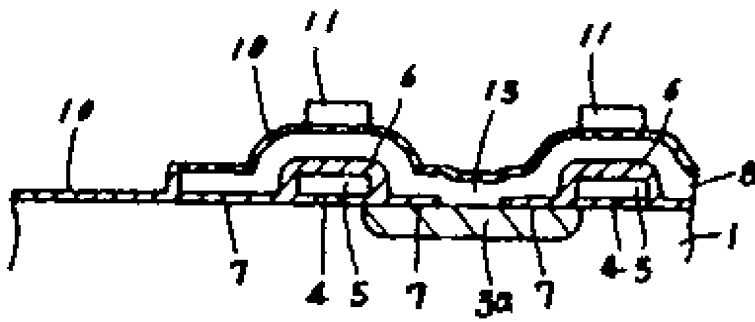
도면5-a



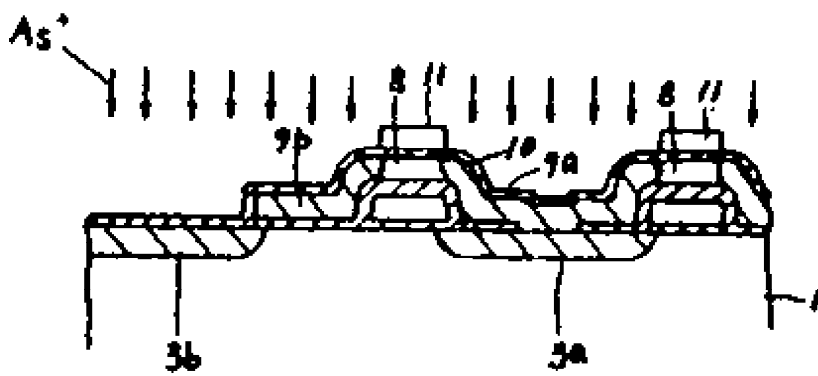
도면5-b



도면5-c



도면5-d



도면5-e

