

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/00	(11) 공개번호 특 1999-0066713
	(43) 공개일자 1999년 08월 16일
(21) 출원번호 10-1998-0027570	
(22) 출원일자 1998년 07월 09일	
(30) 우선권주장 98-014388 1998년 01월 27일 일본(JP)	
(71) 출원인 후지쓰 가부시끼가이샤 아끼구사 나오유키	
(72) 발명자 일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1 하시모토 유키노리	
(74) 대리인 김성택, 조태연	일본 가나가와 가와사키시 나카하라구 가미코다나카 4-1-1, 후지쓰 가부시끼가이샤 나이 김성택, 조태연

심사청구 : 있음

(54) 반도체 장치

요약

본 발명은 데이터 출력 동작중에 급격한 전원 노이즈가 발생하는 경우에도 적절한 타이밍으로 데이터를 출력할 수 있는 타이밍 안정화 회로를 구비한 반도체 장치를 제공하는 것을 목적으로 한다.

반도체 장치는 외부로부터 공급되는 외부 클럭 신호에 따라 데이터를 외부로 출력하는 출력 타이밍을 조정하는 타이밍 안정화 회로와, 데이터의 출력중에는 타이밍 안정화 회로의 출력 타이밍 조정 동작을 정지시키는 제어 회로를 포함한다.

대표도

도 1

명세서

도면의 간단한 설명

- 도 1은 타이밍 안정화 회로로서 DLL 회로를 이용한 본 발명에 의한 반도체 장치의 실시예를 도시하는 도면.
- 도 2는 데이터 출력시의 위상 비교 동작 정지를 설명하기 위한 타이밍도.
- 도 3은 가변 지연 회로의 회로 구성을 도시하는 회로도.
- 도 4는 지연 제어 회로의 회로 구성을 도시하는 회로도.
- 도 5는 위상 비교 회로의 회로 구성을 도시하는 회로도.
- 도 6은 타이밍 안정화 회로로서 DLL 회로를 이용한 본 발명에 의한 반도체 기억 장치의 실시예를 도시하는 도면.
- 도 7은 DLL 회로를 타이밍 안정화 회로로서 데이터 출력에 이용한 구성예를 도시하는 도면.
- 도 8은 데이터 출력시의 전원 노이즈에 의한 문제를 설명하기 위한 타이밍도.

<도면의 주요부분에 대한 부호의 설명>

- 10: 반도체 장치
- 11: 출력 회로
- 12: 가변 지연 회로
- 13: ESD 보호 회로
- 14: 입력 회로
- 15: 분주기
- 16: 위상 비교 회로
- 17: 지연 제어 회로

- 18: 가변 지연 회로
- 19: 더미 입력 회로
- 20: 더미 출력 회로
- 21: 더미 출력 부하
- 22: 더미 ESD 보호 회로
- 23: 제어 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치에 관한 것으로, 상세하게는 DLL(Delay Locked Loop) 회로 등의 타이밍 안정화 회로를 갖는 반도체 장치에 관한 것이다.

반도체 장치는 DLL 회로 등에 의해 클럭 신호의 타이밍을 제어하게 된다.

도 7은 DLL 회로를 타이밍 안정화 회로로서 데이터 출력에 이용한 구성예를 도시하는 도면이다. 도 7의 회로는 출력 회로(501), 가변 지연 회로(502), ESD(Electrical Static Discharge) 보호 회로(503), 입력 회로(504), 분주기(505), 위상 비교 회로(506), 지연 제어 회로(507), 가변 지연 회로(508), 더미 입력 회로(509), 더미 출력 회로(510), 더미 출력 부하(511) 및 더미 ESD 보호 회로(512)를 포함한다.

입력 단자에 공급된 외부 클럭 신호 CLK는 ESD 보호 회로(503)를 통해, 커런트 미러 회로 등으로 구성되는 입력 회로(504)로 공급된다. 입력 회로(504)는 공급된 외부 클럭 신호 CLK에 따라, 내부 클럭 신호 i-clk를 출력한다. 내부 클럭 신호 i-clk는 가변 지연 회로(502)에 의해 적당한 지연량만큼 지연되어 출력 회로(501)에 공급된다. 출력 회로(501)로서는, 적당한 지연량만 지연된 내부 클럭 신호 i-clk를 동기 신호로서 이용하여 데이터를 래치한다. 래치된 데이터는 출력 회로(501)로부터 출력 단자를 통해 반도체 장치 외부로 출력된다.

상기 입력 단자에서 출력 단자까지의 경로에는 회로 고유의 지연이 발생하기 때문에, 출력 회로(501)로부터 장치 외부로 출력되는 데이터는 회로 고유의 지연에 따른 타이밍을 갖게 된다. 이 출력 회로(501)로부터 장치 외부로 출력되는 데이터를 외부 클럭 신호 CLK와 소정의 타이밍 관계에 맞추기 위해서, 위상 비교 회로(506), 지연 제어 회로(507), 가변 지연 회로(508) 및 가변 지연 회로(502)로 이루어지는 DLL 회로가 이용된다.

내부 클럭 신호 i-clk는 분주기(505)로 분주되고, 서로 동일한 위상을 가진 더미 클럭 신호 d-clk 및 기준 클럭 신호 c-clk가 생성된다. 더미 클럭 신호 d-clk는 가변 지연 회로(508)에 공급된다. 가변 지연 회로(508)는 가변 지연 회로(502)와 동일한 지연량만큼 더미 클럭 신호 d-clk를 지연하도록 제어된다. 가변 지연 회로(508)로부터 출력되는 지연된 더미 클럭 신호 d-clk는 출력 회로(501)와 동일한 지연 특성을 갖는 더미 출력 회로(510), 출력 부하를 모의(模擬)하는 더미 출력 부하(511), ESD 보호 회로(503)와 동일한 지연 특성을 갖는 더미 ESD 보호 회로(512), 입력 회로(504)와 동일한 지연 특성을 갖는 더미 입력 회로(509)를 통해, 위상 비교 회로(506)에 입력된다.

위상 비교 회로(506)는 기준 클럭 신호 c-clk와, 더미 입력 회로(509)로부터 공급되는 클럭 신호를 비교한다. 양 클럭 신호가 동일한 위상이 되도록, 위상 비교 회로(506)는 지연 제어 회로(507)를 통해 가변 지연 회로(508)의 지연량을 제어한다. 이것에 의해, 더미 출력 회로(510)로부터 출력되는 클럭 신호가 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 제어된다.

ESD 보호 회로(503), 입력 회로(504), 가변 지연 회로(502) 및 출력 회로(501)의 총 지연량은 더미 ESD 보호 회로(512), 더미 입력 회로(509), 가변 지연 회로(508) 및 더미 출력 회로(510)의 총 지연량과 동일하기 때문에, 출력 회로(501)로부터 장치 외부로 송출되는 데이터는 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 제어되게 된다.

이 때 전원 전압의 변동이나 온도 변동 등에 의해, ESD 보호 회로(503), 입력 회로(504), 가변 지연 회로(502) 및 출력 회로(501)의 특성이 변화한다면, 더미 ESD 보호 회로(512), 더미 입력 회로(509), 가변 지연 회로(508) 및 더미 출력 회로(510)의 특성도 동일하게 변화한다. 따라서, 출력 회로(501)로부터 장치 외부로 출력되는 데이터는 전원 전압 변동이나 온도 변동 등에 관계없이, 항상 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 제어된다.

발명이 이루고자하는 기술적 과제

분주기(505)는 내부 클럭 신호 i-clk를 1/N로 분주함으로써, 더미 클럭 신호 d-clk 및 기준 클럭 신호를 생성한다. 이것에 의해 N 사이클에 1회의 정도로, 위상 비교 회로(506)가 위상 비교를 행하고, 타이밍 조정을 행하게 된다. 도 7 구성의 반도체 장치에 있어서 DLL 회로는 항상 동작하고 있기 때문에, N 사이클에 1회의 타이밍 조정은 데이터의 출력중에도 행해진다.

일반적으로 출력 회로로부터 데이터가 출력될 때에는 출력 단자 이후의 외부 부하를 구동할 필요가 있다. 따라서 데이터 출력시 출력 회로에 큰 전류가 순간적으로 흐를 경우, 반도체 장치 내부의 전원에 급격한 노이즈가 발생된다. 내부 전원에 급격한 노이즈가 생기면, 가변 지연 회로(508)나 일련의 더미 회

로에 있어서, 신호의 통과 시간이 변동하게 된다. 이것에 의해, 더미 입력 회로(509)로부터 위상 비교 회로(506)로 입력되는 위상 비교 대상의 클럭 신호 t-clk의 타이밍도 어긋나게 된다.

도 8은 데이터 출력시의 전원 노이즈에 의한 문제를 설명하기 위한 타이밍도이다.

도 8은 내부 클럭 신호 i-clk, 리드 인에이블 신호, 출력 단자에 나타나는 데이터 신호, 접지전압 GND, 더미 입력 회로(509)로부터 출력되는 클럭 신호 t-clk, 기준 클럭 신호 c-clk 및 도 7의 노드 N1 및 N2에 있어서의 클럭 신호를 나타낸다.

도 8에 도시된 바와 같이, 반도체 장치에 리드 인에이블 신호가 공급되어 출력 단자로부터 데이터 D1이 출력되면, 출력 회로(501)에 부하가 걸림으로써, 전원 전압(접지 전압 GND)에 스파이크형의 노이즈 S1이 생긴다. 이 전원 전압의 노이즈의 영향에 의해, 클럭 신호 t-clk의 클럭 펄스 P1의 상승 타이밍이 어긋난다. 이 타이밍에 일치하여 기준 클럭 신호 c-clk의 N 사이클에 1회의 펄스가 공급되면, 타이밍이 어긋난 클럭 펄스 P1에 따라서, DLL 회로의 위상 조정이 행해지고, 가변 지연 회로(502, 508)의 지연량이 변화된다. 이것에 의해서, 노드 N1 및 N2에 있어서의 클럭 신호는 어긋난 타이밍의 클럭 펄스 P1에 따라 타이밍의 클럭 신호가 어긋나게 된다. 이 결과, 출력 단자에 출력되는 데이터 D2는 점선으로 표시되는 올바른 타이밍이 아니라, 실선으로 표시된 어긋난 타이밍을 갖게 된다.

일반적으로 전원 전압에 변동이 있을 경우, DLL 회로에 의한 타이밍 조정으로, 전원 전압 변동에 의한 영향은 제거되게 된다. 그러나 이러한 조장장치의 기능이 실행되는 것은 예컨대, 전원 전압이 임의의 제1 전압으로부터 별도의 제2 전압으로 변동하여 제2 전압으로 유지하는 경우이고, 이 경우에는 DLL 회로에 의한 타이밍 조정에 의해, 제2 전압에 있어서 적절한 타이밍이 확보된다. 그러나 도 8에 도시된 경우에는 전원 전압의 변동이 순간적인 노이즈이므로, 제1 전압으로부터 제2 전압으로 변동하였다가 그 직후에 제1 전압으로 복귀된다. 이러한 경우, 도 8에 도시된 예에 있어서는 데이터 D2는 제1 전압의 조건으로 조정된 타이밍에 따라 출력되어야 하지만, 상기한 바와 같이 어긋난 타이밍으로 출력되게 된다.

출력 회로(501)는 출력 데이터의 각 비트에 대해서 설치되고, 반도체 장치전체에서는 복수의 출력 회로가 설치되게 된다. 따라서, 이들 출력 회로가 동시에 동작함으로써 발생하는 전원 노이즈는 커지게 되고, 출력 데이터에는 무시할 수 없는 타이밍의 어긋남이 포함되게 된다.

따라서 본 발명은 데이터 출력 동작에 의해 급격한 전원 노이즈가 발생하는 경우에도 적절한 타이밍으로 데이터를 출력할 수 있는 타이밍 안정화 회로를 구비한 반도체 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

청구범위 제1항 발명에 있어서, 반도체 장치는 외부로부터 공급되는 외부 클럭 신호에 따라 데이터를 외부로 출력하는 출력 타이밍을 조정하는 타이밍 안정화 회로와, 상기 데이터의 출력시 상기 타이밍 안정화 회로의 출력 타이밍 조정 동작을 정지시키는 제어 회로를 포함하는 것을 특징으로 한다.

청구범위 제2항 발명은 청구범위 제1항 기재의 반도체 장치에 있어서, 상기 외부 클럭 신호로부터 생성한 동기용 클럭 신호에 동기하여 상기 데이터를 외부로 출력하는 출력 회로를 더 포함하고, 상기 타이밍 안정화 회로는 상기 동기용 클럭 신호의 위상을 조정하는 것을 특징으로 한다.

청구범위 제3항 발명은 청구범위 제2항 기재의 반도체 장치에 있어서, 상기 타이밍 안정화 회로가 DLL 회로를 포함하는 것을 특징으로 한다.

청구범위 제4항 발명은 청구범위 제2항 기재의 반도체 장치에 있어서, 상기 타이밍 안정화 회로가 상기 동기용 클럭 신호의 위상을 조정하는 제1 가변 지연 회로와, 상기 제1 가변 지연 회로와 동일한 지연량으로 설정되는 제2 가변 지연 회로를 포함하고 상기 외부 클럭 신호와 상기 출력 타이밍사이의 위상 관계를 모의(模擬)하는 모의 회로와, 상기 모의 회로가 모의하는 상기 위상 관계를 판단하는 위상 비교 회로와, 상기 위상 비교 회로의 판단에 따라 상기 제1 가변 지연 회로 및 상기 제2 가변 지연 회로의 지연량을 조정하는 지연 제어 회로를 포함하는 것을 특징으로 한다.

청구범위 제5항 발명은 청구범위 제4항 기재의 반도체 장치에 있어서, 상기 제어 회로가 상기 데이터의 출력중이 아닌 기간은 상기 모의 회로 및 상기 위상 비교 회로로 상기 외부 클럭 신호에 따른 클럭 신호를 공급함으로써 상기 출력 타이밍 조정 동작을 실행시키고, 상기 데이터의 출력중인 기간은 상기 모의 회로 및 상기 위상 비교 회로로 상기 외부 클럭 신호에 따른 클럭 신호의 공급을 정지함으로써 상기 출력 타이밍 조정 동작을 정지시키는 것을 특징으로 한다.

청구범위 제6항 발명은 청구범위 제5항 기재의 반도체 장치에 있어서, 상기 제어 회로가 상기 데이터를 외부로 출력하는 동작을 지령하는 신호에 따라 상기 데이터의 출력중인지의 여부를 판단하는 것을 특징으로 한다.

청구범위 제7항 발명은 청구범위 제6항 기재의 반도체 장치에 있어서 상기 데이터를 외부로 출력하는 동작을 지령하는 신호가 외부로부터의 신호 입력에 의한 것임을 특징으로 한다.

청구범위 제8항 발명은 반도체 장치가 데이터를 출력하는 출력 회로와, 상기 데이터의 출력 타이밍을 조정하는 타이밍 안정화 회로와, 상기 출력 회로가 상기 데이터를 출력하고 있는 동안은 상기 출력 타이밍의 조정을 정지시키는 제어 회로를 포함하는 것을 특징으로 한다.

상기 발명에 의한 반도체 장치에 있어서는 데이터 출력 기간중에는 타이밍 안정화 회로에서의 타이밍 조정 동작을 정지하는 제어 회로를 설치함으로써, 데이터 출력에 의해 전원 전압에 노이즈가 발생되어도 타이밍 안정화 회로가 어긋난 타이밍을 설정하지 않는다. 따라서, 전원 노이즈에 관계없이 적절한 타이밍으로 데이터 출력을 행할 수 있게 된다.

따라서 DRAM 등의 반도체 장치에 있어서, 데이터 독출시의 액세스 타임의 격차를 막을 수 있다.

이하에, 본 발명의 실시예를 첨부 도면을 이용하여 설명한다.

도 1은 타이밍 안정화 회로로서 DLL 회로를 이용한 본 발명에 의한 반도체 장치의 실시예를 도시하는 도면이다. 도 1의 반도체 장치(10)는 출력 회로(11), 가변 지연 회로(12), ESD 보호 회로(13), 입력 회로(14), 분주기(15), 위상 비교 회로(16), 지연 제어 회로(17), 가변 지연 회로(18), 더미 입력 회로(19), 더미 출력 회로(20), 더미 출력 부하(21), 더미 ESD 보호 회로(22) 및 제어 회로(23)를 포함한다.

입력 단자에 공급된 외부 클럭 신호 CLK는 ESD 보호 회로(13)를 통해, 커런트 미러 회로 등으로 구성되는 입력 회로(14)에 공급된다. 입력 회로(14)는 공급된 외부 클럭 신호 CLK에 따라 내부 클럭 신호 i-clk를 출력한다. 내부 클럭 신호 i-clk는 가변 지연 회로(12)에 의해 적당한 지연량만큼 지연되어 출력 회로(11)로 공급된다. 출력 회로(11)에서는 적당한 지연량만큼 지연된 내부 클럭 신호 i-clk를 동기 신호로서 이용하여 데이터를 래치한다. 래치된 데이터는 출력 회로(11)로부터 출력 단자를 통해 반도체 장치 외부로 출력된다.

상기 입력 단자에서 출력 단자까지의 경로에는 회로 고유의 지연이 발생하기 때문에, 출력 회로(11)로부터 장치 외부로 출력되는 데이터는 회로 고유의 지연에 따른 타이밍을 갖게 된다. 이 출력 회로(11)로부터 장치 외부로 출력되는 데이터를 외부 클럭 신호 CLK와 소정의 타이밍 관계에 맞추기 위해서, 위상 비교 회로(16), 지연 제어 회로(17), 가변 지연 회로(18) 및 가변 지연 회로(12)로 이루어지는 DLL 회로가 이용된다.

내부 클럭 신호 i-clk는 분주기(15)로 분주되고, 서로 동일한 위상을 가진 더미 클럭 신호 d-clk 및 기준 클럭 신호 c-clk가 생성된다. 더미 클럭 신호 d-clk는 가변 지연 회로(18)에 공급된다. 가변 지연 회로(18)는 가변 지연 회로(12)와 동일한 지연량만큼 더미 클럭 신호 d-clk를 지연하도록 제어된다. 가변 지연 회로(18)로부터 출력되는 지연된 더미 클럭 신호 d-clk는 출력 회로(11)와 동일한 지연 특성을 갖는 더미 출력 회로(20), 출력 부하를 모의하는 더미 출력 부하(21), ESD 보호 회로(13)와 동일한 지연 특성을 갖는 더미 ESD 보호 회로(22), 입력 회로(14)와 동일한 지연 특성을 갖는 더미 입력 회로(19)를 통해, 위상 비교 회로(16)에 입력된다.

위상 비교 회로(16)는 기준 클럭 신호 c-clk와, 더미 입력 회로(19)로부터 공급되는 클럭 신호를 비교한다. 양 클럭 신호가 동일한 위상이 되도록, 위상 비교 회로(16)는 지연 제어 회로(17)를 통해 가변 지연 회로(18)의 지연량을 제어한다. 이 제어에 의해, 더미 출력 회로(20)로부터 출력되는 클럭 신호가 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 조정된다.

ESD 보호 회로(13), 입력 회로(14), 가변 지연 회로(12) 및 출력 회로(11)의 총 지연량은 더미 ESD 보호 회로(22), 더미 입력 회로(19), 가변 지연 회로(18) 및 더미 출력 회로(20)의 총 지연량과 동일하기 때문에, 출력 회로(11)로부터 장치 외부로 송출되는 데이터는 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 제어되게 된다.

이 때 전원 전압의 변동이나 온도 변동 등에 의해, ESD 보호 회로(13), 입력 회로(14), 가변 지연 회로(12) 및 출력 회로(11)의 특성이 변화하여도 더미 ESD 보호 회로(22), 더미 입력 회로(19), 가변 지연 회로(18) 및 더미 출력 회로(20)의 특성도 동일하게 변화한다. 따라서, 출력 회로(11)로부터 장치 외부로 출력되는 데이터는 전원 전압 변동이나 온도 변동 등에 관계없이, 항상 외부 클럭 신호 CLK와 소정의 타이밍 관계가 되도록 제어된다.

도 1의 본 발명에 의한 반도체 장치(10)에는 제어 회로(23)가 설치되어 있다. 제어 회로(23)는 인버터(31) 및 NOR 회로(32)를 포함한다. 제어 회로(23)에는 반도체 장치(10)로부터 데이터를 독출하기 위한 리드 인에이블 신호가 공급된다. 리드 인에이블 신호가 LOW(비활성)일 때, NOR 회로(32)는 인버터(31)의 출력에 대한 인버터로서 동작한다. 따라서 이 경우에는 내부 클럭 신호 i-clk가 그대로 분주기(15)에 입력된다.

리드 인에이블 신호가 HIGH(활성)일 때, NOR 회로(32)의 출력은 LOW 고정이 된다. 따라서 이 경우, 분주기(15)에는 클럭 신호는 공급되지 않는다. 즉, 반도체 장치(10)의 출력 회로(11)로부터 데이터를 출력할 때에는 DLL 회로에 의한 위상 조정은 행해지지 않게 된다.

도 2는 데이터 출력시의 위상 비교 동작 정지를 설명하기 위한 타이밍도이다. 도 2는 내부 클럭 신호 i-clk, 리드 인에이블 신호 및 NOR 회로(32)로부터의 출력인 도 1의 노드 N3의 신호를 나타낸다.

도 2에 도시된 바와 같이, 데이터 출력이 행해지는 리드 인에이블 신호가 HIGH인 동안의 기간은 노드 N3의 신호는 LOW 고정이 되고, 클럭 펄스가 분주기(15)에 공급되지 않는다. 따라서 데이터 출력이 행해지는 기간중에는 위상 비교 회로(16)에 의한 위상 비교 동작이 중지된다.

이와 같이 본 발명에 의한 반도체 장치에 있어서는 데이터 출력 기간중에는 DLL 회로에서의 위상 비교 동작 및 위상 조정 동작을 정지하는 제어 회로를 설치함으로써, 데이터 출력에 의해 전원 전압에 노이즈가 생겨도 DLL 회로가 잘못된 타이밍을 설정하지 않는다. 따라서, 전원 노이즈에 관계없이 적절한 타이밍으로 데이터 출력을 행할 수 있게 된다.

또 더미 출력 회로(20)는 리드 인에이블 신호가 LOW인 기간(데이터 출력중이 아닌 기간)에 동작하기 때문에, 전원 전압에 약간의 노이즈가 생기게 된다. 그러나 더미 출력 회로(20)는 하나의 반도체 장치에 1개밖에 설치되지 않기 때문에 전원 노이즈는 비교적 작으며, 위상 조정에 부여하는 영향은 무시할 수 있다.

도 3은 가변 지연 회로의 회로 구성을 도시하는 회로도이다. 도 3의 가변 지연 회로가 도 1의 가변 지연 회로(12, 18)로서 이용된다.

도 3의 가변 지연 회로는 복수의 인버터(101), 복수의 인버터(102), 복수의 인버터(103), 복수의 NAND

회로(104) 및 복수의 NAND 회로(105)를 포함한다. 어느 1개의 인버터(103)와 대응하는 하나의 NAND 회로(105)는 1단의 지연 소자를 구성하고, 복수의 인버터(103)와 복수의 NAND 회로(105)로 복수단의 지연 소자열을 구성한다. 각 NAND 회로(104)에 공급되는 제어 신호 TC1 내지 TC8은 지연 제어 회로(17)로부터 공급되는 제어 신호로서, 상세하게는 후에 설명한다. 제어 신호 TC1 내지 TC8은 인접하는 2개만이 HIGH이고 나머지는 LOW인 신호이다.

입력으로서 공급되는 입력 신호 S1는 복수의 인버터(101)를 통해, 복수의 NAND 회로(104)에 공급된다. 제어 신호 TC1 내지 TC8중에서 HIGH인 신호를 수취하는 NAND 회로(104)를 통해, 입력 신호 S1는 복수의 인버터(103)와 복수의 NAND 회로(105)로 구성되는 지연 소자열에 입력된다. 입력 신호 S1는 지연 소자열을 전파하여 다시 복수의 인버터(102)를 통과한 후에 출력 신호 S0로서 출력된다. 따라서, 제어 신호 TC1 내지 TC8중에서 HIGH인 신호의 위치에 따라서, 입력 신호 S1가 통과하는 지연 소자의 단수(段數)가 다르게 된다. 이 위치에 의해, 입력 신호 S1를 어느 정도 지연시킬지를 제어할 수 있다.

도 4는 지연 제어 회로(17)의 회로 구성을 도시하는 회로도이다. 이 지연 제어 회로(17)에 의해, 전술한 제어 신호 TC1 내지 TC8을 생성한다.

지연 제어 회로(17)는 NOR 회로(121-1 내지 121-8), 인버터(122-1 내지 122-8), NAND 회로(123-1 내지 123-8), NMOS 트랜지스터(124-1 내지 124-8), NMOS 트랜지스터(125-1 내지 125-8), NMOS 트랜지스터(126-1 내지 126-8) 및 NMOS 트랜지스터(127-1 내지 127-8)를 포함한다. 리셋 신호 ROI LOW가 되면, 지연 제어 회로(17)는 리셋된다. 즉, 리셋 신호 ROI LOW가 되면, NAND 회로(123-1 내지 123-8)의 출력이 HIGH가 되고, 인버터(122-1 내지 122-8)의 출력이 LOW가 된다. NAND 회로(123-1 내지 123-8)와 인버터(122-1 내지 122-8)의 각 쌍은 서로의 출력을 서로의 입력으로 함으로써 래치를 형성한다. 따라서, 상기 리셋 신호 R로 설정된 초기 상태는 리셋 신호 ROI HIGH로 복귀되어도 유지된다.

이 초기 상태에서는 도 4에 도시된 바와 같이, NOR 회로(121-1)의 출력 TC1은 HIGH이고, NOR 회로(121-2 내지 121-8)의 출력 TC2 내지 TC8은 LOW이다. 즉 출력 TC1만이 HIGH이다.

위상 조정 대상의 신호에 관하여 지연량을 크게할 필요가 있는 경우에는 신호선 A 및 B에 교대로 HIGH 펄스를 공급한다. 우선 신호선 A에 신호 ϕ_{SE} 의 HIGH 펄스가 공급되면, NMOS 트랜지스터(124-1)가 온이 된다. 이 때 NMOS 트랜지스터(126-1)가 온이기 때문에, NAND 회로(123-1)의 출력이 접지에 접속되고, 강제적으로 HIGH에서 LOW로 변화된다. 따라서 인버터(122-1)의 출력이 HIGH가 되고, 이 상태가 NAND 회로(123-1)와 인버터(122-1)로 이루어지는 래치에 유지된다. 또한 이 때 출력 TC2는 HIGH에서 LOW로 변화한다. 따라서 이 상태에서는 출력 TC1 및 TC2가 HIGH가 된다.

다음에 신호선 B에 신호 ϕ_{S0} 의 HIGH 펄스가 공급되면, NMOS 트랜지스터(124-2)가 온이 된다. 이 때 NMOS 트랜지스터(126-2)가 온으로 되어 있기 때문에, NAND 회로(123-2)의 출력이 접지에 접속되고, 강제적으로 HIGH에서 LOW로 변화된다. 따라서 인버터(122-2)의 출력은 HIGH가 되고, 이 상태가 NAND 회로(123-2)와 인버터(122-2)로 이루어지는 래치에 유지된다. 또한 이 때 출력 TC1은 HIGH에서 LOW로 변화하며, 출력 TC3은 LOW에서 HIGH로 변화한다. 따라서 이 상태에서는 출력 TC2 및 TC3이 HIGH가 된다.

이와 같이 신호선 A 및 B에 교대로 HIGH 펄스를 공급함으로써, 출력 TC1 내지 TC8중에서 2개 HIGH인 인접하는 출력을 1개씩 오른쪽으로 어긋나게 해 나갈 수 있다.

지연량을 작게 할 필요가 있는 경우에는 신호선 C 및 D에 교대로 HIGH 펄스를 공급한다. 이 경우의 동작은 상술한 동작과 반대이기 때문에, 상세한 설명은 생략한다. 이렇게 해서 생성된 제어 신호 TC1 내지 TC8을 가변 지연 회로에 공급함으로써, 위상 조정 대상인 신호의 지연량을 자유롭게 조정할 수 있다.

신호선 A 내지 D에 공급되는 것은 신호 ϕ_{SE} , ϕ_{S0} , ϕ_{RE} 및 ϕ_{R0} 이다. 이들 신호 ϕ_{SE} , ϕ_{S0} , ϕ_{RE} 및 ϕ_{R0} 는 도 1의 위상 비교 회로(16)에 의해 생성된다.

도 5는 위상 비교 회로(16)의 회로 구성을 도시하는 회로도이다.

도 5의 위상 비교 회로(16)는 엣지 타이밍 비교 회로(130), 2진 카운터(160) 및 펄스 생성 회로(180)를 포함한다.

엣지 타이밍 비교 회로(130)는 NAND 회로(131 내지 144), 인버터(145 내지 148) 및 NOR 회로(149)를 포함한다. 2진 카운터(160)는 NAND 회로(161 내지 168) 및 인버터(169 내지 171)를 포함한다. 펄스 생성 회로(180)는 NAND 회로(181 내지 186), 복수의 인버터(187 내지 192)를 포함한다.

엣지 타이밍 비교 회로(130)는 입력 신호 S1 및 S2를 수취하여 입력 신호 S1 및 S2중 어느것의 상승 엣지가 먼저인지를 판단한다. 입력 신호 S1 및 S2중 한쪽이 기준 클럭 신호 c-clk에 대응하고, 다른 한쪽이 더미 입력 회로(509)로부터 공급되는 클럭 신호 t-clk에 대응한다.

예컨대 입력 신호 S1의 상승 엣지가 선행하는 경우에는 NAND 회로(131, 132)로 이루어지는 래치의 출력 L1 및 L2는 각각 LOW 및 HIGH가 된다. 또한 NAND 회로(133, 134)로 이루어지는 래치의 출력 L3 및 L4도 또, 각각 LOW 및 HIGH가 된다.

그 후, 양방의 입력 신호 S1 및 S2가 HIGH가 되면, NAND 회로(136)의 출력이 LOW가 되고, NOR 회로(149)의 출력이 소정의 기간만큼 HIGH가 된다. 이 NOR 회로(149)로부터의 출력은 NAND 회로(137 내지 140)로 이루어지는 게이트를 개방하고, 래치 출력 L1 내지 L4가 반전되어 NAND 회로(141 내지 144)로 이루어지는 2개의 래치에 입력된다. 따라서, NAND 회로(141, 142)로 이루어지는 래치의 출력 ϕ_b 및 ϕ_c 는 각각 HIGH 및 LOW가 된다. 또한 NAND 회로(143, 144)로 이루어지는 래치의 출력 ϕ_d 및 ϕ_e 는 각각 HIGH 및 LOW가 된다.

따라서 입력 신호 S1의 상승 엣지가 선행하는 경우에는 펄스 생성 회로(180)의 NAND 회로(181)가 출력을

LOW로 변화시키게 된다.

반대로 입력 신호 S2의 상승 엣지가 입력 신호 S1의 상승 엣지보다도 충분히 선행하는 경우에는 래치 출력 ϕb 및 ϕc 는 LOW 및 HIGH가 되고, 또한 래치 출력 ϕd 및 ϕe 도 또한 LOW 및 HIGH가 된다. 따라서, 펄스 생성 회로(180)의 NAND 회로(182)가 출력을 LOW로 변화시키게 된다.

입력 신호 S2의 상승 엣지가 입력 신호 S1의 상승 엣지보다 선행하지만, 그 시간차가 작은 경우, NAND 회로(135) 및 인버터(148)에 의한 신호 지연의 영향으로, NAND 회로(133, 134)로 이루어지는 래치의 출력 L3 및 L4는 각각 LOW 및 HIGH가 된다. 이 경우, 래치 출력 ϕb 및 ϕc 는 LOW 및 HIGH이고, 래치 출력 ϕd 및 ϕe 는 HIGH 및 LOW가 된다. 따라서, 펄스 생성 회로(180)의 NAND 회로(181, 182)는 출력을 HIGH인 채로 변화시키지 않는다.

이와 같이, 입력 신호 S1 및 S2의 상승 엣지간의 시간차가 작고, 양방의 상승 엣지가 일치하고 있다고 간주하여도 되는 경우에는 도 5의 위상 비교 회로(16)는 출력을 생성하지 않는 구성으로 되어 있다.

2진 카운터(160)는 엣지 타이밍 비교 회로(130)의 NAND 회로(136)로부터의 신호를 1/2 분주하여 분주 신호 D1을 인버터(171)로부터 출력하는 동시에, 이 분주 신호의 반전 신호 D2를 인버터(170)로부터 출력한다. NAND 회로(136)로부터의 신호는 입력 신호 S1 및 S2와 동일한 주기의 신호이다. 따라서 2진 카운터(160)로부터 출력되는 분주 신호 D1이 예컨대 입력 신호의 짝수번째의 사이클로 HIGH가 된다고 하면, 분주 신호 D2는 홀수번째의 사이클로 HIGH가 된다.

펄스 신호 생성 회로(180)에 있어서는 상술한 바와 같이, 입력 신호 S1이 선행하는 경우에는 NAND 회로(181)의 출력이 LOW가 되고, 입력 신호 S2가 충분히 선행하는 경우에는 NAND 회로(182)의 출력이 LOW가 된다.

입력 신호 S1이 선행하는 경우에는 NAND 회로(181)의 출력이 인버터(187)에 의해 반전되고, HIGH의 신호가 NAND 회로(183, 184)에 공급된다. NAND 회로(183)에는 또 분주 신호 D1이 공급되고, NAND 회로(184)에는 또 분주 신호 D2가 공급된다. 따라서 이 경우에는 펄스 신호 생성 회로(180)는 신호 ϕSE 및 $\phi S0$ 로서, 교대로 HIGH 펄스를 출력하게 된다.

입력 신호 S2가 충분히 선행하는 경우에는 NAND 회로(182)의 출력이 인버터(188)에 의해 반전되고, HIGH의 신호가 NAND 회로(185, 186)에 공급된다. NAND 회로(185)에는 또 분주 신호 D1이 공급되고, NAND 회로(186)에는 또 분주 신호 D2가 공급된다. 따라서 이 경우, 펄스 신호 생성 회로(180)는 신호 $\phi R0$ 및 ϕRE 로서, 교대로 HIGH 펄스를 출력하게 된다.

이들 신호 ϕSE , $\phi S0$, $\phi R0$ 및 ϕRE 가 도 4의 지연 제어 회로(17)에 공급된다. 따라서, 신호 S1 및 S2 중 어느쪽의 상승 엣지가 선행하고 있는지에 따라서, 도 4의 지연 제어 회로(17)를 통해, 도 3의 가변 지연 회로의 지연량을 제어할 수 있다.

도 6은 타이밍 안정화 회로로서 DLL 회로를 이용한 본 발명에 의한 반도체 기억 장치의 실시예를 도시하는 도면이다. 도 6에 있어서, 도 1과 동일한 요소는 동일한 번호로 기준되며, 그 설명은 생략한다.

도 6의 반도체 기억 장치는 어드레스 버퍼(41), 로우 디코더(42), 컬럼 디코더(43), 코어 회로(44), 리드 앰프/라이트 버퍼(45), 입력 회로(46), 명령 디코더(47)를 포함한다. 이들 회로는 통상의 DRAM에 탑재되는 회로로서, 그 회로 구성에 대해서는 생략한다.

코어 회로(44)는 데이터를 기억하는 종횡으로 배치된 메모리 셀, 지정된 로우 어드레스의 메모리 셀에 액세스하기 위한 워드선, 메모리 셀로부터 데이터를 독출하는 비트선, 비트선의 데이터를 증폭하는 센스 앰프, 지정된 컬럼 어드레스의 센스 앰프로부터 데이터를 독출/기록을 하기 위한 컬럼 게이트 등을 포함한다.

어드레스 신호가 어드레스 버퍼(41)에 입력되고, 로우 어드레스는 로우 디코더(42)로, 컬럼 어드레스는 컬럼 디코더(43)로 공급된다. 로우 디코더(42)는 지정된 로우 어드레스의 워드선이 선택 활성화되어 이 로우 어드레스의 메모리 셀에 대하여 로우 어드레스 액세스가 행해진다.

데이터 독출의 경우에는 메모리 셀로부터 독출된 데이터는 비트선을 통해, 센스 앰프에 분리 저장(格納)된다. 컬럼 디코더(43)는 지정된 컬럼 어드레스의 센스 앰프에 대하여 컬럼 게이트를 개방함으로써, 센스 앰프의 데이터를 리드 앰프/라이트 버퍼(45)에 독출한다. 독출된 데이터는 출력 회로(11)를 통해 반도체 기억 장치 외부로 출력된다.

데이터 기록의 경우에는 입력 단자에 입력된 데이터는 입력(46)을 통해 리드 앰프/라이트 버퍼(45)로 공급된다. 이 데이터는 선택된 컬럼 어드레스에 대응하는 컬럼 게이트, 센스 앰프 및 비트선을 통해 선택된 로우 어드레스에 대응하는 메모리 셀에 분리 저장(格納)된다.

명령 디코더(47)는 제어 신호로서/RAS(Row Address Strobe), /CAS(Column Address Strobe), /WE(Write Enable) 및/CS(chip select)가 입력된다. 명령 디코더(47)는 이들 제어 신호를 디코드하여 디코드 결과를 나타내는 복수의 신호를 출력한다. 이들 신호는 반도체 기억 장치와 관련된 내부 회로에 공급되어 반도체 기억 장치의 동작을 제어한다. 디코드 결과를 나타내는 이들 복수의 신호중 1개가 리드 인에이블 신호로서, 이 신호에 의해, 반도체 기억 장치의 데이터 독출 동작을 실행하는 동시에 제어 회로(23)의 제어를 행한다.

도 1의 경우와 동일하게, 도 6의 반도체 기억 장치에 있어서, 데이터 출력 기간중에는 DLL 회로에서의 위상 비교 동작 및 위상 조정 동작을 정지하는 제어 회로를 설치함으로써, 데이터 출력에 의해 전원 전압에 노이즈가 생겨도 DLL 회로가 잘못된 타이밍을 설정하지 않는다. 따라서, 전원 노이즈에 관계없이 적절한 타이밍으로 데이터 출력을 행할 수 있게 된다.

이상, 본 발명을 실시예에 기초하여 설명하였지만, 본 발명은 상술한 실시예에 한정되지 않으며, 특허청

구범위에 기재한 범위내에서 자유롭게 변형·변경할 수 있다.

발명의 효과

청구범위 제1항 내지 제8항 기재의 발명에 의한 반도체 장치에 있어서 데이터 출력 기간중에는 타이밍 안정화 회로에 타이밍 조정 동작을 정지하는 제어 회로를 설치함으로써, 데이터 출력에 의해 전원 전압에 노이즈가 생겨도 타이밍 안정화 회로가 잘못된 타이밍을 설정하지 않는다. 따라서, 전원 노이즈에 관계없이 적절한 타이밍으로 데이터 출력을 행할 수 있게 된다.

따라서 DRAM 등의 반도체 장치에 있어서, 데이터 독출시의 액세스 타임의 격차를 막을 수 있다.

(57) 청구의 범위

청구항 1

외부로부터 공급되는 외부 클럭 신호에 따라 데이터를 외부로 출력하는 출력 타이밍을 조정하는 타이밍 안정화 회로와,

상기 데이터 출력시 상기 타이밍 안정화 회로의 출력 타이밍 조정 동작을 정지시키는 제어 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 외부 클럭 신호로부터 생성된 동기용 클럭 신호에 동기하여 상기 데이터를 외부로 출력하는 출력 회로를 더 포함하고, 상기 타이밍 안정화 회로는 상기 동기용 클럭 신호의 위상을 조정하는 것을 특징으로 하는 반도체 장치.

청구항 3

제2항에 있어서, 상기 타이밍 안정화 회로는 DLL 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제2항에 있어서, 상기 타이밍 안정화 회로는 상기 동기용 클럭 신호의 위상을 조정하는 제1 가변 지연 회로와;

상기 제1 가변 지연 회로와 동일한 지연량으로 설정되는 제2 가변 지연 회로를 포함하고, 상기 외부 클럭 신호와 상기 출력 타이밍사이의 위상 관계를 모의하는 모의 회로와;

상기 모의 회로가 모의하는 상기 위상 관계를 판단하는 위상 비교 회로와;

상기 위상 비교 회로의 판단에 따라 상기 제1 가변 지연 회로 및 상기 제2 가변 지연 회로의 지연량을 조정하는 지연 제어 회로를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 5

제4항에 있어서, 상기 제어 회로가 상기 데이터의 출력중이 아닌 기간은 상기 모의 회로 및 상기 위상 비교 회로에 상기 외부 클럭 신호에 따른 클럭 신호를 공급함으로써 상기 출력 타이밍 조정 동작을 실행시키고, 상기 데이터의 출력중인 기간은 상기 모의 회로 및 상기 위상 비교 회로에 대한 상기 외부 클럭 신호에 기초한 클럭 신호의 공급을 정지함으로써 상기 출력 타이밍 조정 동작을 정지시키는 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 제어 회로는 상기 데이터를 외부로 출력하는 동작을 지령하는 신호에 따라 상기 데이터가 출력중인지의 여부를 판단하는 것을 특징으로 하는 반도체 장치.

청구항 7

제6항에 있어서, 상기 데이터를 외부로 출력하는 동작을 지령하는 신호는 외부로부터의 신호 입력에 의한 것임을 특징으로 하는 반도체 장치.

청구항 8

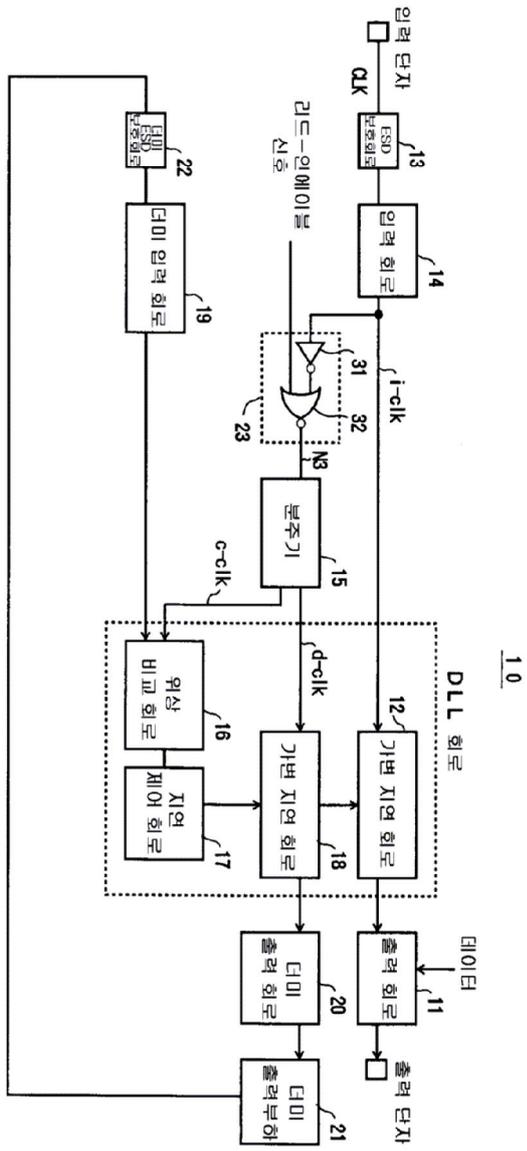
데이터를 출력하는 출력 회로와,

상기 데이터의 출력 타이밍을 조정하는 타이밍 안정화 회로와,

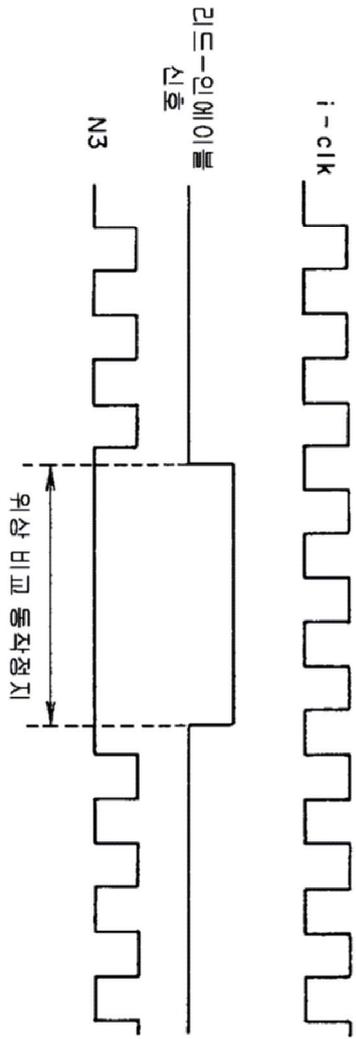
상기 출력 회로가 상기 데이터를 출력하고 있는 동안은 상기 출력 타이밍의 조정을 정지시키는 제어 회로를 포함하는 것을 특징으로 하는 반도체 장치.

도면

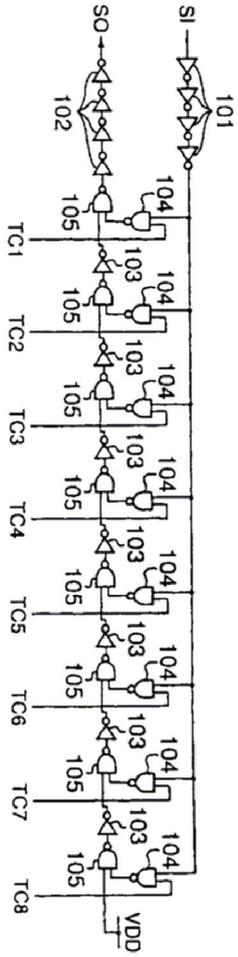
도면 1



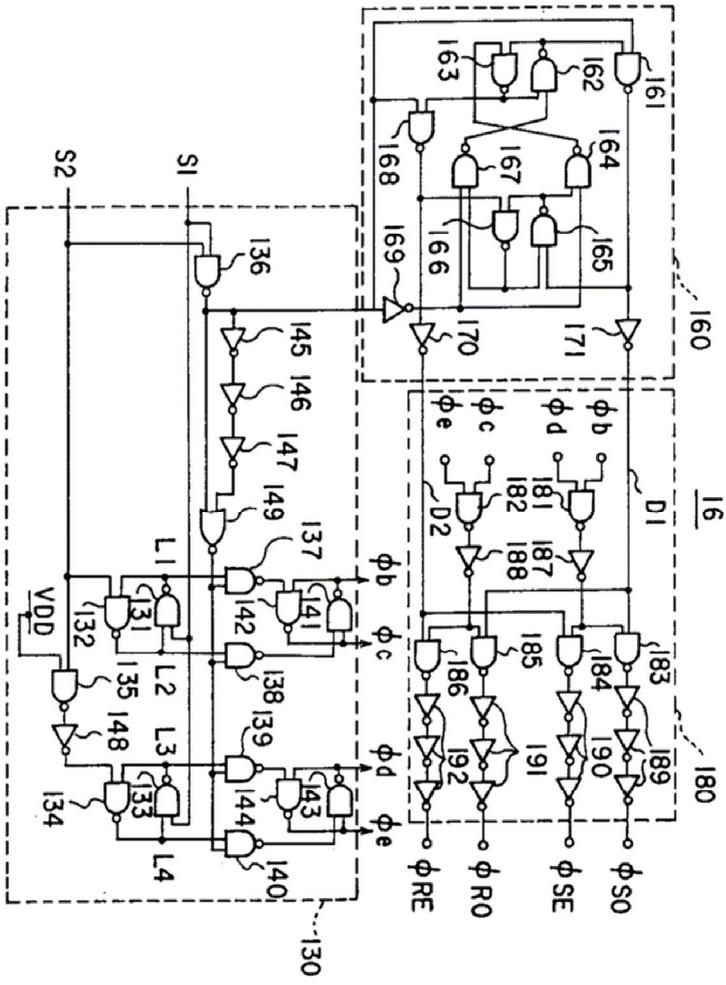
도면2



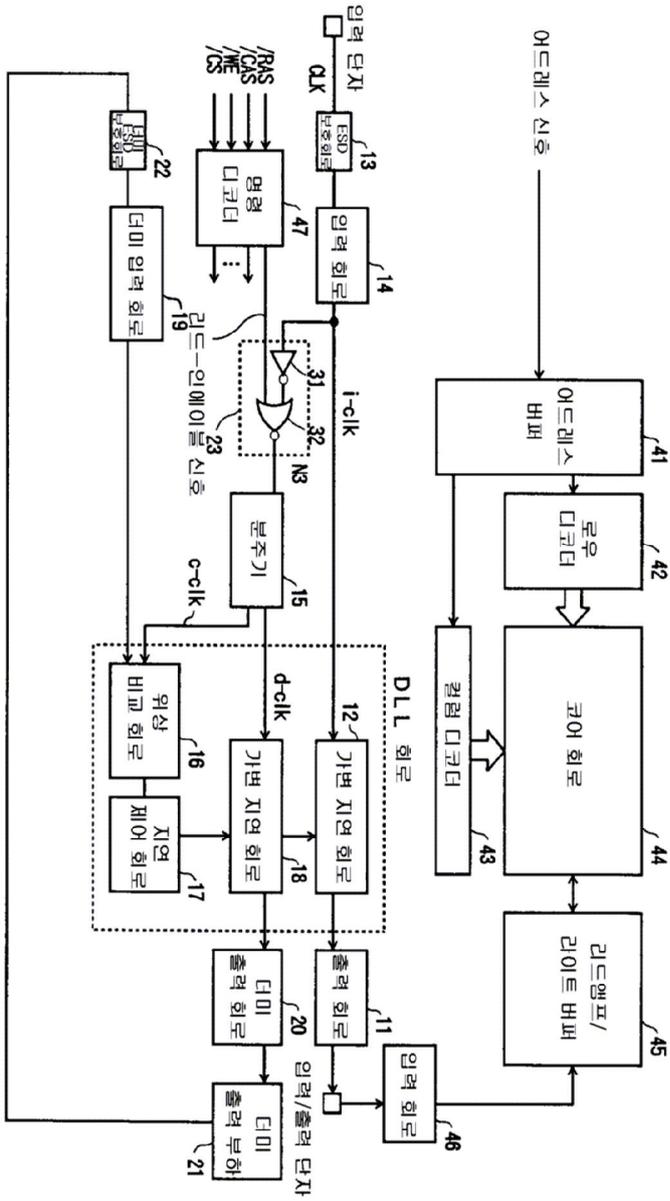
도면3



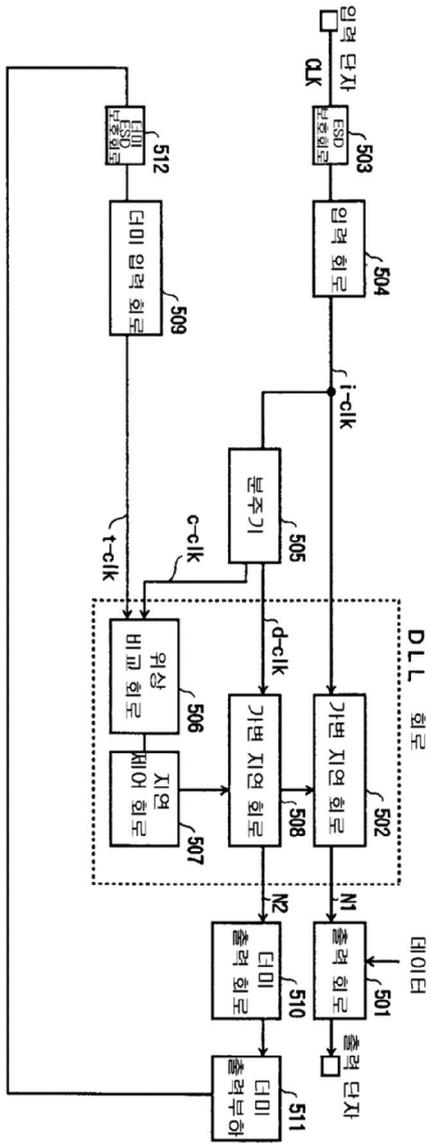
도면5



도면6



도면7



8면도

