



(12) 发明专利

(10) 授权公告号 CN 107111451 B

(45) 授权公告日 2021.06.08

(21) 申请号 201580060979.4

(22) 申请日 2015.11.20

(65) 同一申请的已公布的文献号  
申请公布号 CN 107111451 A

(43) 申请公布日 2017.08.29

(30) 优先权数据  
14/565,319 2014.12.09 US

(85) PCT国际申请进入国家阶段日  
2017.05.10

(86) PCT国际申请的申请数据  
PCT/US2015/061959 2015.11.20

(87) PCT国际申请的公布数据  
W02016/094064 EN 2016.06.16

(73) 专利权人 英特尔公司  
地址 美国加利福尼亚州

(72) 发明人 K. 格里姆斯鲁德

(74) 专利代理机构 中国专利代理(香港)有限公司  
72001

代理人 张健 刘春元

(51) Int.Cl.  
G06F 3/06 (2006.01)  
G06F 12/02 (2006.01)

(56) 对比文件  
CN 101635607 A, 2010.01.27  
CN 103427947 A, 2013.12.04  
US 8285927 B2, 2012.10.09  
Jeong-Uk Kang, Jeeseok Hyun, Hyunjoo  
Maeng, Sangyeun Cho. The Multi-streamed  
Solid-state Drive. 《2014 USENIX Federated  
Conferences Week》. 2014, (第6期),

审查员 陈楠

权利要求书3页 说明书13页 附图7页

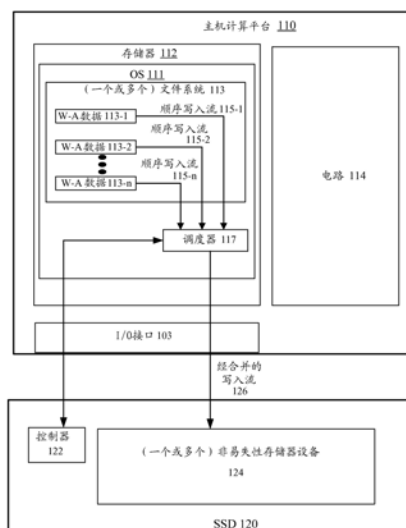
(54) 发明名称

用于管理多个顺序写入流的设备和方法

(57) 摘要

示例可以包括用于管理去往固态驱动器(SSD)的多个顺序写入流的技术。可以确定每一个顺序写入流的卷绕时间。可以针对顺序写入流中的至少一些而改变每一个顺序写入流的相应卷绕时间,以使多个顺序写入流具有匹配的卷绕时间。

系统 100



1. 一种用于管理多个顺序写入流的设备,包括:

针对与固态驱动器(SSD)耦合的主机计算平台的电路;

供所述电路执行的监视器模块,其监视被合并以用于在第一时间间隔内写入到所述SSD的许多顺序写入流中的每一个顺序写入流的分离写入速率;

供所述电路执行的时间模块,其基于由所述监视器模块监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间;以及

供所述电路执行的匹配模块,其使每一个顺序写入流的分离卷绕时间针对在所述第一时间间隔之后向所述SSD的后续写入进行匹配,其中所述匹配模块被配置成:

导致在所述许多顺序写入流之间对要在第二时间间隔内写入到所述SSD的数据的量进行负载平衡,使得所述许多顺序写入流中的具有不同写入速率的第一和第二写入流由所述匹配模块进行负载平衡,从而使要由相应第一和第二写入流在所述第二时间间隔内写入到所述SSD的数据的量被调整,经调整的数据量能够使卷绕时间针对第一和第二写入流进行匹配;或者

导致对所述许多顺序写入流中的至少一些写入流的写入速率进行节流,使得所述许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流进行匹配;或者

导致对被分配给被合并以用于写入到所述SSD的每一个顺序写入流的所分配部分的调整,使得更大部分被分配给所述许多顺序写入流中的第一写入流,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间,给第一写入流分配的更大部分能够使卷绕时间针对第一和第二写入流进行匹配。

2. 如权利要求1所述的设备,所述时间模块基于下述内容来确定分离卷绕时间:给定卷绕时间是将数据写入到所述SSD处的存储器的给定块的第一时间与使数据失效的第二时间之间的时间差。

3. 如权利要求1所述的设备,所述许多顺序写入流由一个或多个文件系统生成,所述一个或多个文件系统由所述主机计算平台的操作系统实现,所述一个或多个文件系统能够使用写附加技术来将数据写入到所述主机计算平台的存储器,且然后经由所述许多顺序写入流使写附加数据被写入到所述SSD。

4. 如权利要求3所述的设备,所述操作系统由针对所述主机计算平台的电路执行,所述监视器模块、所述时间模块和所述匹配模块组成由所述操作系统实现的调度器,所述调度器能够合并所述许多顺序写入流以用于写入到所述SSD。

5. 如权利要求1所述的设备,包括:所述匹配模块,其使每一个顺序写入流的分离卷绕时间匹配,使得向所述SSD的实际写入与来自所述许多顺序写入流的写入之比等于值1.0。

6. 如权利要求1所述的设备,包括:

所述监视器模块,其监视被合并以用于在第二时间间隔内写入到所述SSD的所述许多顺序写入流中的每一个顺序写入流的分离写入速率;

所述时间模块,其基于由所述监视器模块在所述第二时间间隔内监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间的第二集合;以及

所述匹配模块,其使每一个顺序写入流的分离卷绕时间的第二集合针对在所述第二时

间间隔之后向所述SSD的写入进行匹配。

7. 如权利要求1所述的设备,包括:所述SSD包括下述各项中的至少一个:3维交叉点存储器、闪存、铁电存储器、硅氧化氮氧化硅(SONOS)存储器、聚合物存储器、纳米线、铁电晶体管随机存取存储器(FeTRAM或FeRAM)、纳米线或电可擦除可编程只读存储器(EEPROM)。

8. 一种用于管理多个顺序写入流的方法,包括:

监视被合并以用于在第一时间间隔内写入到固态驱动器(SSD)的许多顺序写入流中的每一个顺序写入流的向所述SSD的分离写入速率;

基于相应的所监视的分离写入速率来确定每一个顺序写入流的分离卷绕时间;以及

通过下述操作来使每一个顺序写入流的分离卷绕时间针对在所述第一时间间隔之后向所述SSD的后续写入进行匹配:

在所述许多顺序写入流之间对要在第二时间间隔内写入到所述SSD的数据的量进行负载平衡,使得所述许多顺序写入流中的具有不同写入速率的第一和第二写入流通过下述操作而被负载平衡:调整要由相应第一和第二写入流在所述第二时间间隔内写入到所述SSD的数据的量,经调整的数据量能够使卷绕时间针对第一和第二写入流进行匹配;或者

对所述许多顺序写入流中的至少一些写入流的写入速率进行节流,使得所述许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流进行匹配;或者

对被分配给被合并以用于写入到所述SSD的每一个顺序写入流的所分配部分进行调整,使得更大部分被分配给所述许多顺序写入流中的第一写入流,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间,给第一写入流分配的更大部分能够使卷绕时间针对第一和第二写入流进行匹配。

9. 如权利要求8所述的方法,所述分离卷绕时间是基于下述内容来确定的:给定卷绕时间是将数据写入到所述SSD处的存储器的给定块的第一时间与使数据失效的第二时间之间的时间差。

10. 如权利要求8所述的方法,所述许多顺序写入流由一个或多个文件系统生成,所述一个或多个文件系统由主机计算平台的操作系统实现,所述一个或多个文件系统能够使用写附加技术来将数据写入到所述主机计算平台的存储器,且然后经由所述许多顺序写入流使写附加数据被写入到所述SSD。

11. 如权利要求8所述的方法,包括:使每一个顺序写入流的分离卷绕时间匹配,使得向所述SSD的实际写入与来自所述许多顺序写入流的写入之比等于值1.0。

12. 如权利要求8所述的方法,包括:

监视被合并以用于在第二时间间隔内写入到所述SSD的所述许多顺序写入流中的每一个顺序写入流的分离写入速率;

基于在所述第二时间间隔内监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间的第二集合;以及

使每一个顺序写入流的分离卷绕时间的第二集合针对在所述第二时间间隔之后向所述SSD的写入进行匹配。

13. 如权利要求8所述的方法,所述SSD包括下述各项中的至少一个:3维交叉点存储器、

闪存、铁电存储器、硅氧化氮氧化硅 (SONOS) 存储器、聚合物存储器、纳米线、铁电晶体管随机存取存储器 (FeTRAM或FeRAM)、纳米线或电可擦除可编程只读存储器 (EEPROM)。

14. 包括多个指令的至少一个机器可读介质,所述多个指令响应于由主机计算平台处的系统执行而使所述系统实施根据权利要求8至13中任一项所述的方法。

15. 一种用于管理多个顺序写入流的设备,包括用于执行权利要求8至13中任一项的方法的装置。

## 用于管理多个顺序写入流的设备和方法

### 技术领域

[0001] 本文描述的示例总体涉及管理去往固态驱动器的多个顺序写入流。

### 背景技术

[0002] 写入放大是用于描述与非易失性存储器的类型相关联的技术问题的术语,非易失性存储器包括但不限于在固态驱动器(SSD)中使用的NAND闪存。写入放大被描述为在SSD处向非易失性存储器提交的写入与来自主机计算平台的写入之比。当不采用数据压缩技术时,1.0左右的比值或写入放大值是理想的。典型地,在SSD处向非易失性存储器的写入可以在诸如4千字节(KB)页面之类的非易失性存储器的相对小部分上进行。然而,诸如NAND闪存之类的非易失性类型的存储器在将数据重写到存储器单元之前擦除这些存储器单元中存储的数据时,擦除通常被称作块的大得多的部分。可擦除块可以包括64个或更多个页面(256 KB)。由于该差异,如果块的一些页面中的数据不再被需要(例如,无效/过时),则可以使用被称作垃圾收集的技术,并且然后将有效或良好数据重写到另一先前擦除的空块中。垃圾收集的量越高使得用于写入放大的值越高。

[0003] 写入放大对于单个顺序写入流而言可能不是问题,单个顺序写入流导致向第一块中所包括的页面的顺序写入且然后在第一块中的所有页面都被写入到时移动到第二块。而且,针对SSD的存储器容量可以以一定方式布置以使得:一旦该单个顺序写入流到达块序列的结尾,写入流就卷绕(wrap around)或环回到该序列的开始。在一些示例中,如果充足的存储器容量可用,则到该单个顺序写入流卷绕的时候,在该序列开始处被写入到块的页面的数据已经全部变成无效的或过时的。换言之,不需要垃圾收集,并且可以维持1.0的写入放大。

[0004] 然而,写入放大对于向SSD的随机写入而言可能是问题。当随机写入流最终卷绕时,随机写入可能导致块部分地失效的发生率更高,并且,可能需要潜在地大量的垃圾收集来重写有效或良好数据以收回该有效数据。向SSD的随机写入可能导致针对SSD的更坏情况写入放大。高写入放大可能降低针对SSD的写入性能,且还可能增大非易失性存储器单元上的耗损,其然后导致降级的耐久性。

### 附图说明

[0005] 图1图示了示例第一系统。

[0006] 图2图示了示例第一场景。

[0007] 图3图示了示例第二场景。

[0008] 图4图示了示例第三场景。

[0009] 图5图示了设备的示例框图。

[0010] 图6图示了逻辑流程的示例。

[0011] 图7图示了储存介质的示例。

[0012] 图8图示了示例计算平台。

## 具体实施方式

[0013] 如在本公开中想到的那样,单个顺序写入流可以具有约1.0的写入放大,而随机写入可能导致针对SSD的更坏情况写入放大(例如,可能大幅高于1.0的值),SSD包括非易失性类型的存储器,诸如但不限于NAND闪存。然而,如果多个顺序写入流被同时提供给SSD且被合并在一起,则与单个顺序写入流相比与随机写入更相似的结果可能出现。然而,多个顺序写入流可以具有不同变量,该不同变量可能导致不同卷绕或循环时间。因此,一些顺序写入流可能使一些块既具有有效数据又具有无效数据,从而导致针对垃圾收集的需要增加,并且,这可能导致高写入放大值。正是关于这些和其他挑战,需要本文描述的示例。

[0014] 可以经由一个或多个示例方法来实现用于管理去往SSD的多个顺序写入流的技术。示例方法可以包括:监视去往SSD的分离写入速率。对于这些示例,分离写入速率可以用于在第一时间间隔内写入到SSD的许多顺序写入流中的每一个顺序写入流。该示例方法还可以包括:基于相应的所监视的分离写入速率来确定每一个顺序写入流的分离卷绕时间。该示例方法还可以包括:使每一个顺序写入流的分离卷绕时间针对在第一时间间隔之后向SSD的后续写入基本上匹配。

[0015] 图1图示了示例系统100。在一些示例中,如图1中所示,系统100包括耦合到固态驱动器(SSD)120的主机计算平台110。而且,如图1中所示,主机计算平台110可以包括存储器112和电路114。对于这些示例,电路114可能能够执行在存储器112内维持的主机计算平台110的各种功能元件。电路114可以包括:主机处理电路,其包括一个或多个中央处理单元(CPU)以及关联的芯片集和/或控制器。存储器112可以包括易失性类型的存储器,诸如动态随机存取存储器(DRAM)。存储器112的DRAM类型可以包括但不限于各种类型的同步双数据速率DRAM(DDR DRAM)。存储器112中所包括的这些各种类型的DDR DRAM可以与多种存储器技术兼容,该多种存储器技术诸如但不限于:双数据速率版本3(DDR3),最初由联合电子设备工程联合会(JEDEC)于2007年6月发布,当前处于版本21;DDR版本4(DDR4),由JEDEC于2012年9月公布的初始规范;低功率DDR版本3(LPDDR3),JESD209-3B,由JEDEC于2013年8月公布;LPDDR版本4(LPDDR4),JESD209-4,最初由JEDEC于2014年8月公布;或者宽I/O 2(WI02),JESD229-2,最初由JEDEC于2014年8月公布。

[0016] 根据一些示例,主机计算平台110可以包括但不限于服务器、服务器阵列或服务器场、web服务器、网络服务器、因特网服务器、工作站、小型计算机、大型计算机、超级计算机、网络器具、web器具、分布式计算系统、多处理器系统、基于处理器的系统或其组合。对于这些示例,主机计算平台110的操作系统(OS)111可以至少暂时地在存储器112中维持,且可以由电路114执行。

[0017] 在一些示例中,OS 111和电路114可能能够支持一个或多个多线程程序(未示出)。对于这些示例,(一个或多个)文件系统113可以由OS 111实现,并且该一个或多个多线程程序可以利用(一个或多个)文件系统113。如图1中所示,在一些示例中,(一个或多个)文件系统113可以响应于由该一个或多个多线程程序对(一个或多个)文件系统113的利用,生成在图1中被示作写附加(W-A)数据113-1至113-n的许多或多个W-A数据流,其中“n”是大于2的任何正整数。对于这些示例,(一个或多个)文件系统113可能能够或被布置成使用写附加技术,以首先将数据写入到在主计算平台110的存储器112中维持的W-A数据113-1至113-n,且然后使W-A数据113-1至113-n经由相应的顺序写入流115-1至115-n而写入到SSD 120。能

够使用写附加技术的(一个或多个)文件系统113可以包括文件系统类,诸如但不限于ZFSTM或OpenZFS、写任意文件布局(WAFL)或垃圾收集对象储存文件系统。

[0018] 根据一些示例,OS 111可能能够实现调度器117,调度器117可能能够将顺序写入流115-1至115-n合并成经合并的写入流126。调度器117然后可以与(一个或多个)文件系统113和/或在SSD 120处或与SSD 120一起定位的控制器122通信,以便于将经合并的写入流126写入到SSD 120处的(一个或多个)非易失性存储器设备124。根据一些示例,可以通过I/O接口103来路由调度器117与控制器122之间的通信以及经合并的写入流126的写入。I/O接口103可以被布置为串行高级技术附件(SATA)接口以将主机计算平台110耦合到SSD 120。在另一示例中,I/O接口103可以被布置为串行附件小型计算机系统接口(SCSI)(或简称SAS)接口以将主机计算平台110耦合到SSD 120。在另一示例中,I/O接口103可以被布置为高速外围组件互连(PCIe)接口以将主机计算平台110耦合到SSD 120。

[0019] 在一些示例中,如下面更多描述的那样,调度器(诸如调度器117)的逻辑和/或特征可能能够监视被合并以用于在第一时间间隔内写入到SSD(诸如SSD 120)的许多顺序写入流中的每一个顺序写入流的分离写入速率,确定每一个顺序写入流的分离卷绕时间,且可以使顺序写入流的分离卷绕时间针对在第一时间间隔之后向SSD的后续写入基本上匹配。而且如下面更多描述的那样,使分离卷绕时间基本上匹配可以减小或消除过多的写入放大,该过多的写入放大可能由合并多个顺序写入流以用于写入到SSD(诸如SSD 120)引起。

[0020] 根据一些示例,SSD 120处的(一个或多个)非易失性存储器设备124可以包括一个或多个非易失性存储器设备(例如,芯片),其可以分别包括一种或多种类型的非易失性存储器,该非易失性存储器包括但不限于NAND(与非)闪存、NOR(或非)闪存、三维(3-D)交叉点存储器、铁电存储器、硅氧化氮氧化硅(SONOS)存储器、聚合物存储器(诸如铁电聚合物存储器)、铁电晶体管随机存取存储器(FeTRAM或FeRAM)、奥氏(ovonic)存储器、纳米线或电可擦除可编程只读存储器(EEPROM)。

[0021] 图2图示了示例第一场景。如图2中所示,示例第一场景包括场景200。在一些示例中,场景200描绘下述示例:其中顺序写入流201具有卷绕时间 $t$ ,并且顺序写入流203具有卷绕时间 $2t$ 。对于这些示例,顺序写入流201的较低卷绕时间可以归因于与顺序写入流201相关联的文件系统,其使顺序写入流201具有作为顺序写入流203的写入速率乘以2的写入速率。所以对于这些示例,顺序写入流201在与顺序写入流203合并时将以顺序写入流203两倍快地卷绕和使存储到存储器设备的块(诸如,存储器设备210的块212)的数据失效。

[0022] 在一些示例中,如图2中所示,顺序写入流201和203可以被合并以形成经合并的写入流206且然后被写入到存储器设备210的块,这些块中的每一个可以包括16个页面。对于这些示例,每一个页面在图2中被示作相应块212或214的单独方形。而且对于这些示例,经合并的写入流206可以在阶段I、II或III处被写入到存储器设备210的块。在阶段I处,从顺序写入流201填充的页面被描绘为数字,而从顺序写入流203填充的页面被描绘为字母。

[0023] 根据一些示例,在“10”之后或在第10个顺序数字被写入到存储器设备210之后,顺序写入流201可以卷绕或使先前写入的数据失效。而且,在“J”之后或在第10个顺序字母被写入到存储器设备210之后,顺序写入流203可以卷绕或使先前写入的数据失效。所以如图2中针对阶段I处的块212所示,从顺序写入流201写入的数据已经卷绕以使具有数字“1”的页

面失效。然而，来自顺序写入流203的仅5个字母在阶段I处被写入到块212。接下来，在阶段II处，从顺序写入流201写入的数据不仅已再次针对被写入到块214的数据而卷绕，而且已使先前针对块212而写入到的所有页面失效。然而，来自顺序写入流203的仅5个更多字母(FJ)在阶段II处被写入到块214，并且因此，块212中的来自顺序写入流203的所有先前写入的页面仍然有效。由于仍然有效，然后可以在阶段III处对字母A-D进行垃圾收集并将字母A-D重写到块212。如先前所提及，已经使块212中的来自顺序写入流201的页面失效，且因而可以在没有垃圾收集的情况下擦除该页面。

[0024] 所以对于两个经合并的顺序写入流的该基本示例，大约到1.4的写入放大已经在块212的擦除周期之后出现。如果大量的顺序写入流被合并并且每一个顺序写入流具有不同卷绕时间，则甚至更高的写入放大值可以产生。利用SSD的备用容量以允许更慢的顺序写入流在擦除先前写入到块之前达到其相应卷绕时间可以减轻或减小写入放大。然而，对于被设计成具有低量的备用容量的SSD，具有不同卷绕时间的许多经合并的顺序写入流很可能导致不可接受地高的写入放大值。

[0025] 图3图示了示例第二场景。如图3中所示，示例第二场景包括场景300。在一些示例中，场景300描绘下述内容的示例：其中可能已经对更快写入顺序写入流201进行节流或负载平衡，以使顺序写入流201的卷绕时间基本上匹配顺序写入流203的卷绕时间。所以在一些示例中，在阶段I处，包括经合并的顺序写入流201和203的经合并的写入流306现在可以以针对全部两个流相同的速率写入到存储器设备210的块212，使得它们中的每一个在第8个数字或字母之后卷绕。因此，在阶段II处，当写入到块214时，212的所有页面变成针对全部两个顺序写入流而失效，并且在阶段III处不需要垃圾收集。

[0026] 根据一些示例，调度器处的逻辑和/或特征可能能够对要被写入到具有存储器设备(诸如存储器设备210)的SSD的数据的量进行负载平衡。对于这些示例，对从顺序写入流201和203流动的数据的量进行负载平衡可以允许被写入到块212或214的数据的量被调整以增加或减少卷绕时间。例如，调度器(诸如，图1中所示的调度器117)可以与一个或多个文件系统(例如，(一个或多个)文件系统113)通信，以对随每一个顺序写入流包括的写附加数据的量进行负载平衡，使得顺序写入流201的卷绕时间基本上匹配顺序写入流203。

[0027] 在一些示例中，不是进行负载平衡，而是调度器可以对顺序写入流201的第一写入速率进行节流，以使第一写入速率匹配顺序写入流203的第二写入速率。由于对第一写入速率进行节流，可以以针对经合并的写入流306内的全部两个顺序写入流类似的速率写入到存储器设备210。

[0028] 图4图示了示例第三场景。如图4中所示，示例第三场景包括场景400。在一些示例中，场景400描绘下述内容的示例：其中已经调整所分配的部分以使卷绕时间针对顺序写入流401和403基本上匹配。对于这些示例，调度器处的逻辑和/或特征可能能够在被分配给顺序写入流401和403的所分配部分被包括在经合并的写入流406中时调整该所分配部分，使得更大部分被分配给顺序写入流401，顺序写入流401可以具有作为顺序写入流403的写入速率乘以2或二倍的写入速率。而且，较低部分可以被分配给顺序写入流403。如图4中所示，重新分配可以导致使来自顺序写入流401的数据在写入到第10个页面之后卷绕。重新分配还可以导致使来自顺序写入流403的数据在写入到第5个页面之后卷绕。对于这些示例，到阶段II，可以如图4中所示使块412的所有页面失效，并且可能在阶段III处不需要垃圾收



集。

[0029] 图5图示了设备500的示例框图。尽管图5中所示的设备500在某个拓扑中具有有限数目的元件,但可以领会,如针对给定实现方式而期望的那样,设备500可以在可替换拓扑中包括更多或更少元件。

[0030] 设备500可以由与图1中所示的主机计算平台110处的电路114类似的在主机计算平台处维持的电路520支持。主机计算平台可以耦合到与也在图1中示出的SSD 120类似的SSD。电路520可以被布置成执行一个或多个软件或固件实现的组件或模块522-a(例如,被主机计算平台的OS实现为储存设备驱动器的一部分)。值得注意的是,“a”和“b”和“c”和如本文使用的类似标志符意图作为表示任何正整数的变量。因此,例如,如果实现方式设置值 $a=3$ ,则组件或模块522-a的软件或固件的全集可以包括模块522-1、522-2或522-3。所呈现的示例在该上下文中不受限制,并且自始至终使用的不同变量可以表示相同或不同整数值。

[0031] 根据一些示例,电路520可以包括处理器或处理器电路。处理器或处理器电路可以是各种商业上可得的处理器中的任一种,商业上可得的处理器包括但不限于:AMD® Athlon®、Duron®和Opteron®处理器;ARM®应用、嵌入式和安全处理器;IBM®和Motorola® DragonBall®和PowerPC®处理器;IBM和Sony® Cell处理器;Intel® Atom®、Celeron®、Core (2) Duo®、Core i3、Core i5、Core i7、Itanium®、Pentium®、Xeon®、Xeon Phi®和XScale®处理器;以及类似处理器。根据一些示例,电路520还可以是专用集成电路(ASIC),并且至少一些模块522-a可以被实现为ASIC的硬件元件。

[0032] 根据一些示例,设备500可以包括监视器模块522-1。监视器模块522-1可以由电路520执行以监视被合并以用于写入到SSD的许多顺序写入流中的每一个顺序写入流的分离写入速率,该SSD耦合到主机计算平台维持设备500。对于这些示例,写入速率可以由监视器模块522-1在第一时间间隔内监视以获得监视信息510。

[0033] 在一些示例中,设备500还可以包括时间模块522-2。时间模块522-2可以由电路520执行,以基于由监视器模块522-1监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间。对于这些示例,时间模块522-2可以使用由监视器模块522-1搜集的监视信息来确定分离卷绕时间。

[0034] 根据一些示例,设备500还可以包括匹配模块522-3。匹配模块522-3可以由电路520执行,以使每一个顺序写入流的分离卷绕时间针对在第一时间间隔之后向SSD的后续写入基本上匹配。对于这些示例,匹配模块522-3可能能够在诸如查找表(LUT)之类的数据结构中维持负载信息523-a、速率信息524-b和分配信息525-c,以帮助使每一个顺序写入流的卷绕时间基本上匹配。

[0035] 在一些示例中,匹配模块522-3可以经由使用负载信息523-a以导致在许多顺序写入流之间对要在第二时间间隔内写入到SSD的数据的量进行负载平衡,来使每一个顺序写入流的分离卷绕时间基本上匹配。负载平衡可以发生,使得许多顺序写入流中的具有不同写入速率的第一和第二写入流由匹配模块522-3进行负载平衡,以使要由相应第一和第二写入流在第二时间间隔内写入到SSD的数据的量被调整。对于这些示例,经调整的数据量可能能够使卷绕时间针对第一和第二写入流基本上匹配。负载平衡530可以包括:来自负载信息523-a的信息,其指示针对负载平衡的经调整的数据量。匹配模块522-3可以经由将负载

平衡530发送到一个或多个文件系统来使数据量被调整,该一个或多个文件系统然后可以基于负载平衡530中所包括的信息来调整要针对每一个顺序写入流而写入到SSD的数据的量。

[0036] 根据一些示例,匹配模块522-3可以经由使用速率信息524-b以导致对许多顺序写入流中的至少一些写入流的写入速率进行节流,来使每一个顺序写入流的分离卷绕时间基本上匹配。节流可以发生,使得许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流基本上匹配。节流540可以包括:来自速率信息524-b的信息,其指示所需要的节流的量。匹配模块522-3可以经由将节流540发送到一个或多个文件系统来导致节流,该一个或多个文件系统然后可以基于节流540中所包括的信息来对写入速率进行节流。

[0037] 在一些示例中,匹配模块522-3可以经由使用分配信息525-c以导致对被分配给被合并以用于写入到SSD的每一个顺序写入流中所分配部分的调整,来使每一个顺序写入流的分离卷绕时间基本上匹配。调整可以发生,使得更大部分被分配给许多顺序写入流中的第一写入流,第一写入流与许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间。给第一写入流分配的更大部分可能能够使卷绕时间针对第一和第二写入流基本上匹配。重新分配550可以包括:来自分配信息525-c的信息,其指示经调整的分配。匹配模块522-3可以经由将重新分配550发送到一个或多个文件系统来导致对所分配部分的调整,该一个或多个文件系统然后可以基于重新分配550中所包括的信息来调整所分配部分。

[0038] 本文包括表示用于执行所公开的架构的新方面的示例方法的逻辑流程的集合。尽管出于解释简明的目的将本文示出的一个或多个方法示出和描述为一系列动作,但本领域技术人员将理解和领会,方法不受动作的次序限制。根据本文,一些动作可以按不同的次序出现和/或与来自本文示出和描述的动作的其他动作同时出现。例如,本领域技术人员将理解和领会,可替换地,方法可以被表示为一系列相互关联的状态或事件,诸如在状态图中。此外,可能不是在方法中说明的所有动作都是对于新实现方式而言所必需的。

[0039] 可以以软件、固件和/或硬件实现逻辑流程。在软件和固件实施例中,逻辑流程可以由存储在至少一个非瞬变计算机可读介质或机器可读介质(诸如光学储存器、磁储存器或半导体储存器)上的计算机可执行指令实现。实施例在该上下文中不受限制。

[0040] 图6图示了逻辑流程600的示例。逻辑流程600可以表示由本文描述的一个或多个逻辑、特征或设备(诸如设备500)执行的一些或所有操作。更特别地,逻辑流程600可以由监视器模块522-1、时间模块522-2或匹配模块522-3实现。

[0041] 根据一些示例,逻辑流程600在框602处可以监视被合并以用于在第一时间间隔内写入到SSD的许多顺序写入流中的每一个顺序写入流的向SSD的分离写入速率。对于这些示例,监视器模块522-1可以监视分离写入速率。

[0042] 在一些示例中,逻辑流程600在框604处可以基于相应的所监视的分离写入速率来确定每一个顺序写入流的分离卷绕时间。对于这些示例,时间模块522-2可以确定分离卷绕时间。

[0043] 根据一些示例,逻辑流程600在框606处可以使每一个顺序写入流的分离卷绕时间针对在第一时间间隔之后向SSD的后续写入基本上匹配。对于这些示例,匹配模块522-3可

以使分离卷绕时间基本上匹配。

[0044] 图7图示了第一储存介质的示例。如图7中所示,第一储存介质包括储存介质700。储存介质700可以包括制造品。在一些示例中,储存介质700可以包括任何非瞬变计算机可读介质或机器可读介质,诸如光学储存器、磁储存器或半导体储存器。储存介质700可以存储各种类型的计算机可执行指令,诸如实现逻辑流程600的指令。计算机可读或机器可读储存介质的示例可以包括能够存储电子数据的任何有形介质,其包括易失性存储器或非易失性存储器、可移除或不可移除存储器、可擦除或不可擦除存储器、可写入或可重写存储器等等。计算机可执行指令的示例可以包括任何合适类型的代码,诸如源代码、编译代码、解释代码、可执行代码、静态代码、动态代码、面向对象代码、视觉代码等等。示例在该上下文中不受限制。

[0045] 图8图示了示例计算平台800。在一些示例中,如图8中所示,计算平台800可以包括处理组件840、其他平台组件或通信接口860。根据一些示例,计算平台800可以是如上所提及的主机计算平台的一部分。

[0046] 根据一些示例,处理组件840可以执行针对设备500和/或储存介质700的处理操作或逻辑。处理组件840可以包括各种硬件元件、软件元件或二者的组合。硬件元件的示例可以包括设备、逻辑设备、组件、处理器、微处理器、电路、处理器电路、电路元件(例如晶体管、电阻器、电容器、电感器等等)、集成电路、专用集成电路(ASIC)、可编程逻辑设备(PLD)、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、存储器单元、逻辑门、寄存器、半导体设备、芯片、微芯片、芯片集等等。软件元件的示例可以包括软件组件、程序、应用、计算机程序、应用程序、设备驱动器、系统程序、软件开发程序、机器程序、操作系统软件、中间件、固件、软件组件、例程、子例程、函数、方法、过程、软件接口、应用程序接口(API)、指令集、计算代码、计算机代码、代码段、计算机代码段、字、值、符号或其任何组合。如针对给定示例而期望的那样,确定是否使用硬件元件和/或软件元件来实现示例可以根据任何数目的因素而变化,该因素诸如是期望计算速率、功率电平、耐热性、处理周期预算、输入数据速率、输出数据速率、存储器资源、数据总线速度和其他设计或性能约束。

[0047] 在一些示例中,其他平台组件850可以包括公共计算元件或电路,诸如一个或多个处理器、多核处理器、协处理器、存储器单元、芯片集、控制器、外设、接口、振荡器、定时设备、视频卡、音频卡、多媒体输入/输出(I/O)组件(例如,数字显示器)、电源等等。存储器单元的示例可以包括但不限于以一个或多个更高速存储器单元的形式存在的各种类型的计算机可读和机器可读储存介质,诸如只读存储器(ROM)、随机存取存储器(RAM)、动态RAM(DRAM)、双数据速率DRAM(DDRAM)、同步DRAM(SDRAM)、静态RAM(SRAM)、可编程ROM(PROM)、可擦除可编程ROM(EPROM)、电可擦除可编程ROM(EEPROM)、闪存、聚合物存储器(诸如铁电聚合物存储器)、奥氏存储器、相变或铁电存储器、硅氧化氮氧化硅(SONOS)存储器、磁卡或光卡、设备阵列(诸如独立冗余磁盘阵列(RAID))驱动器、固态存储器设备(例如,USB存储器)、固态驱动器(SSD)和适于存储信息的任何其他类型的储存介质。

[0048] 在一些示例中,通信接口860可以包括支持通信接口的逻辑和/或特征。对于这些示例,通信接口860可以包括:一个或多个通信接口,其根据用于在直接或网络通信链路上通信的各种通信协议或标准来进行操作。直接通信可以经由使用在一个或多个产业标准(包括后代和变体)(诸如与SMBus规范或高速PCI规范相关联的那些标准)中描述的通信协

议或标准而发生。网络通信可以经由使用通信协议或标准(诸如在由电气和电子工程师学会(IEEE)颁布的一个或多个以太网标准中描述的那些通信协议或标准)而发生。例如,一个这样的以太网标准可以包括IEEE 802.3-2008,具有冲突检测的载波侦听多路访问(CSMA/CD)访问方法和物理层规范,其于2008年12月公布(下文中称为“IEEE 802.3”)。

[0049] 计算平台800可以是主机计算平台的一部分,主机计算平台可以是例如服务器、服务器阵列或服务器场、web服务器、网络服务器、因特网服务器、工作站、小型计算机、大型计算机、超级计算机、网络器具、web器具、分布式计算系统、多处理器系统、基于处理器的系统或其组合。相应地,如合适地期望的那样,在计算平台800的各种实施例中可以包括或省略本文描述的计算平台800的功能和/或具体配置。

[0050] 可以使用分立电路、专用集成电路(ASIC)、逻辑门和/或单片架构的任何组合来实现计算平台800的组件和特征。另外,可以使用微控制器、可编程逻辑阵列和/或微处理器或者在合适地适当的情况下上述内容的任何组合来实现计算平台800的特征。要注意,硬件、固件和/或软件元件在本文中可以被统称为或分别称为“逻辑”或“电路”。

[0051] 应当领会,图8的框图中所示的示例计算平台800可以表示许多潜在实现方式的一个功能上描述性的示例。相应地,附图中描绘的块功能的划分、省略或包括并不意指将在实施例中必要地划分、省略或包括用于实现这些功能的硬件组件、电路、软件和/或元件。

[0052] 至少一个示例的一个或多个方面可以由表示处理器内的各种逻辑的至少一个机器可读介质上存储的代表性指令实现,该逻辑在由机器、计算设备或系统读取时使该机器、计算设备或系统制作执行本文描述的技术的逻辑。这样的表示可以存储在有形机器可读介质上且被供给到各种客户或制造设施,以加载到实际上制成逻辑或处理器的制作机器中。

[0053] 可以使用硬件元件、软件元件或二者的组合来实现各种示例。在一些示例中,硬件元件可以包括设备、组件、处理器、微处理器、电路、电路元件(例如晶体管、电阻器、电容器、电感器等等)、集成电路、ASIC、PLD、DSP、FPGA、存储器单元、逻辑门、寄存器、半导体设备、芯片、微芯片、芯片集等等。在一些示例中,软件元件可以包括软件组件、程序、应用、计算机程序、应用程序、系统程序、机器程序、操作系统软件、中间件、固件、软件模块、例程、子例程、函数、方法、过程、软件接口、API、指令集、计算代码、计算机代码、代码段、计算机代码段、字、值、符号或其任何组合。如针对给定实现方式而期望的那样,确定是否使用硬件元件和/或软件元件来实现示例可以根据任何数目的因素而变化,该因素诸如是期望计算速率、功率电平、耐热性、处理周期预算、输入数据速率、输出数据速率、存储器资源、数据总线速度和其他设计或性能约束。

[0054] 一些示例可以包括制造品或至少一个计算机可读介质。计算机可读介质可以包括用于存储逻辑的非瞬变储存介质。在一些示例中,非瞬变储存介质可以包括能够存储电子数据的一种或多种类型的计算机可读储存介质,其包括易失性存储器或非易失性存储器、可移除或不可移除存储器、可擦除或不可擦除存储器、可写入或可重写存储器等等。在一些示例中,逻辑可以包括各种软件元件,诸如软件组件、程序、应用、计算机程序、应用程序、系统程序、机器程序、操作系统软件、中间件、固件、软件模块、例程、子例程、函数、方法、过程、软件接口、API、指令集、计算代码、计算机代码、代码段、计算机代码段、字、值、符号或其任何组合。

[0055] 根据一些示例,计算机可读介质可以包括用于存储或维持指令的非瞬变储存介

质,该指令在由机器、计算设备或系统执行时使该机器、计算设备或系统执行根据所描述的示例的方法和/或操作。指令可以包括任何合适类型的代码,诸如源代码、编译代码、解释代码、可执行代码、静态代码、动态代码等等。可以根据预定义计算机语言、方式或语法来实现指令,以用于指示机器、计算设备或系统执行某个功能。可以使用任何合适的高级别、低级别、面向对象、视觉、编译和/或解释编程语言来实现指令。

[0056] 可以使用表述“在一个示例中”或“示例”连同其派生词来描述一些示例。这些术语意味着结合该示例描述的特定特征、结构或特性被包括在至少一个示例中。短语“在一个示例中”在说明书中各处的出现不必然全部指代相同示例。

[0057] 可以使用表述“耦合”和“连接”连同其派生词来描述一些示例。这些术语不必然意图作为彼此的同义词。例如,使用术语“连接”和/或“耦合”的描述可以指示两个或更多个元件彼此直接物理或电接触。然而,术语“耦合”还可以意味着两个或更多个元件不彼此直接接触,而是仍彼此协作或交互。

[0058] 以下示例涉及本文公开的技术的附加示例。

[0059] 示例1. 一种示例设备可以包括针对与SSD耦合的主机计算平台的电路。所述示例设备还可以包括:供所述电路执行的监视器模块,其可以监视被合并以用于在第一时间间隔内写入到所述SSD的许多顺序写入流中的每一个顺序写入流的分离写入速率。所述示例设备还可以包括:供所述电路执行的时间模块,其可以基于由所述监视器模块监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间。所述示例设备还可以包括:供所述电路执行的匹配模块,其可以使每一个顺序写入流的分离卷绕时间针对在所述第一时间间隔之后向所述SSD的后续写入基本上匹配。

[0060] 示例2. 示例1的设备,所述时间模块可以基于下述内容来确定分离卷绕时间:给定卷绕时间是将数据写入到所述SSD处的存储器的给定块的第一时间与使数据失效的第二时间之间的时间差。

[0061] 示例3. 示例1的设备,所述许多顺序写入流可以由一个或多个文件系统生成,所述一个或多个文件系统由所述主机计算平台的操作系统实现。所述一个或多个文件系统可能能够使用写附加技术来将数据写入到所述主机计算平台的存储器,且然后经由所述许多顺序写入流使写附加数据被写入到所述SSD。

[0062] 示例4. 示例3的设备,所述操作系统可以由针对所述主机计算平台的电路执行。对于这些示例,所述监视器模块、所述时间模块和所述匹配模块可以是由所述操作系统实现的调度器的一部分。所述调度器可能能够合并所述许多顺序写入流以用于写入到所述SSD。

[0063] 示例5. 示例1的设备,所述匹配模块可以使每一个顺序写入流的分离卷绕时间基本上匹配,使得向所述SSD的实际写入与来自所述许多顺序写入流的写入之比基本上等于值1.0。

[0064] 示例6. 示例1的设备,所述匹配模块使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:所述匹配模块导致在所述许多顺序写入流之间对要在第二时间间隔内写入到所述SSD的数据的量进行负载平衡,使得所述许多顺序写入流中的具有不同写入速率的第一和第二写入流由所述匹配模块进行负载平衡,从而使要由相应第一和第二写入流在所述第二时间间隔内写入到所述SSD的数据的量被调整。对于这些示例,经调整的数据量可能

能够使卷绕时间针对第一和第二写入流基本上匹配。

[0065] 示例7. 示例1的设备,所述匹配模块使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:所述匹配模块导致对所述许多顺序写入流中的至少一些写入流的写入速率进行节流,使得所述许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流基本上匹配。

[0066] 示例8. 示例1的设备,所述匹配模块使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:所述匹配模块导致对被分配给被合并以用于写入到所述SSD的每一个顺序写入流的所分配部分的调整,使得更大部分被分配给所述许多顺序写入流中的第一写入流,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间。对于这些示例,给第一写入流分配的更大部分可能能够使卷绕时间针对第一和第二写入流基本上匹配。

[0067] 示例9. 示例8的设备还可以包括:所述监视器模块,其监视被合并以用于在第二时间间隔内写入到所述SSD的所述许多顺序写入流中的每一个顺序写入流的分离写入速率。对于这些示例,所述时间模块可以基于由所述监视器模块在所述第二时间间隔内监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间的第二集合。所述匹配模块然后可以使每一个顺序写入流的分离卷绕时间的第二集合针对在所述第二时间间隔之后向所述SSD的写入基本上匹配。

[0068] 示例10. 示例1的设备,所述SSD包括下述各项中的至少一个:3维交叉点存储器、闪存、铁电存储器、硅氧化氮氧化硅(SONOS)存储器、聚合物存储器、纳米线、铁电晶体管随机存取存储器(FeTRAM或FeRAM)、纳米线或电可擦除可编程只读存储器(EEPROM)。

[0069] 示例11. 一种示例方法可以包括:监视被合并以用于在第一时间间隔内写入到SSD的许多顺序写入流中的每一个顺序写入流的向所述SSD的分离写入速率。所述方法还可以包括:基于相应的所监视的分离写入速率来确定每一个顺序写入流的分离卷绕时间;以及使每一个顺序写入流的分离卷绕时间针对在所述第一时间间隔之后向所述SSD的后续写入基本上匹配。

[0070] 示例12. 示例11的方法,所述分离卷绕时间可以是基于下述内容来确定的:给定卷绕时间是将数据写入到所述SSD处的存储器的给定块的第一时间与使数据失效的第二时间之间的时间差。

[0071] 示例13. 示例11的方法,所述许多顺序写入流可以由一个或多个文件系统生成,所述一个或多个文件系统由主机计算平台的操作系统实现。对于这些示例,所述一个或多个文件系统可能能够使用写附加技术来将数据写入到所述主机计算平台的存储器,且然后经由所述许多顺序写入流使写附加数据被写入到所述SSD。

[0072] 示例14. 示例11的方法,还可以包括:使每一个顺序写入流的分离卷绕时间基本上匹配,使得向所述SSD的实际写入与来自所述许多顺序写入流的写入之比基本上等于值1.0。

[0073] 示例15. 示例11的方法,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:在所述许多顺序写入流之间对要在第二时间间隔内写入到所述SSD的数据的量进行负载平衡,使得所述许多顺序写入流中的具有不同写入速率的第一和第二写入流通过下述操

作而被负载平衡:调整要由相应第一和第二写入流在所述第二时间间隔内写入到所述SSD的数据的量。对于这些示例,经调整的数据量可能能够使卷绕时间针对第一和第二写入流基本上匹配。

[0074] 示例16. 示例11的方法,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:对所述许多顺序写入流中的至少一些写入流的写入速率进行节流,使得所述许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流基本上匹配。

[0075] 示例17. 示例11的方法,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括:对被分配给被合并以用于写入到所述SSD的每一个顺序写入流的所分配部分进行调整,使得更大部分被分配给所述许多顺序写入流中的第一写入流,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间,给第一写入流分配的更大部分可能能够使卷绕时间针对第一和第二写入流基本上匹配。

[0076] 示例18. 示例11的方法还可以包括:监视被合并以用于在第二时间间隔内写入到所述SSD的所述许多顺序写入流中的每一个顺序写入流的分离写入速率。所述方法还可以包括:基于在所述第二时间间隔内监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间的第二集合。所述方法还可以包括:使每一个顺序写入流的分离卷绕时间的第二集合针对在所述第二时间间隔之后向所述SSD的写入基本上匹配。

[0077] 示例19. 示例11的方法,所述SSD包括下述各项中的至少一个:3维交叉点存储器、闪存、铁电存储器、硅氧化氮氧化硅(SONOS)存储器、聚合物存储器、纳米线、铁电晶体管随机存取存储器(FeTRAM或FeRAM)、纳米线或电可擦除可编程只读存储器(EEPROM)。

[0078] 示例20. 示例至少一个机器可读介质可以包括多个指令,所述多个指令响应于由主机计算平台处的系统执行而使所述系统实施根据示例11至19中任一项所述的方法。

[0079] 示例21. 一种示例设备可以包括用于执行示例11至19中任一项的方法的装置。

[0080] 示例22. 示例至少一个机器可读介质可以包括多个指令,所述多个指令响应于在主机计算平台处的系统上执行而使所述系统监视被合并以用于在第一时间间隔内写入到SSD的许多顺序写入流中的每一个顺序写入流的分离写入速率,所述SSD与所述主机计算平台耦合。所述指令还可以使所述系统:基于相应的所监视的分离写入速率来确定每一个顺序写入流的分离卷绕时间;以及使每一个顺序写入流的分离卷绕时间针对在所述第一时间间隔之后向所述SSD的后续写入基本上匹配。

[0081] 示例23. 示例22的至少一个机器可读介质,所述分离卷绕时间可以是基于下述内容来确定的:给定卷绕时间是将数据写入到所述SSD处的存储器的给定块的第一时间与使数据失效的第二时间之间的时间差。

[0082] 示例24. 示例22的至少一个机器可读介质,所述许多顺序写入流可以由一个或多个文件系统生成,所述一个或多个文件系统由所述主机计算平台的操作系统实现。对于这些示例,所述一个或多个文件系统可能能够使用写附加技术来将数据写入到所述主机计算平台的存储器,且然后经由所述许多顺序写入流使写附加数据被写入到所述SSD。

[0083] 示例25. 示例22的至少一个机器可读介质,还可以包括:使每一个顺序写入流的分离卷绕时间基本上匹配,使得向所述SSD的实际写入与来自所述许多顺序写入流的写入

之比基本上等于值1.0。

[0084] 示例26. 示例22的至少一个机器可读介质,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括使所述系统执行下述操作的指令:在所述许多顺序写入流之间对要在第二时间间隔内写入到所述SSD的数据的量进行负载平衡,使得所述许多顺序写入流中的具有不同写入速率的第一和第二写入流通过下述操作而被负载平衡:调整要由相应第一和第二写入流在所述第二时间间隔内写入到所述SSD的数据的量,经调整的数据量能够使卷绕时间针对第一和第二写入流基本上匹配。

[0085] 示例27. 示例22的至少一个机器可读介质,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括使所述系统执行下述操作的指令:对所述许多顺序写入流中的至少一些写入流的写入速率进行节流,使得所述许多顺序写入流中的第一写入流具有经节流的写入速率,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短第一卷绕时间,经节流的写入速率能够使卷绕时间针对第一和第二写入流基本上匹配。

[0086] 示例28. 示例22的至少一个机器可读介质,使每一个顺序写入流的分离卷绕时间基本上匹配可以包括使所述系统执行下述操作的指令:对被分配给被合并以用于写入到所述SSD的每一个顺序写入流的所分配部分进行调整,使得更大部分被分配给所述许多顺序写入流中的第一写入流,第一写入流与所述许多顺序写入流中的第二写入流相比具有更短所确定卷绕时间。对于这些示例,给第一写入流分配的更大部分可能能够使卷绕时间针对第一和第二写入流基本上匹配。

[0087] 示例29. 示例22的至少一个机器可读介质,所述指令可以进一步使所述系统执行下述操作:监视被合并以用于在第二时间间隔内写入到所述SSD的所述许多顺序写入流中的每一个顺序写入流的向所述SSD的分离写入速率。所述指令还可以使所述系统执行下述操作:基于在所述第二时间间隔内监视的相应分离写入速率来确定每一个顺序写入流的分离卷绕时间的第二集合;以及使每一个顺序写入流的分离卷绕时间的第二集合针对在所述第二时间间隔之后向所述SSD的写入基本上匹配。

[0088] 示例30. 示例22的至少一个机器可读介质,所述SSD包括下述各项中的至少一个:3维交叉点存储器、闪存、铁电存储器、硅氧化氮氧化硅(SONOS)存储器、聚合物存储器、纳米线、铁电晶体管随机存取存储器(FeTRAM或FeRAM)、纳米线或电可擦除可编程只读存储器(EEPROM)。

[0089] 要强调的是,提供了本公开的摘要,以符合37 C.F.R. Section 1.72(b),要求将允许读者快速弄清技术公开的本质的摘要。其是在下述理解下主张的:其将不用于解释或限制权利要求的范围或含义。附加地,在上述具体实施方式中可以看出,出于精简本公开的目的,在单个示例中将各种特征成组在一起。该公开方法不应被解释为反映下述意图:要求保护的示例要求比在每一个权利要求中明确记载的特征更多的特征。更确切地,如所附权利要求所反映的那样,本发明主题在于单个所公开的示例的并非所有特征。因此,所附权利要求由此并入到具体实施方式中,其中每一个权利要求独立作为单独的示例。在所附权利要求中,术语“包含”和“在其中”分别被用作相应术语“包括”和“其中”的直白英文等同物。此外,术语“第一”、“第二”、“第三”等等仅被用作标签,且不意图对其对象施加数值要求。

[0090] 尽管已经以特定于结构特征和/或方法动作的语言描述了主题,但应当理解,在所附权利要求中限定的主题不必然限于上面描述的特定特征或动作。更确切地,上面描述的



特定特征和动作是作为实现权利要求的示例形式而公开的。

系统 **100**

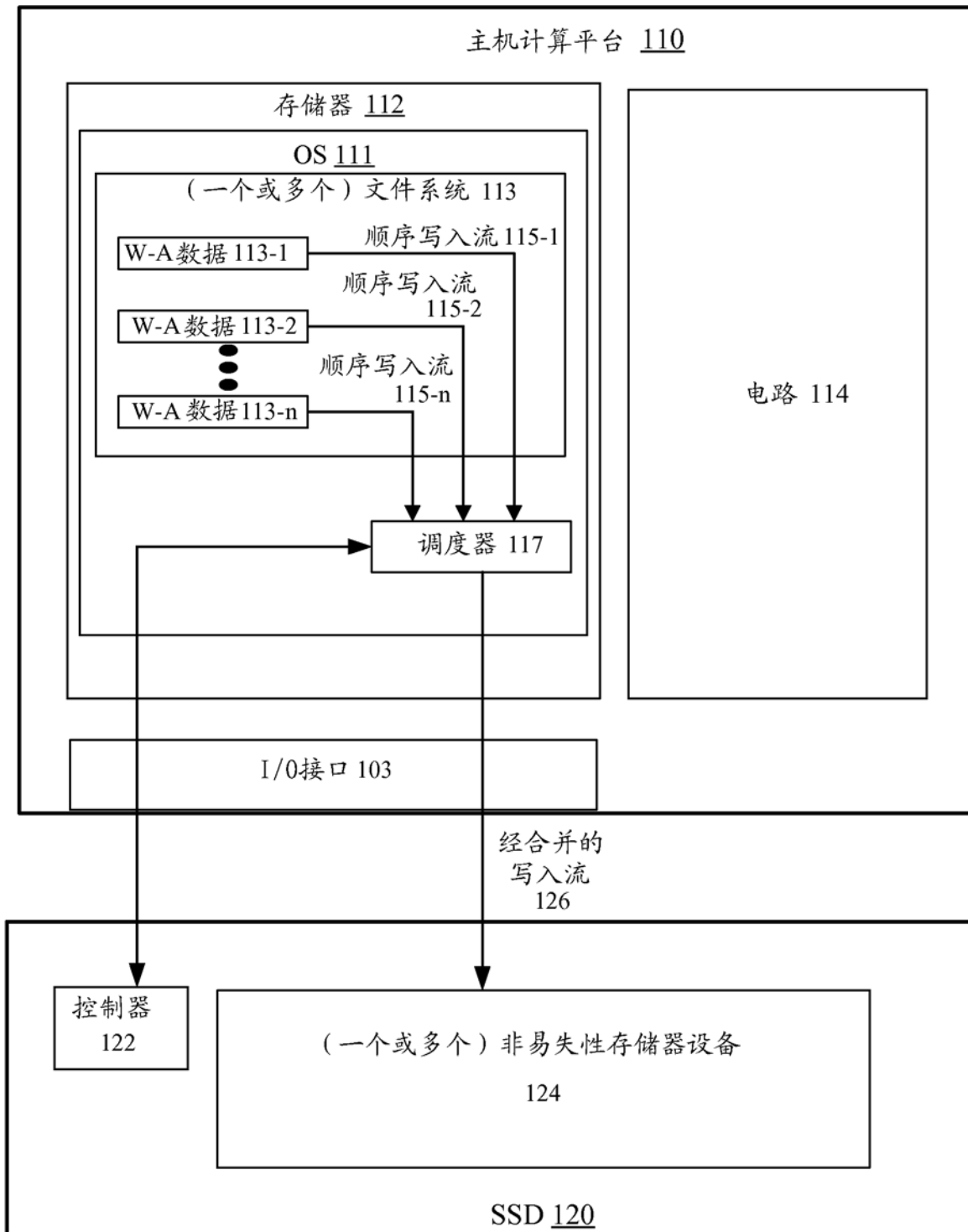


图 1

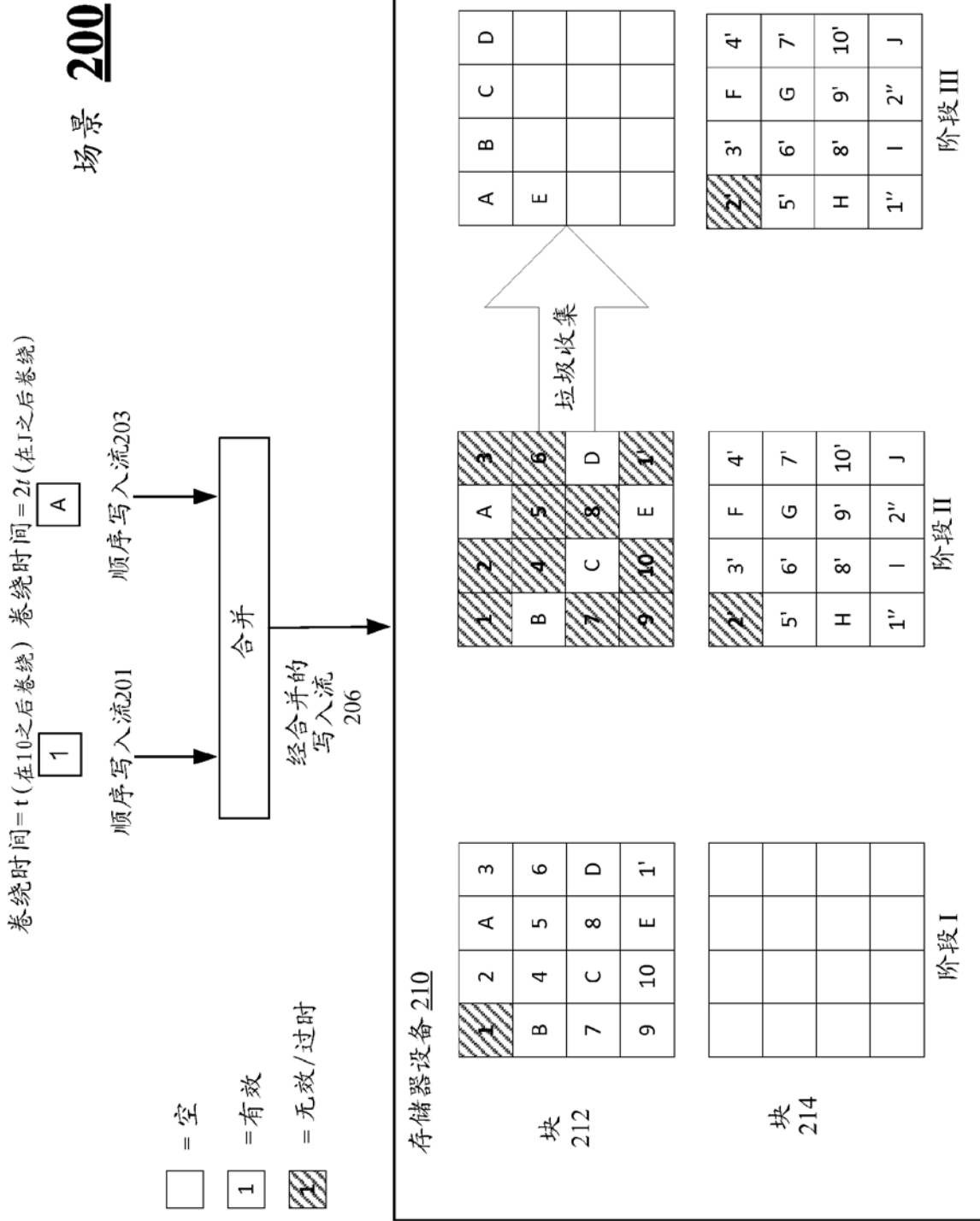


图 2

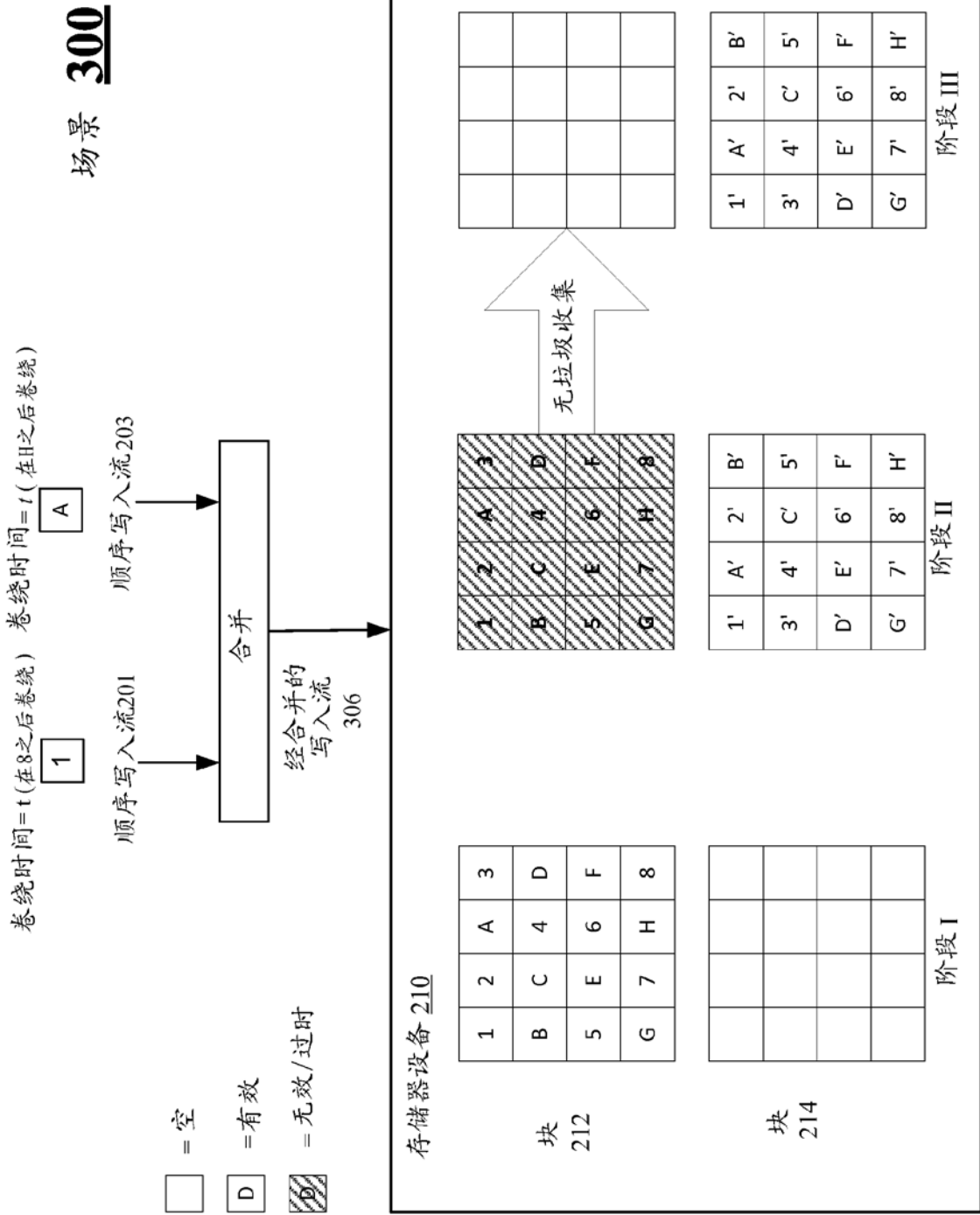


图 3

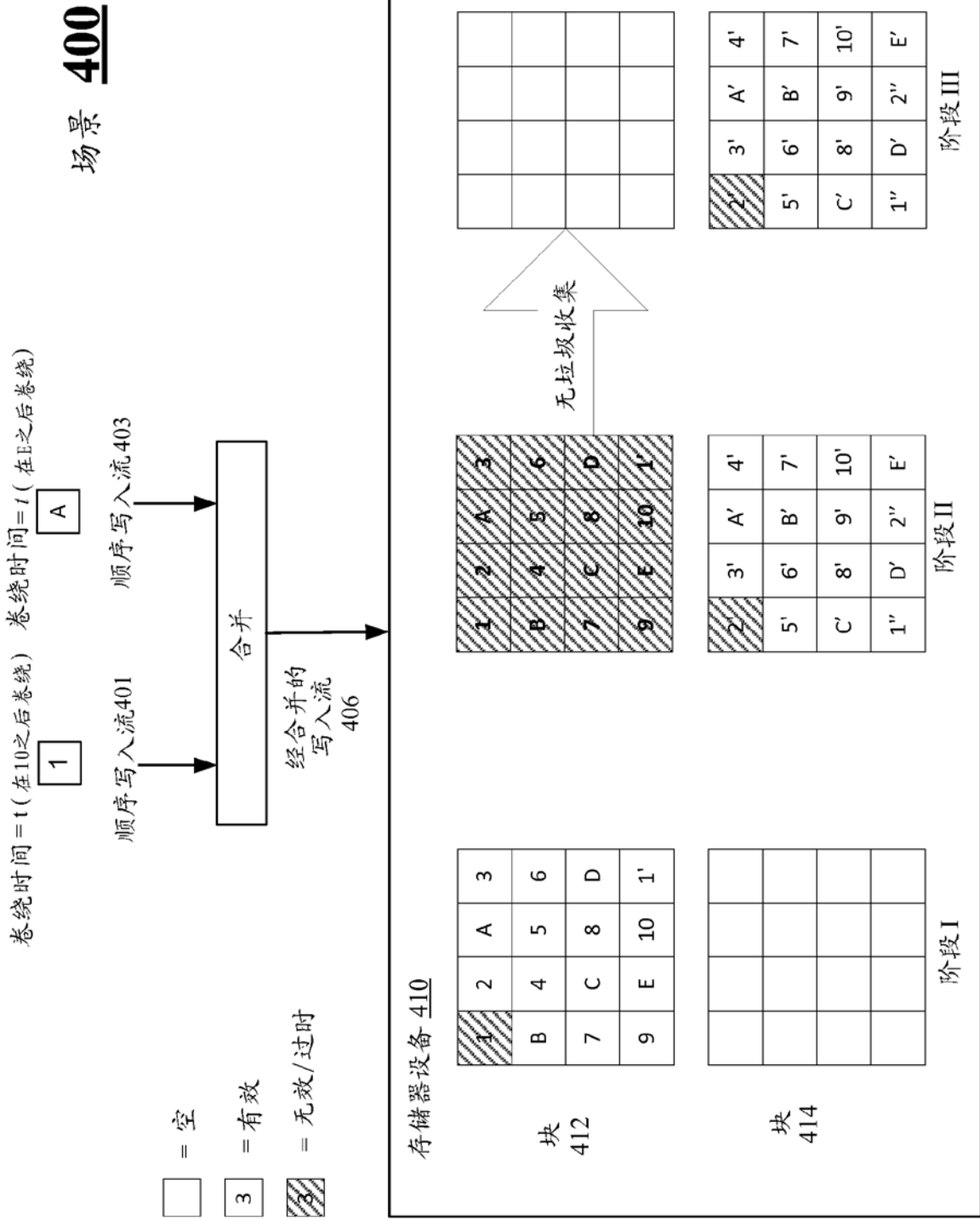


图 4

# 设备 500

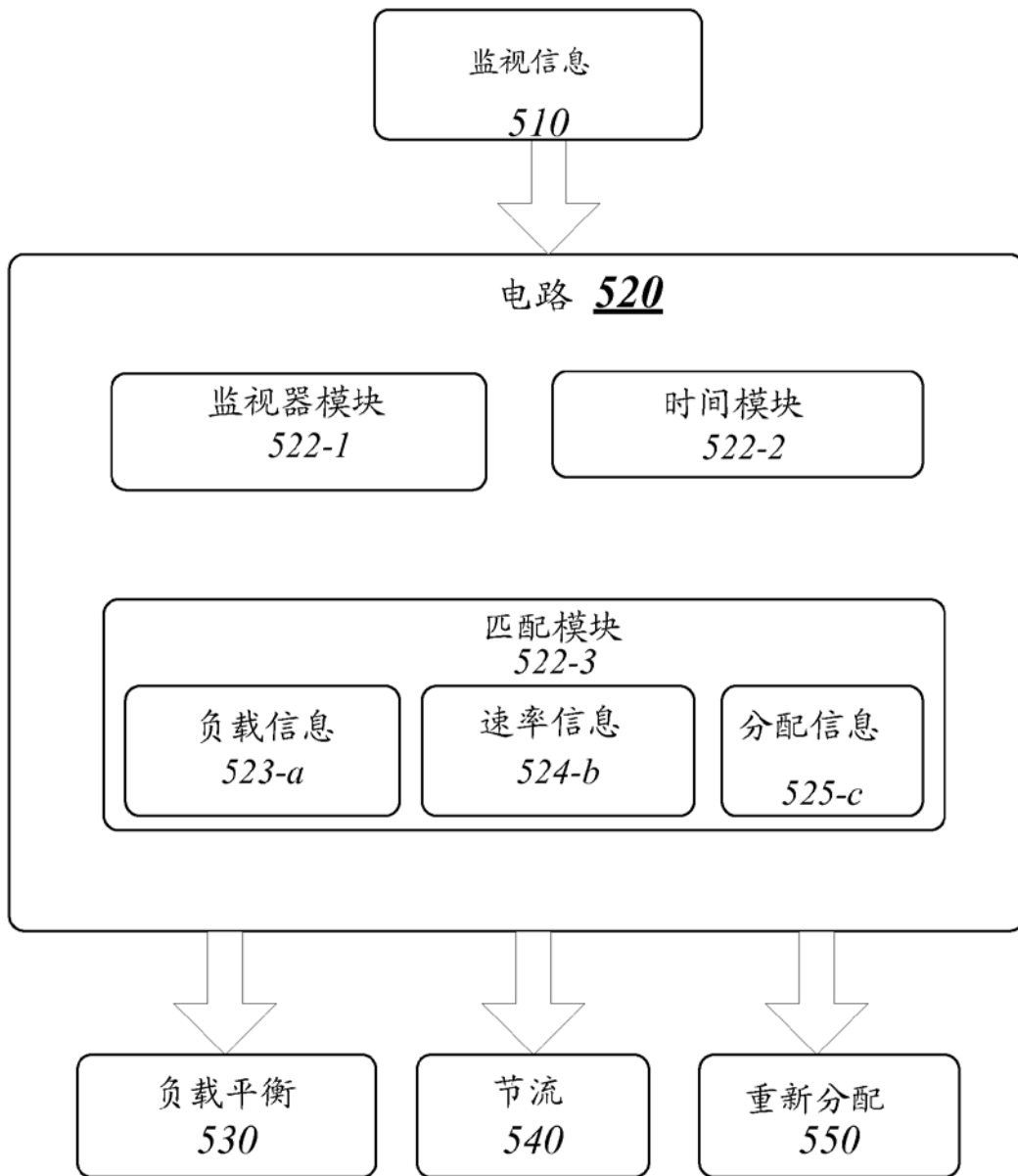


图 5

**600**

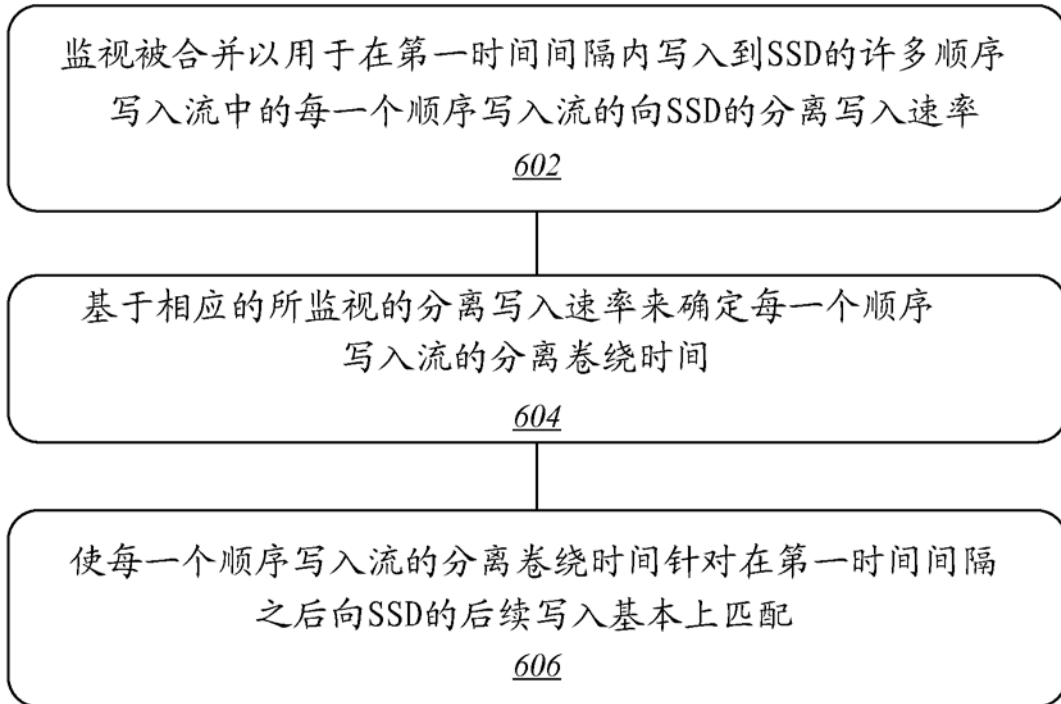


图 6



图 7

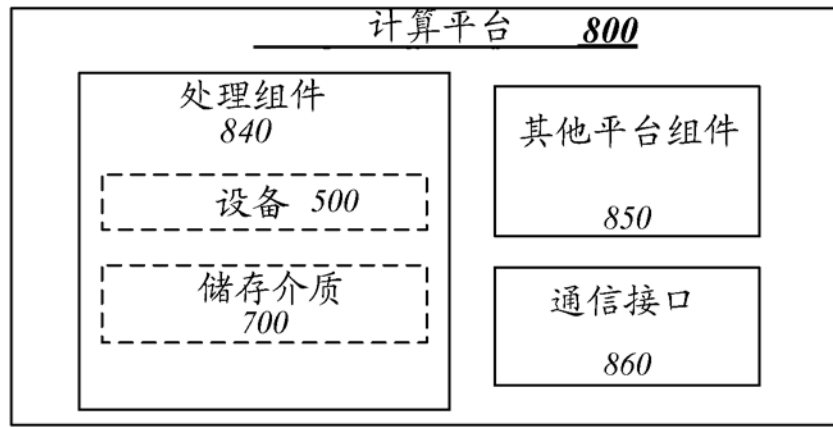


图 8