



(19)  
Bundesrepublik Deutschland  
Deutsches Patent- und Markenamt

(10) **DE 699 05 750 T2** 2004.02.19

(12)

## Übersetzung der europäischen Patentschrift

(97) **EP 1 131 645 B1**

(21) Deutsches Aktenzeichen: **699 05 750.7**

(86) PCT-Aktenzeichen: **PCT/RU99/00194**

(96) Europäisches Aktenzeichen: **99 933 307.3**

(87) PCT-Veröffentlichungs-Nr.: **WO 00/00837**

(86) PCT-Anmeldetag: **10.06.1999**

(87) Veröffentlichungstag  
der PCT-Anmeldung: **06.01.2000**

(97) Erstveröffentlichung durch das EPA: **12.09.2001**

(97) Veröffentlichungstag  
der Patenterteilung beim EPA: **05.03.2003**

(47) Veröffentlichungstag im Patentblatt: **19.02.2004**

(51) Int Cl.7: **G01R 31/319**  
**G11C 29/00**

(30) Unionspriorität:  
**PCT/RU98/00204 29.06.1998 WO**

(73) Patentinhaber:  
**Acuid Corp. (Guernsey) Ltd., St. Peter Port,  
Guernsey, GB**

(74) Vertreter:  
**Müller - Hoffmann & Partner Patentanwälte, 81667  
München**

(84) Benannte Vertragsstaaten:  
**DE, GB**

(72) Erfinder:  
**Klotchkov, Ilya Valerievich, St. Petersburg 198260,  
RU**

(54) Bezeichnung: **EINRICHTUNG UND VERFAHREN ZUM KALIBRIEREN VON LAUFZEITUNTERSCHIEDEN**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

## Beschreibung

### Technisches Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft ein automatisches Testgerät (ATE) zum Testen von Halbleitereinrichtungen, und spezifischer eine Vorrichtung, z.B. einen Tester, zum Testen und Messen einer Halbleitereinrichtung, wie etwa eines Speichers, und ein Verfahren einer Zeitgebungskalibration. Insbesondere betrifft die Erfindung eine genaue und automatische Kalibration einer Zeitgebung für ATE-Eingangs- und -Ausgangs-Anschlussstifttreiber.

[0002] Die vorliegende Erfindung ist insbesondere auf eine Testvorrichtung zum Testen von Halbleiterspeichern und -logik anwendbar, um das präzise und kontinuierliche Testen von Logik- und Speichervorrichtungen an Wafersondenstufen, oder als Matrizen oder verpackte Teile, oder in Modulen oder Schaltungen zu ermöglichen.

### Hintergrund der Erfindung

[0003] Testsysteme, die zum Testen von Halbleitereinrichtungen verwendet werden, sollten in der Lage sein, jede neue Generation von Einrichtungen bei der maximalen Geschwindigkeit der neuen Einrichtung zu testen. Eine Testvorrichtung für eine digitale Schaltung erzeugt verschiedene Wellenformen bei einer gewünschten Zeitgebung und erfasst den Spannungspegel der Wellenformen, indem gewöhnlich Daten, die von der im Test befindlichen Einrichtung gelesen werden, mit denjenigen verglichen werden, die erwartet werden. Das Zeitgebungssystem ist eines der kritischsten Spezifikationen eines Testers. Gegenwärtig stellen typische Systeme eine 60-ps-Auflösung, eine 500-ps-Maximal-Treiber-zu-Treiber-Laufzeit und einen 700-ps-Maximal-Flankenplatzierungsfehler bereit. Die Gesamtzeitgebungsgenauigkeit liegt innerhalb  $\pm 1,5$  ns. Für die neue Generation von Hochgeschwindigkeitseinrichtungen sollte die Genauigkeit innerhalb einiger Pikosekunden liegen. Um diese erhöhte Genauigkeit zu erreichen, ist es wesentlich, die Zeitgebung der Testvorrichtung zu kalibrieren.

[0004] Die Erfindung ist insbesondere geeignet für Speichereinrichtungen. Halbleiterspeicher neigen dazu, eine große Anzahl von Eingangs- und Ausgangsanschlussstiften aufzuweisen, beispielsweise 36 Anschlussstifte, und werden zu jeweils 16 oder 32 gleichzeitig getestet, was  $36 \times 32$  Testeranschlussstifte erfordert. Folglich erfordert der Tester eine große Anzahl von Einheiten eines Aufbaus pro Anschlussstift, wobei jeder eine Zeitgebungskalibration benötigt, da es notwendig ist, sicherzustellen, dass die Zeitgebung sämtlicher Spannungsübergänge, die zu den Anschlüssen der DUT geliefert werden, und die Zeit, zu welcher Daten, die von der Vorrichtung ausgegeben werden, mit den erwarteten Daten verglichen werden, in einer genauen Beziehung zu einer

definierten Referenz stehen. Jedoch treten diese Übergänge oft zu unterschiedlichen Zeiten auf, aufgrund der Tatsache, dass Signale, die einen Kanalpfad zu einer DUT durchlaufen, über Kabel, Formattierer, Treiber und andere Einrichtungen laufen müssen, die unterschiedliche elektrische Eigenschaften aufweisen. Die resultierenden Zeitgebungsvariationen werden als eine "Laufzeit" bezeichnet. Im Allgemeinen schließt eine Kalibration ein Messen der Laufzeit in jedem System-Eingangs- und -ausgangskanal und ein Kompensieren derselben mittels einer variablen Verzögerung in jedem Kanal ein (z.B. siehe US 5,274,796). Hardware, Software und eine Kombination davon können verwendet werden, um die kompensierende Verzögerung zu steuern.

[0005] Der herkömmliche Zugang schließt ein serielles Kalibrieren einer Testeranschlussstift-Zeitgebung bezüglich eines Referenzanschlussstifts oder einer externen Referenz ein (siehe z.B. US 5,712,855). Eine Vorrichtung, die in der EP 0 078 219 beschrieben ist, misst die Laufzeiteigenschaften jedes Anschlussstifts automatisch. Die Laufzeit eines Signals, das einem Anschlussstift einer im Test befindlichen Einrichtung zugeführt wird oder von ihm empfangen wird, wird zwischen diesem Anschlussstift und einer Referenz, und zwischen einem Knoten und einer Referenz bestimmt. Jedoch werden die Kosten der gesamten Messvorrichtung erhöht, da eine Vielzahl von elektronischen Schnittstellenschaltungen für jeden Anschlussstift verwendet wird, wobei jede einen Knoten, einen Treiber, einen Komparator und einen Satz von Schaltern umfasst. Da Anschlussstiftkalibrationsmessungen sequenziell durchgeführt werden müssen, wird eine erhebliche Menge einer Zeit für dieses Verfahren benötigt. Die Menge von gemessenen Daten, die erforderlich sind, ist auch groß; somit ist die Übertragungs- und Berechnungszeit unerwünscht lang. Ein weiterer üblicher Zugang, der die obigen Probleme abmildert, ist in der US 5,477,139 beschrieben, wobei die Kalibration parallel durchgeführt wird. Dieses Verfahren verkürzt die Zeit, die für Zeitgebungsmessungen erforderlich ist, jedoch erhöht sie die Kosten der gesamten Messvorrichtung, da sie eine Anzahl lokaler Sequenzen verwendet, einen für jeden Anschlussstift der im Test befindlichen Einrichtung (DUT).

[0006] Eine weitere Einrichtung, um die Laufzeitausrichtung parallel für sämtliche Anschlüsse des IC-Testers auszuführen, ist in der EP 356,967 A2 beschrieben. Der Nachteil des bekannten Verfahrens besteht darin, dass die Laufzeitausrichtung manuell von einem Bediener durchgeführt wird. Um Verzögerungen in den Übertragungsleitungen mit einer verbesserten Genauigkeit zu kalibrieren, ist ein Verfahren vorgeschlagen worden, wie es in dem IBM Technical Disclosure Bulletin, Band 34, Nr. 11, April 1992 offenbart ist. Gemäß diesem Verfahren werden die Eingangs- und Ausgangszeitgebungen eines Produkts aufeinander kalibriert, und dann wird die Umlaufverzögerung zwischen Eingängen und Ausgängen

gen kalibriert. Jedoch berücksichtigt das bekannte Verfahren die Ausbreitungsverzögerung zwischen Eingängen und zwischen Ausgängen nicht und stellt somit die hohe Genauigkeit nicht bereit, wenn diese Verzögerungen merklich sind.

[0007] Eine weitere weit verbreitet verwendete Kalibrationstechnik verwendet eine Zeitdomänen-Reflektometrie (TDR) auf der Grundlage einer Übertragungsleitungstheorie. Gemäß dieser Theorie wird eine Welle, die über eine Übertragungsleitung läuft, die mit irgendetwas anderem als der charakteristischen Impedanz der Leitung abgeschlossen ist, über die Leitung zurück reflektiert. Wenn die Leitung mit einem Leerlauf abschließt, gleicht die reflektierte Welle der gesendeten Welle, und diese reflektierte Welle wird durch die Anschlusselektronik erfasst. Unter Verwendung von TDR-Techniken werden automatische Kalibrationsschaltungen bereitgestellt, um Kanalverzögerungen zu den Leerlaufkontaktpunkten des Testers zu messen. Jedoch weist dieser Zugang den Nachteil auf, dass er viele Verzögerungskompensationsschaltungen pro Anschlussstifttreiber erfordert.

[0008] Eine Vorrichtung zum Autokalibrieren von Zeitgeboten eines Testers bezüglich eines gemeinsamen Referenzpunktes ist in "Maximising and maintaining AC test accuracy in manufacturing environment" von R. J. Bulaga und E. F. Westermann, Proceedings of the International Test Conference, Nashville, 1991, S. 976-985, IEEE beschrieben. Jedoch ist die bekannte Vorrichtung für eine Kalibration der Laufzeit nicht-zyklischer, d.h. asynchroner Testsignale ausgelegt, erfordert die Verwendung mehrfacher Bulk-Hardware und macht das System gedrängt und kosteneffektiv. Es benötigt ungefähr 30 Sekunden, um eine vollständige Kalibration durchzuführen, was für herkömmliche Speicher langsam ist. Eine automatische Laufzeitkalibrationsschaltung, die in der US 5,384,781 beschrieben ist, stellt eine Kalibrationstechnik für Multikanalsignalquellen bereit, indem eine Einrichtung zum Variieren der Verzögerungen in Abhängigkeit von einem Laufzeitsignal verwendet wird, und ein kalibrierter Wert für die Verzögerung bestimmt wird. Die Schaltung umfasst ein Paar von kreuzgekoppelten Flip-Flops und einen Mikroprozessor. Dieses Verfahren berücksichtigt die Variationen in der Zeit, zu welcher unterschiedliche Flip-Flops einen Zustand ändern. Es stellt ein schnelles Kalibrationsverfahren bereit, das einfach und häufig durchgeführt werden kann, um die Laufzeitfehler in Signalquellen zu korrigieren. Jedoch wird die Technik extrem kompliziert, wenn die Anzahl der Signalquellen zunimmt. Außerdem ist es nicht kosteneffektiv in einer Halbleiterspeichertestvorrichtung mit einer großen Anzahl von Signalquellen.

[0009] Eine der Hauptbeschränkungen der bekannten Zugänge zu einer Signallaufzeitkalibration besteht darin, dass die Genauigkeit eines Messens der Signallaufzeit mit der zunehmenden Geschwindigkeit und Komplexität jeder neuen Generation von syn-

chronen Hochgeschwindigkeitseinrichtungen abnimmt. In einem modernen Umfeld wird nicht nur eine Eingangs/Ausgangs-Signallaufzeitkompensation benötigt, sondern auch eine beträchtliche Verbesserung in der Genauigkeit eines Messens der Laufzeit selbst, wobei mehrfache Fehlerquellen und Laufzeitkompensationsverzögerungen vorhanden sind. Die Notwendigkeit eines Erhörens der Genauigkeit der Laufzeitkalibration schafft ein Erfordernis für ein schnelles, automatisches Kalibrationssystem, das eine extrem präzise, automatische Kalibration in Testsystemen mit mehrfachen Signalquellen bereitstellt.

#### Zusammenfassung der Erfindung

[0010] Die Aufgabe der vorliegenden Erfindung besteht in der Bereitstellung eines ATE-Systems, das ein hochgenaues Halbleitertesten durch ein Aufrechterhalten der präzisen Zeitgebungseigenschaften der Register durchführen kann und durch ein Bereitstellung einer präzisen Kalibration in Bezug auf mehrfache Signalquellen, während gleichzeitig eine Testzeit und Testerkosten verringert werden und eine Header-Charakterisierung vereinfacht wird.

[0011] Der Vorteil der vorliegenden Erfindung liegt in der Fähigkeit eines ATE-Systems, das eine Laufzeitkalibrationsschaltung verwendet, die in dem Header des Testers eingeschlossen ist, die Laufzeit zwischen unterschiedlichen Signalquellen zu verringern oder im Wesentlichen zu eliminieren, und somit die Genauigkeit eines Testens zu verbessern und ein akzeptables und adäquates Testen synchroner Hochgeschwindigkeitsspeichereinrichtungen bereitzustellen. Gemäß der vorgeschlagenen Erfindung sind Register zum Durchschalten von Daten zu und/oder von der DUT in dem Testkopf oder auf dem Header, einer Karte, die Sondenanschlussstifte oder -sockel hält, positioniert, um den Signalpfad zu und/oder von der DUT zu verringern und somit eine übermäßige Störung des Zeitgebungssignals zu vermeiden. Eine Laufzeitsteuerung kann durchgeführt werden, indem nur die Register des Testers kalibriert werden. Das Gesamtsystem wird somit beträchtlich vereinfacht, weil es nicht notwendig ist, programmierbare Verzögerungen für jeden Anschlussstift zu verwenden, und die Anzahl von Einheiten, die zu kalibrieren sind, wird verringert, verglichen mit den herkömmlichen Systemen, die eine Kalibration jedes Anschlussstifttreibers erfordern. Durch ein Verwenden eines gemeinsamen Referenztakttreibers, um die Ausgangsregister zu kalibrieren, kann die Verzögerung zwischen dem Moment, wenn das Register tatsächlich Eingangsdaten durchschaltet, und der Referenztaktgeber-Flanke mit einer beträchtlich erhöhten Genauigkeit gemessen werden. Ein wichtiger Vorteil des vorgeschlagenen Systems besteht darin, dass es auch eine schnelle Kalibration, die mit jeder DUT auszuführen ist, zulässt. Dies ist insbesondere wichtig, weil verschiedene Eigenschaften der DUT selbst mit dem Betrieb der

Register interferieren können und die Genauigkeit einer Laufzeitkalibration beeinflussen.

[0012] Das Wesen der vorliegenden Erfindung besteht in einer automatischen Laufzeitkalibrationseinrichtung für eine Laufzeitkalibration eines Transceivers, um beispielsweise die Laufzeit von Signalen zu kalibrieren, die zu der DUT übertragen und von der DUT in dem Verlauf einer Testprozedur empfangen werden, womit ein hochgenaues Testen synchroner Speichervorrichtungen bereitgestellt wird. Die Kalibration wird unter Verwendung einer gemeinsamen Zeitbasis durchgeführt, die an unterschiedlichen Punkten auf der Kalibrationsschaltung verfügbar ist, durch welche ein Referenzsignal von der Referenztaktquelle zu den Ausgangsregistern verteilt wird.

[0013] Die vorgeschlagene Einrichtung kann in dem Header des Testers eingeschlossen werden oder kann als eine getrennte Einheit implementiert werden, die mit dem Header des Testers verbunden ist.

[0014] Die Anzahl von Eingangs- und Ausgangsregistern ist durch die Anzahl von Registern in der zu testenden DUT definiert und kann einhundert oder mehr betragen. Die Register können beispielsweise, aber nicht beschränkt darauf, in Flip-Flops, Gattern oder jedweder geeigneten anderen Einrichtung zum Durchschalten von Signalen implementiert werden.

[0015] Ein herkömmlicher Taktgenerator kann als eine Haupttaktquelle verwendet werden. Die Referenztaktschaltung kann eine Vielzahl von Phasenschiebeeinrichtungen, z.B. einen Satz programmierbarer Verzögerungen, enthalten, um eine Einrichtung zum Verzögern des Signals bezüglich des Haupttakts bereitzustellen. Die Haupttaktquelle kann beispielsweise durch einen PLL-(Phase Lock Loop-)Taktgenerator, z.B. SY89429A, hergestellt durch die Synergy Semiconductor Corp. (U.S.A.) oder durch Analogue Devices, oder ähnliche Produkte von Vitalec oder Edge Semiconductors implementiert werden.

[0016] Das wichtige Merkmal der vorliegenden Erfindung besteht darin, dass die DUT mit der Kalibrationseinrichtung während des Kalibrationsbetriebs verbunden werden kann, wodurch zugelassen wird, dass die elektrischen Eigenschaften der DUT berücksichtigt werden. Die DUT-Eigenschaften, beispielsweise eine Kapazität, können nach einem Kalibrieren des Testers gemessen werden. Dieses Merkmal ist insbesondere signifikant für die CMOS-Logik, wo eine Zeitgebung Lastkapazitäts-unabhängig ist. Außerdem lässt es die vorliegende Erfindung, anders als herkömmliche Tester, die es erfordern, dass der Header des Testers geändert wird, wann immer ein neuer Typ einer DUT zu testen ist, dass der gleiche Tester zum Testen unterschiedlicher Typen von DUTs verwendet wird. Im Allgemeinen kann die vorgeschlagene Kalibrationseinrichtung zum Kalibrieren der Zeitgebungen unterschiedlicher Systeme zum Übertragen und Empfangen von Signalen, typischerweise als Transceiver bezeichnet, verwendet werden. Ein besonderer Fall eines Transceivers ist ein elektronischer Schaltungstester zum Testen von

Halbleitereinrichtungen.

[0017] Somit ist die Erfindung in einem Aspekt eine automatische Laufzeitkalibrationseinrichtung zum Kalibrieren der Zeitgebungen eines Transceivers, insbesondere ein Halbleitereinrichtungs-Testgerät, umfassend:

Eine Vielzahl von Eingangsregistern zum Senden von Signalen;

eine Vielzahl von Ausgangsregistern zum Empfangen von Signalen;

einen Haupttaktgeber zum Erzeugen eines Haupttaktsignales;

einen Referenztaktgeber zum Zuführen von Referenzsignalen, um die Register zu kalibrieren, wobei der Referenztaktgeber dem Haupttaktgeber zugeordnet ist; und

eine erste Vielzahl von Phasenschiebeeinrichtungen, umfassend zumindest einen Satz einer Phasenschiebeeinrichtung, die jeder Vielzahl der Register zugeordnet ist, zur relativen Ausrichtung der Zeitgebung der Register innerhalb jeder Vielzahl.

[0018] Die Kalibrationseinrichtung umfasst eine Übertragungsleitung, die vorbestimmte Welleneigenschaften aufweist, um ein Referenzsignal von dem Referenztaktgeber zu den Ausgangsregistern zu verteilen.

[0019] Vorzugsweise umfasst der Satz von Phasenschiebeeinrichtungen zumindest eine Phasenschiebeeinrichtung, die jedem getrennten Register zugeordnet ist, um die Zeitgebung dieses Registers zu verzögern.

[0020] Um ihre Genauigkeit weiter zu verbessern, umfasst die Laufzeitkalibrationseinrichtung vorzugsweise zusätzlich:

Einen zweiten Satz von Phasenschiebeeinrichtungen, die der Vielzahlen von Registern zugeordnet sind, um die relative Ausrichtung der Zeitgebung der Register zwischen den Vielzahlen zuzulassen, wobei die Vielzahl der Eingangsregister und die Vielzahl der Ausgangsregister mit dem Haupttaktgeber über den zweiten Satz von Phasenschiebeeinrichtungen verbunden sind.

[0021] Ein wichtiges Merkmal der vorliegenden Erfindung besteht darin, dass die Vielzahl der Ausgangsregister betriebsfähig ist, um die Vielzahl der Eingangsregister zu kalibrieren.

[0022] Vorzugsweise umfasst der zweite Satz von Phasenschiebeeinrichtungen zumindest eine Phasenschiebeeinrichtung, die jeder Vielzahl der Register zugeordnet ist.

[0023] Vorzugsweise sind die Ausgangsregister in Reihe zu dem Referenztaktgeber über die Übertragungsleitung verbunden.

[0024] Vorzugsweise sind zumindest eines oder, in bevorzugter Weise, sämtliche der Komponenten einschließlich der Vielzahl von Eingangsregistern, der Vielzahl von Ausgangsregistern und des Referenztaktgebers Teile eines Tester-Headers.

[0025] Ein weiterer Aspekt der vorliegenden Erfindung ist ein Verfahren einer automatischen Transcei-

ver-Laufzeitkalibration, umfassend:

Kalibrieren einer, Vielzahl von Transceiver-Ausgangsregistern in Bezug auf eine Referenztaktgeber-Flanke;

Kalibrieren der Ausbreitungsverzögerung der Eingangsregister des Transceivers unter Verwendung der kalibrierten Ausgangsregister; und relative Ausrichtung der gemessenen Verzögerungen mit der Haupttaktgeberflanke.

[0026] Vorzugsweise umfasst das Verfahren, vor dem Betrieb eines Kalibrierens der Ausgangsregister, einen Betrieb eines Kalibrierens jeder programmierbaren Verzögerung.

[0027] Das Verfahren schließt vorzugsweise weiter einen Schritt eines Erhöhens der Genauigkeit des Testsystems ein, in welchem der Transceiver verwendet wird, indem die minimal erreichbare Zeitverzögerung zwischen der Referenztaktgeber-Flanke und dem Moment bestimmt wird, wenn die Registerdaten durchschalten. Die Kalibration kann für jedes Register oder für die Vielzahlen der Register durchgeführt werden. Es sei auch darauf hingewiesen, dass die Messungen für jedes Bit von Daten, die zu oder von dem Register übertragen werden, ausgeführt werden kann.

[0028] Ein weiterer Aspekt der vorliegenden Erfindung ist ein Testsystem zum Testen von Halbleitereinrichtungen, die eine Zeitgebungseinrichtung, eine Fehlerlogik und eine zentrale Steuerlogik und auch einen Satz von Eingangsregistern und einen Satz von Ausgangsregistern umfassen, wobei die Register unter Verwendung der Kalibrationseinrichtung und/oder des Kalibrationsverfahrens, die in der vorliegenden Erfindung vorgeschlagen werden, kalibriert werden. Das Testsystem kann in Bezug auf eine bestimmte, im Test befindliche Einrichtung kalibriert werden, um die Eigenschaften der Vorrichtung zu berücksichtigen, die mit dem Betrieb des Testsystems interferieren können. Vorzugsweise weist das Testsystem die eingebaute Kalibrationseinrichtung auf, die in der vorliegenden Erfindung vorgeschlagen wird. Insbesondere kann die Kalibrationseinrichtung in den Header des Testers eingeschlossen werden.

[0029] Ein weiterer Aspekt der vorliegenden Erfindung besteht in einem Verfahren eines Testens von Halbleitereinrichtungen einschließlich eines Schritts zum Senden eines Musters von Signalen zum Zugreifen auf Speicherelemente innerhalb der Vorrichtung, eines Schritts eines Empfangens von Antwortsignalen zum Erfassen von Fehlern in den Speicherelementen und eines Schritts eines Verarbeitens von Testergebnissen, wobei das Verfahren einen Schritt einer automatischen Laufzeitkalibration unter Verwendung der Kalibrationseinrichtung einschließt, die in der vorliegenden Erfindung vorgeschlagen wird. Vorzugsweise schließt die Laufzeitkalibration einen Schritt eines Bestimmens der minimal erreichbaren Zeitverzögerung zwischen der Referenztaktgeber-Flanke und dem Moment ein, wenn die Registereingangsdaten durchschalten.

[0030] Noch ein weiterer Aspekt der Erfindung besteht in einem Computerprogramm zum Implementieren, Simulieren oder Emulieren der Hardwarefunktionen der Laufzeitkalibrationseinrichtung oder zur Computerimplementation des Verfahrens in Übereinstimmung mit der vorliegenden Erfindung.

#### Kurze Beschreibung der Zeichnungen

[0031] Für ein besseres Verständnis der vorliegenden Erfindung und die Vorteile davon, und um zu zeigen, wie dieselbe in ihrer Wirkung ausgeführt werden kann, wird nun, im Wege eines Beispiels, ohne Verlust einer Verallgemeinerung, auf die folgende Beschreibung, die nun in Verbindung mit den zugehörigen Zeichnungen genommen wird, Bezug genommen.

[0032] In den Zeichnungen zeigen:

[0033] **Fig. 1** ein teilweises Schaltungsdiagramm der Laufzeitkalibrationseinrichtung in Übereinstimmung mit einer der Ausführungsformen der vorliegenden Erfindung;

[0034] **Fig. 2** eine Übertragungsleitung zum Einführen einer gemeinsamen Zeitbasis gemäß der Erfindung;

[0035] **Fig. 3** ein Flussdiagramm des Betriebs einer Laufzeitkalibrationseinrichtung in Übereinstimmung mit der vorliegenden Erfindung;

[0036] **Fig. 4(a)** einen Graphen des Schritts einer Kalibration der Register, der durch ein Hochsetzen der Verzögerung entsprechend der Register von null auf einen maximalen Wert durchgeführt wird;

[0037] **Fig. 4(b)** einen Kalibrationsgraphen für eine programmierbare Verzögerung und den ersten Schritt einer Kalibration der vorliegenden Erfindung;

[0038] **Fig. 5** ein Zeitgebungsdiagramm, das das Laufzeitkalibrationsverfahren in Übereinstimmung mit der vorliegenden Erfindung zeigt; und

[0039] **Fig. 6** ein schematisches Blockdiagramm des Testsystems in Übereinstimmung mit der vorliegenden Erfindung.

[0040] Die Erfindung wird nun ohne Verlust der Allgemeingültigkeit mit der Hilfe eines Ausführungsbeispiels beschrieben werden.

#### Detaillierte Beschreibung der Erfindung

[0041] In **Fig. 1** ist ein teilweises Blockschema eines Tester-Headers mit eingebauter Laufzeitkalibrationseinrichtung in Übereinstimmung mit einer der Ausführungsformen der vorliegenden Erfindung gezeigt. Der übrige Schaltkreis, der teilweise in

[0042] **Fig. 5** gezeigt ist, ist ein herkömmlicher Schaltkreis, der unterschiedliche Elemente, wie etwa Formatierer, Master-Taktgeber, programmierbare Verzögerungen, Schalter, etc. aufweist, die benutzt werden, um Testsignale zu erzeugen. Die Kalibrationseinrichtung der vorliegenden Erfindung ist ausgelegt zum Bereitstellen einer Kalibration der Testdaten zwischen den tatsächlichen Übertragungs- und Emp-

fangsregistern und der DUT. Typischerweise verwendete Register schließen herkömmliche Flip-Flops und Gatter ein.

[0043] In **Fig. 1** ist eine Vielzahl von Eingangsregistern **2-3** zum Senden von Testsignalen zu der im Test befindlichen Einrichtung **1** (DUT) einschließlich Daten, Adressen und Steuersignalen, die von den Registern übertragen werden, und eine Vielzahl von Ausgangsregistern **4-6** zum Empfangen von Antwortsignalen von der DUT gezeigt. Die Taktsignale werden zu der DUT von dem Haupttaktgeber über, aufeinander folgend, eine programmierbare Verzögerung **10** und eine Logiktranslatoreinrichtung **26** übertragen.

[0044] Die Ausgangs- und Eingangsregister **2, 3** sind mit der DUT **1** und den Eingängen der Ausgangsregister **4-6** verbunden. Die Taktgeber der Eingangsregister **2, 3** sind über Logiktranslatoreinrichtungen **29, 32** und Verzögerungen **13, 15** jeweils mit dem Ausgang eines sekundären Taktgebertreibers **36** verbunden, um eine Datenaufbauzeit für die Eingangsregister und die DUT aufrechtzuerhalten. Um dies zu erreichen, ist der Eingang des sekundären Taktgebertreibers **36** über eine programmierbare Verzögerung **17** mit dem Haupttaktgeber **9** verbunden.

[0045] Die Taktgeber der Ausgangsregister **4, 5, 6** sind über Logiktranslatoreinrichtungen **27, 30** und **33** und Verzögerungen **12, 14** und **16** mit dem Ausgang des sekundären Taktgebertreibers **37** verbunden. Der Eingang des sekundären Taktgebertreibers **37** ist über eine programmierbare Verzögerung **18** mit dem Haupttaktgeber **9** für eine Ausrichtung des Fehlerimpulses auf den DUT-Takt hin verbunden. Ein weiterer Satz von Registern **7-8** ist ausgelegt, es zuzulassen, dass das Signal, das in die Eingangsregister eintritt, unabhängig von der Pfadlänge von der Grundplatine ist; die Eingänge der Register **7-8** sind mit der Grundplatine verbunden, während ihre Ausgänge mit den Eingängen der Eingangsregister **2-3** verbunden sind. Die Taktgeber der Register **7, 8** sind über Logiktranslatoreinrichtungen **28** bzw. **31** mit dem Haupttaktgeber **9** verbunden. Es sei auch darauf hingewiesen, dass die Anzahl der Register nicht beschränkt ist und beispielsweise einhundert oder mehr betragen kann. Ein Haupttaktgeber ist zum Erzeugen von Zeitgebungssignalen für den Tester bereitgestellt. Vorzugsweise erzeugt der Haupttaktgeber **9** Taktsignale bei unterschiedlichen Frequenzen.

[0046] Um die Kalibration des Testers durchzuführen, sind programmierbare Verzögerungseinheiten **12, 14, 16** bereitgestellt, um die Unterschiede in Signalpfaden von der DUT zu kompensieren, und Verzögerungseinheiten **13, 15** sind bereitgestellt, um Unterschiede in Signalpfaden zu der DUT zu kompensieren. Im Allgemeinen kann der Satz von Phasenschiebeeinrichtungen (z.B. programmierbare Verzögerungseinheiten) beispielsweise eine oder mehrere Schiebeeinrichtungen für eine relative Ausrichtung

der Zeitgebung der Register innerhalb jeder Vielzahl umfassen, d.h. die Anzahl der Verzögerungseinheiten können geringer oder größer als die Anzahl der Register innerhalb jeder Vielzahl sein.

[0047] Vorzugsweise wird zumindest eine Kalibrationsschiebeeinrichtung verwendet, um die Zeitgebung jedes getrennten Registers innerhalb der Vielzahl zu verzögern, wie in **Fig. 1** gezeigt; d.h. die Verzögerungen **13, 15** werden zum Kalibrieren der Zeitgebung der Eingangsregister **2** bzw. **3** verwendet, während die Verzögerungseinheiten **12, 14, 16** für die Kalibration der Zeitgebung der Ausgangsregister **4, 5** bzw. **6** verwendet werden.

[0048] Ein weiterer Satz von Phasenschiebeeinrichtungen, die in diesem Fall die Verzögerungseinheiten **10, 17** und **18** einschließen, ist zum Schieben sekundärer Takte in Bezug auf den Haupttakt vorbehalten, um einen individuellen Ausgang für die Register bereitzustellen. Der zweite Satz von Phasenschiebeeinrichtungen wird auch für eine relative Ausrichtung der Zeitgebung der Register zwischen der Vielzahl verwendet. Vorzugsweise wird zumindest eine Verzögerungseinheit aus dem zweiten Satz von Verzögerungseinheiten der Vielzahl von Registern zugeordnet. Wie in **Fig. 1** zu ersehen, sind sowohl die Vielzahl von Eingangsregistern als auch die Vielzahl von Ausgangsregistern mit dem Haupttaktgeber über den zweiten Satz von Phasenschiebeeinrichtungen verbunden.

[0049] Jedwede geeignete Einrichtung zur Phasenschiebung kann verwendet werden, z.B., wie bereits oben erwähnt, herkömmliche programmierbare Verzögerungseinheiten. Die Verzögerungseinheiten können beispielsweise unter Verwendung eines SY100E195, hergestellt von der Synergy Semiconductor Corp. (U.S.A.) oder von Analogue Devices oder von Edge Semiconductor Devices implementiert werden.

[0050] Um die Zeitgebungslaufzeit innerhalb der vorbestimmten Genauigkeit während des Testbetriebs aufrechtzuerhalten, und in dem Fall, wenn ein neuer Typ einer Speichervorrichtung zu testen ist, ist es notwendig, in der Lage zu sein, das Testsystem periodisch zu kalibrieren, um zu bestimmen, ob irgendwelche Änderungen als Folge von Temperaturvariationen, Alterung oder jedweden anderen Faktoren aufgetreten sind. Um den Kalibrationsbetrieb durchzuführen, ist ein Referenztaktgebertreiber **24** zum Zuführen eines Referenztaktgebersignals für die Register in der Schaltung eingeschlossen und mit den Registern über Referenztaktgeberschalter **25a, 25b** und **25c** verbunden. Während eines normalen Betriebsmodus sind die Schalter **25** offen, und der Referenztaktgeber ist von den Datenleitungen getrennt.

[0051] Es sei auch darauf hingewiesen, dass die gemeinsame Zeitbasis, d.h. der Haupttaktgeber, in die Kalibrationsschaltung in Übereinstimmung mit der vorliegenden Erfindung mittels eines "distributed common node, verteilten gemeinsamen Knotens"

eingeführt wird. In einer typischen Laufzeitkalibrations-schaltung, z.B. wie in der US 4,827,437 beschrieben, wird ein gemeinsamer Knoten mittels mehrfacher Kabel eingeführt, die zwischen dem Knoten und jedem Testanschluss angeordnet sind, wobei jedes der Kabel identisch in der Länge und der internen Impedanz ist (siehe **Fig. 2a**). Gemäß der vorliegenden Erfindung wird eine gemeinsame Übertragungsleitung bekannter Welleneigenschaften verwendet, um die gemeinsame Zeitbasis zu schaffen, die an unterschiedlichen Punkten in der Schaltung verfügbar ist, wie in **Fig. 2b** gezeigt. Somit ist jeder Punkt, der mit der Übertragungsleitung verbunden ist, mit einer gemeinsamen Zeitbasis versehen, die einfach aus der Signalausbreitungsrate und dieser Übertragungsleitung berechnet werden kann. Folglich besteht keine Notwendigkeit, Kabel gleicher Länge zu verwenden, um eine gemeinsame Zeitbasis bereitzustellen. Die Übertragungsleitung kann mit einer Reihe von Schaltern versehen werden, um Register wie gewünscht zu wechseln, wie beispielsweise in **Fig. 2c** gezeigt. Unterschiedliche Schaltmuster können geschaffen werden, wie es für einen Durchschnittsfachmann offensichtlich ist.

[0052] Unter Bezugnahme auf **Fig. 1** wird das Referenztaktgebersignal von dem Referenztaktgebertreiber **24** zu den Registern **4, 5, 6** über eine gemeinsame Übertragungsleitung verteilt. Jedes Ausgangsregister **4, 5, 6** ist in Reihe zu der Übertragungsleitung verbunden, was es zulässt, dass eine Übertragungsleitung einer minimalen Länge verwendet wird und somit die Signalfuktuationen entlang der Leitung minimiert.

[0053] Falls nötig kann, wie in **Fig. 1** gezeigt, eine Anzahl von Logiktranslatoreinrichtungen **26-33** eines PECL-zu-TTL-Typs, z.B. SY100ELT23, hergestellt von der Synergy Semiconductor Corp. (U.S.A.), zum Übersetzen von PECL-Signalen, die in der Taktgeberschaltung verwendet werden, in TTL-Signale, die in der DUT-Schaltung verwendet werden, bereitgestellt werden. Jedoch können in bestimmten Anwendungen diese Translatoren nicht erforderlich sein und können weggelassen werden: Der Betrieb der Laufzeitkalibrationseinrichtung wird nun detaillierter beschrieben werden.

[0054] Die Kalibrationsprozedur wird in vier Betriebsschritten durchgeführt, umfassend:

- (1) Kalibrieren jeder programmierbaren Verzögerung, um ihre tatsächlichen Verzögerungseigenschaften zu bestimmen;
- (2) Kalibrieren einer Vielzahl von Ausgangsregistern in Bezug auf die Referenztaktgeber-Flanke;
- (3) Kalibrieren der Ausbreitungsverzögerung der Eingangsregister unter Verwendung der kalibrierten Ausgangsregister;
- (4) Durchführen einer relativen Ausrichtung der gemessenen Verzögerungen zu der Haupttaktgeberflanke.

[0055] Die ersten drei dieser vier Kalibrationsbe-

triebsschritte werden unter Verwendung einer speziellen Kalibrationstechnik durchgeführt, die in der vorliegenden Erfindung vorgeschlagen wird. Die Technik umfasst ein Variieren der programmierbaren Verzögerung unter Verwendung eines System-Sequenzers (nicht gezeigt), um den gesamten Verzögerungsbereich abzudecken, und ein Bestimmen, für jedes Bit des Registers, der Wahrscheinlichkeit, dass es in einem der möglichen Zustände sein wird, d.h. dem "0"- oder "1"-Zustand. Die Kalibration wird durch ein Hochsetzen der entsprechenden Verzögerung von null auf einen Maximalwert durchgeführt; das Ergebnis  $S_i$  einer  $i$ -Bestimmung für ein vorgegebenes Bit eines vorgegebenen Registers wird  $R$ -mal bei vorgegebenen Bedingungen berechnet, wobei jede Bestimmung wiederholt wird, bis eine statistisch ausreichende Anzahl  $R$  von Werten erhalten wird. Das Flussdiagramm dieses Kalibrationsbetriebs ist in **Fig. 3** gezeigt, wobei  $S_i/R$  ein gemittelttes Ergebnis der obigen Bestimmung ist.

[0056] Auf der Grundlage der erhaltenen Daten wird ein Graph gezeichnet, der den Punkt zeigt, wo die obige Wahrscheinlichkeit gleich 50% ist. Der Graph dieses Kalibrationsbetriebs ist in **Fig. 4(a)** veranschaulicht.

[0057] Ein Computerprogramm kann leicht in jedweder geeigneten Sprache, z.B. C, C++, Assembler etc. geschaffen werden, um den obigen Kalibrationsbetrieb auf der Grundlage eines Flussdiagramms, das in **Fig. 3** dargestellt ist, zu implementieren.

#### I. Kalibration von programmierbaren Verzögerungseinheiten

[0058] Der erste Betriebsschritt der Kalibrationsprozedur kann in bestimmten Fällen weggelassen werden, und er wird vorzugsweise vor der Kalibration der Register durchgeführt. Der Betrieb umfasst eine vorläufige Kalibration der programmierbaren Verzögerungseinheiten, die für eine Kalibration von Registern verwendet werden, und stellt eine Kalibration einer hohen Präzision sicher.

[0059] Programmierbare Verzögerungseinheiten sind durch die lineare Abhängigkeit des Verzögerungswerts von einem Code gekennzeichnet, der zu der Verzögerungseinheit gesendet wird (ein typischer Graph dieser Abhängigkeit für Verzögerungseinheiten A und B ist in **Fig. 4(b)** gezeigt). Wie in der Figur gezeigt, variiert die Steigung dieses linearen Graphen von einer Verzögerungseinheit zur anderen innerhalb der gleichen Charge. Es ist auch bekannt, dass die Kalibrationsfrequenz den Moment beeinflusst, zu welchem der Übergang von einem der beiden möglichen Zustände in den anderen auftritt. Eine Ungenauigkeit, die durch diesen Einfluss verursacht wird, wird in diesem Schritt berücksichtigt. Um die Verzögerungseigenschaften genau zu definieren, wird jede programmierbare Verzögerungseinheit in situ kalibriert, nachdem sie in einer Kalibrationsschaltung installiert ist, aber vor der Kalibration der Regis-

ter. Die Verzögerungen werden durch ein Variieren der Kalibrationsfrequenz kalibriert, während andere Variable konstant gehalten werden, wodurch es ermöglicht wird, die Schwelle der variablen Verzögerung durch ein Festhalten des Unterschieds in einer Zeit der beiden Übergangsmomente zu bestimmen.

[0060] Es sei auch darauf hingewiesen, dass in dem Verlauf dieser Prozedur ein Kalibrationsgraph mit x, y-Koordinaten erhalten wird, wobei 'x' die Taktgeberperiode und 'y' die diskrete Verzögerungseinheit (d, Verzögerungszählwerte) ist. Um die lineare Abhängigkeit in Form von Zeiteinheiten ( $T_d$ ) entlang der Y-Koordinate zu definieren, wird der Wert dieser diskreten Einheit in Zeiteinheiten durch ein Standardverfahren einer linearen Regression bestimmt. Somit wird jeder variablen Verzögerungseinheit eine Transferfunktion  $F_r$  zugeordnet, die die Abhängigkeit des Verzögerungswerts von dem Code, der zu der variablen Verzögerungseinheit gesendet wird, zeigt.

## II. Kalibration von Ausgangsregistern

[0061] Der zweite Betrieb ist die Kalibration jeder oder zumindest einiger der Ausgangsregister in Bezug auf die Referenztaktgeber-Flanke (obwohl in diesem Fall die Register **4**, **5** und **6** in **Fig. 1** gezeigt sind, ist zu verstehen, dass in der Praxis die Anzahl von Registern **100** oder mehr sein kann.). Während des Kalibrationsbetriebs ist einer der Schalter **25** geschlossen, in Abhängigkeit davon, welches Bit des Registers, das kalibriert wird, zu messen ist. Beispielsweise sollte, um das Register **6** zu kalibrieren, der mittlere Schalter **25b** geschlossen sein, und die Ausgangsregister sind dreistufig. Dann wird die entsprechende programmierbare Verzögerungseinheit **16** variiert, um den gesamten Verzögerungsbereich in Übereinstimmung mit der oben beschriebenen Kalibrationsprozedur abzudecken. In diesem Fall wird die Prozedur bei der gleichen Frequenz für unterschiedliche Bits des Registers durchgeführt.

[0062] Dieser Betriebsschritt kann in dem Fall einer neuen Erzeugung von Registern einer hohen Präzision, oder wo Register, die speziell für diesen Zweck gefertigt sind, bereitgestellt werden oder wo vorkalibrierte Register verwendet werden, weggelassen werden. Herkömmliche Register können ohne eine Ausrichtung verwendet werden, aber es wird eine bestimmte Abnahme in der Gesamtgenauigkeit des Systems vorhanden sein.

[0063] Ein Zeitgebungsdiagramm dieses Kalibrationsbetriebs ist in **Fig. 5** veranschaulicht. Wie in **Fig. 5** gezeigt, wird ein bestimmter Zeitunterschied zwischen dem Moment, wenn das Register tatsächlich Eingangsdaten durchschaltet, und der Referenztaktgeber-Flanke beobachtet. An dem Ende der Kalibrationsprozedur werden entsprechende Verzögerungen, d.h.  $T_d$ , für ein vorgegebenes Bit in einem vorgegebenen Register in die Eingangs- und Ausgangskanäle eingeführt, um diese Zeitunterschiede zu kompensieren, wobei  $T_d$  durch die folgende For-

mel definiert ist:

$$T_d = T_{la} + T_r,$$

wobei

$T_d$  – tatsächlicher Wert einer Signalverzögerung;

$T_{la}$  – eine exakte Zeit zum Datendurchschalten in dem Register;

$T_r$  – eine Zeit, die für das Referenztaktgebersignal erforderlich ist, um ein vorgegebenes Bit eines vorgegebenen Registers über eine Übertragungsleitung zu erreichen. Diese Zeit kann aus dem PCB (gedruckte Schaltungsplatine)-Layout berechnet werden und/oder durch Oszilloskopmessungen überprüft und korrigiert werden.

[0064] Jedoch begrenzt eine Unsicherheit beim Bestimmen der Länge der Verzögerung, die zu nullen ist, die Genauigkeit des Kalibrationsbetriebs, und des wegen sollte diese Unsicherheit minimiert werden. Der Parameter  $T_{la}$ , der die exakte Zeit eines Datendurchschaltens in dem Register darstellt, ist durch einen Mittelwert der Aufbau- und Haltezeiten für ein tatsächliches Register unter vorgegebenen Energieversorgungs- und Temperaturbedingungen definiert. Jedoch kann sich dieser Parameter von der Parametern unterscheiden, die in Datenblättern angezeigt werden, da diese gewöhnlich die Werte über der Temperatur und der Stromverstärkung für den schlimmsten Fall angeben. Ein Bestimmen der tatsächlichen Zeit, wenn das Register die Eingangsdaten durchschaltet, und der tatsächlichen Verzögerung zwischen diesem Moment und der Referenztaktgeber-Flanke ermöglicht es, dass die Genauigkeit des Testsystembetriebs erhöht wird. Die Bestimmung wird entweder für die fallende Flanke oder für die steigende Flanke des Referenztaktes durchgeführt, oder sie kann zweimal durchgeführt werden, einmal für die fallende Flanke und wieder für die steigende Flanke, um die Genauigkeit sicherzustellen. Die Genauigkeit eines Bestimmens von  $T_d$  (time of delay = Verzögerungszeit) und deswegen von  $T_{la}$  zu  $T_r$  (Zeit der Referenztaktgeber-Flanke) ist eine Funktion von zweite Werten: Registertakt-Jitter und Durchschaltzeitunsicherheit selbst. Wegen der Schwierigkeit eines Erreichens einer genauen Berechnung des Jitters und des Durchschaltzeitfensters einer Unsicherheit wird die Summe dieser beiden Werten experimentell bestimmt. Es ist gefunden worden, dass die Verzögerung  $T_d$  mit einer Genauigkeit von 250 ps für sowohl die steigenden als auch die fallenden Flanken von Daten an dem Eingang von typischen TTL-Registern bestimmt werden kann. Eine größere Genauigkeit ist mit einigen CMO-Galliumarsenid- und ECL-Registern verfügbar. [0065] Die Genauigkeit einer Kalibration der Ausgangsregister kann nun auf der Grundlage der experimentellen Daten bestimmt werden. Sie wird durch die Unsicherheit der tatsächlichen Zeit beschränkt, wenn das Register, Daten schaltet, und wird wie folgt



berechnet:

$$\Delta T_{sk(out)} = \Delta T_{sk(0)} + \Delta T_{unc}$$

wobei  $\Delta T_{sk(0)}$  die Ausgangslaufzeit des Referenztaktgebertreibers ist, die ungefähr gleich 0,3 ns für einen typischen Referenztaktgebertreiber ist, z.B. den SY100E111, hergestellt von der Synergy Semiconductor Corp. (U.S.A.). Diese Laufzeit kann während des Herstellungsprozesses verringert werden, aber für die Zwecke der vorliegenden Beschreibung kann angenommen werden, dass Standardvorrichtungen ohne eine Ausrichtung verwendet werden. Alternativ kann eine einzelne Leitung, die vorbestimmte Signalausbreitungsparameter aufweist, verwendet werden. In diesem Fall kann  $\Delta T_{sk(0)}$  aus dem PCB (gedruckte Schaltungsplatte)-Layout bestimmt werden und wird weniger als 0,3 ns betragen;  $\Delta T_{unc}$  ist die Unsicherheit eines Bestimmens des Unterschieds in der Zeit zwischen dem Moment, wenn das Register tatsächlich Eingangsdaten durchschaltet, und der Referenztaktgeber-Flanke, und wird bestimmt, in diesem Fall  $\pm 0,25$  ns zu betragen. Dies könnte auch gemessen werden, wie oben bemerkt. Obwohl angenommen werden kann, dass diese Genauigkeit für das Ausführungsbeispiel der vorliegenden Erfindung im Allgemeinen ausreichend ist, stellt die vorgeschlagene Kalibrationseinrichtung ein skalierbares System bereit, das auf eine wie auch immer erhöhte Genauigkeit, die gewünscht sein könnte, eingestellt werden kann, wenn Register mit einer höheren inhärenten Genauigkeit verwendet werden.

[0066] Was den Jitter des Haupttaktgebertreibers betrifft, ist er vernachlässigbar, da der Haupttaktgebertreiber gewöhnlich in einer positiven, Emittergekoppelten Logik (PECL) implementiert ist. Herkömmliche hybride Oszillatoren können einen 3 ps-RMS (Root Mean Square = quadratischen Mittelwert) -Jitter erreichen. Es sei auch darauf hingewiesen, dass die Ausgangslaufzeit des Haupttaktgebertreibers in jedem Fall in dem Verlauf des vorgeschlagenen Kalibrationsbetriebs aufgrund des Mittels von Daten kompensiert wird. Somit ist typischerweise

$$\Delta T_{sk(out)} = 0,30 + 0,25 = 0,55 \text{ ns.}$$

[0067] Somit werden die Ausgangsregister mit einer Genauigkeit von zumindest 0,55 ns, vorzugsweise weniger als 0,55 ns kalibriert.

### III. Kalibration von Eingangsregistern

[0068] Der dritte Laufzeitkalibrationsbetriebsschritt ist die Kalibration der Ausbreitungsverzögerung jedes der Vielzahl von Eingangsregistern **2, 3**. Um den dritten Betriebsschritt der Kalibration durchzuführen, wird der Referenztaktgebertreiber **24** von der Kalibra-

tionseinrichtung durch ein Öffnen sämtlicher der Schalter **25** getrennt. Dann werden die Eingangsregister **2, 3** von dem Zeitgebungsgenerator getrieben, entweder einen Niedrig-zu-hoch- oder einen Hoch-zu-niedrig-Übergang auf ihren Ausgängen zu erzeugen. Die Messungen können für jedes einzelne Bit der Daten durchgeführt werden, die von dem Ausgangsregister übertragen werden, für welches die beste Anpassung mit der Durchschaltzeit der Eingangsregister **2-3** durch ein Variieren der entsprechenden Verzögerungseinheiten **13** oder **15** gefunden wird. Eine ähnliche Prozedur wird durchgeführt, um die beste Anpassung der Daten, die von dem Ausgangsregister **4** übertragen werden, mit der Durchschaltzeit des Taktgebertreibers **26** zu finden. Folglich wird  $T_{d(DUTclk)}$  erhalten. Obwohl die Verzögerungseinheit einen Takt für das gesamte Register verschiebt, können einzelne Bits überwacht werden, und einzelne Ausbreitungsverzögerungen können für jedes Ausgangsbit von Daten von dem Eingangsregister erhalten werden. Die Genauigkeit dieser Messungen ist durch die Genauigkeit beschränkt, mit welcher die Verzögerungen in dem vorhergehenden Schritt bestimmt worden sind, und kann wie folgt berechnet werden:

$$\Delta T_{sk(in)} = \Delta T_{sk(out)} + \Delta T_{unc}$$

wobei  $\Delta T_{sk(out)}$  die Genauigkeit einer Kalibration der Ausgangsregister ist und ungefähr 0,55 ns beträgt, wie oben berechnet;  $\Delta T_{unc}$  ist die Unsicherheit eines Bestimmens des Unterschieds in einer Zeit zwischen dem Moment, wenn das Register tatsächlich Eingangsdaten durchschaltet, und der Referenztaktgeber-Flanke, in diesem Fall  $\pm 0,25$  ns.

$$\Delta T_{sk(in)} = 0,55 + 0,25 = 0,80 \text{ ns.}$$

[0069] Somit können die Eingangsregister mit einer Genauigkeit von zumindest 0,80 ns, vorzugsweise weniger als 0,80 ns kalibriert werden.

### IV. Relative Ausrichtung der gemessenen Verzögerung

[0070] Der abschließende Kalibrationsbetriebsschritt ist die relative Ausrichtung der gemessenen Verzögerung zu dem Haupttakt.

[0071] Nach einer Beendigung der Kalibrationsprozedur wird der DUT-Takt als der Referenztakt gewählt, um die Kalibrationsergebnisse darzustellen. Die entsprechenden Verzögerungskompensationswerte  $T_{comp}$  werden von der zentralen Steuereinrichtung in die programmierbaren Verzögerungseinheiten eingegeben. Dies kompensiert den Großteil der Laufzeit.

[0072] Jedoch ist noch eine gewisse restliche inter-

ne Registerlaufzeit vorhanden, d.h. eine Laufzeit zwischen Anschlussstiften des gleichen Registers (die Anzahl von Anschlussstiften kann z.B. von 4 bis 18 betragen), die in dem Verlauf der Kalibrationsprozedur nicht kompensiert werden kann. Für eine Abschätzung dieser Laufzeit durch den Benutzer und aus Bequemlichkeitszwecken wird diese Laufzeit gemessen, um sie dem Benutzer zusammen mit den berechneten Kompensationswerten mitzuteilen. Eine Laufzeit jedes Signals wird in Bezug auf den DUT-Takt berechnet, von der danach angenommen wird, dass sie null ist. Die folgende Prozedur wird durchgeführt, um die Kompensationswerte der Verzögerungseinheiten zu bestimmen, wobei

- k eine Bitanzahl innerhalb einer vorgegebenen Vielzahl von Registern ist, wobei sämtliche Bits innerhalb dieser Vielzahl seriell von dem ersten Bit des ersten Registers zu dem letzten Bit des letzten Registers nummeriert sind;
- n eine Anzahl von Eingangsregistern innerhalb der vorgegebenen Vielzahl von Eingangsregistern ist, wobei die Gesamtzahl von Eingangsregistern N ist; m eine Anzahl von Ausgangsregistern innerhalb der Vielzahl von Ausgangsregistern ist, wobei die Gesamtzahl von Ausgangsregistern N + 1 ist, die die Anzahl von Eingangsregistern aufgrund des Vorhandenseins eines Taktgebertreibers **24**, dessen Ausgang mit dem Eingang eines der Ausgangsregister verbunden ist, um eins überschreitet.

Schritt 1:

[0073] Die folgenden Daten werden eingegeben, um die Kompensationswerte der Verzögerungseinheit zu bestimmen:

- Kalibrationsgraphen in digitaler Form, erhalten bei dem Betriebssystem II für jedes m-te Ausgangsregister und für jedes k-te Bit des Ausgangsregisters;
- einzelne Referenztaktgeber-Verzögerungswerte  $Tr_k$ , gemessen für jedes k-te Bit des Ausgangsregisters;

Schritt 2:

- Bestimme  $Td_k$  für jedes Bit k zu  $Td_k = d_k \times F_{tr}$ , wobei  $F_{tr}$  eine Transferfunktion ist, die bei dem Betriebssystem I bestimmt wird, und  $d_k$  durch einen 50%-Pegel für jedes k-te Bit für das m-te Ausgangsregister definiert ist;
- Bestimme  $Tla_k = Td_k - Tr_k$  für jedes k-te Bit des Ausgangsregisters;

Schritt 3:

- Bestimme einen durchschnittlichen Wert von  $Tla_k$  für sämtliche Bits für das m-te Ausgangsregister zu

$$\langle Tla \rangle_m = \sum_{k=k_m}^{k_{m+1}-1} Tla_k / (k_{m+1} - k_m),$$

- wobei  $k_m$  die erste Bitzahl des Ausgangsregisters m ist;
- Bestimme  $\min \langle Tla \rangle_m$ ;
- Berechne Kompensationsverzögerungen zu

$$Tcomp_m(out) = \langle Tla \rangle_m - \min \langle Tla \rangle$$

;

[0074] Schritt 4: (Bestimmen einer Ausbreitungszeit für jedes Eingangsregister):

- Nimm für jedes n-te Eingangsregister  $Td_k(in)$ , bestimmt in dem Betriebssystem III;
- Nimm für jedes n-te Eingangsregister  $Tla_k(out)$ , bestimmt in dem Schritt 2 für jedes m-te Ausgangsregister, dessen Eingang mit dem Ausgang des n-ten Eingangsregisters verbunden ist;
- Berechne  $Tco_k(in) = Td_k(in) - Tla_k(out)$ ; wobei  $Tco$  "Takt-zu-Ausgang", d.h. eine Ausbreitungszeit ist;
- Berechne einen mittleren Wert von  $Tco_k$  sämtlicher Bits für das m-te Ausgangsregister zu

$$\langle Tco \rangle_n = \sum_{k=k_n}^{k_{n+1}-1} Tco_k / (k_{n+1} - k_n);$$

- Bestimme  $\min \langle Tco \rangle_n$ ;
- Berechne einen Satz von Kompensationsverzögerungen für jedes Eingangsregister zu  $Tcomp_n(in) = \langle Tco_n \rangle - \min \langle Tco_n \rangle$ ;

Schritt 5:

- Nimm  $Td(DUTclk)_k$ , bestimmt bei dem Betriebssystem III für den DUT-Taktgebertreiber, wenn der Referenztaktgeber ausgeschaltet ist und der DUT-Taktgeber mit den Ausgangsregistern verbunden ist;
- Nimm  $Tla(CUTclk)_k$  für das Ausgangsregister, das mit dem Ausgang des DUT-Taktgebertreibers verbunden ist;
- Berechne  $Tco_k(DUTclk) = Td_k(DUTclk) - Tla_k(DUTclk)$ ; wobei  $Tco$  "Takt-zu-Ausgang", d.h. eine Ausbreitungszeit ist;
- Berechne einen durchschnittlichen Wert von  $Tco(DUTclk)$  für jedes k-te Bit des Taktgebertreibers zu:

$$\langle Tco(DUTclk) \rangle = \sum_{k=DUT}^{k_{DUT}+L} Tco_k(DUT) / L,$$

- wobei  $k_{DUT}$  die Anzahl der ersten Bits des Ausgangsregisters ist, mit welchem der DUT-Taktgeber verbunden ist; L die Anzahl von DUT-Taktgebern ist;
- Berechne eine Kompensationsverzögerung für jeden DUT-Taktgebertreiber zu  $Tcomp(DUTclk) = Tco(DUTclk) - \min \langle Tco \rangle_n$ .

[0075] Ein Computerprogramm kann in jedweder geeigneten Sprache, z.B. C, (++), Assembler, etc. geschaffen werden, um die obige Sequenz von Schrit-

ten auf der Grundlage der obigen Beschreibung zu implementieren.

[0076] Die folgenden Fehler können eine Ungenauigkeit der Kalibration des Registers verursachen.

[0077] Unterschiedliche Register können sich in ihrem Schwellenpegel unterscheiden, was eine Unsicherheit ihrer elektrischen Parameter herbeiführt. Unter Verwendung des Verfahrens einer oben diskutierten Kalibration ist es möglich, dieses Problem zu beseitigen oder zumindest abzuschwächen.

[0078] Register weisen typischerweise Schwellenspannungen von ungefähr 1,5-1,6 V auf, während die Schwelle für SDRAM's ungefähr 1,4 V beträgt. Dies kann auch Fehler bei einem Bestimmen des Übergangs zwischen "0"- und "1"-Zuständen herbeiführen. In diesem Fall ist es möglich, den Fehler bei einem Bestimmen des Zeitunterschieds zwischen dem Moment, wenn das Register tatsächlich Daten durchschaltet, und der Referenztaktgeber-Flanke zu bestimmen, der durch die Formel dargestellt ist

$$\Delta t_{trn} = \Delta U / r, \text{ wobei}$$

$\Delta t_{trn}$  – die Addition zu dem Zeitunterschied zwischen dem Moment, wenn ein Register tatsächlich Daten durchschaltet, und einer Referenztaktgeber-Flanke, herbeigeführt durch Schwellen-Spannungsunterschiede;

$$\Delta U = U \text{ actual} - U \text{ standard}$$

;

r – eine Laufzeitrate des Signals.

[0079] Für die Schwellenspannungen von ungefähr 1,5-1,6 V der Register und eine Schwellenspannung von ungefähr 1,4 V von SDRAM's, wie oben erwähnt, gilt  $\Delta U = 1,5 \text{ V} - 1,4 \text{ V} = 0,1 \text{ V}$ ; eine Signallaufzeitrate r beträgt ungefähr 2 V/ns; somit beträgt die Unsicherheit  $\Delta t_{trn}$  ungefähr 0,05 ns. In einem Fall, wo U tatsächlich 1,6 V beträgt, wird die Unsicherheit noch größer sein, d.h. ungefähr 0,1 ns, was einen wesentlichen Teil der Kalibrationsgenauigkeit bildet. Dies ist der systematische Fehler, der wie folgt korrigiert werden kann:

$$T_{comp_n} = \langle T_{co_n} \rangle - \min \langle T_{co_n} \rangle - \Delta t_{trn}$$

[0080] Eine weitere mögliche Quelle von Fehlern, die berücksichtigt werden müssen, wenn die Register in diesem Schritt kalibriert werden, ist die Bushalterschaltung des Registers, die einen Restspeicher des vorangehenden Zustands des Registers aufweist. Aufgrund des Vorhandenseins dieses Restspeichers sind die Schwellenwerte für die Herauf-nach-herunter- und Herunter-nach-herauf-Übergänge unterschiedlich. Dieses Phänomen verursacht eine Hystereseschleife in **Fig. 3a**. Durch ein Messen der Schleifenbreite  $\Delta t_{hys}$  ist es möglich, die unterste Schwellenunsicherheit des Registers wie folgt zu berechnen:

$$\Delta T_{unc,eff} = \Delta T_{unc} \pm \Delta t_{hys} / 2$$

[0081] In **Fig. 6** ist ein Ausführungsbeispiel des Speichertestsystems in Übereinstimmung mit der vorgeschlagenen Erfindung dargestellt. Das gezeigte System ist zum Testen eines Halbleiterspeichers **1** (DUT), beispielsweise eines SDRAM-DIMM-Moduls vorgesehen. Das System enthält eine Zeitgebungseinrichtung **11** zum Erzeugen von Verzögerungs-Zeitgebungssignalen; eine Vielzahl **21** von Treibern, wobei zumindest ein Treiber ein Register ist, mit einem Satz **35** von Phasenschiebeeinrichtungen; eine Vielzahl **22** von Empfängern, wobei zumindest ein Empfänger ein Register ist, mit einem Satz **34** von Phasenschiebeeinrichtungen; eine Fehlerlogikeinrichtung **19**; und eine zentrale Steuereinheit **20**, die mit einer Computerschnittstelle **23** verbunden ist.

[0082] Die Zeitgebungseinrichtung **11** stellt eine geeignete Sequenz von Adressen, Daten und Steuersignalen zum Zugreifen auf Speicherelemente innerhalb der DUT **1** in Übereinstimmung mit dem ersten Schritt des Verfahrens zum Testen von Halbleitereinrichtungen bereit, das in der vorliegenden Erfindung vorgeschlagen wird. Diese Daten werden einem Satz von Eingangsregistern **21** zugeführt, deren Funktion in dem Speichertestsystem in Übereinstimmung mit einer der Ausführungsformen der vorliegenden Erfindung darin besteht, einen vorbestimmten Standardpegel von Logiksignalen einschließlich Schreibdaten, Adressen und Steuersignalen, die an die DUT **1** angelegt werden, aufrechtzuerhalten. Ein Satz von Anschlussstifttreibern (nicht gezeigt) kann zum Konditionieren von Logikpegeln auf die Bedürfnisse einer spezifischen DUT verwendet werden. Ein Satz **35** von Phasenschiebeeinrichtungen (z.B. programmierbare Verzögerungseinrichtungen) wird für Kalibrationszwecke verwendet, um die Eingangszeitgebung mehrfacher Testsignalmuster anzupassen. Die gelesenen Daten, die von der DUT erhalten werden, werden von einem Satz von Empfängern (z.B. Ausgangsregister) **22** empfangen und mit den vorbestimmten Pegeln von "0" und "1" in der Fehlerlogikeinrichtung **19** verglichen, um Fehler in den Speicherelementen gemäß den nächsten Schritten des Verfahrens eines Testens zu erfassen.

[0083] Ein analoger Komparator (nicht gezeigt) kann auch vor den Ausgangsregistern verwendet werden, um die vorbestimmten Pegel zu vergleichen. Von den Ausgangsregistern **22** werden die Daten in digitaler Form in eine Fehlerlogikeinrichtung **19** eingegeben, die die realen Daten mit den erwarteten Daten, die von der Zeitgebungseinrichtung **11** kommen, vergleicht. Ein weiterer Satz **34** von Phasenschiebeeinrichtungen (z.B. programmierbare Verzögerungseinrichtungen) zum Verzögern der empfangenen Daten, um die Umlaufverzögerung zu kompensieren, wird vor dem Satz **22** von Empfängern

(z.B. Ausgangsregistern) verwendet. Die Fehlerdaten von der Fehlerlogikeinrichtung **19** werden zu der zentralen Steuereinheit **20** und weiter zu einer Computerschnittstelle **23** eines Steuercomputers (nicht gezeigt) zum Verarbeiten von Testergebnissen gemäß dem dritten Schritt des Verfahrens eines Testen gesendet. Der Steuercomputer hält die akkumulierten Daten vorzugsweise in einem codierten Format. Die Fehlerdaten können auch in einem Bitmap-Format zum Betrachten der Fehler dargestellt werden.

[0084] Anstelle eines Verwendens einer herkömmlichen Anschlussstiffelektronik für eine Adressierung pro Anschlussstift der DUT verwendet das System, das in **Fig. 6** gezeigt ist, zwei Sätze von Registern, einen zum Eingeben von Daten und einen weiteren zum Empfangen von Testdaten von der DUT. Um die exakte Genauigkeit, die zum Testen von Hochgeschwindigkeits-Halbleitereinrichtungen erforderlich ist, zu erreichen, schließen herkömmliche Methoden eine Kalibration von Zeitgebungen jedes Aufbaus pro Anschlussstift ein. Die vorliegende Erfindung vermeidet ein Verwenden einer zeitaufwändigen Kalibration pro Anschlussstift durch ein Verwenden einer Kalibrationseinrichtung zum Kalibrieren von Registern, wodurch ein schneller Modus einer Kalibration pro Register ermöglicht wird. In Übereinstimmung mit der vorliegenden Erfindung kann der Kalibrationsbetrieb sowohl durchgeführt werden, wenn die DUT von dem System getrennt ist, als auch vorzugsweise mit der mit dem Testsystem verbundenen DUT. Da die elektrischen Eigenschaften der DUT selbst den Betrieb der Register beträchtlich beeinflussen könnten, ist es in hohem Maße wichtig, befähigt zu sein, das Testsystem unter Verwendung der tatsächlichen, zu testenden DUT, nicht durch eine herkömmliche Emulation von DUT-Eigenschaften, zu kalibrieren.

[0085] Außerdem können die DUT-Register, nachdem der Kalibrationsbetrieb in Bezug zu dem Testsystem ausgeführt ist, ebenso kalibriert werden. In diesem Fall ist die Reihenfolge, in welcher die DUT-Register kalibriert werden, nicht kritisch.

[0086] Die vorliegende Erfindung kann auch eine Analyse von DUT-Merkmalen oder jedwedes andere Testen einer integrierten Schaltungsvorrichtung durchführen. Beispielsweise können unterschiedliche DUT-Eigenheiten, z.B. elektrische Eigenschaften, in dem Verlauf der vorgeschlagenen Testprozedur untersucht werden. Somit wird, um die DUT-Anschlussstiftkapazität zu bestimmen, das Kalibrationsystem zuerst wie oben kalibriert. Dann wird eine Reihe von Kondensatoren, die vorbestimmte Kapazitätswerte aufweisen, unter Verwendung des gleichen Kalibrationssystems und eines Messens von Systemparametern getestet. Die erhaltenen Resultate werden in der Form einer Kalibrationskurve gedruckt, um die Abhängigkeit des Systemparameters  $P$  von der Vorrichtungskapazität,  $P = f(C_{\text{capacitance}})$  zu bestimmen. Der nächste Schritt besteht darin, den gleichen Systemparameter unter Verwendung einer zu testenden DUT anstelle eines Kondensators zu messen.

Die gewünschte DUT-Anschlussstiftkapazität kann leicht aus der Kalibrationskurve berechnet werden. Als eine Alternative können ein Register in einem Speichertestsystem oder jedweder andere Empfänger, der mit einem Sender gekoppelt ist, verwendet werden.

[0087] Es wird erkannt werden, dass die obige Beschreibung und die Figuren nur ein Ausführungsbeispiel sind und dass verschiedenen Modifikationen bezüglich der oben beschriebenen Ausführungsform innerhalb des Umfangs der vorliegenden Erfindung ausgeführt werden können.

## Patentansprüche

1. Einrichtung für automatische Laufzeitkalibration bei einem Transceiver, umfassend eine Vielzahl von Eingangsregistern (**2, 3**) zum Senden von Signalen; eine Vielzahl von Ausgangsregistern (**4, 5, 6**) zum Empfangen von Signalen; einen Haupttaktgeber (**9**) zum Erzeugen eines Haupttaktsignals; einen Referenztaktgeber (**24**) zum Erzeugen von Referenzsignalen zum Kalibrieren der Register; wobei der Referenztaktgeber (**24**) dem Haupttaktgeber (**9**) zugeordnet ist; und eine erste Vielzahl von Phasenschiebeeinrichtungen (**13, 15; 12, 14, 16**), umfassend zumindest einen Satz von Phasenschiebeeinrichtungen, die jedem der Vielzahl der Register zugeordnet sind, zur relativen Ausrichtung der Zeitgebung der Register innerhalb jeder Vielzahl der Register.

2. Kalibrationseinrichtung nach Anspruch 1, weiter umfassend eine gemeinsame Übertragungsleitung, die vorbestimmte Welleneigenschaften aufweist, zum Zuführen des Referenzsignals.

3. Kalibrationseinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass jedes der Ausgangsregister (**4, 5, 6**) mit der Referenztaktgebereinrichtung (**24**) über die gemeinsame Übertragungsleitung verbunden ist.

4. Kalibrationseinrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Vielzahl der Ausgangsregister (**4, 5, 6**) betriebsfähig ist, die Vielzahl der Eingangsregister (**2, 3**) zu kalibrieren.

5. Kalibrationseinrichtung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass die erste Vielzahl der Phasenschiebeeinrichtungen zumindest eine Phasenschiebeeinrichtung umfasst, die jedem getrennten Register zum Verzögern seiner Zeitgebung zugeordnet ist.

6. Kalibrationseinrichtung nach einem der An-

sprüche 1 bis 5, weiter umfassend einen zweiten Satz von Phasenschiebeeinrichtungen (**17**, **18**), die der Vielzahl der Register zugeordnet sind, zum relativen Ausrichten der Zeitgebung der Register zwischen der Vielzahl der Register, wobei die Vielzahl der Register mit dem Haupttaktgeber (**9**) über den zweiten Satz der Phasenschiebeeinrichtungen (**17**, **18**) verbunden sind.

7. Kalibrationseinrichtung nach Anspruch 6, dadurch gekennzeichnet, dass der zweite Satz von Phasenschiebeeinrichtungen (**17**, **18**) zumindest eine Schiebeeinrichtung umfasst, die jedem der Vielzahl der Register zugeordnet ist.

8. Kalibrationseinrichtung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass zumindest eine oder sämtliche der Komponenten, die die Vielzahl der Eingangsregister (**2**, **3**), die Vielzahl der Ausgangsregister (**4**, **5**, **6**), den Referenztaktgeber (**24**) einschließen, Teile eines Tester-Headers sind.

9. Verfahren für automatische Laufzeitkalibration bei einem Transceiver, umfassend:  
Kalibrieren einer Vielzahl von Ausgangsregistern (**4**, **5**, **6**) des Transceivers bezüglich einer Referenztaktgeber- (**24**) Flanke;  
Kalibrieren einer Ausbreitungsverzögerung einer Vielzahl von Eingangsregistern (**2**, **3**) des Transceivers unter Verwendung der kalibrierten Ausgangsregister (**4**, **5**, **6**); Durchführen einer relativen Ausrichtung der gemessenen Verzögerungen auf eine Haupttaktgeber- (**9**) Flanke.

10. Verfahren nach Anspruch 9, weiter umfassend einen Schritt zum Kalibrieren jeder programmierbaren Verzögerung vor dem Schritt zum Kalibrieren der Ausgangsregister.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, dass eine Genauigkeit einer Kalibration erhöht wird, indem für zumindest ein Register eine minimal ausführbare Zeitverzögerung zwischen der Referenztaktgeberflanke und einem Moment, wenn das Register Daten aufgreift, bestimmt wird.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die Bestimmung zweifach durchgeführt wird, einmal für die fallende Flanke des Referenztaktgebers, und wieder für die steigende Flanke.

13. Verfahren nach einem der Ansprüche 9 bis 12, dadurch gekennzeichnet, dass die Ausbreitungsverzögerung der Eingangsregister durch variierende Verzögerungen kalibriert wird, um einen Ausgangsübergang am besten an eine Aufgreifzeit der Ausgangsregister anzupassen.

14. Verfahren nach einem der Ansprüche 9 bis

13, dadurch gekennzeichnet, dass die Ausbreitungsverzögerungen für jedes einzelne Bit der Ausgangsregisterdaten kalibriert werden.

15. Verfahren nach einem der Ansprüche 10 bis 14, dadurch gekennzeichnet, dass zumindest ein Schritt der Kalibration teilweise oder vollständig Computer-implementiert ist.

16. Speichertestsystem zum Testen synchroner Halbleiterspeichervorrichtungen (**1**), umfassend eine Zeitgebungseinrichtung (**11**); eine Fehlerlogikeinrichtung (**19**); eine zentrale Steuereinheit (**20**); und einen Tester-Header einschließlich einer Vielzahl von Treibern (**21**), die zumindest ein Eingangsregister zum Senden von Signalen umfassen; einer Vielzahl von Empfängern (**22**), die zumindest ein Ausgangsregister zum Empfangen von Signalen umfassen; und einen Referenztaktgeber; wobei der Referenztaktgeber betriebsfähig ist, die Empfänger (**22**) unter Verwendung eines Satzes von Phasenschiebeeinrichtungen (**34**), die der Vielzahl der Empfänger (**22**) zugeordnet sind, zur relativen Ausrichtung der Zeitgebung der Empfänger zu kalibrieren; und die Vielzahl der Empfänger (**22**) betriebsfähig ist, die Treiber (**21**) unter Verwendung eines Satzes von Phasenschiebeeinrichtungen (**35**), die der Vielzahl der Treiber (**21**) zugeordnet sind, zur relativen Ausrichtung der Zeitgebung der Treiber zu kalibrieren.

17. Speichertestsystem nach Anspruch 16, dadurch gekennzeichnet, dass jedes der Ausgangsregister mit der Referenztaktgebereinrichtung durch eine gemeinsame Übertragungsleitung verbunden ist, die vorbestimmte Welleneigenschaften aufweist.

18. Testsystem, umfassend einen Computer-lesbaren Speicher, der in einem Speichertestsystem zum Testen von Halbleitervorrichtungen betriebsfähig ist, wobei der Speicher ein Computerprogramm umfasst, das ausgelegt ist, sämtliche der Schritte des Verfahrens des Anspruchs 9 zum Durchführen einer Laufzeitkalibration des Testsystems durchzuführen, umfassend

Computer-lesbare Programmeinrichtungen zum Kalibrieren einer Vielzahl von Ausgangsregistern des Testsystems bezüglich einer Referenztaktgeberflanke;

Computer-lesbare Programmeinrichtungen zum Kalibrieren von Ausbreitungsverzögerungen jedes einer Vielzahl von Eingangsregistern des Testsystems unter Verwendung der kalibrierten Ausgangsregister; Computer-lesbare Programmeinrichtungen zum Durchführen einer relativen Ausrichtung der Ausbreitungsverzögerungen bezüglich einer Haupttaktgeberflanke.

19. Verfahren zum Testen einer Halbleitervorrichtung, einschließlich der Schritte:  
Senden eines Musters von Signalen zum Zugreifen auf Speicherelemente innerhalb der Vorrichtung,  
Empfangen von Antwortsignalen zum Erfassen von Fehlern in den Speicherelementen,  
Verarbeiten von Testergebnissen, wobei das Verfahren weiter eine Laufzeitkalibration unter Verwendung der Kalibrationseinrichtung nach Anspruch 1 umfasst.

20. Verfahren zum Testen nach Anspruch 19, dadurch gekennzeichnet, dass die Kalibration des Testsystems unter Verwendung des Kalibrationsverfahrens des Anspruchs 9 durchgeführt wird.

21. Verfahren zum Testen nach Anspruch 19, dadurch gekennzeichnet, dass die Kalibration ausgeführt wird, wenn das Testsystem mit einer im Test befindlichen Vorrichtung verbunden wird.

22. Verfahren zum Testen nach Anspruch 19, dadurch gekennzeichnet, dass das Verfahren weiter ein Bestimmen elektrischer Eigenschaften der im Test befindlichen Vorrichtung unter Verwendung der Kalibrationseinrichtung des Anspruchs 1 einschließt.

23. Computer-lesbares Medium einschließlich einer Computer-lesbaren Programmeinrichtung zum Implementieren oder Simulieren der Hardware-Funktionen eines Systems nach Anspruch 1.

Es folgen 6 Blatt Zeichnungen

Anhängende Zeichnungen

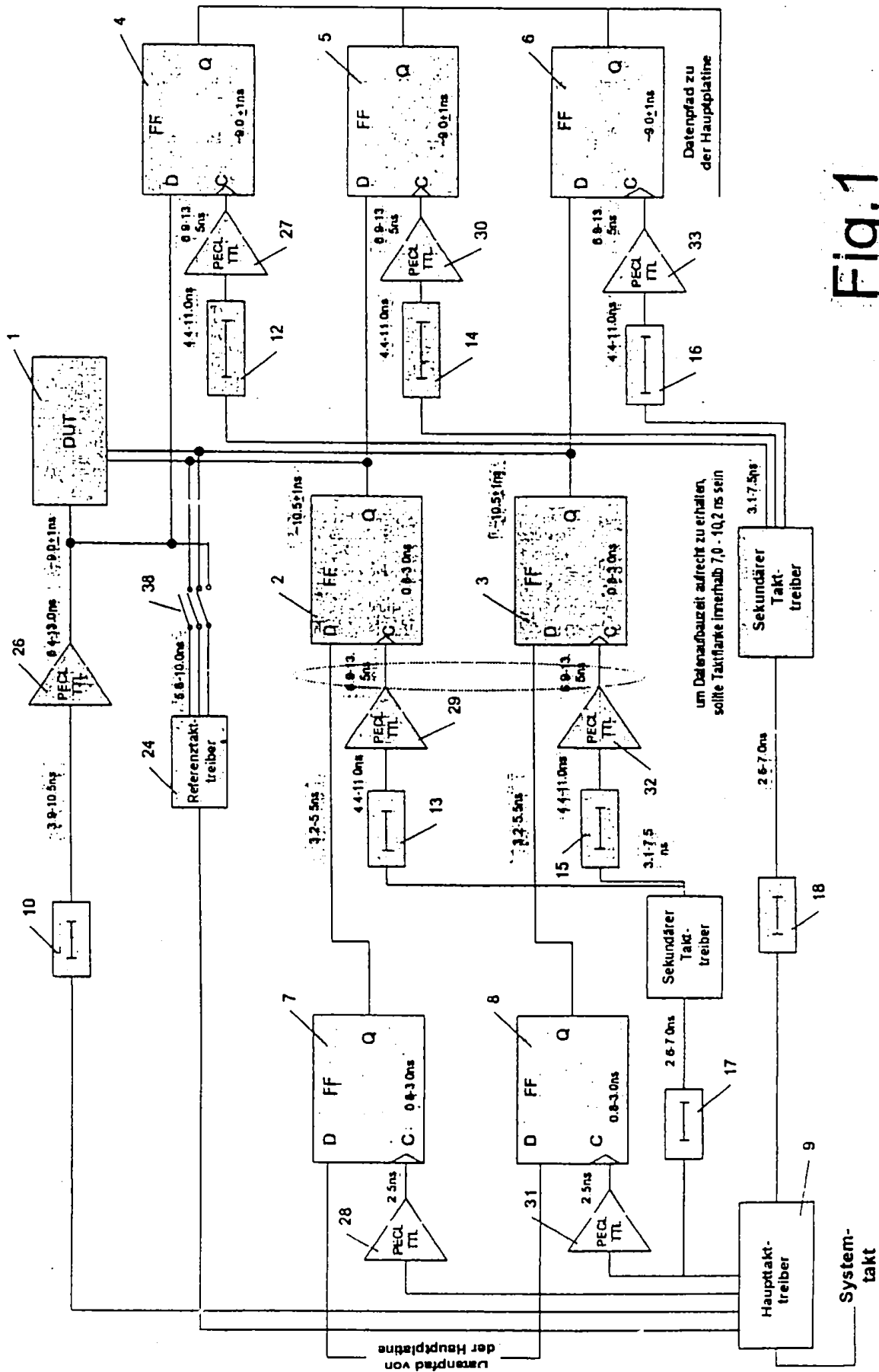


Fig. 1

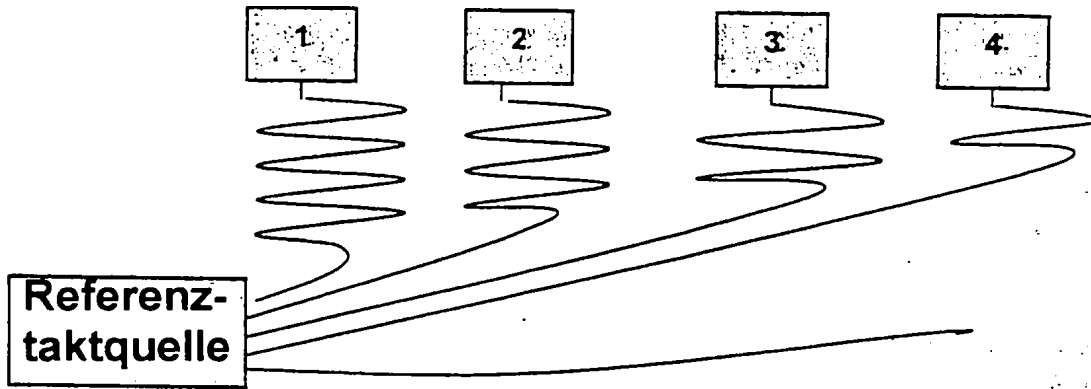


Fig.2a (Stand der Technik)

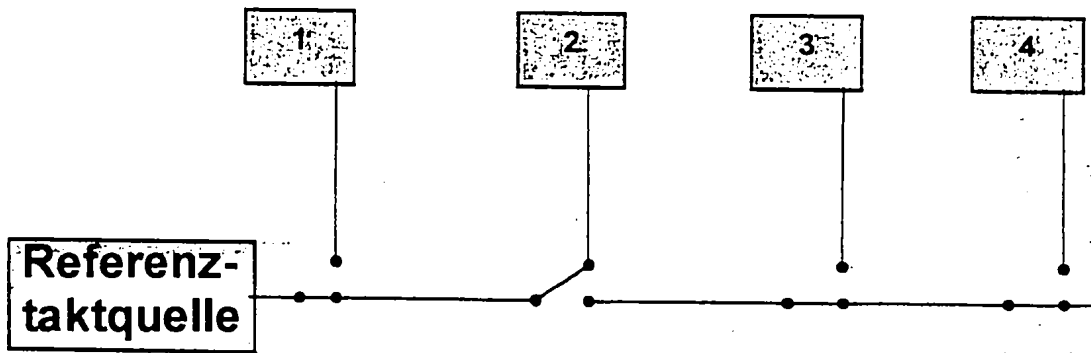


Fig.2b

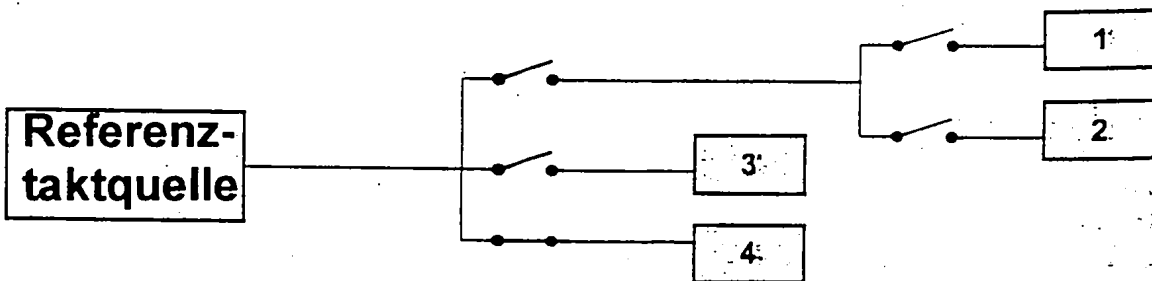


Fig.2c



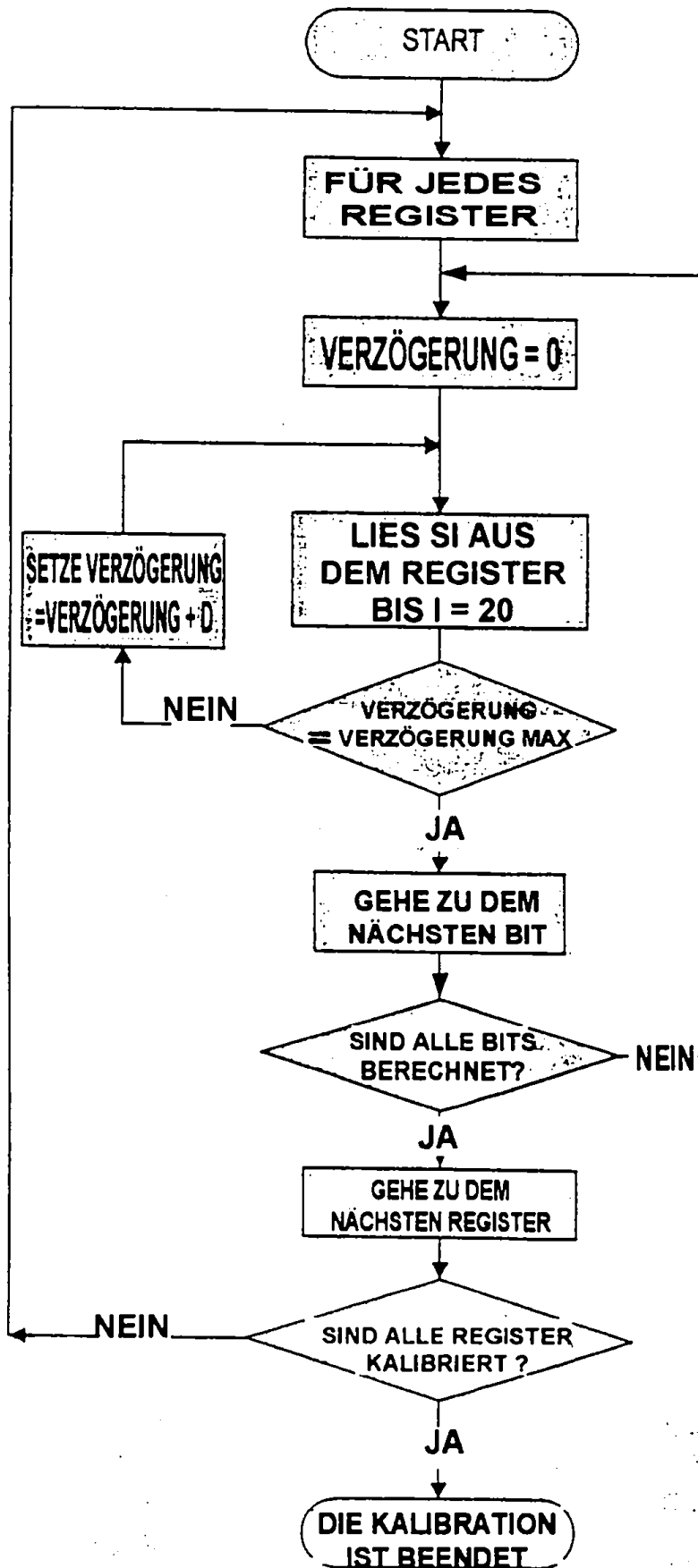


Fig.3

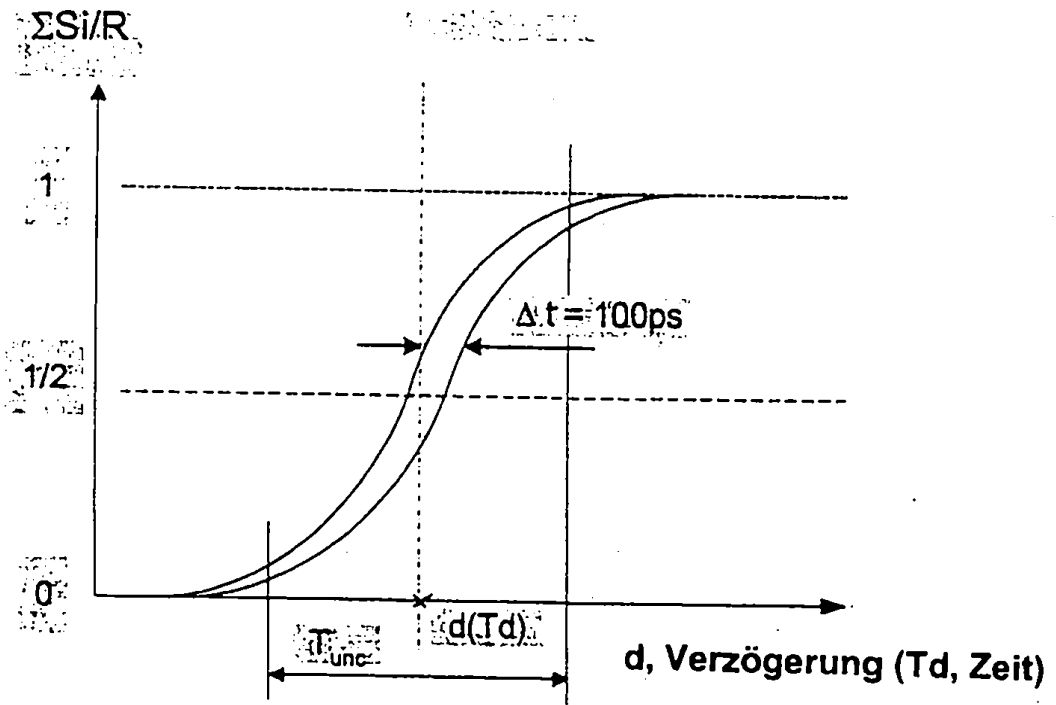


Fig.4(a)

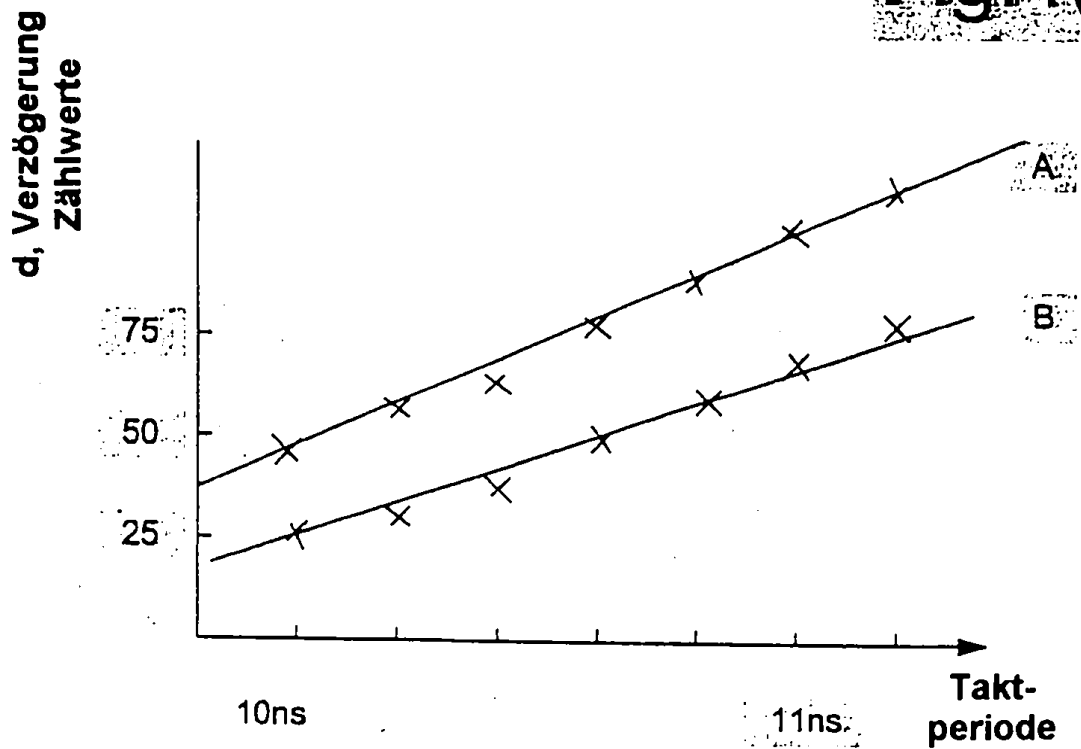


Fig.4(b)

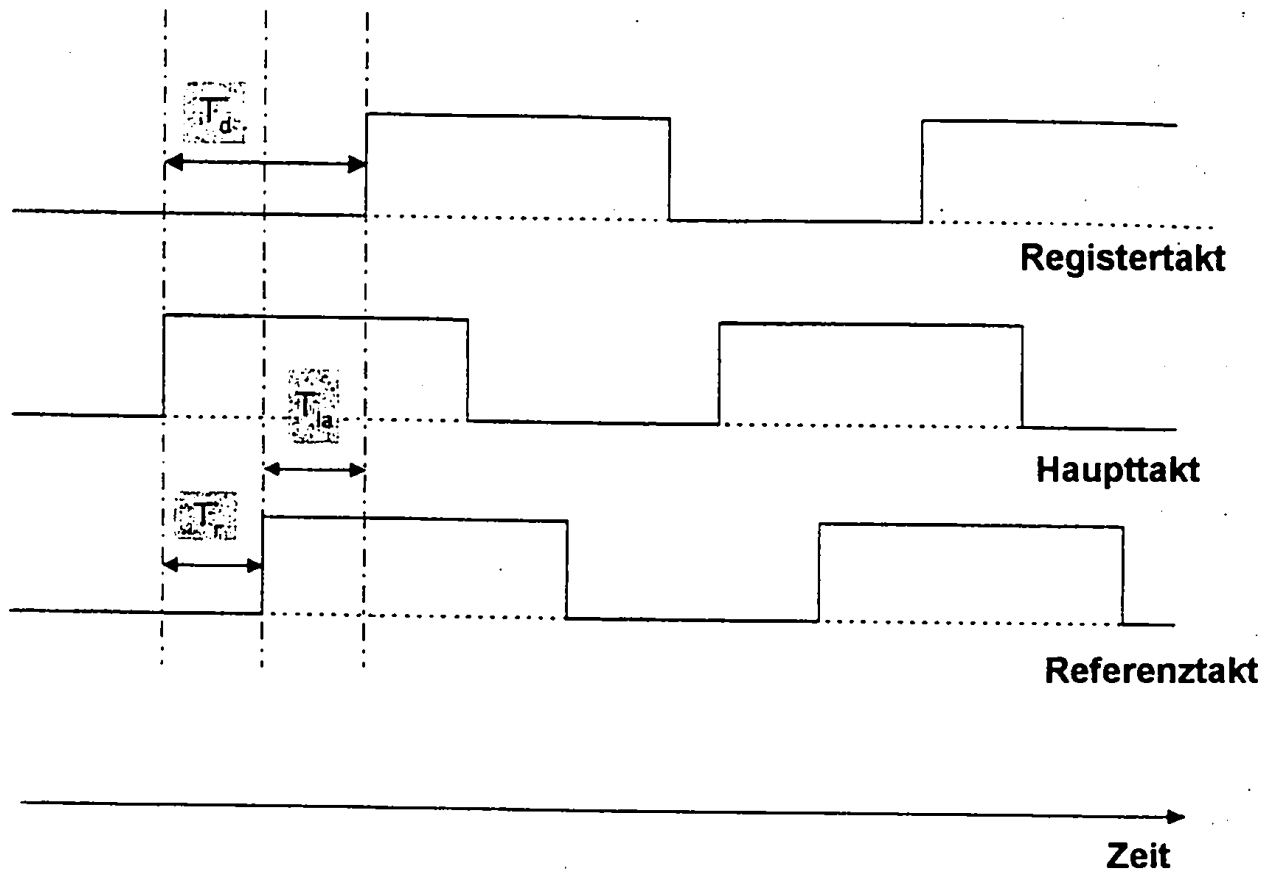


Fig.5

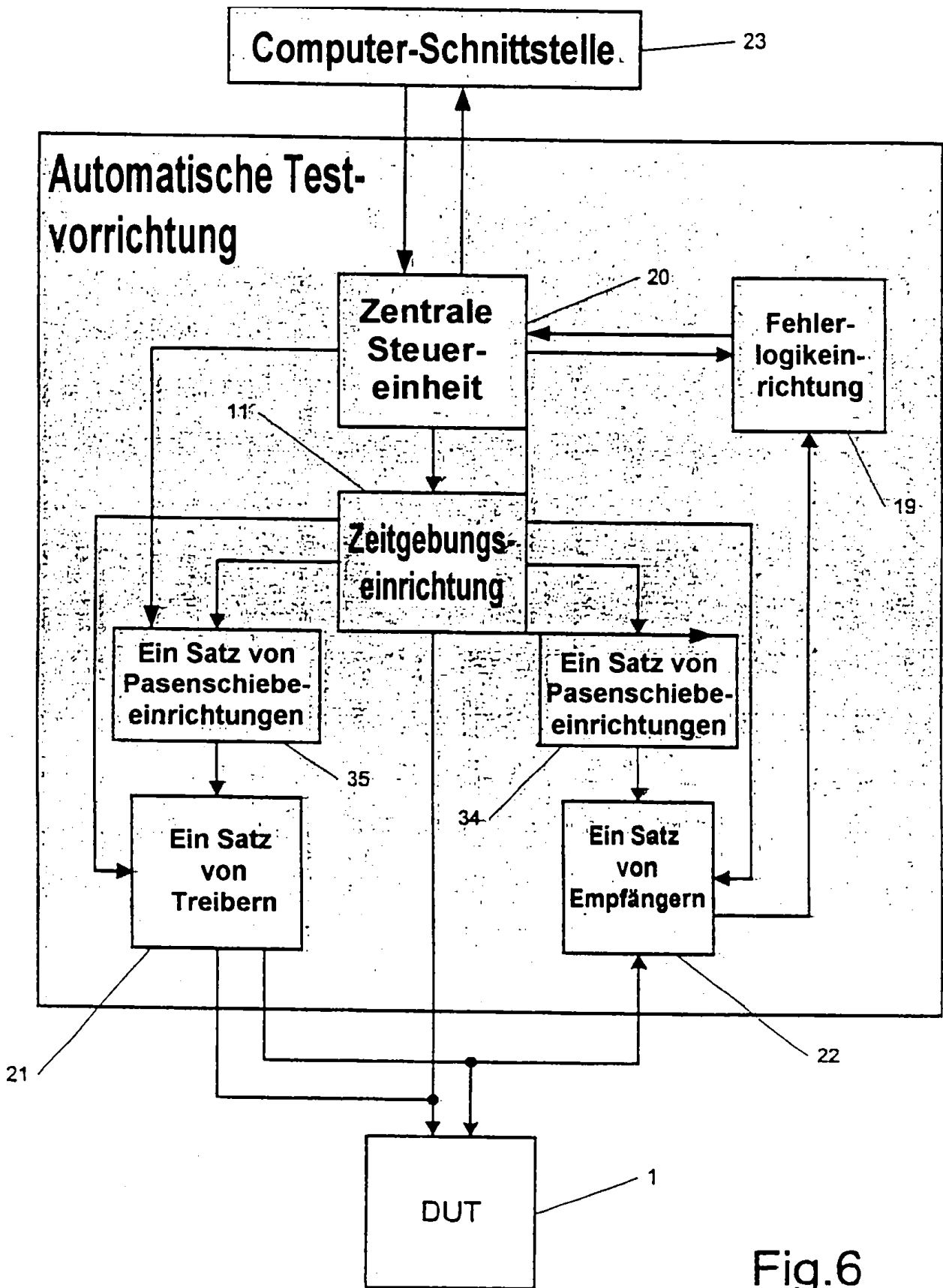


Fig.6