

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. G11C 7/00 (2006.01) G11C 7/22 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년07월31일 10-0605572 2006년07월20일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2005-0058892 2005년06월30일	(65) 공개번호 (43) 공개일자
------------------------	--------------------------------	------------------------

(73) 특허권자                    주식회사 하이닉스반도체  
                                      경기 이천시 부발읍 아미리 산136-1

(72) 발명자                        안용복  
                                      경기 이천시 부발읍 아미리 산 136-1

(74) 대리인                        특허법인 신성

(56) 선행기술조사문헌 JP2000231788 A KR1020050059921 A * 심사관에 의하여 인용된 문헌	KR1020050011954 A
---	-------------------

심사관 : 윤난영

(54) 반도체메모리소자

요약

본 발명은 고속 동작 시 안정성을 확보할 수 있는 반도체메모리소자를 제공하기 위한 것으로, 이를 위한 본 발명으로 컬럼 계 커맨드의 인가로 부터 애디티브 레이턴시에 대응하는 지연 이후 활성화되는 애디티브-지연신호를 지연시켜 복수의 카스-지연신호로 출력하기 위한 지연부와, 상기 복수의 카스-지연신호의 활성화 폭을 확장시키기 위한 펄스폭 확장부와, 카스레이턴시-정보신호에 응답하여 상기 펄스폭 확장부의 출력신호 중 하나를 선택하여 쓰기-지연신호로 출력하기 위한 선택부를 포함하는 CL 카운팅수단; 상기 CL 카운팅수단의 상기 카스-지연신호의 활성화폭을 확장시켜 구동신호로 출력하기 위한 구동신호 생성수단; 상기 구동신호 및 복수의 제어신호에 응답하여 데이터스트로브신호를 생성하기 위한 데이터 스트로브신호 생성수단; 및 상기 데이터스트로브신호의 활성화 구간에서 외부 데이터를 인가받기 위한 데이터 버퍼를 제공한다.

대표도

도 6

색인어

데이터스트로브신호, PVT 변동, 전송지연, 마진, 시상수

명세서

## 도면의 간단한 설명

도 1은 일반적인 반도체메모리소자 내 외부 데이터가 인가되는 과정을 위한 블록의 구성도.

도 2는 종래기술에 따른 CL 카운팅부의 내부 회로도.

도 3은 구동신호 생성부의 내부 회로도.

도 4는 도 1 내지 도 3에 도시된 종래기술에 따른 반도체메모리소자의 동작 파형도.

도 5a 및 도 5b는 tCK에 따른 데이터스트로브신호의 활성화 시점을 비교한 도면.

도 6은 본 발명에 따른 CL 카운팅부의 내부 회로도.

도 7은 본 발명에 따른 구동신호 생성부의 내부 회로도.

도 8은 본 발명에 따른 데이터 스트로브신호 생성부의 내부 회로도.

도 9는 본 발명에 따른 데이터 버퍼의 내부 회로도.

도 10은 도 6내지 도 9에 도시된 바와 같은 반도체메모리소자의 동작 파형도.

\* 도면의 주요 부분에 대한 부호의 설명

120 : 지연부

140 : 펄스폭 확장부

160 : 선택부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체메모리소자의 회로 설계에 관한 것으로, 특히 고속동작 시 안정성을 확보하기 위한 반도체메모리소자에 관한 것이다.

일반적으로, 반도체메모리소자 내에서 전달되는 신호는 경유하는 전송라인이 갖는 커패시턴스와 저항에 따른 시상수에 의해 전송 지연을 갖게 된다. 이러한, 전송지연은 반도체메모리소자를 구성하는 CMOS 트랜지스터의 게이트 커패시턴스와 신호 전송라인의 저항성분 및 기생 커패시턴스에 따른 시상수에 의해 결정된다. 또한, 구동 시 PVT(Process, Voltage, Temperature) 변동에 의해서도 전송 지연이 달라져 신호의 전송속도가 달라진다.

한편, 반도체메모리소자와 같이 클럭에 동기되어 구동되는 경우, 외부에서 인가되는 커맨드 및 데이터가 인식되기 위해서는 클럭의 에지를 기준으로 셋업 타임/ 홀드타임을 만족시켜야 한다.

그런데, PVT(Process, Voltage, Temperature) 변동이 발생하는 경우, 상기 전송지연이 달라져 커맨드 및 데이터가 클럭에 동기되어 인식되지 못하는 문제점이 발생한다. 이와같은 문제점은, 패스트(FAST) 조건과, 티피컬(TYPICAL) 조건과, 슬로우(SLOW) 조건 중 특히 슬로우 조건에서 커맨드 및 데이터의 인식의 패일 문제가 두드러지게 발생한다.

따라서, PVT 변동 시에도 안정적으로 커맨드 및 데이터를 인식하기 위해서 일정 정도의 마진을 확보하는 것이 필요하다. 예를 들어, DDR(Double Data Rate) 및 DDR2 SDRAM의 스펙에서는 외부에서 인가된 데이터가 데이터스트로브신호에

동기되어 반도체메모리소자에서 유효한 데이터로 인식되기 위한 마진 tDQSS을, WL(Write Latency, 이하 '라이트 레이턴시'라고 함)  $\pm 0.25 \times tCK$ 으로 규정하고 있다. 여기서, 라이트 레이턴시는 DDR SDRAM에서 CL(Cas Latency, 이하 '카스 레이턴시'라고 함)에 관계없이  $1 \times tCK$ 로, DDR2 SDRAM에서 (AL(Additive Latency, 이하 '애디티브 레이턴시'라고 함) + 카스레이턴시 - 1)  $\times tCK$ 로 규정된다. 특히, DDR2 SDRAM의 경우 쓰기 레이턴시가 애디티브레이턴시 및 카스레이턴시의 합으로 규정되었기 때문에, 애디티브레이턴시 또는 카스레이턴시가 변할 때 마다 쓰기 레이턴시 역시 변하게 된다.

한편, 다음에서는 DDR2 SDRAM의 경우에 외부 데이터가 인식되기 위한 과정을 보다 구체적으로 살펴보도록 한다.

도 1은 일반적인 반도체메모리소자 내 외부 데이터가 인가되는 과정을 위한 블록의 구성도이다.

도 1을 참조하면, 일반적인 반도체메모리소자는 애디티브-지연신호(ALS)를 카스레이턴시에 대응하는 시간동안 지연시키기 위한 CL 카운팅부(10)와, CL 카운팅부(10)의 쓰기-지연신호(WTSTBYEN)를 인가받아 구동신호(WTSTBY)를 생성하기 위한 구동신호 생성부(20)와, 구동신호(WTSTBY) 및 제어신호(YBSTWTEN, WtRb)에 응답하여 데이터스트로브신호(DINDSb)를 생성하기 위한 데이터스트로브신호 생성부(30)와, 데이터스트로브신호(DINDSb)에 응답하여 외부 데이터(DIN)를 인가받기 위한 데이터 버퍼(40)를 구비한다.

이와같이, 일반적인 반도체메모리소자는 쓰기 커맨드의 인가로부터 애디티브레이턴시에 대응하는 지연시간 이후에 애디티브-지연신호(ALS)를 생성하고, 이를 CL 카운팅부(10)를 통해 카스레이턴시에 대응하는 지연시간 동안 지연시킨 뒤 쓰기-지연신호(WTSTBYEN)로 출력한다. 이어, 구동신호 생성부(20)는 쓰기-지연신호(WTSTBYEN)에 응답하여 구동신호(WTSTBY)를 생성하며, 데이터스트로브신호 생성부(30)는 구동신호(WTSTBY) 및 제어신호(YBSTWTEN, WtRb)에 응답하여 데이터스트로브신호(DINDSb)를 활성화 시킨다. 즉, 데이터스트로브신호는 쓰기커맨드의 인가로부터 애디티브 레이턴시 + 카스레이턴시 이후에 활성화된다.

이어, 데이터 버퍼(40)는 데이터 스트로브신호(DINDSb)의 활성화에 동기되어 외부 데이터(DIN)를 인가받는다.

도 2는 종래기술에 따른 CL 카운팅부(10)의 내부 회로도이다.

도 2를 참조하면, 종래기술에 따른 CL 카운팅부(10)는 애디티브-지연신호(ALS)를 카스레이턴시에 대응하는 시간동안 지연시켜 복수의 카스-지연신호(CLS1 ~ CLS4)로 출력하기 위한 지연부(12)와, 카스레이턴시-정보신호(CL2 ~ CL6)에 응답하여 복수의 카스-지연신호(CLS1 ~ CL4) 중 하나를 선택하여 쓰기-지연신호(WTSTBYEN)로 출력하기 위한 선택부(14)를 구비한다.

그리고 지연부(12)는 클럭(CLK, CLKB)에 응답하여 입력신호를 저장하기 위한 래치 4단(12a, 12b, 12c, 12d)을 직렬 연결하여 구현된다. 따라서, 각 래치(12a, 12b, 12c, 12d)는 앞단의 출력신호를 클럭(CLK, CLKB)에 동기시켜 입력받아 각 카스-지연신호(CLS1 ~ CL4)로 출력한다.

또한, 선택부(14)는 복수의 트랜스퍼 게이트로 구현되므로, 각 해당 카스레이턴시-정보신호(CL2 ~ CL6)에 응답하여 해당 카스-지연신호(CLS1 ~ CLS4)를 쓰기-지연신호(WTSTBYEN)로 출력한다.

따라서, CL 카운팅부(10)는 애디티브레이턴시에 대응한 지연시간을 갖는 애디티브-지연신호(ALS)를 카스레이턴시에 대응하는 지연시간 이후에 쓰기-지연신호(WTSTBYEN)로 활성화 시킨다. 즉, 쓰기-지연신호(WTSTBYEN)는 쓰기 커맨드의 인가로부터 애디티브 레이턴시 및 카스레이턴시에 대응하는 지연값 이후 활성화 된다.

도 3은 구동신호 생성부(20)의 내부 회로도이다.

도 3을 참조하면, 구동신호 생성부(20)는 쓰기-지연신호(WTSTBYEN)를 지연시키기 위한 지연부(22)와, 지연부(22)의 제1 및 제2 출력신호를 구동신호(WTSTBY)로 출력하기 위한 출력부(24)를 구비한다.

그리고 지연부(22)는 입력신호를 클럭(CLK, CLKB)에 동기시켜 저장하기 위한 래치 2단(22a, 22b)을 직렬 연결하여 구현된다.

출력부(24)는 지연부(22) 내 각 래치(22a, 22b)의 출력신호를 논리합하여 구동신호(WTSTBY)를 생성한다.

참고적으로, 구동신호 생성부(20)는 구동신호(WTSTBY)의 활성화 폭을 버스트랭스(Burst Length)에 따라 조절하기 위한 것으로, DDR2 SDRAM에서는 버스트랭스가  $4 \times (2 \times tCK)$  와  $8 \times (4 \times tCK)$ 으로 최소값이 4이므로, 지연부(22) 내 래치(22a, 22b)를 2단으로 구성한다.

그러므로, 구동신호 생성부(20)는 지연부(22)를 통해 쓰기-지연신호(WTSTBYEN)를 1클럭 및 2클럭 지연시킨 신호(PRE\_WTSTBY1, PRE\_WTSTBY2)를 생성하며, 이어 출력부(24)를 통해 각 1클럭 및 2클럭 지연된 신호(PRE\_WTSTBY1, PRE\_WTSTBY2)의 논리합을 통해 구동신호(WTSTBY)를 생성한다. 즉, 구동신호(WTSTBY)는 쓰기-지연신호(WTSTBYEN)에 응답하여 활성화되며, 활성화 구간은 1클럭이다.

도 4는 도 1 내지 도 3에 도시된 종래기술에 따른 반도체메모리소자의 동작 파형도로서, 이를 참조하여 종래기술에 따른 반도체메모리소자의 동작을 살펴보도록 한다. 참고적으로, 카스레이턴시는 4인 것으로 가정한다.

도면에는 도시되지 않았으나, 쓰기 커맨드 이후 에디티브레이턴시에 대응하는 지연시간 이후 에디티브-지연신호(ALS)가 활성화된다.

이어, CL 카운팅부(10)는 지연부(12)를 통해 에디티브-지연신호(ALS)를 각 1클럭 내지 4클럭 지연시킨 복수의 카스-지연신호(CLS1 ~ CLS4)가 순차적으로 생성되며, 선택부(14)에 의해 4클럭 지연된 카스-지연신호(CLS4)가 선택되어 쓰기-지연신호(WTSTBYEN)로 출력된다.

이어, 구동신호 생성부(20)는 지연부(22)를 통해 쓰기-지연신호(WTSTBYEN)를 각 1클럭 및 2클럭 지연시킨 제1 및 제2 출력신호(PRE\_WTSTBYEN1, PRE\_WTSTBYEN2)를 생성하고, 출력부(24)를 통해 제1 및 제2 출력신호(PRE\_WTSTBYEN1, PRE\_WTSTBYEN2) 모두의 활성화 동안 활성화되는 구동신호(WTSTBY)를 생성한다.

이어, 데이터 스트로브신호 생성부(30)는 구동신호(WTSTBY)에 응답하여 로우 액티브 신호인 데이터스트로브신호(DINDSb)를 생성한다.

이와같이, 데이터스트로브신호(DINDSb)의 활성화 구간에서 인가되는 외부 데이터(DIN)가 데이터 버퍼(40)를 통해 내부 데이터로 인식된다.

전술한 바와 같이, 외부에서 인가되는 외부 데이터가 유효한 데이터로 인식되기 위해서는 데이터스트로브신호(DINDSb)가 스펙에 따른  $tDQSS$  마진인  $WL \pm 0.25 \times tCK$ 을 만족시켜야 한다.

한편, 반도체메모리소자의 동작에 있어서,  $tCK$ 는 카스레이턴시의 선택에 따라 달라진다. 구체적으로 언급하면, 소자의 구동 시 필요한 클럭의 주기는 컬럼게 커맨드의 입력으로 부터 해당 데이터가 인가 또는 출력되기 까지 걸리는 시간을 카스레이턴시로 나눔으로서 결정할 수 있다. 따라서, 필요한 시간이 정해진 후에 카스레이턴시가 큰 값을 가지면, 상대적으로 클럭의 주기는 작은 값을 갖게 되므로,  $tCK$ 의 값 역시 작아진다. 이와같이, 클럭의 주기가 짧아질 수록, 특정 시점의 클럭에 동기되어야 하는 신호의 활성화 시점은 그 만큼 작은 마진은 갖게 된다.

이는 클럭 뿐만 아니라, 외부 데이터의 인식을 위해 사용되는 데이터스트로브신호(DINDSb)에도 적용된다. 즉,  $tCK$ 가 작아지면,  $tDQSS$  마진이 작아질 뿐 아니라,  $tDQSS$ 의 중심축이 왼쪽으로 이동을 한다. 다음에서는  $tCK$ 에 따른 데이터스트로브신호의 활성화 시점을 비교한 도 5a 및 도 5b를 참조하여 구체적으로 살펴보도록 한다.

도 5a는  $tCK$ 가 5ns인 경우이며, 도 5b는  $tCK$ 가 2.5ns인 경우이다.

도 5b를 도 5a에 비교하여 보면,  $tCK$ 가 5ns에서 2.5ns로 작아지게 되면,  $tDQSS$  마진이 1.25ns에서 0.625ns로 줄어들 뿐 아니라,  $tDQSS$ 의 중심축이 앞 사이클 쪽으로 0.625ns만큼 이동하기 때문에 0.625ns 만큼의 마진이 줄어든다.

그런데, 논리회로가 클럭의 라이징 에지에 동기되어 동작할 때 일정한 전송지연을 갖고 있으므로,  $tCK$ 가 변하여도 신호가 활성화되는 시점은 항상 동일하다. 예를 들어, 전송지연이 650ps이라면 클럭의 라이징 에지에 의해 동작되는 신호가 데이터를 전달 또는 래치하는 신호라면 데이터는 클럭의 라이징 에지에서 625ps에 입력되지만, 신호의 활성화되는 시점은 650ps이므로 데이터가 인식되지 못하고 페일이 발생하는 것이다.

또한, 도 4에 도시된 상황에서, tDQSS 마진이 쓰기 레이턴시라고 가정할 경우 데이터 페일이 발생하지 않을 수 있으나, tDQSS 마진에 쓰기 레이턴시 0.25tCK를 적용하게 되면, tDQSSmin과 tDQSSmax에서 불량이 발생하는 것을 알 수 있다. 이는 앞선 언급된 바와 같이 구동신호의 생성으로 데이터스트로브신호가 생성 되어 데이터 버퍼를 액티브 시키는데 소요 되는 시간은 언제나 동일하다. 그러나, 카스레이턴시 변화에 따라 tCK가 변하고, 이에 따라 쓰기 레이턴시도 변하기 때문에, tDQSS 마진이 줄어들 뿐 아니라, tDQSS의 중심축이 앞 쪽으로 이동을 한다. 더욱이 슬로우 컨디션에서는 일정한 전송 지연이 증가하기 때문에, 마진을 확보할 수 있는 영역이 점차 줄어들어 페일이 쉽게 발생하는 문제점이 있다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위하여 제안된 것으로, 고속 동작 시 안정성을 확보할 수 있는 반도체메모리소자를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

상기의 기술적 과제를 달성하기 위한 본 발명의 일측면에 따른 반도체메모리소자는 컬럼계 커맨드의 인가로 부터 애디티브 레이턴시에 대응하는 지연 이후 활성화되는 애디티브-지연신호를 지연시켜 복수의 카스-지연신호로 출력하기 위한 지연부와, 상기 복수의 카스-지연신호의 활성화 폭을 확장시키기 위한 펄스폭 확장부와, 카스레이턴시-정보신호에 응답하여 상기 펄스폭 확장부의 출력신호 중 하나를 선택하여 쓰기-지연신호로 출력하기 위한 선택부를 포함하는 CL 카운팅수단; 상기 CL 카운팅수단의 상기 카스-지연신호의 활성화폭을 확장시켜 구동신호로 출력하기 위한 구동신호 생성수단; 상기 구동신호 및 복수의 제어신호에 응답하여 데이터스트로브신호를 생성하기 위한 데이터스트로브신호 생성수단; 및 상기 데이터스트로브신호의 활성화 구간에서 외부 데이터를 인가받기 위한 데이터 버퍼를 구비한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도 6은 본 발명에 따른 CL 카운팅부(100)의 내부 회로도이다.

도 6을 참조하면, 본 발명에 따른 CL 카운팅부(100)는 애디티브-지연신호(ALS)를 지연시켜 복수의 카스-지연신호(CLS1 ~ CLS4)로 출력하기 위한 지연부(120)와, 복수의 카스-지연신호(CLS1, CLS2, CLS3, CLS4)의 활성화 폭을 확장시키기 위한 펄스폭 확장부(140)와, 카스레이턴시-정보신호(CL2, CL3, CL4, CL5, CL6)에 응답하여 펄스폭 확장부(140)의 출력신호 중 하나를 선택하여 쓰기-지연신호(WTSTBYEN)로 출력하기 위한 선택부(160)를 구비한다.

지연부(120) 내 직렬 연결된 4단의 래치부(122, 124, 126, 128)는 앞단의 출력신호를 클럭에 동기시켜 인가 받고 다음 클럭에 동기시켜 이를 카스-지연신호(CLS1, CLS2, CLS3, CLS4)로 출력시킨다. 이때, 래치부(122, 124, 126, 128)는 클럭(CLK)이 논리레벨 'H'를 가질 때 애디티브-지연신호(ALS)를 전달하기 위한 트랜스퍼 게이트(TG1)와, 클럭(CLK)이 논리레벨 'L'를 갖는 동안 트랜스퍼 게이트(TG1)의 출력신호를 래치하기 위한 래치(122a)와, 클럭(CLK)이 논리레벨 'L'을 가질 때 래치(122a)의 출력신호를 전달하기 위한 트랜스퍼게이트(TG2)와, 클럭(CLK)이 논리레벨 'H'를 갖는 동안 트랜스퍼 게이트(TG2)의 출력신호를 래치하기 위한 래치(122b)를 구비한다.

이때, 래치(122a)는 트라이-스테이트(Tri-State) 인버터(TRI1)와, 인버터(I1)를 크로스 커플드 연결하여 구현된다. 이와 같이, 래치(122a, 122b)가 트라이-스테이트 인버터로 구현하므로써, 출력신호의 천이 시 발생하는 파이팅(Fighting) 현상을 제거하며, 인버터의 수를 줄임으로서 신호 전송에 있어서 커런트 소모를 줄이고 신호 전송을 보다 빠르게 한다. 실제로, 전류소모를 70 $\mu$ A 이상 줄일 수 있으며, 신호의 전송속도도 슬로우 조건 하에서 30ps이상 빠르게 한다.

그리고 펄스폭 확장부(140)는 이웃하는 카스-지연신호(CLS1, CLS2, CLS3, CLS4)와의 논리조합을 통해, 해당 출력신호의 펄스폭이 확장되도록 한다. 구체적으로는, 애디티브-지연신호(ALS)와 제1 카스-지연신호(CLS1)를 입력으로 갖는 노어게이트(NR1)와, 제1 및 제2 카스-지연신호(CLS1, CLS2)를 입력으로 갖는 노어게이트(NR2)와, 제2 및 제3 카스-지연신호(CLS2, CLS3)를 입력으로 갖는 노어게이트(NR3)와, 제3 및 제4 카스-지연신호(CLS3, CLS4)를 입력으로 갖는 노어게이트(NR4)를 구비한다.

따라서, 펄스폭 확장부(140)는 앞서 이웃하는 카스-지연신호와 해당 카스-지연신호를 논리부정합하므로써, 두 신호의 활성화 동안 액티브 로우 신호인 해당 출력신호의 활성화폭이 유지되도록 한다. 즉, 이웃하는 앞선 카스-지연신호와 해당 카

스-지연신호는 각기 1클럭씩의 차이를 가지므로, 본 발명에 따른 펄스폭 확장부(140)의 출력신호는 종래의 활성화 폭에 비해 1클럭 먼저 활성화 되며, 활성화 폭을 2클럭 동안 유지한다. 따라서, 데이터스트로브 마진인 tDQSSmin을 충분히 확보할 수 있다.

또한, 선택부(160)는 카스레이턴시-정보신호(CL2, CL3, CL4, CL5, CL6)에 응답하여 애디티브-지연신호(ALS) 또는 카스-지연신호(CLS1, CLS2, CLS3, CLS4) 중 어느 하나를 선택적으로 쓰기-지연신호(WTSTBYEN)로 출력하기 위한 복수의 트랜스퍼 게이트로 구현된다.

도 7은 본 발명에 따른 구동신호 생성부(200)의 내부 회로도이다.

도 7을 참조하면, 본 발명에 따른 구동신호 생성부(200)는 직렬 연결된 3단의 래치부(222, 224, 226)를 통해 쓰기-지연신호(WTSTBYEN)을 각각 1클럭씩 지연시켜 출력하기 위한 지연부(220)와, 래치부(222, 224, 226)의 각 출력신호(PRE\_WTSTBY1, PRE\_WTSTBY2, PRE\_WTSTBY3)을 논리합하여 구동신호(WTSTBY)로 출력하기 위한 출력부(240)를 구비한다.

출력부(240)는 제1 내지 제3 출력신호(PRE\_WTSTBY1, PRE\_WTSTBY2, PRE\_WTSTBY3)를 입력으로 갖는 노어게이트(NR5)와, 노어게이트(NR5)의 출력신호를 반전시키기 위한 인버터(I2)를 구비한다.

그러므로, 본 발명에 따른 구동신호 생성부(200)는 종래에 비해 래치부(222, 224, 226)를 한단 더 구비하고, 구동신호(WTSTBY)의 생성 시 이를 추가적으로 더 포함하므로써, 구동신호(WTSTBY)의 비활성화 시점을 1클럭 더 미뤄 활성화 폭을 확장시킨다.

참고적으로, 지연부(220) 내 래치부(222, 224, 226)는 도 6에 도시된 래치부(122, 124, 126, 128)와 동일하게 트라이-스테이트 인버터 및 인버터의 연결을 통해 구현되어, 도 6에 도시된 지연부와 동일한 효과를 갖는다.

도 8은 본 발명에 따른 데이터 스트로브신호 생성부(300)의 내부 회로도이다.

도 8을 참조하면, 본 발명에 따른 데이터 스트로브신호 생성부(300)는 제어신호(YBSTWTEN, WtRb)를 인가받는 신호 입력부(320)와, 구동신호(WTSTBY) 및 신호 입력부(320)의 출력신호에 응답하여 신호를 생성하기 위한 신호 생성부(340)와, 신호 생성부(340)의 출력신호를 래치하고 반전시켜 데이터스트로브신호(DINDSb)로 출력하기 위한 출력부(360)를 구비한다.

동작을 살펴보면, 데이터스트로브신호 생성부(300)는 버스트랭스가 4인 경우에는 구동신호(WTSTBY)의 활성화 동안 로우 액티브신호인 데이터스트로브신호(DINDSb)를 활성화 시키며, 버스트랭스가 8인 경우에는 구동신호(WTSTBY)의 활성화 동안 데이터스트로브신호(DINDSb)를 활성화시키고, 이어 2tCK 동안은 제어신호 YBSTWTEN신호에 응답하여 데이터스트로브신호(DINDSb)를 활성화시킨다. 그리고, 읽기쓰기신호(WtRb)가 논리레벨 'L'로 비활성화되는 읽기 동작 시에는 데이터스트로브신호(DINDSb)를 논리레벨 'H'로 비활성화시킨다.

도 9는 본 발명에 따른 데이터 버퍼(400)의 내부 회로도로서, 데이터 버퍼(400)는 데이터스트로브신호(DINDSb)를 바이어스 전원으로, 기준전원(VREF)과 외부 데이터(DIN)를 차동 입력으로 인가받아 내부 데이터(DOUT)를 출력시키기 위한 차동증폭기로 구현된다.

도 10은 도 6내지 도 9에 도시된 바와 같은 반도체메모리소자의 동작 파형도로서, 이를 참조하여 외부 데이터(DIN)가 데이터스트로브신호(DINDSb)에 의해 내부 데이터(DOUT)로 인식되는 과정을 살펴보도록 한다.

도면에는 도시되지 않았으나, 쓰기 커맨드 이후 애디티브레이턴시에 대응하는 지연시간 이후 애디티브-지연신호(ALS)가 활성화된다.

이어, CL 카운팅부(100)는 지연부(120)를 통해 애디티브-지연신호(ALS)를 각 1클럭 내지 4클럭 지연시킨 복수의 카스-지연신호(CLS1 ~ CLS4)가 순차적으로 생성된다. 이어, 펄스폭 확장부(140)는 앞서 이웃하는 카스-지연신호와 해당 카스-지연신호를 논리부정합하므로써, 두 신호의 활성화 동안 액티브 로우 신호인 해당 출력신호의 활성화폭이 유지되도록 한다. 이어, 선택부(160)는 카스레이턴시-정보신호(CL2 ~ CL6)에 응답하여 4클럭 지연된 카스-지연신호(CLS4)를 선택하여 쓰기-지연신호(WTSTBYEN)로 출력한다.

이어, 구동신호 생성부(200)는 지연부(220)를 통해 쓰기-지연신호(WTSTBYEN)를 각 1, 2 및 3클럭 지연시킨 제1 및 제2 출력신호(PRE\_WTSTBYEN1, PRE\_WTSTBYEN2, PRE\_WTSTBYEN3)를 생성하고, 출력부(240)를 통해 제1 내지 제3 출력신호(PRE\_WTSTBYEN1, PRE\_WTSTBYEN2, PRE\_WTSTBYEN3)의 활성화 동안 활성화되는 구동신호(WTSTBY)를 생성한다.

이어, 데이터 스트로브신호 생성부(300)는 구동신호(WTSTBY)에 응답하여 로우 액티브 신호인 데이터스트로브신호(DINDSb)를 생성한다.

이와같이, 데이터스트로브신호(DINDSb)의 활성화 구간에서 인가되는 외부 데이터(DIN)가 데이터 버퍼(400)를 통해 내부 데이터로 인식된다.

그러므로, 전술한 본 발명에 따른 반도체메모리소자는 데이터스트로브신호의 활성화 시점을 앞당기고, 비활성화 시점을 미뤄 줌으로써, 데이터스트로브 마진을 확장시킨다. 즉, 반도체메모리소자는 CL 카운팅부 내 이웃하는 카스-지연신호와 의 논리조합을 통해 해당 출력신호의 펄스폭을 확장시키는 펄스폭 확장부를 더 구비하므로써, 데이터스트로브신호의 활성화 시점을 앞당긴다. 또한, 쓰기-지연신호를 지연시키기 위한 래치단을 하나 더 구비하므로써, 데이터스트로브신호의 비 활성화 시점을 뒤로 밀어준다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속한 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

#### 발명의 효과

전술한 본 발명은 데이터스트로브신호의 활성화 시점을 앞당기고 비활성화 시점을 미뤄줌으로써, 데이터스트로브신호의 마진을 충분히 확보할 수 있어, 고속동작 시에도 안정적으로 구동된다.

#### (57) 청구의 범위

##### 청구항 1.

컬럼계 커맨드의 인가로 부터 에디티브 레이턴시에 대응하는 지연 이후 활성화되는 에디티브-지연신호를 지연시켜 복수의 카스-지연신호로 출력하기 위한 지연부와, 상기 복수의 카스-지연신호의 활성화 폭을 확장시키기 위한 펄스폭 확장부와, 카스레이턴시-정보신호에 응답하여 상기 펄스폭 확장부의 출력신호 중 하나를 선택하여 쓰기-지연신호로 출력하기 위한 선택부를 포함하는 CL 카운팅수단;

상기 CL 카운팅수단의 상기 카스-지연신호의 활성화폭을 확장시켜 구동신호로 출력하기 위한 구동신호 생성수단;

상기 구동신호 및 복수의 제어신호에 응답하여 데이터스트로브신호를 생성하기 위한 데이터스트로브신호 생성수단; 및

상기 데이터스트로브신호의 활성화 구간에서 외부 데이터를 인가받기 위한 데이터 버퍼

를 구비하는 반도체메모리소자.

##### 청구항 2.

제1항에 있어서,

상기 구동신호 생성수단은,

앞단의 출력신호를 1클럭 지연시켜 출력하기 위한 제1 내지 제3 래치부를 직렬 연결하여 구현되되, 첫번째단의 래치부는 상기 쓰기-지연신호를 인가받는 제1 지연부와,

상기 래치부의 제1 내지 제3 출력신호를 논리합하여 상기 구동신호로 출력하기 위한 출력부를 구비하는 것을 특징으로 하는 반도체메모리소자.

### 청구항 3.

제2항에 있어서,

상기 지연부는,

앞단의 출력신호를 클럭에 동기시켜 인가 받기 위한 4단의 래치부를 직렬 연결하여 구비하며,

상기 첫번째단 래치부는 상기 애디티브-지연신호를 입력으로 가지며, 상기 4단의 래치부는 각각 제1 내지 제4 카스-지연신호를 출력하는 것을 특징으로 하는 반도체메모리소자.

### 청구항 4.

제3항에 있어서,

상기 래치부는,

상기 클럭이 논리레벨 'H'를 가질 때 상기 애디티브-지연신호를 전달하기 위한 제1 트랜스퍼 게이트와,

상기 클럭이 논리레벨 'L'를 갖는 동안 상기 제1 트랜스퍼 게이트의 출력신호를 래치하기 위한 제1 래치와,

상기 클럭이 논리레벨 'L'을 가질 때 상기 제1 래치의 출력신호를 전달하기 위한 제2 트랜스퍼게이트와,

상기 클럭이 논리레벨 'H'를 갖는 동안 상기 제2 트랜스퍼 게이트의 출력신호를 래치하기 위한 제2 래치

를 구비하는 것을 특징으로 하는 반도체메모리소자.

### 청구항 5.

제4항에 있어서,

상기 래치는 트라이-스테이트 인버터와 제1 인버터를 크로스 커플드 연결하여 구현되는 것을 특징으로 하는 반도체메모리소자.

### 청구항 6.

제2항 또는 제3항에 있어서,

상기 펄스폭 확장부는,

상기 애디티브-지연신호와 제1 카스-지연신호를 입력으로 갖는 제1 노어게이트와,



상기 제1 카스-지연신호와 제2 카스-지연신호를 입력으로 갖는 제2 노어게이트와,

상기 제2 카스-지연신호와 제3 카스-지연신호를 입력으로 갖는 제3 노어게이트와,

상기 제3 카스-지연신호와 제4 카스-지연신호를 입력으로 갖는 제4 노어게이트를 구비하는 것을 특징으로 하는 반도체메모리소자.

### 청구항 7.

제6항에 있어서,

상기 선택부는,

카스레이턴시-정보신호에 응답하여 상기 애디티브-지연신호(ALS) 또는 상기 제1 내지 제4 카스-지연신호 중 어느 하나를 선택적하여 상기 쓰기-지연신호로 출력하기 위한 복수의 트랜스퍼 게이트로 구현되는 것을 특징으로 하는 반도체메모리소자.

### 청구항 8.

제7항에 있어서,

상기 데이터 스트로브신호 생성수단은,

상기 제어신호를 인가받는 신호 입력부와,

상기 구동신호 및 상기 신호 입력부의 출력신호에 응답하여 신호를 생성하기 위한 신호 생성부와,

상기 신호 생성부의 출력신호를 래치하고 반전시켜 상기 데이터스트로브신호로 출력하기 위한 출력부

를 구비하는 것을 특징으로 하는 반도체메모리소자.

### 청구항 9.

제8항에 있어서,

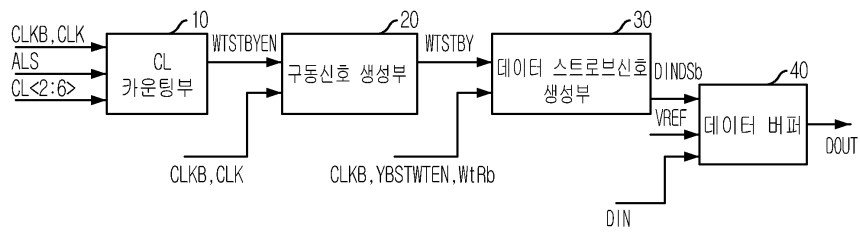
상기 데이터 버퍼는,

상기 데이터스트로브신호를 바이어스 전원으로,

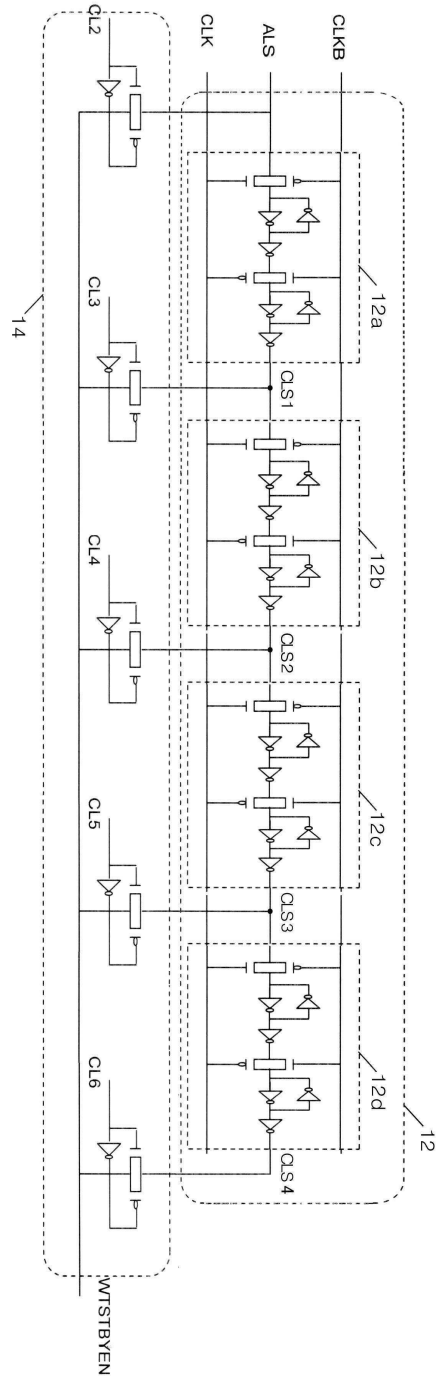
기준전원과 상기 외부 데이터를 차동 입력으로 인가받아 상기 내부 데이터를 출력시키기 위한 차동증폭기로 구현되는 것을 특징으로 하는 반도체메모리소자.

도면

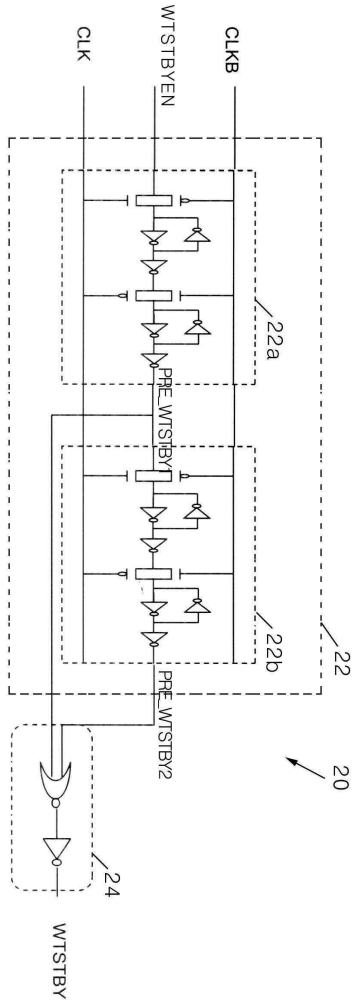
도면1



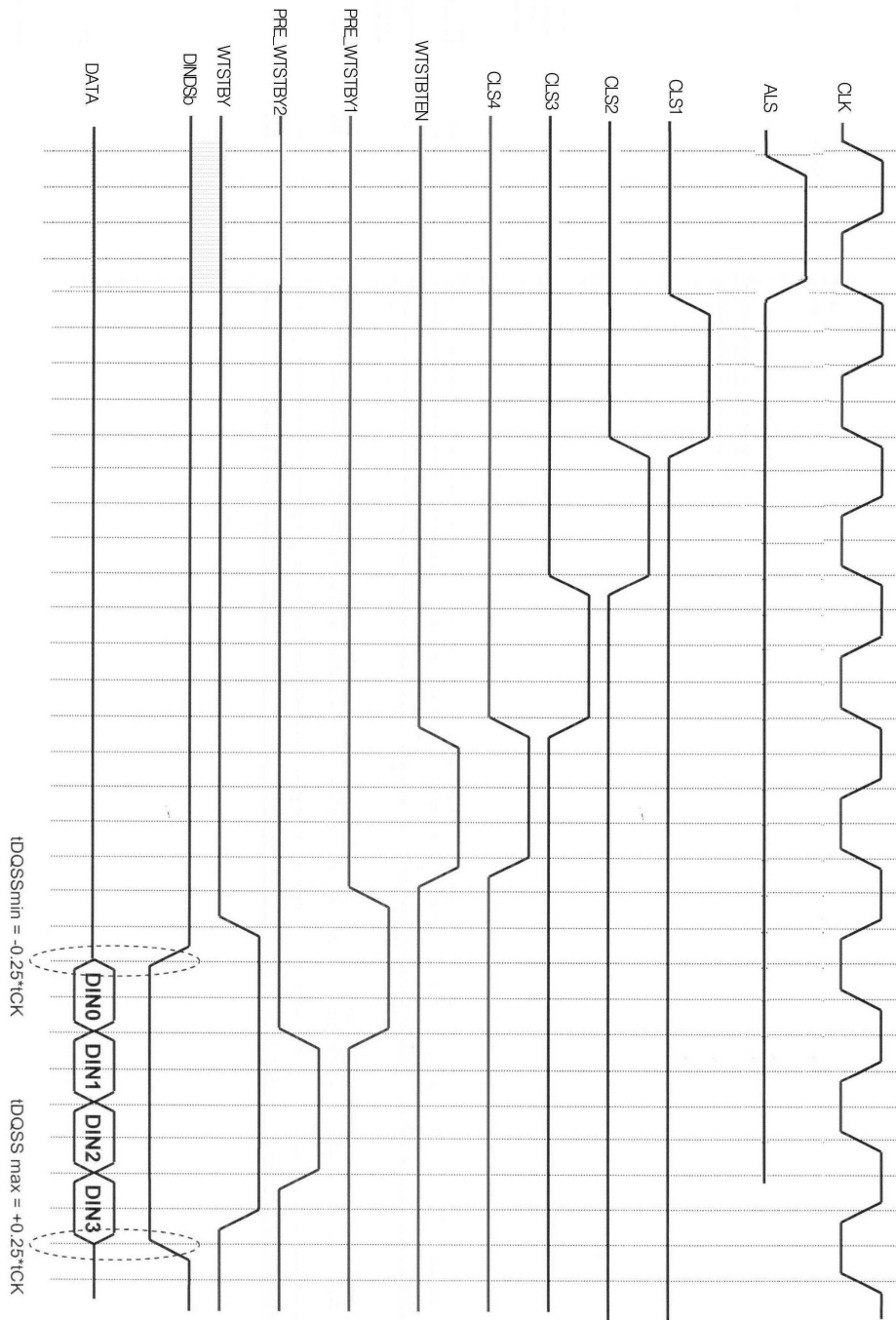
도면2



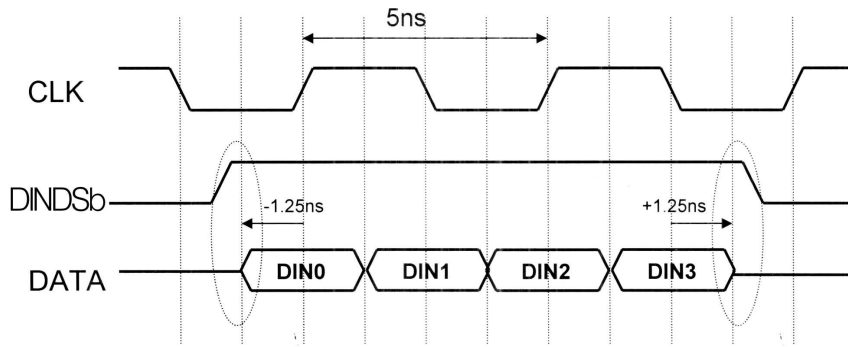
도면3



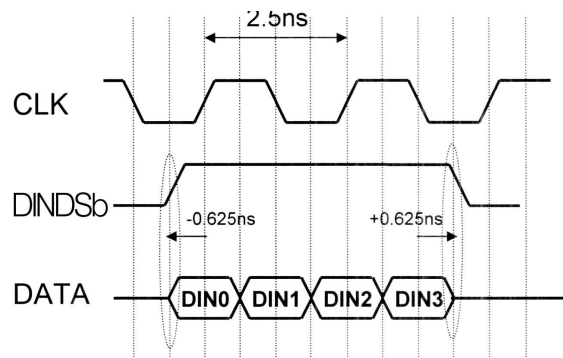
도면4



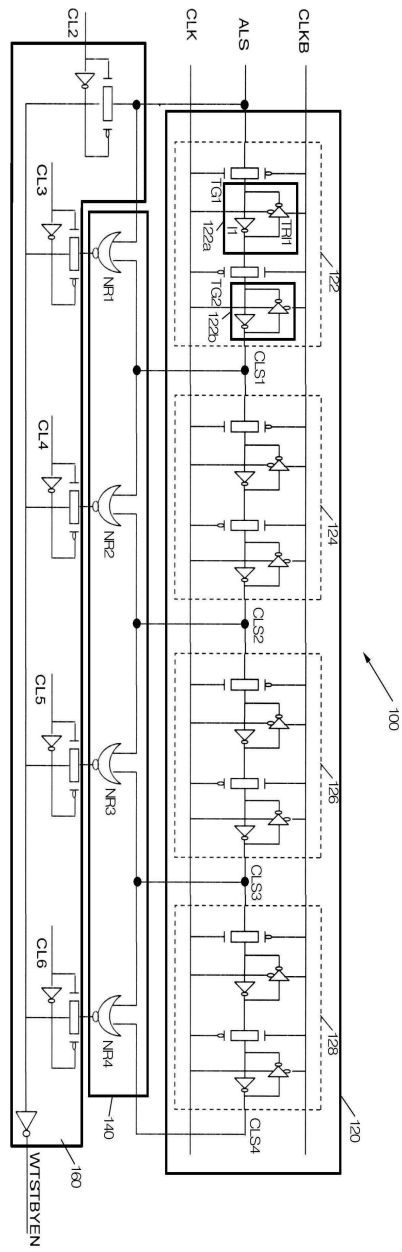
도면5a



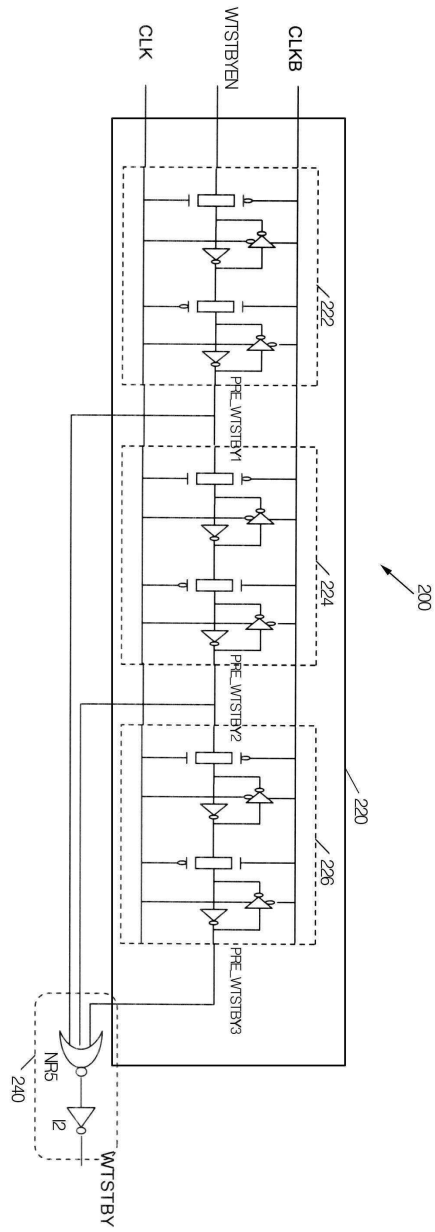
도면5b



도면6



도면7







도면10

