



(12) 发明专利

(10) 授权公告号 CN 103000632 B

(45) 授权公告日 2015. 08. 05

(21) 申请号 201210537549. 5

US 2010/0252833 A1, 2010. 10. 07,

(22) 申请日 2012. 12. 12

审查员 刘辉

(73) 专利权人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路 10 号

(72) 发明人 任章淳

(74) 专利代理机构 北京同达信恒知识产权代理
有限公司 11291

代理人 黄志华

(51) Int. Cl.

H01L 27/092(2006. 01)

H01L 21/77(2006. 01)

H01L 21/8258(2006. 01)

(56) 对比文件

CN 1649152 A, 2005. 08. 03,

CN 102280491 A, 2011. 12. 14,

CN 202948923 U, 2013. 05. 22,

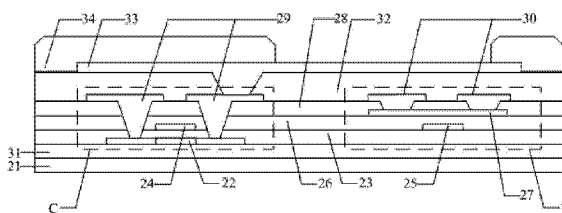
权利要求书2页 说明书5页 附图7页

(54) 发明名称

一种 CMOS 电路结构、其制备方法及显示装置

(57) 摘要

本发明公开了一种 CMOS 电路结构、其制备方法及显示装置, 在 CMOS 电路结构中 PMOS 区域为 LTPS TFT 结构, 即使用 P 型掺杂多晶硅材料制备 PMOS 半导体层, NMOS 区域为 Oxide TFT 结构, 即使用氧化物材料制备 NMOS 半导体层, 在 NMOS 区域使用氧化物材料代替现有的多晶硅材料制备 NMOS 半导体层, 能够省去采用 TLPS 工艺时对 NMOS 区域的三次掺杂工艺, 可以简化 CMOS 电路结构的制作流程, 降低生产成本。并且, 由于采用氧化物材料制作 NMOS 区域的 NMOS 半导体层, 仅需要对 PMOS 区域的 PMOS 半导体层进行结晶化, 也能延长激光管的使用寿命, 降低生产成本。



1. 一种 CMOS 电路结构,具有 PMOS 区域和 NMOS 区域,其特征在于,包括:衬底基板;
位于所述 PMOS 区域内衬底基板之上的 PMOS 半导体层;
位于所述 PMOS 半导体层和所述 NMOS 区域内衬底基板之上的栅绝缘层;
位于所述栅绝缘层之上的 PMOS 栅极和 NMOS 栅极;
位于所述 PMOS 栅极和 NMOS 栅极之上的第一层间介质层;
位于所述 NMOS 区域内第一层间介质层之上的 NMOS 半导体层;
位于所述 PMOS 区域内第一层间介质层和所述 NMOS 区域内的 NMOS 半导体层之上的第二层间介质层;
位于所述第二层间介质层之上的 PMOS 源漏极和 NMOS 源漏极;其中,
所述 PMOS 半导体层、PMOS 栅极和 PMOS 源漏极位于 PMOS 区域内;所述 PMOS 半导体层由 P 型掺杂多晶硅材料制成;
所述 NMOS 半导体层、NMOS 栅极和 NMOS 源漏极位于 NMOS 区域内;所述 NMOS 半导体层由氧化物材料制成;
所述 PMOS 区域与所述 NMOS 区域不具备重叠区域。
2. 如权利要求 1 所述的 CMOS 电路结构,其特征在于,所述氧化物材料为铟镓氧化锌 IGZO、氧化锌 ZnO、氧化铟锌 IZO、铟锡氧化锌 ITZO。
3. 如权利要求 1 所述的 CMOS 电路结构,其特征在于,还包括:位于所述衬底基板与所述 PMOS 半导体层之间的缓冲层。
4. 如权利要求 1 所述的 CMOS 电路结构,其特征在于,所述 PMOS 源漏极通过过孔与所述 PMOS 半导体层连接;所述 NMOS 源漏极通过过孔与所述 NMOS 半导体层连接。
5. 如权利要求 1-4 任一项所述的 CMOS 电路结构,其特征在于,还包括:依次位于所述 PMOS 源漏极和 NMOS 源漏极之上的平坦层、以及作为阳极的像素层,所述像素层通过过孔与所述 PMOS 源漏极的源极或漏极电性相连。
6. 如权利要求 5 所述的 CMOS 电路结构,其特征在于,还包括:位于所述像素层之上的像素限定层。
7. 一种显示装置,其特征在于,包括如权利要求 1-6 任一项所述的 CMOS 电路结构。
8. 一种 CMOS 电路结构的制备方法,其特征在于,包括:
在衬底基板之上形成位于 PMOS 区域的 PMOS 半导体层的图形,所述 PMOS 半导体层由多晶硅材料制成;
在所述 PMOS 半导体层上形成栅绝缘层;并在所述栅绝缘层上形成位于 PMOS 区域内的 PMOS 栅极的图形,以及位于 NMOS 区域内的 NMOS 栅极的图形;
对所述 PMOS 半导体层进行 P 型离子掺杂;
在所述 PMOS 栅极和 NMOS 栅极上形成第一层间介质层;并在所述第一层间介质层上形成位于 NMOS 区域的 NMOS 半导体层的图形,所述 NMOS 半导体层由氧化物材料制成;
在所述 NMOS 半导体层上形成第二层间介质层的图形;
在所述第二层间介质层上形成位于 PMOS 区域内的 PMOS 源漏极的图形,以及位于 NMOS 区域内的 NMOS 源漏极的图形;
所述 PMOS 区域与所述 NMOS 区域不具备重叠区域。
9. 如权利要求 8 所述的制备方法,其特征在于,所述在衬底基板之上形成位于 PMOS 区

域的 PMOS 半导体层的图形,具体包括:

在衬底基板上形成 a-Si 层的图形;

利用 μ - 结晶化、激光退火、选择性激光烧结、金属诱导晶化、金属诱导横向结晶或连续粒状结晶硅的方式将 a-Si 层晶化形成 PMOS 半导体层。

10. 如权利要求 8 所述的制备方法,其特征在于,在所述第一层间介质层上形成位于 NMOS 区域的 NMOS 半导体层的图形时,具体采用溅射、原子层沉积或金属有机化学气象沉积的方式形成所述 NMOS 半导体层。

11. 如权利要求 8-10 任一项所述的制备方法,其特征在于,在衬底基板之上形成位于 PMOS 区域的 PMOS 半导体层的图形之前,还包括:

在所述衬底基板上形成缓冲层。

12. 如权利要求 8-10 任一项所述的制备方法,其特征在于,还包括:

在所述 PMOS 源漏极和 NMOS 源漏极之上形成平坦层的图形;

在所述平坦层上形成作为阳极的像素层的图形,所述像素层与所述 PMOS 源漏极的源极或漏极电性相连;

在所述像素层上形成像素限定层的图形。

一种 CMOS 电路结构、其制备方法及其显示装置

技术领域

[0001] 本发明涉及电路制造技术领域,尤其涉及一种 CMOS 电路结构、其制备方法及其显示装置。

背景技术

[0002] 互补金属氧化物半导体(CMOS, Complementary Metal Oxide Semiconductor)由 P 型沟道金属氧化物半导体(PMOS, Positive channel Metal Oxide Semiconductor)和 N 型沟道金属氧化物半导体(NMOS, Negative channel-Metal-Oxide-Semiconductor)共同构成。

[0003] 目前,一般都是采用低温多晶硅(LTPS, Low Temperature Poly-silicon)技术分别制备 CMOS 电路中 PMOS 区域和 NMOS 区域的半导体层,其制备工艺相对复杂,具体工艺步骤如下:

[0004] 步骤 1:在衬底基板 01 之上,利用一次构图工艺形成位于 PMOS 区域 A 的 PMOS 半导体层 02 的图形,以及位于 NMOS 区域 B 的 NMOS 半导体层 03 的图形,如图 1a 所示;

[0005] 其中, PMOS 半导体层 02 和 NMOS 半导体层 03 的制备过程具体为:在衬底基板 01 上形成一层 a-Si 材料,经过激光晶化后形成的多晶硅材料,然后通过一次构图工艺利用多晶硅形成 PMOS 半导体层 02 和 NMOS 半导体层 03 的图形。

[0006] 步骤 2:在 PMOS 半导体层 02 和 NMOS 半导体层 03 上形成栅绝缘层 04,并在栅绝缘层 04 上沉积栅极材料,通过一次构图工艺形成位于 PMOS 区域 A 内的 PMOS 栅极 05 的图形,以及位于 NMOS 区域 B 内的 NMOS 栅极 06 的图形,如图 1b 所示;

[0007] 步骤 3:对 PMOS 半导体层 01 进行 P 型离子掺杂,具体地,在 NMOS 栅极 06 上通过一次构图工艺形成覆盖 NMOS 区域 B 的掺杂阻挡层 07 的图形,如图 1c;然后,对具有掺杂阻挡层 07 的衬底基板 01 注入 P 型离子,在 PMOS 半导体层 01 没有被 PMOS 栅极 05 遮挡的区域形成 P 型掺杂多晶硅,如图 1d;在注入 P 型离子后,剥离掺杂阻挡层 07。

[0008] 步骤 4:对 NMOS 半导体层 02 进行 N 型离子掺杂,其具体工艺和 P 型离子掺杂相同,在此不做详述;

[0009] 步骤 5:对 NMOS 半导体层依次进行 LDD 掺杂以及 Ch 掺杂工艺,由于 LDD 掺杂以及 Ch 掺杂工艺与 P 型离子掺杂工艺类似,在此不做详述;

[0010] 步骤 6:在 PMOS 栅极和 NMOS 栅极上利用一次构图工艺形成层间介质层 08 的图形,如图 1e 所示;

[0011] 步骤 7:在层间介质层 08 上利用一次构图工艺形成位于 PMOS 区域 A 内的 PMOS 源漏极 09 的图形,以及位于 NMOS 区域 B 内的 NMOS 源漏极 10 的图形,如图 1f 所示。

[0012] 具体地,上述 CMOS 电路在应用于 OLED 面板时,在完成上述步骤 1 至步骤 7 后,还需要执行如下步骤:

[0013] 步骤 8:在 PMOS 源漏极 09 和 NMOS 源漏极 10 之上利用一次构图工艺形成钝化层 11 的图形,并在钝化层 11 上利用一次构图工艺形成平坦层 12 的图形,如图 1g 所示;

[0014] 步骤 9:在平坦层上利用一次构图工艺形成作为阳极的像素层的图形,该像素层

与 PMOS 源漏极的源极或漏极电性相连,如图 1h 所示;

[0015] 步骤 10:在像素层上利用一次构图工艺形成像素限定层的图形,如图 1i 所示。

[0016] 在上述利用 LTPS 工艺制备 CMOS 电路的过程中,需要使用至少 10 次以上的光刻胶掩模板和至少 4 次以上的掺杂工艺(P 型离子掺杂、N 型离子掺杂、LDD 掺杂以及 Ch 掺杂),制作流程复杂,生产成本较高,并且,在步骤 1 中需要将整层的 a-Si 材料激光结晶化,以得到多晶硅材料,长时间的激光结晶化过程会增加产品的生产成本,并且会降低激光管的使用寿命,也增加了生产成本。

发明内容

[0017] 本发明实施例提供了一种 CMOS 电路结构、其制备方法及显示装置,用以优化现有技术中的 CMOS 电路结构并优化其制作工艺流程,降低生产成本。

[0018] 本发明实施例提供了一种 CMOS 电路结构,具有 PMOS 区域和 NMOS 区域,包括:依次位于衬底基板之上的 PMOS 半导体层、栅绝缘层、PMOS 栅极和 NMOS 栅极、第一层间介质层、NMOS 半导体层、第二层间介质层以及 PMOS 源漏极和 NMOS 源漏极,其中,

[0019] 所述 PMOS 半导体层、PMOS 栅极和 PMOS 源漏极位于 PMOS 区域内;所述 PMOS 半导体层由 P 型掺杂多晶硅材料制成;

[0020] 所述 NMOS 半导体层、NMOS 栅极和 NMOS 源漏极位于 NMOS 区域内;所述 NMOS 半导体层由氧化物材料制成。

[0021] 本发明实施例提供了一种显示装置,包括本发明实施例提供的 CMOS 电路结构。

[0022] 本发明实施例提供了一种 CMOS 电路结构的制备方法,包括:

[0023] 在衬底基板之上形成位于 PMOS 区域的 PMOS 半导体层的图形,所述 PMOS 半导体层由多晶硅材料制成;

[0024] 在所述 PMOS 半导体层上形成栅绝缘层;并在所述栅绝缘层上形成位于 PMOS 区域内的 PMOS 栅极的图形,以及位于 NMOS 区域内的 NMOS 栅极的图形;

[0025] 对所述 PMOS 半导体层进行 P 型离子掺杂;

[0026] 在所述 PMOS 栅极和 NMOS 栅极上形成第一层间介质层;并在所述第一层间介质层上形成位于 NMOS 区域的 NMOS 半导体层的图形,所述 NMOS 半导体层由氧化物材料制成;

[0027] 在所述 NMOS 半导体层上形成第二层间介质层的图形;

[0028] 在所述第二层间介质层上形成位于 PMOS 区域内的 PMOS 源漏极的图形,以及位于 NMOS 区域内的 NMOS 源漏极的图形。

[0029] 本发明实施例的有益效果包括:

[0030] 本发明实施例提供了一种 CMOS 电路结构、其制备方法及显示装置,在 CMOS 电路结构中 PMOS 区域为 LTPS TFT 结构,即使用 P 型掺杂多晶硅材料制备 PMOS 半导体层,NMOS 区域为 Oxide TFT 结构,即使用氧化物材料制备 NMOS 半导体层,在 NMOS 区域使用氧化物材料代替现有的多晶硅材料制备 NMOS 半导体层,能够省去采用 TLPS 工艺时对 NMOS 区域的三次掺杂工艺,可以简化 CMOS 电路结构的制作流程,降低生产成本。另外,将 NMOS 区域设计成底栅型 TFT 结构,能在 PMOS 区域 P 型离子注入时省去设置掺杂阻挡层的步骤,简化了制作流程。并且,由于采用氧化物材料制作 NMOS 区域的 NMOS 半导体层,仅需要对 PMOS 区域的 PMOS 半导体层进行结晶化,也能延长激光管的使用寿命,降低生产成本。

附图说明

- [0031] 图 1a- 图 1i 为使用 TLPS 方法制备传统的 CMOS 电路结构时各步骤的示意图；
- [0032] 图 2 为本发明实施例提供的 CMOS 电路结构的示意图；
- [0033] 图 3 为本发明实施例提供的 CMOS 电路结构的制备方法的流程图；
- [0034] 图 4a- 图 4h 为本发明实施例提供的在 CMOS 电路结构制备时各步骤的示意图。

具体实施方式

[0035] 下面结合附图,对本发明实施例提供的 CMOS 电路结构、其制备方法及显示装置的具体实施方式进行详细地说明。

[0036] 附图中各区域的形状和大小不反映 CMOS 电路结构的真实比例,目的只是示意说明本发明内容。

[0037] 本发明实施例提供的一种 CMOS 电路结构,如图 2 所示,具有 PMOS 区域 C 和 NMOS 区域 D,包括:依次位于衬底基板 21 之上的 PMOS 半导体层 22、栅绝缘层 23、PMOS 栅极 24 和 NMOS 栅极 25、第一层间介质层 26、NMOS 半导体层 27、第二层间介质层 28 以及 PMOS 源漏极 29 和 NMOS 源漏极 30,其中,

[0038] PMOS 半导体层 22、PMOS 栅极 24 和 PMOS 源漏极 29 位于 PMOS 区域 A 内;PMOS 半导体层 22 由 P 型掺杂多晶硅材料制成;

[0039] NMOS 半导体层 27、NMOS 栅极 25 和 NMOS 源漏极 30 位于 NMOS 区域 B 内;NMOS 半导体层 27 由氧化物材料制成。

[0040] 具体地,如图 2 所示,PMOS 源漏极 29 通过过孔与 PMOS 半导体层 22 连接;NMOS 源漏极 30 通过过孔与 NMOS 半导体层 27 连接。

[0041] 在本发明实施例提供的上述 CMOS 电路结构中,PMOS 区域为 LTPS TFT 结构,即使用 P 型掺杂多晶硅材料制备 PMOS 半导体层,NMOS 区域为 OxideTFT 结构,即使用氧化物材料制备 NMOS 半导体层,在 NMOS 区域使用氧化物材料代替现有的多晶硅材料制备 NMOS 半导体层,能够省去采用 TLPS 工艺时对 NMOS 区域的三次掺杂工艺,可以简化 CMOS 电路结构的制作流程,降低生产成本。另外,将 NMOS 区域设计成底栅型 TFT 结构,能在 PMOS 区域 P 型离子注入时省去设置掺杂阻挡层的步骤,简化了制作流程。并且,由于采用氧化物材料制作 NMOS 区域的 NMOS 半导体层,仅需要对 PMOS 区域的 PMOS 半导体层进行结晶化,也能延长激光管的使用寿命,降低生产成本。

[0042] 在具体实施时,制备 NMOS 半导体层 27 的氧化物材料可以使用铟镓氧化锌(IGZO)、氧化锌(ZnO)、氧化铟锌(IZO)、铟锡氧化锌(ITZO)等材料,在此不做限定。

[0043] 进一步地,在上述 CMOS 电路结构中,为了避免采用多晶硅材料制备的 PMOS 半导体层 22 直接和衬底基板 21 接触导致特性变差,如图 2 所示,还可以在下衬底基板 21 与 PMOS 半导体层 22 之间设置缓冲层 31。

[0044] 具体地,在本发明实施例提供的上述 CMOS 电路结构应用于 OLED 面板时,如图 2 所示,还可以包括以下膜层结构:

[0045] 依次位于 PMOS 源漏极 29 和 NMOS 源漏极 30 之上的平坦层 32、以及作为阳极的像素层 33,其中,像素层 33 通过过孔与 PMOS 源漏极 29 的源极或漏极电性相连。

[0046] 在具体实施时,平坦层 32 可以由有机树脂材料制备。

[0047] 进一步地,如图 2 所示,还可以包括:位于像素层 33 之上的像素限定层 34,用于限定像素区域。

[0048] 本发明实施例提供的上述 CMOS 电路结构可以应用于有源矩阵有机发光器件中,也可以应用于 TFT-LCD 中,在此不做限定。

[0049] 基于同一发明构思,本发明实施例还提供了一种显示装置,包括本发明实施例提供的上述 CMOS 电路结构,该显示装置的实施可以参见上述 CMOS 电路结构的实施例,重复之处不再赘述。

[0050] 具体地,该液晶显示装置可以为 TN 型、FFS 型、IPS 型或 ADS 型的 LCD, OLED 等显示装置。该显示装置也可以包括:OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0051] 基于同一发明构思,本发明实施例还提供了一种上述 CMOS 电路结构的制备方法,如图 3 所示,具体包括如下步骤:

[0052] S301、在衬底基板 21 之上形成位于 PMOS 区域 C 的 PMOS 半导体层 22 的图形,如图 4a 所示;该 PMOS 半导体层 22 由多晶硅材料制成;

[0053] 较佳地,在衬底基板 21 之上形成位于 PMOS 区域 C 的 PMOS 半导体层 22 的图形之前,如图 4a 所示,还可以在衬底基板 21 上先形成缓冲层 31,以避免采用多晶硅材料制备的 PMOS 半导体层 22 会直接和衬底基板 21 接触导致特性变差。

[0054] 具体地,在衬底基板 21 之上形成位于 PMOS 区域 C 的 PMOS 半导体层 22 的图形的步骤,在具体实施时,可以先在衬底基板 21 上形成 a-Si 层的图形;然后,可以利用 u- 结晶化、激光退火、选择性激光烧结、金属诱导晶化(MIC:metal induced crystallization)、金属诱导横向结晶或连续粒状结晶硅的方式将 a-Si 层晶化形成 PMOS 半导体层 22,由于上述结晶化的方式属于现有技术,在此不做详述。

[0055] S302、在 PMOS 半导体层 22 上形成栅绝缘层 23,并在栅绝缘层 23 上形成位于 PMOS 区域 C 内的 PMOS 栅极 24 的图形,以及位于 NMOS 区域 D 内的 NMOS 栅极 25 的图形,如图 4b 所示;

[0056] S303、对 PMOS 半导体层 22 进行 P 型离子掺杂,如图 4c 所示;

[0057] 具体地,由于在 NMOS 区域还未形成 NMOS 半导体层,因此,可以直接对衬底基板 21 中 PMOS 区域注入 P 型离子,省去了在 NMOS 区域设置掺杂阻挡层的工艺。

[0058] S304、在 PMOS 栅极 24 和 NMOS 栅极 25 上形成第一层间介质层 26 的图形;并在第一层间介质层 26 上形成位于 NMOS 区域的 NMOS 半导体层 27 的图形,如图 4d 所示,该 NMOS 半导体层 27 由氧化物材料制成;

[0059] 具体地,在第一层间介质层 26 之上形成位于 NMOS 区域 D 的 NMOS 半导体层 27 的图形时,具体可以采用溅射、原子层沉积或金属有机化学气象沉积的方式形成该 NMOS 半导体层 27,由于上述形成 NMOS 半导体层 27 的方式属于现有技术,在此不做详述。

[0060] S305、在 NMOS 半导体层 27 上形成第二层间介质层 28 的图形,如图 4e 所示;

[0061] S306、在第二层间介质层 28 上形成位于 PMOS 区域 C 内的 PMOS 源漏极 29 的图形,以及位于 NMOS 区域 D 内的 NMOS 源漏极 30 的图形,如图 4f 所示。

[0062] 在具体实施时,上述 CMOS 电路在应用于 OLED 面板时,在完成上述步骤 S301 至步

骤 S306 后,如图 3 所示,还需要执行如下步骤:

[0063] S307、在 PMOS 源漏极 29 和 NMOS 源漏极 30 之上形成平坦层 32 的图形,如图 4g 所示;

[0064] S308、在平坦层 32 上形成作为阳极的像素层 33 的图形,像素层 33 与 PMOS 源漏极 29 的源极或漏极电性相连,如图 4h 所示;

[0065] S309、在像素层 33 上形成像素限定层 34 的图形,如图 2 所示。

[0066] 本发明实施例提供的一种 CMOS 电路结构、其制备方法及其显示装置,在 CMOS 电路结构中 PMOS 区域为 LTPS TFT 结构,即使用 P 型掺杂多晶硅材料制备 PMOS 半导体层, NMOS 区域为 Oxide TFT 结构,即使用氧化物材料制备 NMOS 半导体层,在 NMOS 区域使用氧化物材料代替现有的多晶硅材料制备 NMOS 半导体层,能够省去采用 TLPS 工艺时对 NMOS 区域的三次掺杂工艺,可以简化 CMOS 电路结构的制作流程,降低生产成本。另外,将 NMOS 区域设计成底栅型 TFT 结构,能在 PMOS 区域 P 型离子注入时省去设置掺杂阻挡层的步骤,简化了制作流程。并且,由于采用氧化物材料制作 NMOS 区域的 NMOS 半导体层,仅需要对 PMOS 区域的 PMOS 半导体层进行结晶化,也能延长激光管的使用寿命,降低生产成本。

[0067] 显然,本领域的技术人员可以对本发明进行各种改动和变型而不脱离本发明的精神和范围。这样,倘若本发明的这些修改和变型属于本发明权利要求及其等同技术的范围之内,则本发明也意图包含这些改动和变型在内。

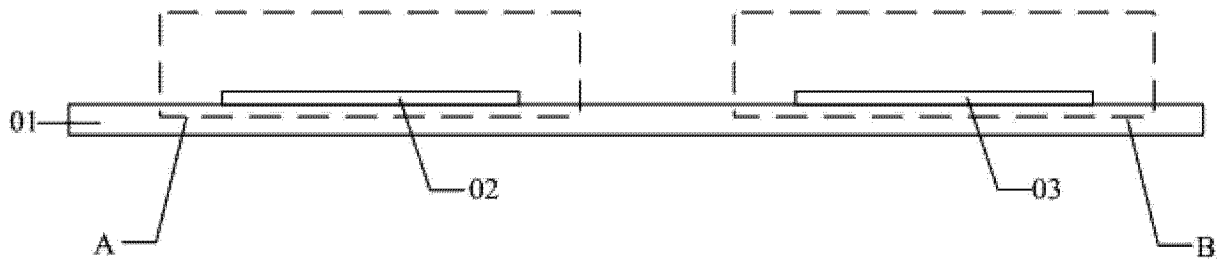


图 1a

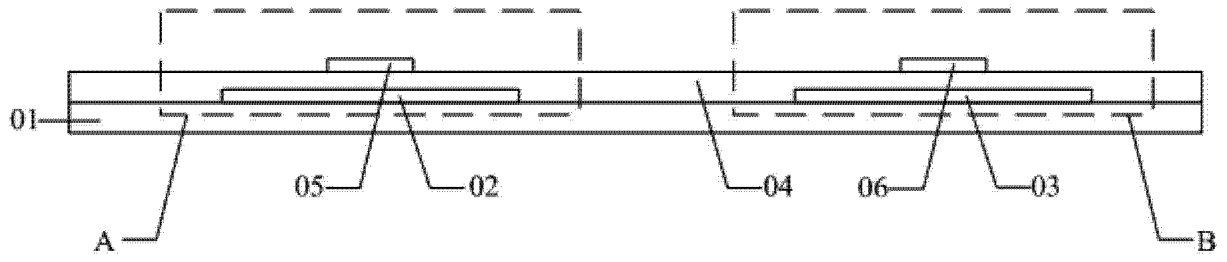


图 1b

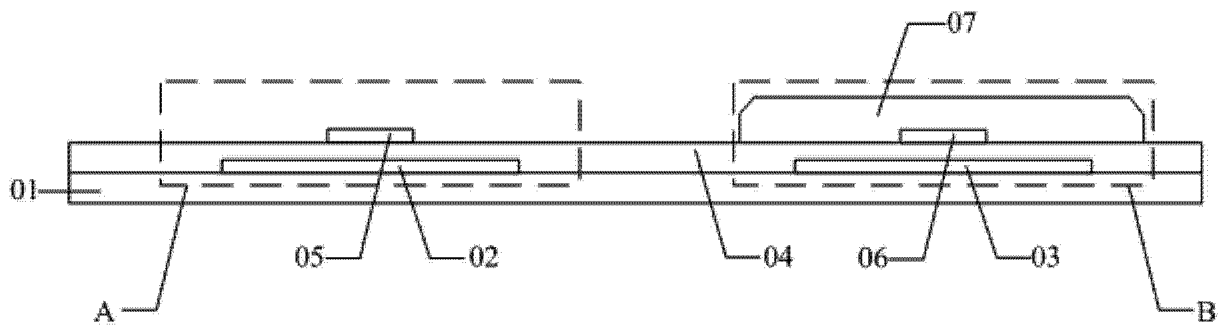


图 1c

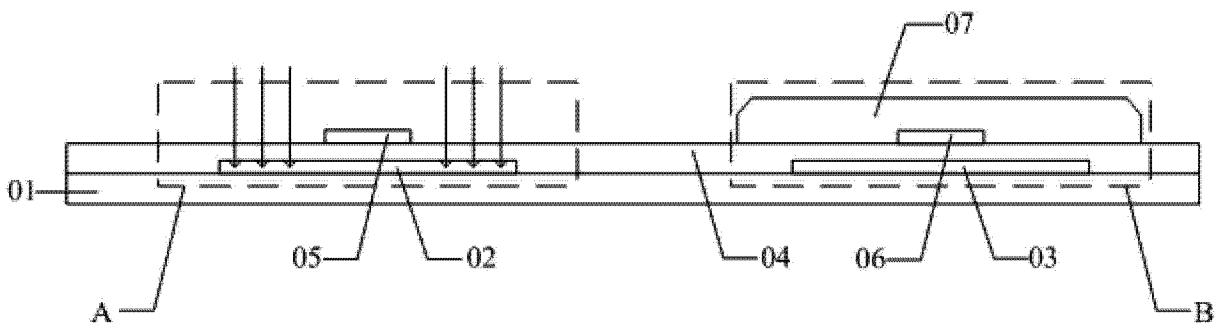


图 1d

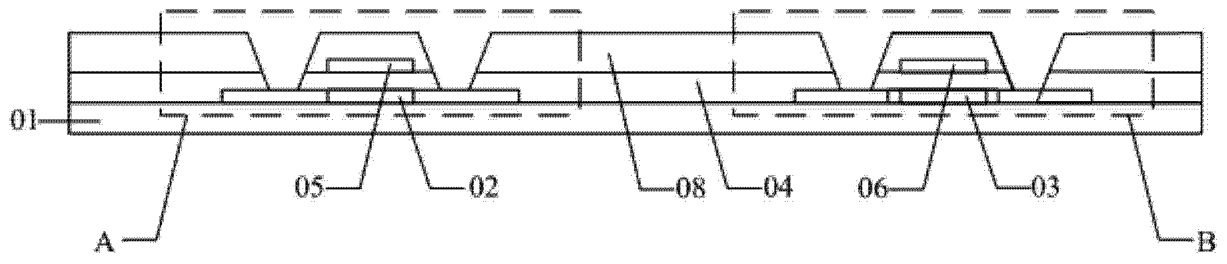


图 1e

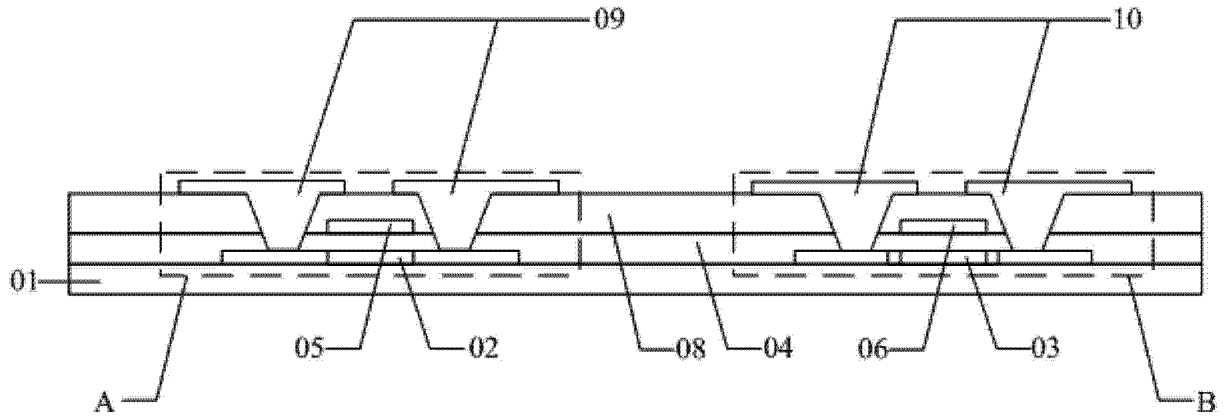


图 1f

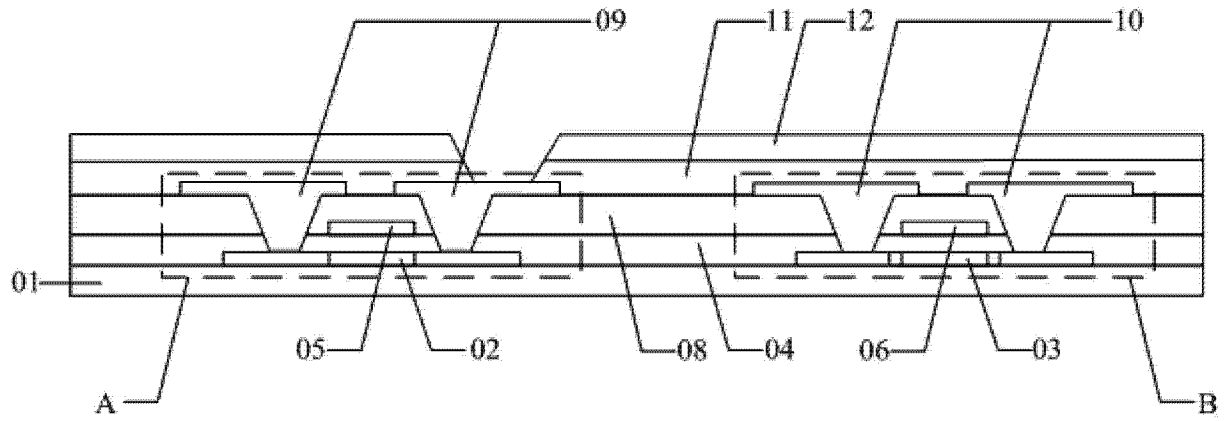


图 1g

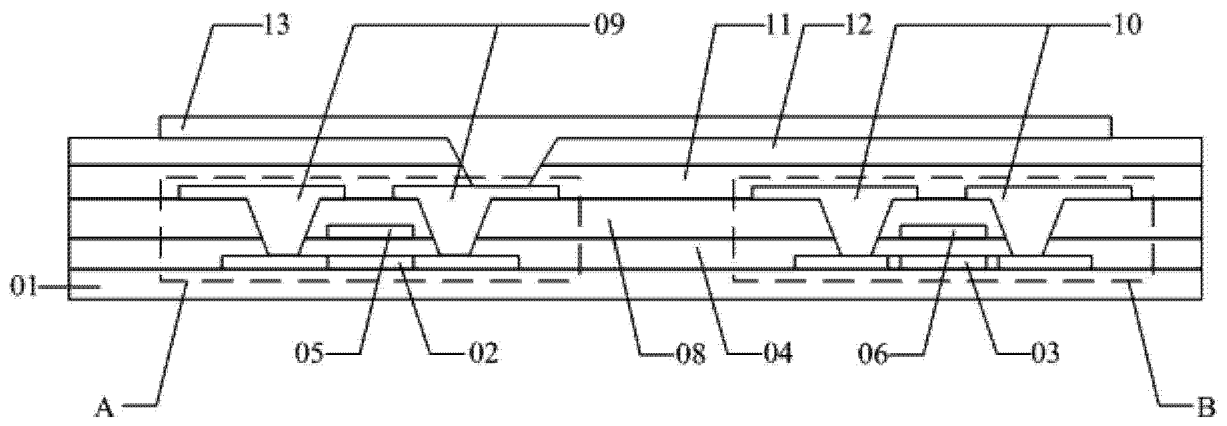


图 1h

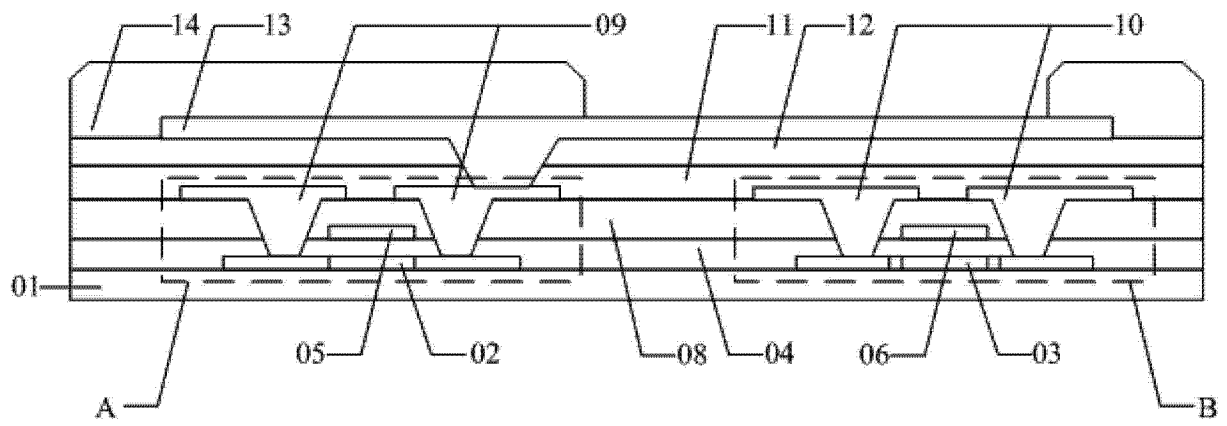


图 1i

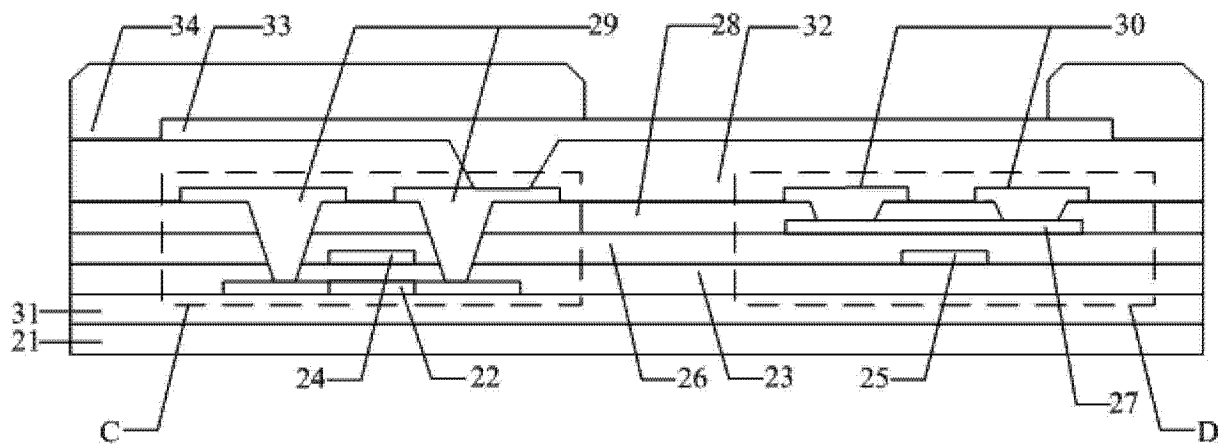


图 2

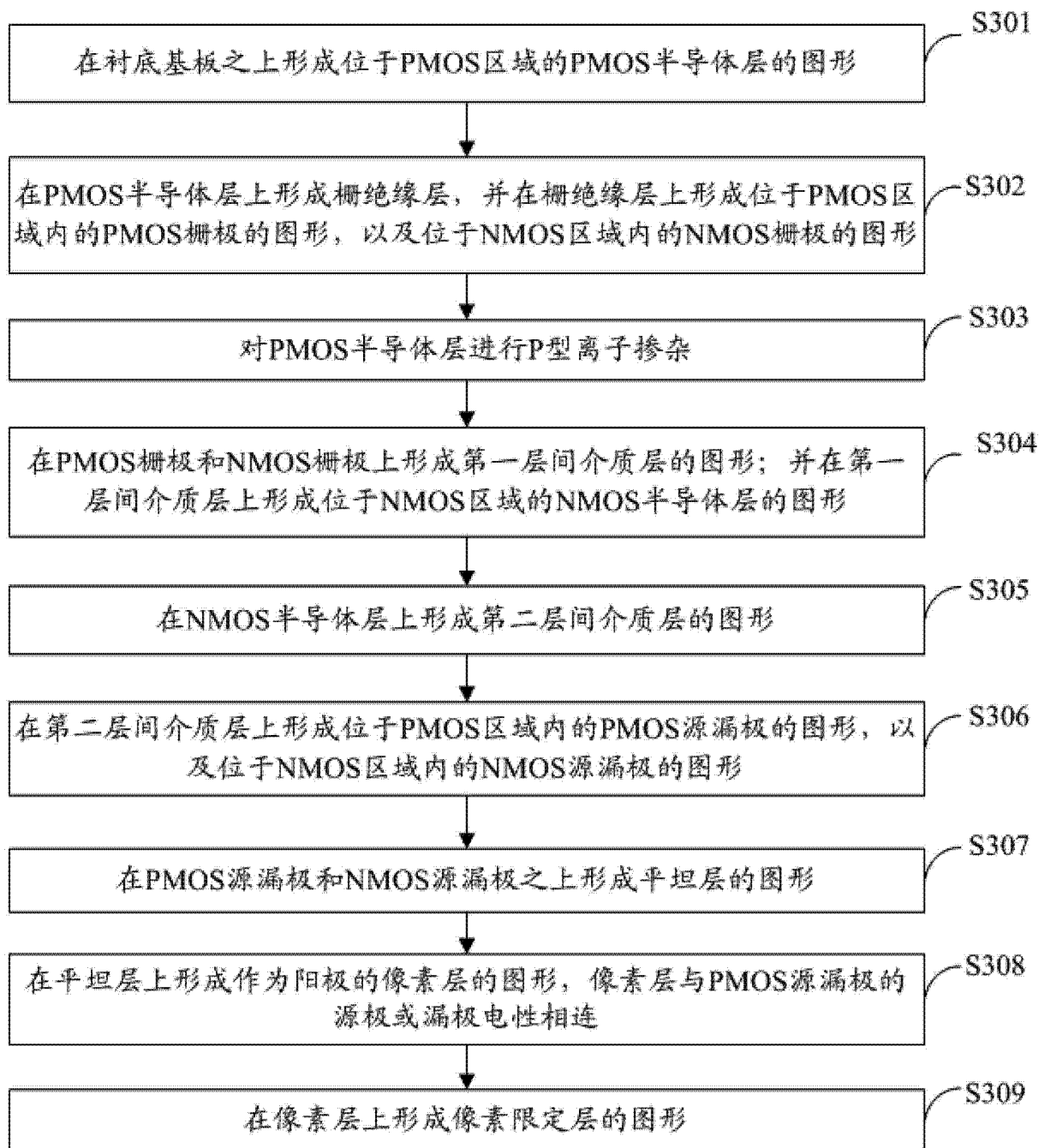


图 3

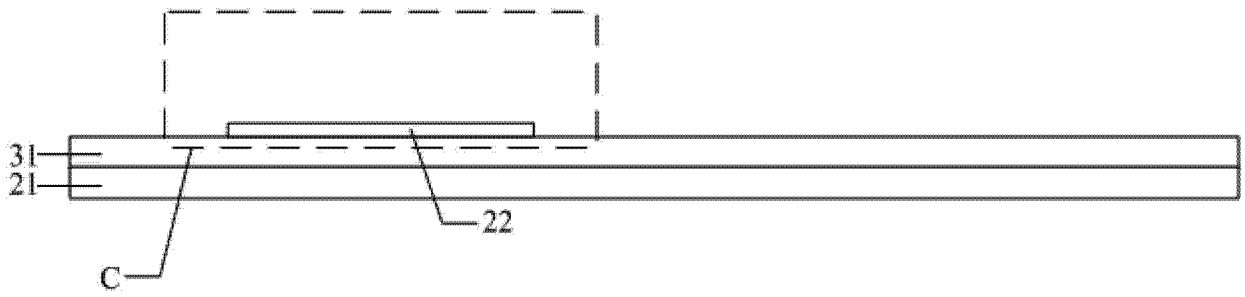


图 4a

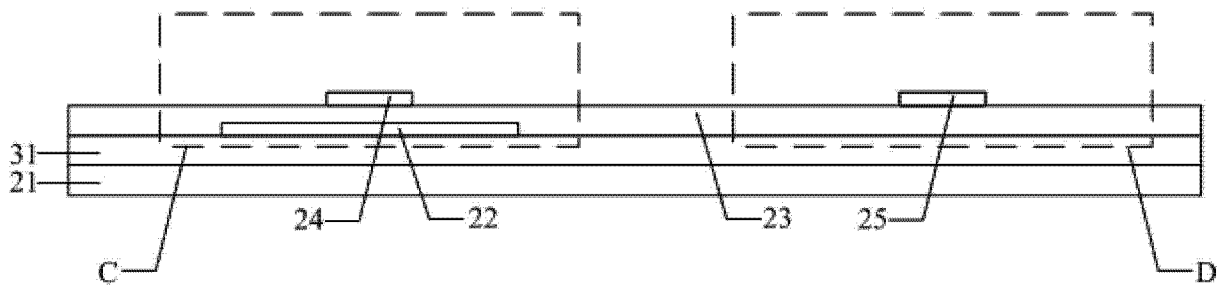


图 4b

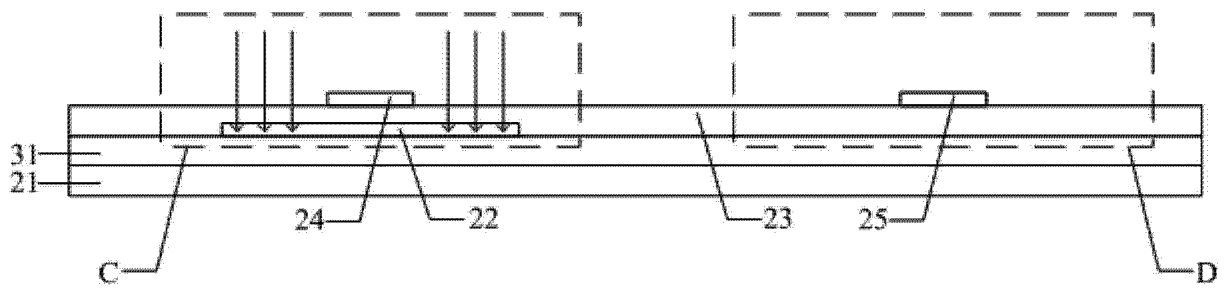


图 4c

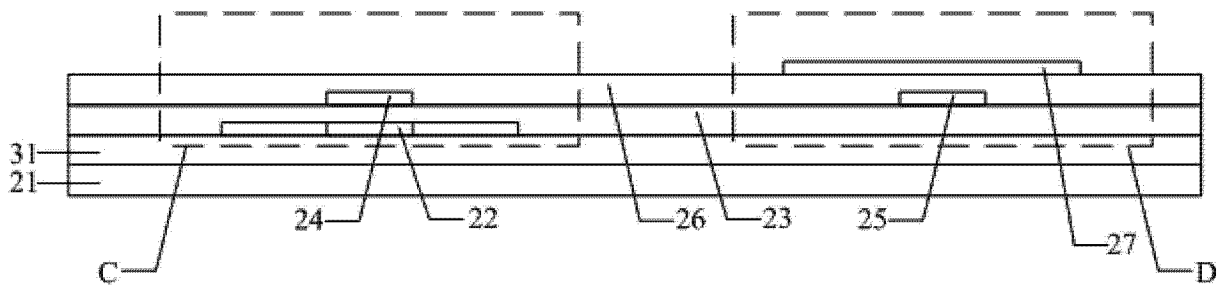


图 4d

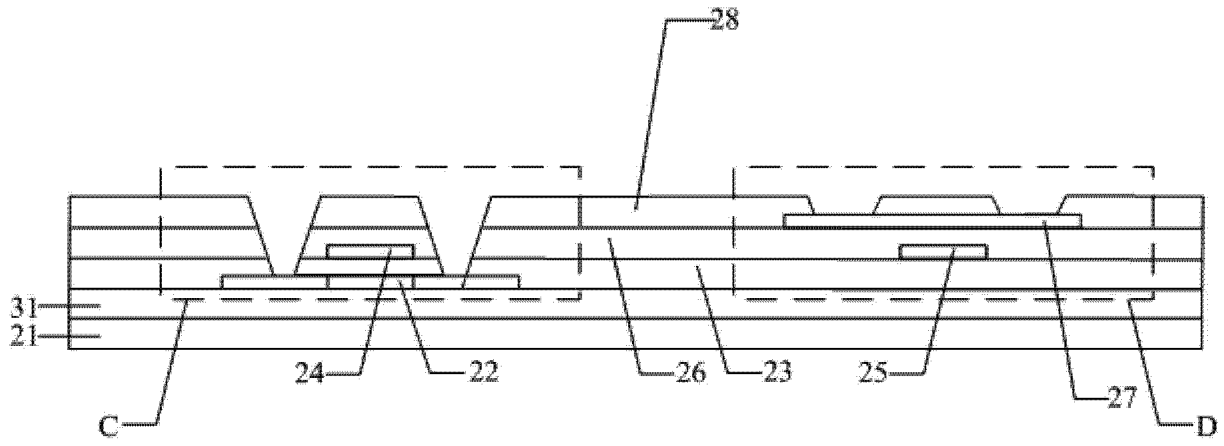


图 4e

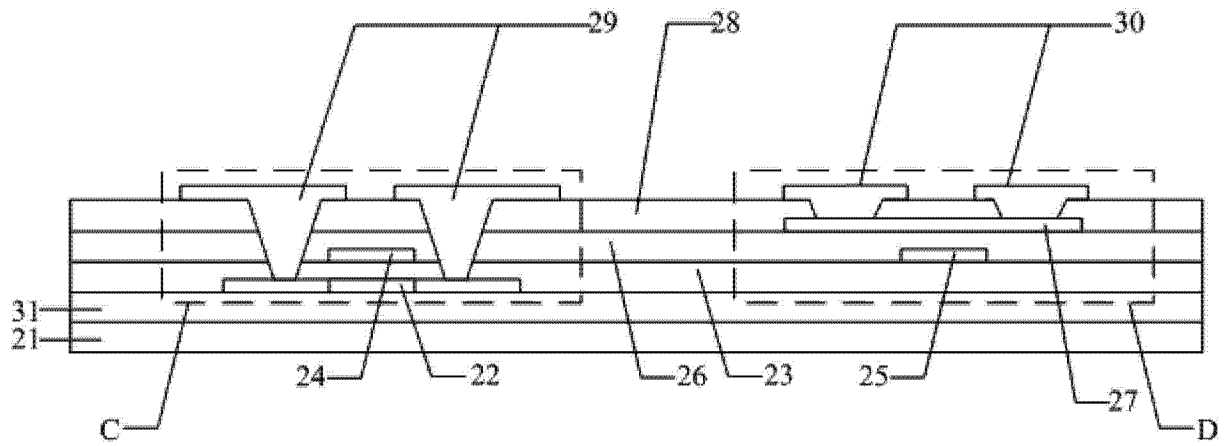


图 4f

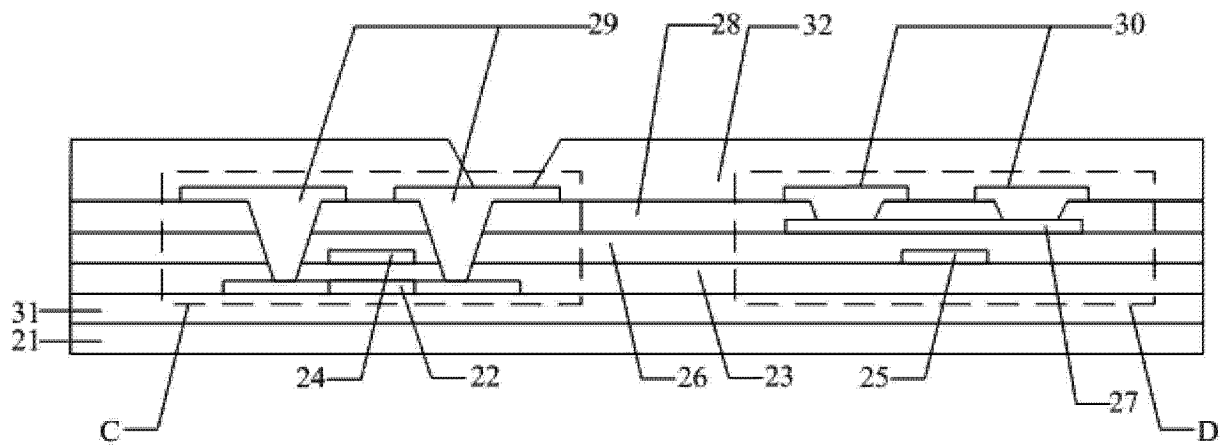


图 4g

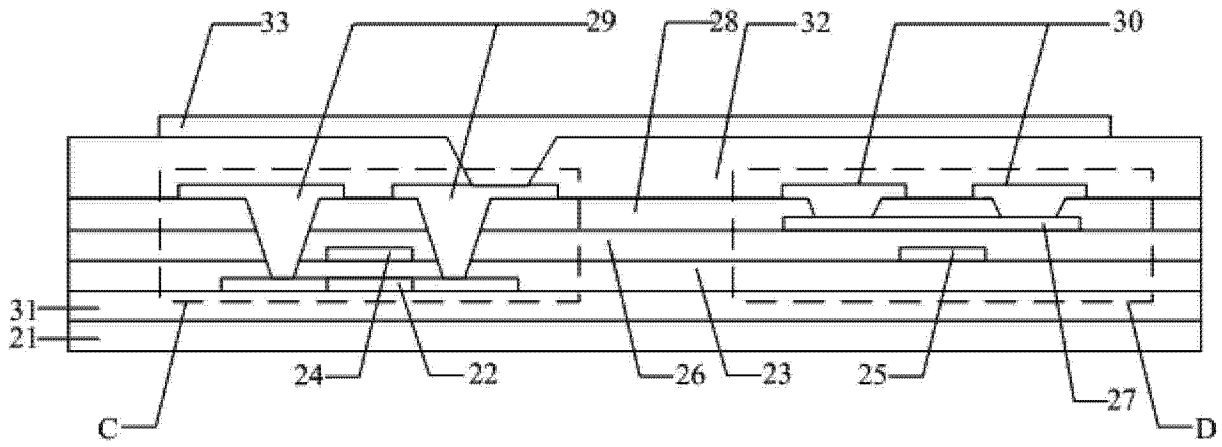


图 4h