

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-196704

(P2006-196704A)

(43) 公開日 平成18年7月27日(2006.7.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 G 7/06 (2006.01)	HO 1 G 7/06	4 E 3 5 1
HO 5 K 1/16 (2006.01)	HO 5 K 1/16	5 F 0 3 8
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	D
HO 1 L 21/822 (2006.01)		C

審査請求 未請求 請求項の数 7 O L (全 21 頁)

(21) 出願番号 特願2005-6806 (P2005-6806)
 (22) 出願日 平成17年1月13日 (2005.1.13)

(71) 出願人 000006633
 京セラ株式会社
 京都府京都市伏見区竹田鳥羽殿町6番地
 (72) 発明者 栗岡 秀治
 京都府相楽郡精華町光台3丁目5番地3号
 京セラ株式会社中央研究所内
 Fターム(参考) 4E351 AA07 BB01 BB03 BB05 BB32
 CC03 DD20 DD42 GG06
 5F038 AC05 AC15 AC18 AR07 AZ04
 BE07 CA06 DF01 EZ01 EZ14
 EZ15 EZ17 EZ20

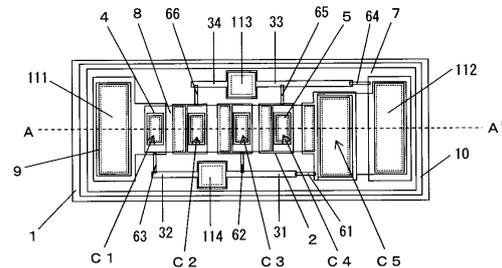
(54) 【発明の名称】 可変容量コンデンサ、回路モジュールおよび通信装置

(57) 【要約】

【課題】 所望する容量特性を精度良く得ることができ、印加電圧の極性に左右されない取り扱いの容易な可変容量コンデンサ、回路モジュールおよび通信装置を提供する。

【解決手段】 支持基板1上に、上下に配置された第1電極層2および第2電極層5と、これら2つの電極層2, 5に挟まれた、直流バイアス電圧により誘電率が変化する誘電体層4とからなる可変容量素子C1~C5が形成され、互いに隣り合う一方の可変容量素子の第2電極層5と他方の可変容量素子の第1電極層2とが電気的に接続されて直列に接続されているとともに、これら可変容量素子C1~C5のそれぞれに、前記直流バイアス電圧を印加するための抵抗成分およびインダクタンス成分の少なくとも一方を含むバイアスラインが接続されている可変容量コンデンサである。各可変容量素子C1~C5におけるリーク電流特性の違いが相殺され、印加電圧の極性を考慮する必要がなくなる。

【選択図】 図5



【特許請求の範囲】

【請求項 1】

支持基板上に、上下に配置された第 1 電極層および第 2 電極層と、これら 2 つの電極層に挟まれた、直流バイアス電圧により誘電率が変化する誘電体層とからなる複数の可変容量素子が形成され、互いに隣り合う一方の前記可変容量素子の前記第 1 電極層と他方の前記可変容量素子の前記第 2 電極層とが電氣的に接続されて直列に接続されているとともに、これら可変容量素子のそれぞれに、前記直流バイアス電圧を印加するための抵抗成分およびインダクタ成分の少なくとも一方を含むバイアスラインが接続されていることを特徴とする可変容量コンデンサ。

【請求項 2】

直列に接続された前記可変容量素子の並びの一端および他端の少なくとも一方は、それぞれ直流制限容量素子を介して、一方および他方の信号端子に接続されていることを特徴とする請求項 1 記載の可変容量コンデンサ。

10

【請求項 3】

前記可変容量素子は、 $2n + 1$ (n は自然数) 個が直列に接続されているとともに、これらの前記可変容量素子のうち、 $2i - 1$ (i は n 以下の自然数) 個の前記可変容量素子は、他の前記可変容量素子よりも、同じ直流バイアス電圧における容量値が大きいことを特徴とする請求項 1 または請求項 2 記載の可変容量コンデンサ。

【請求項 4】

直列に接続された前記可変容量素子の並びの一端および他端は、それぞれ一方および他方の信号端子に接続されているとともに、前記バイアスラインは、前記第 1 電極層の並びを、交互に前記一方および他方の信号端子に接続する、一方および他方のバイアスラインからなることを特徴とする請求項 3 記載の可変容量コンデンサ。

20

【請求項 5】

前記誘電体層は、チタン酸バリウムストロンチウムからなることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載の可変容量コンデンサ。

【請求項 6】

請求項 1 乃至請求項 5 のいずれかに記載の可変容量コンデンサが共振回路を構成するコンデンサとして用いられていることを特徴とする回路モジュール。

【請求項 7】

請求項 6 記載の回路モジュールがフィルタ手段として用いられていることを特徴とする通信装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波領域においても誘電損失が小さく良好に動作することができる可変容量コンデンサ、回路モジュールおよび通信装置に関するものであり、特に印加電圧により容量を大きく変化させることができるとともに、高周波信号による非線形歪を小さく抑えることができ、耐電力に優れ、印加電圧の極性に左右されない、取り扱いの容易な可変容量コンデンサならびにそれを用いた回路モジュールおよび通信装置に関するものである。

40

【背景技術】

【0002】

常誘電体であるチタン酸ストロンチウム (SrTiO_3) 薄膜や、強誘電体であるチタン酸バリウムストロンチウム ($(\text{Ba}, \text{Sr})\text{TiO}_3$) 薄膜は、IC 用誘電体薄膜キャパシタとして従来より使われている酸化珪素 (SiO_2) 薄膜、窒化珪素 (Si_3N_4) 薄膜、酸化タリウム (Ta_2O_5) 薄膜に比べ誘電率が高く、IC 用誘電体薄膜キャパシタの小面積化に好適な誘電体材料として期待されている。

【0003】

そして、これらチタン酸ストロンチウムやチタン酸バリウムストロンチウム等のペロブスカイト構造を有する強誘電体酸化物薄膜を誘電体層として用いた薄膜コンデンサが提案

50

されている（例えば、特許文献1を参照。）。

【0004】

特許文献1に提案されている薄膜コンデンサを図12に断面図で示す。この薄膜コンデンサ200は、支持基板201上に、第1電極層202と、薄膜誘電体層203と、第2電極層204とを順次被着形成したものである。具体的には、支持基板201上の略全面に第1電極層202となる導体層を被着形成した後、電極形状にパターン加工を行ない、所定形状の第1電極層202を形成する。次に、第1電極層202上に薄膜誘電体層203を形成する。この薄膜誘電体層203は、所定位置にマスクを載置して薄膜形成法により形成したり、あるいは、スピンコート法により形成し、その後、所定形状にパターニングしたりすることによって形成する。なお、必要に応じて薄膜誘電体層203について加熱硬化処理を行なう。次に、薄膜誘電体層203上の略全面に第2電極層204となる導体層を形成した後、第2電極層204の電極形状にパターン加工を施して所定形状の第2電極層204を形成して、薄膜コンデンサ200が形成されていた。なお、ここで、薄膜誘電体層203のうち、実際に第1電極層202と第2の電極層204とで挟持される対向領域が容量発生領域となる。

10

【0005】

このような薄膜コンデンサ200を実際に使用する場合には、薄膜誘電体層203に所定の直流バイアス電圧（バイアス信号）を印加して、薄膜誘電体層203の誘電率を所望の値に制御することにより容量特性を制御することができ、その結果、可変容量コンデンサとして機能するものとなる。ここで、第1電極層202および第2電極層204は、バイアス信号によって制御された所定の容量成分を発生する電極と、バイアス信号を薄膜誘電体層203に供給する電極との二つの役割を果たしていた。

20

【特許文献1】特開平11-260667号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、この薄膜コンデンサ200においては、例えば図13(a)および(b)にそれぞれ等価回路図で示すように、バイアス信号は薄膜コンデンサ200が実装される配線基板に形成した外部回路（バイアス供給回路）Gで供給されていた。

【0007】

ここで、図13(a)では、薄膜コンデンサ200とバイアス供給回路Gとの接続点Aとバイアス端子Vとの間に、インダクタンス成分としてのチョークコイル205が配置されている。

30

【0008】

また、図13(b)では、バイアス供給回路Gに、薄膜コンデンサ200で動作させる高周波信号の波長 λ に対して $\lambda/4$ 線路長のストリップ線路206を形成している。そして、そのストリップ線路206のバイアス端子V側の一端は接地されており、さらに、ストリップ線路206のバイアス端子V側の一端と接地部との間に直流制限容量素子208を形成している。

【0009】

このように、従来の可変容量コンデンサである薄膜コンデンサ200を利用する際には、この薄膜コンデンサ200以外に、配線基板上に薄膜コンデンサ200の構造および特性に応じたバイアス供給回路Gを用意しなくてはならなかった。このため、配線基板に実装される薄膜コンデンサ200に対応したバイアス供給回路Gを設計する必要がある、その調整に非常に複雑な手間が必要となるという問題点があった。さらに、薄膜コンデンサ200とバイアス供給回路Gとが別々に構成されるため、全体として大型化してしまうという問題点もあった。

40

【0010】

また、従来の薄膜コンデンサ200においては、高周波信号端子とバイアス端子Vとは、共通で使用されているため、外部回路にてチョークコイル205等を用いて、高周波成分（高周波信号の信号成分）と直流成分（バイアス信号）とを切り分ける必要があった。

50

【0011】

また、薄膜コンデンサ200において容量を大きく変化させるには、薄膜誘電体層203の厚みを薄くする必要がある。しかしながら、コンデンサの容量は、誘電体の面積に比例し、厚みに反比例するので、薄膜誘電体層203の厚みを薄くすると、低容量値を実現するためには容量発生部である第1電極層202および第2電極層204の電極対向面積を小さくしなければならず、作製が困難になるという問題点があった。

【0012】

また、上述のような薄膜コンデンサ200を高周波用電子部品として用いる場合には、薄膜コンデンサ200に容量を変化させるための直流バイアス電圧と、高周波信号の電圧（高周波電圧）とが同時に印加されることになる。しかしながら、高周波電圧が高い場合には、高周波電圧によっても薄膜コンデンサ200の容量が変化するため、高周波電子部品において波形歪みや相互変調歪み等が生じるようになる。これら波形歪みや相互変調歪み等を小さくするためには、高周波電界強度を下げて高周波電圧による容量変化を小さくする必要があり、そのためには、誘電体層203の厚みを厚くすることが有効であるが、誘電体層200の厚みを厚くすると直流電界強度も小さくなるため、直流バイアス電圧による容量変化率も下がってしまうという問題点がある。

10

【0013】

また、高周波領域ではコンデンサに電流が流れやすくなるため、コンデンサを高周波領域で使用中にはコンデンサの損失抵抗によりコンデンサが発熱し、破壊してしまうという耐電力上の問題がある。このような耐電力の問題に対しても、薄膜誘電体層203の厚みを厚くし、単位体積当たりの発熱量を小さくすることが有効であるが、前述のように薄膜誘電体層203の厚みを厚くすると直流電界強度も小さくなるため、直流バイアス電圧による容量変化率も下がってしまうという問題点がある。

20

【0014】

また薄膜コンデンサ200においては、薄膜誘電体層203と第1電極層202との界面の状態と、薄膜誘電体層203と第2電極層204との界面の状態とは一般的に異なるため、直流バイアス電圧を印加した場合には、その極性によりリーク電流特性が異なる場合がある。この現象は、ショットキー放出電流としてよく知られる現象である。すなわち、第1電極層202と第2電極層204とが異なる材料により形成されている場合には、第1電極層202の薄膜誘電体層203に対する仕事関数と、第2電極層204の薄膜誘電体層203に対する仕事関数とが異なるため、第1電極層202または第2電極層204のどちらから電子を放出してリーク電流が発生するかによってリーク電流の大きさが異なる。すなわち、直流バイアス電圧の極性によりリーク電流が異なることとなる。また、仮に第1電極層202と第2電極層204とが同一材料であっても、第1電極層202とその上に形成された薄膜誘電体層203との界面の状態および薄膜誘電体層203との上に形成された第2電極層204との間の界面の状態は微視的には異なるため仕事関数が異なり、この場合にも、直流バイアス電圧の極性によりリーク電流が異なることとなる。このため、薄膜コンデンサ200においては、設計時のみならず実装時にも直流バイアス電圧の極性に対して注意が必要であるという問題点があった。

30

【0015】

本発明は、以上のような従来技術における問題点を鑑みて案出されたものであり、その目的は、可変容量コンデンサに対する独立した外部のバイアス供給回路の形成を不要とし、取り扱いが容易な可変容量コンデンサを提供することにある。

40

【0016】

また、本発明の別の目的は、可変容量コンデンサに対する要求特性が低容量の場合であっても生産性よく作製できる可変容量コンデンサを提供することにある。

【0017】

本発明のさらに別の目的は、高周波信号による容量変化が抑制され、相互変調歪みが小さく、耐電力に優れ、かつ直流バイアスにより容量を大きく変化させることが可能な可変容量コンデンサを提供することにある。

【0018】

50

本発明のさらに別の目的は、直流バイアス電圧の極性の違いによる可変容量コンデンサの容量特性の違いを抑制することで、直流バイアス電圧の極性を考慮することなく簡便に実装できる可変容量コンデンサを提供することにある。

【0019】

本発明のさらに別の目的は、上記本発明の可変容量コンデンサを用いた回路モジュールおよび通信装置を提供することにある。

【課題を解決するための手段】

【0020】

本発明の可変容量コンデンサは、1) 支持基板上に、上下に配置された第1電極層および第2電極層と、これら2つの電極層に挟まれた、直流バイアス電圧により誘電率が変化する誘電体層とからなる複数の可変容量素子が形成され、互いに隣り合う一方の前記可変容量素子の前記第1電極層と他方の前記可変容量素子の前記第2電極層とが電氣的に接続されて直列に接続されているとともに、これら可変容量素子のそれぞれに、前記直流バイアス電圧を印加するための抵抗成分およびインダクタ成分の少なくとも一方を含むバイアスラインが接続されていることを特徴とするものである。

10

【0021】

また、本発明の可変容量コンデンサは、2) 上記1)において、直列に接続された前記可変容量素子の並びの一端および他端の少なくとも一方は、それぞれ直流制限容量素子を介して、一方および他方の信号端子に接続されていることを特徴とするものである。

【0022】

また、本発明の可変容量コンデンサは、3) 上記1)または2)において、前記可変容量素子は、 $2n+1$ (n は自然数)個が直列に接続されているとともに、これらの前記可変容量素子のうち、 $2i-1$ (i は n 以下の自然数)個の前記可変容量素子は、他の前記可変容量素子よりも、同じ直流バイアス電圧における容量値が大きいことを特徴とするものである。

20

【0023】

また、本発明の可変容量コンデンサは、4) 上記3)において、直列に接続された前記可変容量素子の並びの一端および他端は、それぞれ一方および他方の信号端子に接続されているとともに、前記バイアスラインは、前記第1電極層の並びを、交互に前記一方および他方の信号端子に接続する、一方および他方のバイアスラインからなることを特徴とするものである。

30

【0024】

また、本発明の第5の可変容量コンデンサは、5) 上記1)~4)のいずれかにおいて、前記誘電体層は、チタン酸バリウムストロンチウムからなることを特徴とするものである。

【0025】

また、本発明の回路モジュールは、6) 上記1)~5)のいずれかの本発明の可変容量コンデンサが共振回路を構成するコンデンサとして用いられていることを特徴とするものである。

【0026】

また、本発明の通信装置は、7) 上記6)の本発明の回路モジュールがフィルタ手段として用いられていることを特徴とするものである。

40

【発明の効果】

【0027】

本発明の可変容量コンデンサによれば、上記1)のように構成したことから、直流バイアス電圧はバイアスラインを介して各可変容量素子に単独に印加されることとなるため、直流的には各可変容量素子が並列に接続された可変容量コンデンサとなり、バイアス信号による各可変容量素子の容量変化率を最大限に利用することができる。一方、高周波信号は、バイアスラインが抵抗成分およびインダクタ成分の少なくとも一方を含むことによりバイアスラインには流れないため、高周波的には各可変容量素子が直列に接続された可変

50

容量コンデンサとなる。従って、高周波電圧は各可変容量素子に分圧されるため、高周波信号による容量変化を小さくでき、波形歪みや相互変調歪み等を効果的に抑制することができ、さらには耐電力を向上させることができる。

【0028】

さらに、各可変容量素子が直列接続されているため、1つの可変容量素子により一箇所容量を形成する場合に比べ、第1および第2電極層の面積を大きくすることができるので、可変容量コンデンサに対する要求特性が低容量の場合であっても製造が簡易となり、加工精度が向上し、精度良く、また再現性良く所望する容量値を実現することができ生産性が高くなる。

【0029】

さらに、互いに隣り合う一方の可変容量素子の第1電極層と他方の可変容量素子の第2電極層とが電氣的に接続されているため、バイアスラインを介して直流バイアス電圧を印加するときに、誘電体層に電子を放出する電極層が隣り合う可変容量素子で上下交互に配置されることとなり、第1電極層と第2電極層との材料の違いや、誘電体層と第1電極層との界面および誘電体層と第2電極層との界面の界面状態の違いに起因して仕事関数が異なる場合であっても、各可変容量素子におけるリーク電流特性の違いが、可変容量コンデンサ全体では偶数個の可変容量素子において相殺され、その結果、直流バイアス電圧の極性を入れ替えた場合の可変容量コンデンサのリーク電流特性の変化は、可変容量コンデンサを構成する可変容量素子が偶数個のときにはほとんどないものとなる。一方、可変容量素子が奇数個のときには、可変容量素子1個は相殺されないこととなるが、この可変容量素子1個のリーク電流が可変容量コンデンサ全体のリーク電流に占める割合は、ほぼ1/(可変容量素子の個数)であるので、この場合でも、直流バイアス電圧の極性によるリーク電流の変化を大幅に低減することができる。よって、このような本発明の可変容量コンデンサによれば、直流バイアス電圧の極性を考慮する必要がなく、簡便に実装できるものとなる。

10

20

【0030】

さらに、バイアスラインが抵抗成分を有する場合は、可変容量コンデンサに印加された直流バイアス電圧は、各可変容量素子の誘電体層の抵抗値とバイアスラインの抵抗成分との比に応じて誘電体層とバイアスラインとに分圧されるため、各可変容量素子のリーク電流特性が直流バイアス電圧の極性により異なる場合に、各可変容量素子の誘電体層に印加される直流バイアス電圧も、その極性により異なってくる。この分圧の影響は、誘電体層の抵抗値が低く、かつバイアスラインの抵抗値が非常に大きい場合に顕著に現れる。その結果、直流バイアス電圧を印加したときの各可変容量素子の容量値は、リーク電流特性の影響を受け、直流バイアス電圧の絶対値が同じでもその極性より異なってくる。しかし、本発明の可変容量コンデンサによれば、上記1)のように構成したことにより、上述のように各可変容量素子におけるリーク電流特性の違いが可変容量コンデンサ全体では大幅に低減されることから、各可変容量素子における直流バイアス電圧の極性による容量特性の変化も、可変容量コンデンサが偶数個の可変容量素子で構成される場合では可変容量コンデンサ全体で相殺され、奇数個の場合でも可変容量素子1個による変化にまで大幅に低減することができる。従って、本発明の可変容量コンデンサを利用する際に、直流バイアス電圧の極性を考慮する必要がなくなり、取り扱いが容易となる。

30

40

【0031】

また、本発明の可変容量コンデンサによれば、上記2)のように構成したときには、直流制限容量素子が本発明の可変容量コンデンサに含まれるので、従来の可変容量コンデンサのようにこの可変容量コンデンサが実装される外部の配線基板に独立した直流制限容量素子を形成する必要がなく、可変容量コンデンサが実装される回路基板の小型化が図れるとともに、取り扱いが容易となる。

【0032】

また、本発明の可変容量コンデンサによれば、上記3)のように構成したときには、 $2n + 1$ (n は自然数)個の可変容量素子が直列に接続されている可変容量コンデンサの容

50

量値は、 $2i - 1$ (i は n 以下の自然数) 個以外の偶数個の可変容量素子による直列合成容量値とほぼ等しくなり、 $2i - 1$ 個の可変容量素子の容量値は、可変容量コンデンサの容量値に実質的に影響を及ぼさない。従って、上述のような、可変容量コンデンサが奇数個の可変容量素子により構成されている場合の、1 個の可変容量素子に由来する容量特性の直流バイアス電圧の極性による変化が、可変容量コンデンサ全体ではほとんど表れなくなり、可変容量コンデンサが偶数個の可変容量素子で構成されている場合と実質的に同じとなる。その結果、上述のような直流バイアス電圧の極性による、各可変容量素子の容量特性の変化を、可変容量コンデンサ全体で抑制することができる。

【0033】

また、本発明の可変容量コンデンサによれば、上記 4) のように、直列に接続された可変容量素子の並びの一端が一方の信号端子に接続され、および可変容量素子の並びの他端が他方の信号端子に接続されているとともに、バイアスラインが、第 1 電極層の並びを、交互に一方および他方の信号端子に接続する、一方および他方のバイアスラインからなるものに構成したときには、高周波信号用の信号端子と、直流バイアス電圧を印加するためのバイアス端子とを、一つの端子にて共用することができるものとなるため、バイアス端子を別途形成する必要が無く、可変容量コンデンサの構造を簡便にでき、また小型化するのにも有利である。

10

【0034】

また、本発明の可変容量コンデンサによれば、上記 5) のように構成したときには、誘電体層がチタン酸バリウムストロンチウムからなるので、誘電損失が小さく、かつ容量変化率の大きいものとなる。

20

【0035】

また、本発明の回路モジュールによれば、6) 上記 1) ~ 5) のいずれかの構成の可変容量コンデンサが共振回路を構成するコンデンサとして用いられているため、コンデンサの容量変化率が大きく、かつ所望の容量を精度良く得ることができることにより、広い周波数範囲にわたり所望の共振周波数を精度良く得ることのできるものとなる。また、共振回路を構成するコンデンサが耐電力に優れ、直流バイアス電圧の極性に依存しないことから、信頼性が高く、簡便に作製でき、生産性の高いものとなる。

【0036】

また、本発明の通信装置によれば、7) 上記 6) の本発明の回路モジュールがフィルタ手段として用いられているため、広い周波数範囲にわたり所望の共振周波数を精度良く設定することにより、フィルタ手段として使用可能な周波数範囲が広く、かつ所望のフィルタ機能を精度良く得ることのできるものとなる。

30

【発明を実施するための最良の形態】

【0037】

以下、本発明の可変容量コンデンサについて、図面を参照しつつ詳細に説明する。

【0038】

図 1 および図 2 は本発明の第 1 の可変容量コンデンサの実施の形態の一例を示すものであり、4 個の可変容量素子が直列に接続されている場合を示すものである。図 1 は透視状態を示す平面図であり、図 2 は図 1 に示す例の A - A' 線における断面図である。

40

【0039】

図 1 および図 2 において、1 は支持基板であり、2 は第 1 電極層であり、4 は誘電体層であり、5 は第 2 電極層であり、31, 32, 33, 34 はそれぞれ導体ラインであり、61, 62, 63, 64, 65 はそれぞれ薄膜抵抗であり、7 は絶縁層であり、8 は互いに隣り合う一方の可変容量素子の第 1 電極層 2 と他方の可変容量素子の第 2 電極層 5 とを電気的に接続するための引出し電極層であり、9 は半田拡散防止層であり、10 は保護層であり、111, 112, 113, 114 はそれぞれ半田端子部である。

【0040】

なお、この半田拡散防止層 9 および半田端子部 111, 112 で信号端子を構成している。また、半田拡散防止層 9 および半田端子部 113, 114 でバイアス端子を構成している。以下、

50

半田拡散防止層 9 と半田端子部 111 とで構成される信号端子を第 1 の信号端子、半田拡散防止層 9 と半田端子部 112 とで構成される信号端子を第 2 の信号端子、半田拡散防止層 9 と半田端子部 114 とで構成されるバイアス端子を第 1 のバイアス端子、半田拡散防止層 9 と半田端子部 113 とで構成されるバイアス端子を第 2 のバイアス端子という。また図 1 および図 2 において、C 1, C 2, C 3, C 4 は、それぞれ上下に配置された第 1 電極層 2 および第 2 電極層 5 と、これら 2 つの電極層 2, 5 に挟まれた誘電体層 4 とからなる、印加電圧としての直流バイアス電圧により容量が変化する可変容量素子を示す。

【0041】

さらに、図 1 に示す例において、導体ライン 31, 32 に抵抗成分として薄膜抵抗 61, 62, 63 を接続して構成されるバイアスラインを第 1 のバイアスライン、導体ライン 33, 34 に抵抗成分として薄膜抵抗 64, 65 を接続して構成されるバイアスラインを第 2 のバイアスラインという。

10

【0042】

支持基板 1 は、アルミナ等のセラミック基板、サファイア等の単結晶基板等である。そして、支持基板 1 の上に第 1 電極層 2、誘電体層 4 および第 2 電極層 5 を順次、支持基板 1 のほぼ全面に成膜する。これらの各層の成膜終了後、第 2 電極層 5、誘電体層 4 および第 1 電極層 2 を順次、所定の形状にエッチングする。

【0043】

第 1 電極層 2、誘電体層 4、および第 2 電極層 5 の成膜に際しては、第 1 電極層 2 と誘電体層 4 との間、ならびに誘電体層 4 と第 2 電極層 5 との間に、パーティクル等の可変容量コンデンサの特性を劣化させる要因になりうる不純物の混入を最低限に抑制することが望ましい。従って、これら第 1 電極層 2、誘電体層 4 および第 2 電極層 5 の成膜は、同じ成膜装置で、成膜室を大気開放せずに連続して行なうことが望ましい。このため、具体的な成膜方法としては、スパッタリング法が好適である。

20

【0044】

第 1 電極層 2 は、誘電体層 4 の形成に高温スパッタリングが必要となるため、その高温に耐えられるように高融点であることが必要である。具体的には、Pt, Pd 等の金属材料から成るものである。さらに、第 1 電極層 2 は、高温スパッタリングによる形成後、誘電体層 4 のスパッタリング温度である 700~900 ℃ へ加熱され、誘電体層 4 のスパッタリング開始まで一定時間保持することにより、平坦な層となる。

30

【0045】

第 1 電極層 2 の厚みは、第 1 電極層 2 自身の抵抗成分や連続性を考慮した場合には厚い方が望ましいが、支持基板 1 との密着性を考慮した場合には相対的に薄い方が望ましく、両方を考慮して決定される。具体的には、0.1 μm ~ 10 μm である。なぜなら、第 1 電極層 2 の厚みが 0.1 μm よりも薄くなると、第 1 電極層 2 自身の抵抗が大きくなるほか、第 1 電極層 2 の連続性が確保できなくなる可能性があるからであり、一方、10 μm より厚くすると、内部応力が大きくなって、支持基板 1 との密着性が低下したり、支持基板 1 の反りを生じたりするおそれがあるからである。

【0046】

誘電体層 4 は、少なくとも Ba, Sr, Ti を含有するペロブスカイト型酸化物結晶粒子からなる高誘電率の誘電体層であることが好ましい。中でも、チタン酸バリウムストロンチウムを用いることにより、誘電損失が低く、かつ容量変化率の大きいものとなるので好ましい。この誘電体層 4 は、第 1 電極層 2 の表面（上面）に形成されている。例えば、ペロブスカイト型酸化物結晶が得られる誘電体材料をターゲットとして、スパッタリング法による成膜を所望の厚みになる時間まで行なう。このとき、基板温度を高く、例えば 800 ℃ として高温スパッタリングを行なうことにより、スパッタリング後の熱処理を行なうことなく、高誘電率で容量変化率の大きい、低損失の誘電体層 4 を得ることができる。

40

【0047】

第 2 電極層 5 の材料としては、この層の抵抗を下げるため、抵抗率の小さな Au が望ましいが、誘電体層 4 との密着性向上のためには、Pt を用いたり、Pt 等を密着層として

50

用いたりすることが望ましい。この第2電極層5の厚みは $0.1\mu\text{m} \sim 10\mu\text{m}$ となっている。この厚みの下限については、第1電極層2と同様に、第2電極層5自身の抵抗と連続性を考慮して設定される。また、厚みの上限については、誘電体層4との密着性を考慮して設定されるが、誘電体層4の厚み以下とすることにより、後の第2電極層5のエッチングの際に誘電体層4への影響を少なくすることができ、エッチングによるパターンニング精度が向上するため、所望する容量値を精度良く得ることができる。

【0048】

上述のように成膜した後、第2電極層5、誘電体4および第1電極層2を、順次、所定の形状にエッチングする。エッチングは、レジストをスピンコーティング法等により全面に均一に塗布し、フォトリソグラフィ法によりレジストを所定の形状にパターンニングした後、ウェットエッチングもしくはドライエッチングにより行なう。可変容量素子C1～C4の容量値は第2電極層5の面積により決定されるため、第2電極層5のエッチングでは、より精度の高いドライエッチングを用いることが望ましい。

10

【0049】

ドライエッチングは、例えば電子サイクロトロン共鳴装置（ECR装置）を用い、アルゴンプラズマをエッチャントとして行なうことができる。

【0050】

なお、誘電体層4のエッチングはウェットエッチングおよびドライエッチングのどちらにより行なってもよい。

【0051】

また、第1電極層2のエッチングは、ウェットエッチングおよびドライエッチングのどちらを用いてもよいが、第1電極層2の厚みが厚い場合には、パターンニング精度の観点から、第2電極層5と同様にドライエッチングにより行なうことが望ましい。

20

【0052】

以上のような第2電極層5、誘電体層4および第1電極層2のエッチングにおいては、誘電体層4の下面は第1電極層2の上面より小さく、第2電極層5の下面は誘電体層4の上面よりも小さくなるようにエッチングされる。これにより、電界の集中しやすい第1電極層2の外縁部分に誘電体層4がないので、リーク電流特性が向上する。

【0053】

このようにして、可変容量素子C1～C4を得ることができる。

30

【0054】

ここで、第1の信号端子と可変容量素子C1と、および可変容量素子C4と第2の信号端子とを電気的に接続するために、支持基板1上の第1および第2の信号端子を形成する位置に導電性材料からなる導電層を形成することが望ましい。この導電層は、可変容量コンデンサC1～C4を形成した後に、新たに成膜することで形成してもよいが、第1電極層2のパターンニングの際に、同時にこれら導電層も形成するようにパターンニングを行なうことによって、第1電極層2と同一の材料および同一の工程で形成してもよい。

【0055】

第1バイアスラインは、導体ライン31, 32および薄膜抵抗61, 62, 63とから構成されており、第1のバイアス端子から第1の可変容量素子C1の第1電極層2との間、第3の可変容量素子C3の第1電極層2との間、および第4の可変容量素子C4の第2電極層5、すなわち第4の可変容量素子C4の第2電極層5と引き出し電極8を介して電気的に接続された第2の信号端子の配置位置に形成された導電層との間をそれぞれ接続するように設けられており、第1のバイアス端子を介して外部回路と接続される。

40

【0056】

第2バイアスラインは、導体ライン33, 34および薄膜抵抗64, 65から構成されており、第2のバイアス端子から第2の可変容量素子C2の第1電極層2との間および第4の可変容量素子C4の第1電極層2との間をそれぞれ接続するように設けられており、第2のバイアス端子を介して外部回路と接続される。

【0057】

50

このような構成の第1および第2バイアスラインを設けることにより、可変容量素子C1～C4は第1および第2バイアスラインを介して並列に接続されている。

【0058】

この導体ライン31, 32, 33, 34は、上述の第1電極層2、誘電体層4および第2電極層5を順次、所望の形状に形成した後、新たに成膜することによって形成することができる。その際には、既に形成した第1電極層2, 誘電体層4および第2電極層5を保護するためにリフトオフ法を用いることが望ましい。

【0059】

なお、これに限らず、この導体ライン31, 32, 33, 34は、第1電極層2のパターニングの際に、同時にこれら導体ライン31～34も形成するようにパターニングを行なうことによって形成することで、第1電極層2と同一の材料および同一の工程で形成してもよい。

【0060】

ここで、第1および第2のバイアス端子の形成位置にて導体ライン31と導体ライン32と、および導体ライン33と導体ライン34とをそれぞれ電氣的に接続するために、支持基板1上の第1および第2のバイアス端子を形成する位置に導電性材料からなる導電層を形成することが望ましい。この導電層は、可変容量コンデンサC1～C4を形成した後に新たに成膜して形成してもよいが、導体ライン31～34を形成するときに、導体ライン31～34の第1および第2のバイアス端子の形成位置における形状を第1および第2のバイアス端子の形状に合わせて形成することで、同時にこれら導電層も一体となるように形成するようにパターニングを行なうことによって、導体ライン31～34と同一の材料および同一の工程で形成してもよい。

【0061】

なお、第1および第2のバイアス端子を、本発明の可変容量コンデンサの中心に対して互いに点对称の位置に配置することにより、可変容量コンデンサを図1に示す平面図において上下反対にしても配線基板に実装することができるため、取り扱いが容易となる。

【0062】

次に、第1および第2のバイアスラインを構成する薄膜抵抗61～65の材料としては、比抵抗が1 cm以上であるものが望ましい。このような高抵抗の材料を用いることにより、所望の抵抗を有する薄膜抵抗61～65を小さな形状で作製することができ、小型集積化に有利となる。薄膜抵抗61～65の具体的な材料として、窒化タンタル, TaSiN, Ta-Si-Oを例示することができる。例えば、窒化タンタルの場合であれば、Ta(タンタル)をターゲットとして、窒素を雰囲気中に加えてスパッタリングを行なうリアクティブスパッタリング法により、所望の組成比, 抵抗率の薄膜抵抗61～65を成膜することができる。

【0063】

このスパッタリングの条件を適宜選択することにより、比抵抗1 cm以上の膜を作製することができる。さらに、スパッタリングの終了後、レジストを塗布して所定の形状にした後、これをマスクとして反応性イオンエッチング(RIE)等のエッチングプロセスを行なうことにより、簡便にパターニングすることができる。

【0064】

第1および第2バイアスラインの抵抗値は、使用する周波数領域において第1および第2バイアスラインのインピーダンスが各可変容量素子C1～C4のインピーダンスよりも大きくなるように設定される。導体ライン31～34の抵抗値は薄膜抵抗61～65の抵抗値と比較して非常に小さくなるため、第1および第2バイアスラインの抵抗値は薄膜抵抗61～65の抵抗値とほぼ等しくなる。従って、薄膜抵抗61～65の抵抗値を、使用する周波数領域において、各可変容量素子C1～C4のインピーダンスより大きくなるように設定する。例えば、この可変容量コンデンサを周波数1 GHzで使用し、可変容量素子C1～C4の容量を4 pFとした場合には、この周波数の1/10の周波数(100 MHz)からインピーダンスに悪影響を与えないように、薄膜抵抗61～65の抵抗値を可変容量素子C1～C4の100 MHzでのインピーダンスの10倍以上の抵抗値に設定するものとする、必要な薄膜抵

10

20

30

40

50

抗61~65の抵抗値は約4kΩ以上となる。一方で、薄膜抵抗61~65を、上述の比抵抗が1Ω/cmの材料を用いて、例えば膜厚を50nmとし、アスペクト比(長さ/幅)を50として形成すると、10kΩの抵抗値を得ることができるので、4kΩ以上の抵抗値を有する薄膜抵抗61~65は容易に、かつ形状を大きくすることなく実現できる。

【0065】

これら薄膜抵抗61~65を含む第1および第2のバイアスラインは、支持基板1上に直接形成されている。これにより、可変容量素子C1~C4上に形成する場合に必要な、第1電極層2、第2電極層5および引出し電極層8との絶縁を確保するための絶縁体層が不要となり、可変容量コンデンサの構成を簡易なものとすることができる。また、第1および第2バイアスラインを可変容量コンデンサ内に設けることにより、この可変容量コンデンサが実装される配線基板に外部のバイアス供給回路を形成する必要がないので、回路の小型化が図れるとともに、取り扱いが容易となる。

10

【0066】

また、図1に示す例では可変容量素子C1~4の第1電極層2および第2の信号端子の形成位置に成膜した導電層に薄膜抵抗61~65の一端をそれぞれ接合し、薄膜抵抗61~65の他端を導体ライン31~34に接合しているが、可変容量素子C1~C4の第1電極層2および第2の信号端子の形成位置に成膜した導電層と第1および第2のバイアス端子とを接続する導体ライン31~34の途中に薄膜抵抗61~65を設けてもよい。

【0067】

次に、絶縁層7を形成する。絶縁層7は、同一の可変容量素子内における第2電極層5の上に形成する引出し電極層8と第1電極層2との絶縁を確保するほか、誘電体層4を覆うことにより、可変容量コンデンサの耐湿性を向上させる目的で形成する。

20

【0068】

また、絶縁層7は、通常のレジストを用いるドライエッチング法等により、所望の形状に加工して形成する。絶縁層7には、図1中に点線で示している、第1の信号端子と可変容量素子C1の第1電極層2とを接続するための貫通孔、第2電極層5と引出し電極層8とを接続するための貫通孔、隣り合う可変容量素子の引出し電極層8と第1電極層2とを接続するための貫通孔、引出し電極層8と第2の信号端子とを接続するための貫通孔が設けられる。

【0069】

絶縁層7の材料には、耐湿性を向上させるために、例えば二酸化ケイ素や窒化ケイ素を用いることができる。これらは、被覆性を考慮して、化学気相堆積(CVD)法等により成膜することが望ましい。

30

【0070】

次に、引出し電極層8は、可変容量素子C1の第2電極層5と可変容量素子C2の第1電極層2と、可変容量素子C2の第2電極層5と可変容量素子C3の第1電極層2と、可変容量素子C3の第2電極層5と可変容量素子C4の第1電極層2と、可変容量素子C4の第2電極層5と第2の信号端子を形成する位置に成膜された導電層とを、それぞれ絶縁層7の貫通孔を通して電氣的に接続するように形成される。

【0071】

ここで、可変容量素子C1の第1電極層2を第1の信号端子と電氣的に接続することにより、第1の信号端子から第2の信号端子まで可変容量素子C1~C4が直列に接続される。可変容量素子C1の第1電極層2を第1の信号端子と電氣的に接続するには、例えば、可変容量素子C1の第1電極層2と第1の信号端子を形成する位置に成膜された導電層とを電氣的に接続させてもよいし、第1の信号端子と可変容量素子C1とで第1電極層2を共用するように、可変容量素子C1の第1電極層2を第1の信号端子を形成する位置まで連続して形成してもよい。

40

【0072】

この引出し電極層8の材料としては、Au、Cu等の低抵抗な金属を用いることが望ましい。また、引出し電極層8に対する絶縁層7の密着性を考慮して、Ti、Ni等の密着

50

層を使用してもよい。

【0073】

なお、引出し電極層8を形成するときに、第1および第2の信号端子、第1および第2のバイアス端子の形成位置に、引出し電極層8を構成する材料からなる層を形成することが好ましい。第1および第2の信号端子、第1および第2のバイアス端子を形成する位置の高さを揃えることにより、実装が容易となるからである。

【0074】

次に、半田拡散防止層9を形成する。半田拡散防止層9は、半田端子部111~114を形成する際のリフローや実装の際に、半田端子部111~114の半田の引出し電極層8あるいは第1電極層2への拡散を防止するために形成する。この半田拡散防止層9の材料としては、Niが好適である。また、半田拡散防止層9の表面には、半田濡れ性を向上させるために、半田濡れ性の高いAu、Cu等を0.1 μ m程度形成する場合もある。

10

【0075】

次に、半田端子部111~114を露出させて、その他全体を被覆するように保護層10を形成する。保護層10は、可変容量コンデンサの構成部材を機械的に保護するほか、薬品等による汚染から保護するためのものである。ただし、この保護層10を形成するときには、半田端子111~114を形成する位置の半田拡散防止層9を露出させて形成する。保護層10の材料としては、耐熱性が高く、段差に対する被覆性が優れたものがよく、具体的にはポリイミド樹脂やBCB(ベンゾシクロブテン)樹脂等を用いる。これらは、樹脂原料溶液をスピコーティング法等により塗布した後、所定の温度で硬化させることにより形成される。

20

【0076】

最後に、半田拡散防止層9の上に半田端子部111, 112, 113, 114を形成する。これらは、可変容量コンデンサの外部の配線基板への実装を容易にするために形成する。これら半田端子部111, 112, 113, 114は、半田端子部111, 112, 113, 114に所定のマスクを用いて半田ペーストを印刷後、リフローを行なうことにより形成するのが一般的である。

【0077】

以上のような構成の本発明の可変容量コンデンサにおいては、入力端子と出力端子となる第1および第2の信号端子間で可変容量素子C1~C4が直列接続されており、かつ第1および第2バイアスラインを構成する薄膜抵抗61~65が可変容量素子C1~C4のインピーダンスに比べ十分大きいインピーダンス成分となっていることより、第1および第2の信号端子より供給される高周波信号が第1および第2バイアスラインを介して高周波信号が漏れることがない。このため、本発明の可変容量コンデンサは、可変容量素子C1~C4が高周波的には直列に接続されていることになる。

30

【0078】

従って、各可変容量素子C1~C4の容量形成部となる第1電極層2および第2電極層5の面積を大きくすることができるため、加工精度が向上し、精度良く、また再現性良く所望する容量値を実現することができる。

【0079】

また、これら直列接続された可変容量素子C1~C4に印加される高周波電圧は各々の可変容量素子C1~C4に分圧されるため、個々の可変容量素子C1~C4に印加される高周波電圧は減少する。これにより、高周波信号に対する容量変動を小さく抑えることができ、高周波電子部品における波形歪みや相互変調歪み等を効果的に抑制することができる。とともに、耐電力性を向上させることができる。

40

【0080】

また、本発明の可変容量素子C1~C4においては、可変容量素子C1~C4の容量特性を制御する印加電圧である直流バイアス電圧は、第1または第2のバイアス端子から第1および第2バイアスラインを介して可変容量素子C1~C4に流れる。この可変容量素子C1~C4に印加される直流バイアス電圧の大きさに応じて、可変容量素子C1~C4は所定の誘電率となり、その結果、所望の容量特性が得られることとなる。

【0081】

50

ここで、可変容量素子 C 1 ~ C 4 は、第 1 および第 2 バイアスラインを介して並列に接続されているため、直流バイアス電圧を安定して個々の可変容量素子 C 1 ~ C 4 に供給することができ、容量特性の制御が容易な可変容量コンデンサとなる。

【 0 0 8 2 】

また、可変容量素子 C 1 ~ C 4 に印加される高周波電圧は第 1 および第 2 バイアスラインを介して高周波信号が漏れることがないので、直流バイアス電圧をさらに安定して可変容量素子 C 1 ~ C 4 に印加でき、その結果、直流バイアス電圧による可変容量素子 C 1 ~ C 4 の容量変化率を最大限に利用できるものとなる。

【 0 0 8 3 】

ここで、可変容量素子 C 1 ~ C 4 の容量特性は直流バイアス電圧を印加して制御するが、外部から印加する直流バイアス電圧を V_o 、第 1 および第 2 バイアスラインの抵抗成分の大きさを R_b 、可変容量素子 C 1 ~ C 4 の誘電体層 4 の絶縁抵抗の大きさを R_c とすると、実際に可変容量素子 C 1 ~ C 4 に印加される直流バイアス電圧の大きさは、第 1 および第 2 バイアスラインが抵抗成分を有するため分圧され、 $V_o \times R_c / (R_b + R_c)$ となる。可変容量素子 C 1 ~ C 4 の絶縁抵抗の大きさ R_c は、リーク電流の大きさにより変わるので、直流バイアス電圧の極性が異なると、実際に可変容量素子 C 1 ~ C 4 に印加される直流バイアス電圧の大きさも異なることとなる。その結果、外部より同じ直流バイアス電圧を印加しても、直流バイアス電圧の極性により、可変容量素子 C 1 ~ C 4 の容量特性が異なることとなる。

【 0 0 8 4 】

そこで、本発明の可変容量コンデンサにおいては、可変容量素子 C 1 ~ C 4 に直流バイアス電圧を印加したときに誘電体層 4 に電子を放出する電極を隣り合う可変容量素子で上下交互に配置することにより、個々の可変容量素子 C 1 ~ C 4 に着目すると、可変容量素子 C 1、C 3 と可変容量素子 C 2、C 4 とではリーク電流特性が異なり、その結果得られる容量特性も異なってくるが、これらの可変容量素子の数を偶数とすることにより、可変容量素子 C 1、C 3 と、可変容量素子 C 2、C 4 とで容量特性の変化を相殺するので、直流バイアス電圧の極性を入れ替えても可変容量コンデンサ全体の容量は変化しないものとなる。従って、本発明の可変容量コンデンサを実装する際には極性を考慮する必要がなく、簡便に実装できる。

【 0 0 8 5 】

次に、図 3 および図 4 に本発明の第 2 の可変容量コンデンサの実施の形態の一例を示す。

【 0 0 8 6 】

これらの図は 4 個の可変容量素子が直列に接続されている場合を示すものであり、図 3 は透視状態を示す平面図であり、図 4 は図 3 に示す例の A - A' 線における断面図である。

【 0 0 8 7 】

図 3 および図 4 には、図 1 および図 2 と同様の箇所には同じ符号を付しており、それらについての重複する説明は省略する。

【 0 0 8 8 】

図 3 および図 4 において、C 5、C 6 は直流制限容量素子である。これら直流制限容量素子 C 5、C 6 は、直流バイアス電圧の影響を第 1 および第 2 の信号端子の側に伝えないよう形成される。直流制限容量素子 C 5 は第 1 の信号端子と可変容量素子 C 1 との間に、直流制限容量素子 C 6 は可変容量素子 C 4 と第 2 の信号端子との間に、それぞれ可変容量素子 C 1 ~ C 4 と同一材料、同一工程にて形成してもよく、また、直流制限容量素子の誘電体層に、酸化ケイ素や窒化ケイ素等他の誘電体を用いてもよい。

【 0 0 8 9 】

直流制限容量素子 C 5 は可変容量素子 C 1 と共通の第 1 電極層 2 を用い、また直流制限容量素子 C 6 の第 1 電極層 2 は、可変容量素子 C 4 の第 2 電極層 2 と引出し電極層 8 を介して電氣的に接続され、直流制限容量素子 C 5、C 6 はそれぞれの第 2 電極層 5 から引出

10

20

30

40

50

し電極層 8 により第 1 および第 2 の信号端子と電氣的に接続されることにより、第 1 の信号端子、直流制限容量素子 C 5、可変容量素子 C 1 ~ C 4、直流制限容量素子 C 6、第 2 の信号端子の順に直列接続される。なお、第 1 の信号端子と直流制限容量素子 C 5 とで第 1 電極層 2 を共用するように、直流制限容量素子 C 5 の第 1 電極層 2 を第 1 の信号端子を形成する位置まで連続して形成し、直流制限容量素子 C 5 と可変容量素子 C 1 とを、可変容量素子 C 1 ~ C 4 のそれぞれの接続方法と同様に、直流制限容量素子 C 5 の第 2 電極層 5 と可変容量素子 C 1 の第 1 電極層 2 とを引き出し電極 8 を介して電氣的に接合して、第 1 の信号端子、直流制限容量素子 C 5、可変容量素子 C 1 ~ C 4、直流制限容量素子 C 6、第 2 の信号端子の順に直列接続してもよい。

【0090】

直流制限容量素子 C 5、C 6 の容量値は、例えば直流制限容量素子 C 5、C 6 の形成面積を可変容量素子 C 1 ~ C 4 に比べ大きくすることにより、高周波帯での可変容量コンデンサの容量値に影響を与えない程度に十分に大きいものとする。これにより、直流制限容量素子 C 5、C 6 がない場合の容量変化率とほぼ同等の容量変化率を得ることができる。

【0091】

直流制限容量素子 C 5、C 6 においては、誘電体層 4 として可変容量素子 C 1 ~ C 4 と同じ材料が用いられているが、前述のように、これらの容量値は高周波帯での可変容量コンデンサの容量値に影響を与えない程度に十分に大きいものとしているので、仮に直流制限容量素子 C 5、C 6 の容量が変化したとしても、可変容量コンデンサの容量値や容量変化率への影響はほとんどない。

【0092】

以上のような構成の本発明の第 2 の可変容量コンデンサによれば、直流制限容量素子 C 5、C 6 を具備していることから、この可変容量コンデンサが実装される配線基板に直流制限容量素子を形成する必要がないので、回路の小型化が図れるとともに、取り扱いが容易な可変容量コンデンサとなる。

【0093】

次に、図 5 および図 6 に本発明の第 3 の可変容量コンデンサの実施の形態の一例を示す。

【0094】

これらの図は 5 個 ($n = 2$) の可変容量素子が直列に接続されている場合を示すものであり、図 5 は透視状態を示す平面図であり、図 6 は図 3 に示す例の A - A' 線における断面図である。

【0095】

図 5 および図 6 には、図 1 および図 2、あるいは図 3 および図 4 と同様の箇所には同じ符号を付しており、それらについての重複する説明は省略する。

【0096】

図 5 および図 6 においては、 $i = 1$ の場合を示しており、C 5 が他の可変容量素子 C 1 ~ C 4 と比較して、同じ直流バイアス電圧において他の可変容量素子 C 1 ~ C 4 よりも容量値が大きくなっている。

【0097】

可変容量素子 C 5 の容量値の大きさは、他の可変容量素子 C 1 ~ C 4 に対して、可変容量コンデンサの容量値に実質的に寄与しない程度の大きさであることが望ましい。例えば、図 5 および図 6 に示すような 5 個の可変容量素子 C 1 ~ C 5 が直列に接続されている場合は、可変容量素子 C 5 の容量値が他の可変容量素子の容量値の 25 倍であれば、可変容量コンデンサの容量値は可変容量素子 C 1 ~ C 4 からなる直列合成容量値のほぼ 0.99 倍となるので、可変容量素子 C 5 の容量値は、可変容量コンデンサの容量値に実質的に寄与しないようになる。

【0098】

可変容量素子 C 5 の容量値は、他の可変容量素子 C 1 ~ C 4 の容量値に対して大きければ大きいほど、可変容量コンデンサの容量値に寄与しなくなる。一般的に容量値を大きく

10

20

30

40

50

するには、容量形成部の面積を大きくする、もしくは誘電体層の膜厚を薄くするという方法が用いられるが、本発明の可変容量コンデンサにおいて、可変容量素子C5の誘電体層4の膜厚を薄くするのは、可変容量素子C5の信頼性を低下させる可能性があるので好ましくない。従って、容量形成部の面積を大きくすることにより、可変容量素子C5の容量値を大きくすることが好ましいが、一方で、容量形成部の面積を大きくすることは、可変容量コンデンサの素子形状を大きくすることにつながるため、素子の小型化の点で不利となる。また、容量形成部の面積を大きくすると、それに伴い直流バイアス電圧によるリーク電流値が増大し、直流バイアス電圧の極性による可変容量コンデンサのリーク電流の変化が大きくなるが、これを抑制するために可変容量素子C5の誘電体層4のみ膜厚を厚くする、もしくは他の誘電体を積層するなどの方法も可能である。この場合、同じ直流バイ

10

【0099】

可変容量素子C5の第1電極層2は、可変容量素子C4の第2電極層2と引出し電極層8を介して電氣的に接続され、可変容量素子C5の第2電極層5は引出し電極層8により

20

【0100】

以上のような構成の本発明の第3の可変容量コンデンサによれば、可変容量コンデンサの容量値は実質的に偶数個の可変容量素子C1～C4で決定され、可変容量素子C1、C3と可変容量素子C2、C4とで直流バイアス電圧の極性による容量特性の変化を相殺するので、直流バイアス電圧の極性を入れ替えても可変容量コンデンサ全体の容量は変化しないものとなる。従って、本発明の可変容量コンデンサを実装する際には極性を考慮する必要がなく、簡便に実装することができる。

【0101】

次に、図7に本発明の第4の可変容量コンデンサの実施の形態の一例を示す。

【0102】

この図は5個の可変容量素子が直列に接続されている場合を示すものであり、透視状態を示す平面図である。

【0103】

図7には、図1および図2、あるいは図3および図4、図5および図6と同様の箇所には同じ符号を付しており、それらについての重複する説明は省略する。

【0104】

図7において、第1バイアスラインは導体ライン31と薄膜抵抗61、62とからなっており、導体ライン31は第1信号端子に直接接続されている。また、第2バイアスラインは導体

40

ライン32と薄膜抵抗63、64とからなり、導体ライン32は第2信号端子に直接接続されている。以上のような構造により、直流バイアス電圧印加用のバイアス端子と高周波信号用の信号端子とを一つの端子で共用することができるものとなっている。例えば図7においては、図1あるいは図3あるいは図5における第1信号端子と第1バイアス端子とが、新たに半田拡散防止層9と半田端子部111とで構成される第1信号端子として共用されており、図1あるいは図3あるいは図5における第2信号端子と第2バイアス端子とが、新たに半田拡散防止層9と半田端子部112とで構成される第2信号端子として共用されている。従って、バイアス端子を別途形成する必要がないので構造が簡略化され、かつ素子の小型化に有利となる。

【0105】

10

20

30

40

50

さらに、図7において、バイアスラインの抵抗成分としての薄膜抵抗61は可変容量素子C5の第1電極層2に接続され、薄膜抵抗62は可変容量素子C3の、薄膜抵抗63は可変容量素子C4の、薄膜抵抗64は可変容量素子C2のそれぞれ第1電極層2に接続されている。これにより、可変容量素子C2～C5の第1電極層2は、交互に第1信号端子もしくは第2信号端子に、第1バイアスラインもしくは第2バイアスラインを介して第1信号端子もしくは第2信号端子に接続されている。可変容量素子C1においては、第1電極層2が第1信号端子まで連続するように形成されており、第1電極層2は第1信号端子と同一電位となるので、可変容量素子C1の第1電極層2に薄膜抵抗を接続する必要はない。従って、バイアス端子を別途形成する場合と比較して、薄膜抵抗の数が低減され、素子の容量特性が安定する。

10

【0106】

以上のような構成の本発明の第4の可変容量コンデンサによれば、本発明の第3の可変容量コンデンサと同様に、直流バイアス電圧の極性を入れ替えても可変容量コンデンサ全体の容量は変化しないものとなり、本発明の可変容量コンデンサを実装する際には極性を考慮する必要がなく、簡便に実装できるほか、バイアス端子を別途形成する必要がないので、素子の小型化に有利となる。さらに、薄膜抵抗の数が低減されるので、直流バイアス電圧を印加したときの容量特性がさらに安定する。

【0107】

次に、本発明の回路モジュールおよび通信装置について説明する。

【0108】

本発明の回路モジュールは、上記いずれかの本発明の可変容量コンデンサと、インダクタおよび抵抗の少なくとも一つと、これらに電圧を印加できる電圧供給部とを備えた共振回路として構成されている。本発明の回路モジュールによれば、本発明の可変容量コンデンサが共振回路を構成するコンデンサとして用いられているため、コンデンサの容量変化率が大きく、かつ所望の容量を精度良く得ることができることにより、直流バイアス電圧の印加により広い周波数範囲にわたり所望の共振周波数を精度良く得ることのできるものとなる。また、コンデンサが耐電力に優れ、直流バイアス電圧の極性に依存しないことから、信頼性が高く、簡便に作製でき、生産性の高いものとなる。

20

【0109】

また、本発明の通信装置は、上記構成の本発明の回路モジュールをフィルタ手段として用いた構成となっている。例えば、上記回路モジュールとインダクタ、キャパシタ等を組み合わせることで帯域通過フィルタとなり、広い周波数範囲にわたり所望の共振周波数を精度良く設定できることにより、使用可能な周波数範囲が広く、かつ所望の通過帯域を精度良く得ることのできるものとなる。このように、本発明の通信装置によれば、広い周波数範囲にわたり所望の共振周波数を精度良く設定できることにより、フィルタ手段として使用可能な周波数範囲が広く、かつ所望のフィルタ機能を精度良く得ることのできるものとなる。

30

【0110】

なお、本発明は以上の実施の形態の例に限定されるものではなく、本発明の要旨を逸脱しない範囲であれば、種々の変更を加えることは何ら差し支えない。

40

【0111】

例えば、支持基板1上の複数領域にそれぞれ直列接続した可変容量素子からなる本発明の可変容量コンデンサを形成したり、第1および第2バイアスラインをインダクタや伝送線路で形成したりしてもよい。

【0112】

また、以上の実施の形態の例では支持基板1の上に第1電極層2を形成し、その上に誘電体層4、第2電極層5を形成しているが、一端に位置する可変容量素子の第1電極層2が一方の信号端子に接続され、他端に位置する可変容量素子の第2電極層5が他方の信号端子に接続されるように複数個の可変容量素子を直列接続すれば、支持基板1上に第2電極層5を形成し、その上に誘電体層4、第1電極層2を形成してもよい。

50

【0113】

さらには、上記図5あるいは図7に示すような実施の形態の例において、絶縁層7を形成する際、可変容量素子C5の部分のみ貫通孔ではなく、一部絶縁層を残すように加工し、その上に引出し電極層8を形成することによって、可変容量素子C5の誘電体層4の膜厚を実質的に厚くしてもよい。これにより、可変容量素子C5のリーク電流を低減することができる。

【実施例】

【0114】

次に、本発明をより具体化した実施例について説明する。実施例として、図7に示す本発明の第4の可変容量コンデンサを具体化した例について説明する。

10

【0115】

直流バイアス電圧の無印加時の容量値が10pFの可変容量素子C1~C4と250pFの可変容量素子C5とを直列に接続した可変容量コンデンサを以下のようにして作製した。なお、3Vの直流バイアス電圧を印加したときの容量変化率は、可変容量素子C1~C5全てにおいて30%であった。

【0116】

サファイアのR基板からなる支持基板1上に、第1電極層2としてPtを、基板温度500℃でスパッタリング法にて成膜した。次に、誘電体層4として($Ba_{0.5}Sr_{0.5}$) TiO_3 からなるターゲットを用い、基板温度は800℃、成膜時間は15分で、第1電極層2と同一バッチでスパッタリング法にて成膜した。このとき、誘電体層4の成膜開始前に、Ptからなる第1電極層2の平坦化のためのアニールとして800℃で15分間保持した。次に、誘電体層4の上に第2電極層5としてPtを誘電体層4と同一バッチでスパッタリング法にて成膜した。

20

【0117】

次に、フォトリソグロフィの手法によりこのフォトリソグロフィを所定の形状に加工した後、ECR装置により第2電極層5をエッチングして所望の形状に加工した。その後、同様に誘電体層4、第1電極層2をエッチングして所望の形状に加工した。第1電極層2の形状は、導体ライン31、32、ならびに第1および第2の信号端子を形成する位置の導電層を含むものとした。

【0118】

次に、薄膜抵抗61~65として、窒化タンタルをスパッタリング法にて100℃で成膜した。このスパッタリング後、フォトリソグロフィにより所定の形状にした後、RIE装置を用いてエッチングを行ない、フォトリソグロフィの層を除去した。ここで、薄膜抵抗61~65のアスペクト比は全て20とした。

30

【0119】

次に、絶縁層7として、 SiO_2 膜をTEOSガスを原料とするCVD装置により成膜し、レジストを所定の形状に形成した後、RIE装置によりエッチングを行ない、所望の形状に加工した。

【0120】

次に、引出し電極層8として、PtおよびAuをスパッタリング法にて成膜し、レジストを所定の形状に形成した後、RIE装置によりエッチングを行ない、所望の形状に加工した。

40

【0121】

最後に、半田拡散防止層9、保護層10および半田端子111~114を順次形成した。ここで、半田拡散防止層9にはNiを、保護層10にはポリイミド樹脂をそれぞれ用いた。

【0122】

この例において、薄膜抵抗61~65の膜厚は100nmであり、シート抵抗値を別途測定した結果は130k Ω / \square であった。これにより、薄膜抵抗61~65の比抵抗は1.3 $\times 10^{-4}$ $\Omega \cdot cm$ であり、薄膜抵抗61~65の抵抗値は約2.6M Ω となった。

【0123】

50

このようにして得られた本発明の可変容量コンデンサの電気特性をインピーダンスアナライザ（アジレント社製、型番HP4291A）により測定した結果を図8に線図で示す。図8において、横軸は周波数（Frequency、単位：Hz）を、縦軸は左側がインピーダンス（Z、単位： Ω ）を、右側が位相（phase、単位：deg）を表わしている。なお、図8中の $1.0E+06$ とは、 10^6 すなわち1Mを表わす。

【0124】

図8により、測定周波数領域において正常なインピーダンス特性を有する可変容量コンデンサとなっていることが確認できた。

【0125】

次に、可変容量コンデンサの容量の周波数依存性を測定した結果を図9に線図で示す。図9において、横軸は周波数（Frequency、単位：Hz）を、縦軸は容量（Capacitance、単位：pF）を表わしている。図9に示す結果より、本発明の可変容量コンデンサでは、第1および第2パイアスラインの有する薄膜抵抗61~65の抵抗値が非常に高いため、測定周波数領域において第1および第2パイアスラインの影響は見られず、容量はほぼ2.5pFで一定であった。このことから、5個の可変容量素子C1~C5は、高周波的には直列に接続され、かつ可変容量コンデンサの容量値は可変容量素子C1~C4の直列合成抵抗とほぼ等しく、可変容量素子C5は可変容量コンデンサの容量値に実質的に寄与していないことが確認された。また、容量変化率は直流バイアス電圧としてDC3Vを印加した時点で約30%であった。このことから、5個の可変容量素子C1~C5は、直流的には並列に接続されていることが確認できた。

【0126】

次に、上記で得られた本発明の可変容量コンデンサのリーク電流特性を図10に線図で示す。図10において、横軸は印加電圧（単位：V）を、縦軸はリーク電流の対数值（単位：A）を表わしている。なお、図10中の $1.0E-12$ とは、 10^{-12} すなわち1pを表わす。

【0127】

図10に示す結果より、本発明の可変容量コンデンサでは、リーク電流特性は、可変容量素子C5のみによる変化が表れており、直流バイアス電圧が負の極性を有するときが正の極性を有する場合と比較してわずかに大きくなっているが、その差は2倍以下と大幅に低減されており、実使用には問題ないものとなっていることが分かる。従って、本発明の可変容量コンデンサにおいては、直流バイアス電圧の極性を入れ替えても、同じリーク電流特性となることが確認できた。

【0128】

次に、本発明の可変容量コンデンサの容量変化率の印加電圧依存性を図11に線図で示す。図11において、横軸は印加電圧（単位：V）を、縦軸は容量変化率（単位：%）を表わす。

【0129】

図11に示す結果より、本発明の可変容量コンデンサでは、容量変化率は印加電圧の極性に関係なく、その絶対値が等しければほぼ同じ容量変化率となることが分かる。すなわち、本発明の可変容量コンデンサにおいては、直流バイアス電圧の極性を入れ替えても、同じ容量変化率となることが確認できた。

【図面の簡単な説明】

【0130】

【図1】本発明の第1の可変容量コンデンサの実施の形態の一例を示す透視状態の平面図である。

【図2】図1に示す例のA-A'線断面図である。

【図3】本発明の第2の可変容量コンデンサの実施の形態の一例を示す透視状態の平面図である。

【図4】図3に示す例のA-A'線断面図である。

【図5】本発明の第3の可変容量コンデンサの実施の形態の一例を示す透視状態の平面図である。

10

20

30

40

50

【図 6】図 5 に示す例の A - A' 線断面図である。

【図 7】本発明の第 4 の可変容量コンデンサの実施の形態の一例を示す透視状態の平面図である。

【図 8】本発明の第 1 の可変容量コンデンサにおけるインピーダンスならびに位相の周波数特性の例を示す線図である。

【図 9】本発明の第 1 の可変容量コンデンサにおける容量の周波数特性の例を示す線図である。

【図 10】本発明の第 1 の可変容量コンデンサにおけるリーク電流の印加直流バイアス電圧特性の例を示す線図である。

【図 11】本発明の第 1 の可変容量コンデンサにおける容量変化率の印加直流バイアス電圧特性の例を示す線図である。 10

【図 12】従来の可変容量コンデンサの例を示す断面図である。

【図 13】(a) および (b) は、それぞれ従来の可変容量コンデンサの等価回路図である。

【符号の説明】

【0131】

1 . . . 支持基板

2 . . . 第 1 電極層

31, 32, 33, 34 . . . 導体ライン

4 . . . 誘電体層

20

5 . . . 第 2 電極層

61, 62, 63, 64, 65, 66 . . . 薄膜抵抗

7 . . . 絶縁層

8 . . . 引出し電極層

9 . . . 半田拡散防止層

10 . . . 保護層

111, 112, 113, 114 . . . 半田端子部

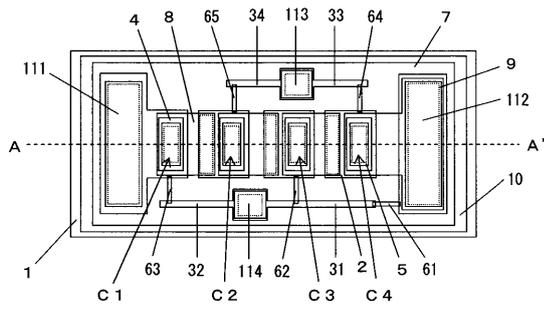
C 1, C 2, C 3, C 4 . . . 可変容量素子

C 5 . . . 可変容量素子もしくは直流制限容量素子

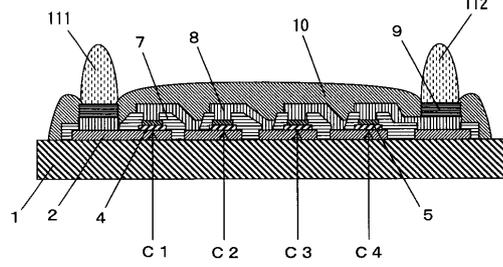
C 6 . . . 直流制限容量素子

30

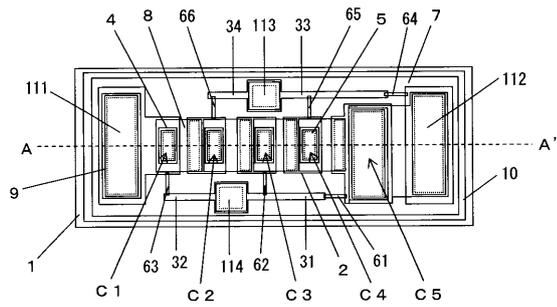
【 図 1 】



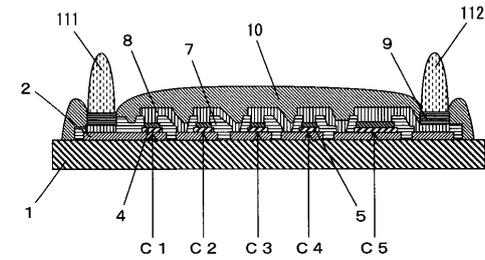
【 図 2 】



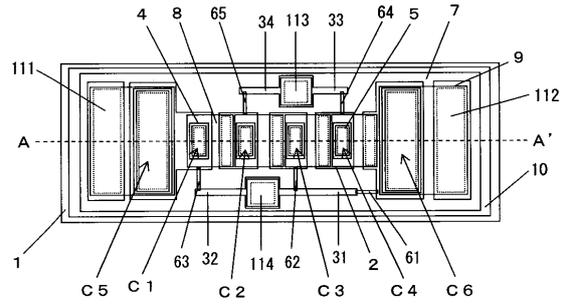
【 図 5 】



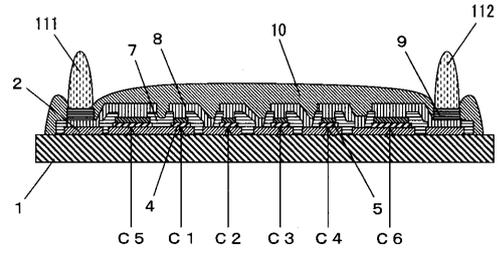
【 図 6 】



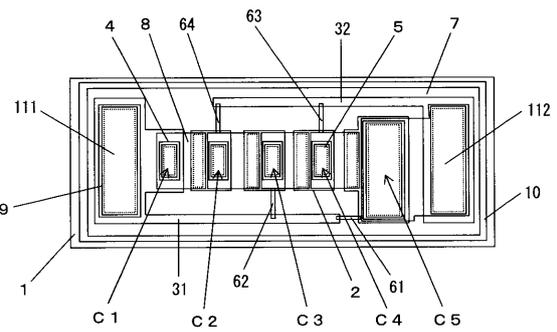
【 図 3 】



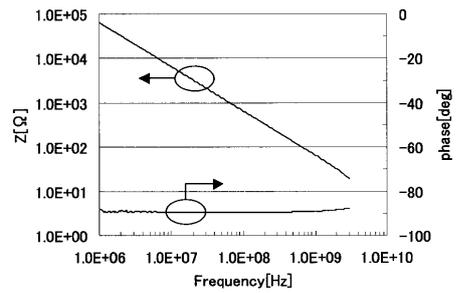
【 図 4 】



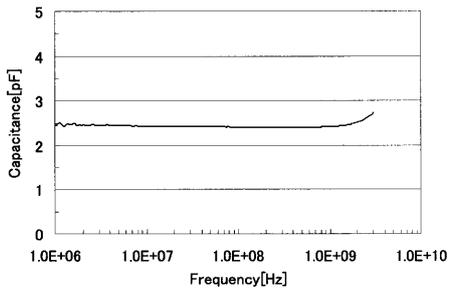
【 図 7 】



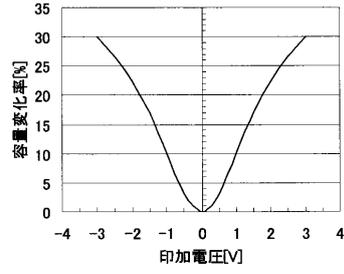
【 図 8 】



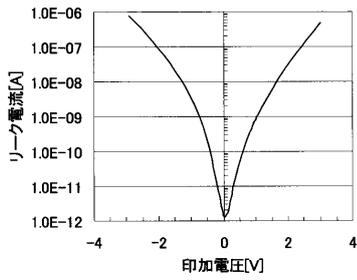
【 図 9 】



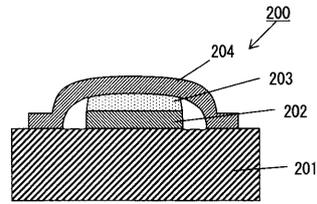
【 図 1 1 】



【 図 1 0 】



【 図 1 2 】



【 図 1 3 】

