

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2021-44512

(P2021-44512A)

(43) 公開日 令和3年3月18日(2021.3.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/11582 (2017.01)	HO 1 L 27/11582	4M104
HO 1 L 27/11556 (2017.01)	HO 1 L 27/11556	5F083
HO 1 L 27/11548 (2017.01)	HO 1 L 27/11548	5F101
HO 1 L 27/11575 (2017.01)	HO 1 L 27/11575	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 371	

審査請求 未請求 請求項の数 5 O L (全 28 頁) 最終頁に続く

(21) 出願番号 特願2019-167639 (P2019-167639)
 (22) 出願日 令和1年9月13日 (2019.9.13)

(71) 出願人 318010018
 キオクシア株式会社
 東京都港区芝浦三丁目1番21号
 (74) 代理人 110001612
 きさらぎ国際特許業務法人
 (72) 発明者 窪田 吉孝
 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
 (72) 発明者 小玉 枝梨華
 東京都港区芝浦一丁目1番1号 東芝メモリ株式会社内
 Fターム(参考) 4M104 AA00 AA08 BB01 BB30 BB40 GG16

最終頁に続く

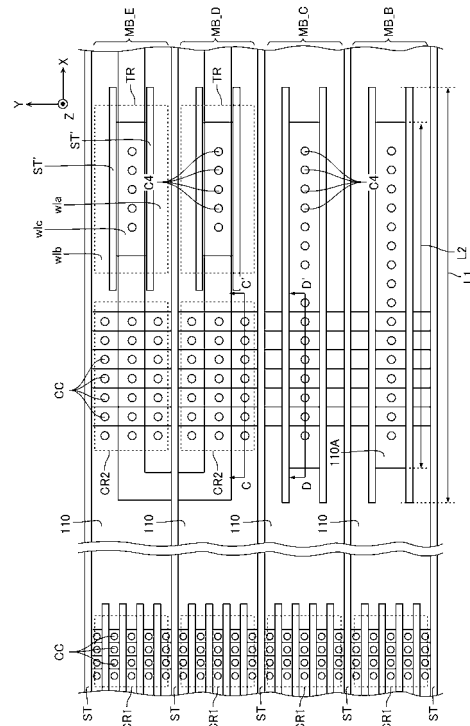
(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】微細化の可能な半導体記憶装置を提供する。

【解決手段】半導体記憶装置は、第1方向に並ぶ第1領域及び第2領域を有する基板を備える。第1領域は、基板の表面と交差する第2方向に積層された複数の第1ワード線層及び第1層間絶縁層と、複数の第1ワード線層と対向する第1半導体層と、これらの間に設けられた第1電荷蓄積膜と、を備える。第2領域は、第2方向に積層された複数の第1ワード線層及び第1層間絶縁層の一部と、第3方向において複数の第1ワード線層から離間し、第2方向に積層された複数の第1絶縁層及び第1層間絶縁層の一部と、第2方向に延伸し、複数の第1絶縁層に接続された外周面を有する第1コンタクトと、複数の第1ワード線層及び第1絶縁層の間に設けられた第2絶縁層と、を備える。複数の第1絶縁層の第1方向の側面は、複数の第1ワード線層に接続され、複数の第1絶縁層の第3方向の側面は、第2絶縁層に接続される。

【選択図】 図9



【特許請求の範囲】

【請求項 1】

第 1 方向に並ぶ第 1 領域及び第 2 領域を有する基板を備え、
 前記第 1 領域は、
 前記基板の表面と交差する第 2 方向に積層された複数の第 1 ワード線層及び複数の第 1 層間絶縁層と、
 前記第 2 方向に延伸し、前記複数の第 1 ワード線層と対向する外周面を有する第 1 半導体層と、
 前記複数の第 1 ワード線層と、前記第 1 半導体層と、の間に設けられた第 1 電荷蓄積膜と

10

を備え、

前記第 2 領域は、

前記第 2 方向に積層された前記複数の第 1 ワード線層の一部及び前記複数の第 1 層間絶縁層の一部と、

前記第 1 方向及び前記第 2 方向と交差する第 3 方向において前記複数の第 1 ワード線層から離間し、前記第 2 方向に積層された複数の第 1 絶縁層及び前記複数の第 1 層間絶縁層の一部と、

前記第 2 方向に延伸し、前記複数の第 1 絶縁層に接続された外周面を有する第 1 コンタクトと、

前記複数の第 1 ワード線層及び前記複数の第 1 絶縁層の間に設けられ、前記第 1 方向及び前記第 2 方向に延伸する第 2 絶縁層と

20

を備え、

前記複数の第 1 絶縁層の前記第 1 方向の側面は、前記複数の第 1 ワード線層に接続され

、
 前記複数の第 1 絶縁層の前記第 3 方向の側面は、前記第 2 絶縁層に接続される半導体記憶装置。

【請求項 2】

前記基板は、前記第 1 方向に並ぶ第 3 領域及び第 4 領域を有し、前記第 3 領域は前記第 3 方向において前記第 1 領域と並び、前記第 4 領域は前記第 3 方向において前記第 2 領域と並び、

30

前記第 3 領域は、

前記第 2 方向に積層された複数の第 2 ワード線層及び複数の第 2 層間絶縁層と、

前記第 2 方向に延伸し、前記複数の第 2 ワード線層と対向する外周面を有する第 2 半導体層と、

前記複数の第 2 ワード線層と、前記第 2 半導体層と、の間に設けられた第 2 電荷蓄積膜と

を備え、

前記第 4 領域は、

前記第 2 方向に積層された前記複数の第 2 ワード線層の一部及び前記複数の第 2 層間絶縁層の一部と、

40

前記第 2 方向に延伸し、前記第 2 方向の一端において前記複数の第 2 ワード線層のうちの一つに接続された第 2 コンタクトと

を備え、

前記複数の第 2 ワード線層のうちの一つは、前記第 2 コンタクトを介して前記第 1 コンタクトに電氣的に接続されている

請求項 1 記載の半導体記憶装置。

【請求項 3】

前記第 1 方向に並ぶ複数の前記第 1 コンタクトと、

前記第 1 方向に並ぶ複数の前記第 2 コンタクトと、

前記複数の第 1 コンタクト及び前記複数の第 2 コンタクトに接続された複数の第 1 配線

50

と

を備え、

前記第 1 配線の前記第 3 方向における長さは、前記第 1 配線の前記第 1 方向における長さよりも大きい

請求項 2 記載の半導体記憶装置。

【請求項 4】

前記複数の第 1 ワード線層及び複数の第 1 層間絶縁層の前記第 3 方向の側面に接続され、前記第 1 方向及び前記第 2 方向に延伸する第 3 絶縁層を備え、

前記第 2 領域は、

前記複数の第 1 絶縁層と前記第 3 絶縁層との間に設けられ、前記第 1 方向及び前記第 2 方向に延伸する第 4 絶縁層と、

前記第 3 絶縁層と前記第 4 絶縁層との間に設けられ、前記第 2 方向に積層された前記複数の第 1 ワード線層の一部及び前記複数の第 1 層間絶縁層の一部と

を備え、

前記複数の第 1 絶縁層の前記第 3 方向の一方の側面は、前記第 2 絶縁層に接続され、前記複数の第 1 絶縁層の前記第 3 方向の他方の側面は、前記第 4 絶縁層に接続される請求項 1 ~ 3 のいずれか 1 項記載の半導体記憶装置。

【請求項 5】

前記複数の第 1 ワード線層及び複数の第 1 層間絶縁層の前記第 3 方向の側面に接続され、前記第 1 方向及び前記第 2 方向に延伸する第 3 絶縁層を備え、

前記複数の第 1 絶縁層の前記第 3 方向の一方の側面は、前記第 2 絶縁層に接続され、前記複数の第 1 絶縁層の前記第 3 方向の他方の側面は、前記第 3 絶縁層に接続される請求項 1 ~ 3 のいずれか 1 項記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、半導体記憶装置に関する。

【背景技術】

【0002】

半導体基板と、半導体基板の表面と交差する方向において半導体基板と離間して配置されたメモリセルアレイと、半導体基板の表面に設けられたトランジスタアレイと、を備える半導体記憶装置が知られている。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2018 - 026518 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

微細化の可能な半導体記憶装置を提供する。

【課題を解決するための手段】

【0005】

一の実施形態に係る半導体装置は、第 1 方向に並ぶ第 1 領域及び第 2 領域を有する基板を備える。第 1 領域は、基板の表面と交差する第 2 方向に積層された複数の第 1 ワード線層及び複数の第 1 層間絶縁層と、第 2 方向に延伸し、複数の第 1 ワード線層と対向する外周面を有する第 1 半導体層と、複数の第 1 ワード線層と、第 1 半導体層と、の間に設けられた第 1 電荷蓄積膜と、を備える。第 2 領域は、第 2 方向に積層された複数の第 1 ワード線層の一部及び複数の第 1 層間絶縁層の一部と、第 1 方向及び第 2 方向と交差する第 3 方向において複数の第 1 ワード線層から離間し、第 2 方向に積層された複数の第 1 絶縁層及

10

20

30

40

50

び複数の第1層間絶縁層の一部と、第2方向に延伸し、複数の第1絶縁層に接続された外周面を有する第1コンタクトと、複数の第1ワード線層及び複数の第1絶縁層の間に設けられ、第1方向及び第2方向に延伸する第2絶縁層と、を備える。複数の第1絶縁層の第1方向の側面は、複数の第1ワード線層に接続され、複数の第1絶縁層の第3方向の側面は、第2絶縁層に接続される。

【図面の簡単な説明】

【0006】

【図1】第1実施形態に係る半導体記憶装置の模式的な構成を示す等価回路図である。

【図2】同半導体記憶装置の模式的な斜視図である。

【図3】図2の模式的な拡大図である。

10

【図4】同半導体記憶装置の模式的な平面図である。

【図5】図4の模式的な拡大図である。

【図6】図5の模式的な拡大図である。

【図7】図5に示す構造をB - B'線に沿って切断し、矢印の方向に見た場合の模式的な断面図である。

【図8】図5の模式的な拡大図である。

【図9】図5の模式的な拡大図である。

【図10】図5及び図9に示す構造をC - C'線に沿って切断し、矢印の方向に見た模式的な断面図である。

【図11】図5及び図9に示す構造をD - D'線に沿って切断し、矢印の方向に見た模式的な断面図である。

20

【図12】図5に示す構造をE - E'線に沿って切断し、矢印の方向に見た模式的な断面図である。

【図13】同製造方法を示す模式的な図である。

【図14】同製造方法を示す模式的な図である。

【図15】同製造方法を示す模式的な図である。

【図16】同製造方法を示す模式的な図である。

【図17】同製造方法を示す模式的な図である。

【図18】同製造方法を示す模式的な図である。

【図19】同製造方法を示す模式的な図である。

30

【図20】同製造方法を示す模式的な図である。

【図21】同製造方法を示す模式的な図である。

【図22】同製造方法を示す模式的な図である。

【図23】同製造方法を示す模式的な図である。

【図24】同製造方法を示す模式的な図である。

【図25】同製造方法を示す模式的な図である。

【図26】同製造方法を示す模式的な図である。

【図27】同製造方法を示す模式的な図である。

【図28】同製造方法を示す模式的な図である。

【図29】同製造方法を示す模式的な図である。

40

【図30】同製造方法を示す模式的な図である。

【図31】同製造方法を示す模式的な図である。

【図32】同製造方法を示す模式的な図である。

【図33】第2実施形態に係る半導体記憶装置の製造方法を示す模式的な図である。

【図34】同製造方法を示す模式的な図である。

【図35】同製造方法を示す模式的な図である。

【図36】同製造方法を示す模式的な図である。

【図37】同製造方法を示す模式的な図である。

【図38】同製造方法を示す模式的な図である。

【図39】同製造方法を示す模式的な図である。

50

【図 4 0】第 3 実施形態に係る半導体記憶装置の構成を示す模式的な平面図である。

【図 4 1】図 4 0 の模式的な拡大図である。

【図 4 2】図 4 1 に示す構造を A - A' 線に沿って切断し、矢印の方向に見た模式的な断面図である。

【図 4 3】第 4 実施形態に係る半導体記憶装置の構成を示す模式的な平面図である。

【図 4 4】図 4 3 の模式的な拡大図である。

【図 4 5】図 4 3 に示す構造を A - A' 線に沿って切断し、矢印の方向に見た模式的な断面図である。

【図 4 6】他の実施形態に係る半導体記憶装置の構成を示す模式的な平面図である。

【発明を実施するための形態】

10

【0007】

次に、実施形態に係る半導体装置及び半導体記憶装置を、図面を参照して詳細に説明する。尚、以下の実施形態はあくまでも一例であり、本発明を限定する意図で示されるものではない。

【0008】

また、本明細書においては、半導体基板の表面に対して平行な所定の方向を X 方向、半導体基板の表面に対して平行で、X 方向と垂直な方向を Y 方向、半導体基板の表面に対して垂直な方向を Z 方向と呼ぶ。

【0009】

また、本明細書においては、所定の平面に沿った方向を第 1 方向、この所定の平面に沿って第 1 方向と交差する方向を第 2 方向、この所定の平面と交差する方向を第 3 方向と呼ぶことがある。これら第 1 方向、第 2 方向及び第 3 方向は、X 方向、Y 方向及び Z 方向のいずれかと対応していても良いし、対応していなくても良い。

20

【0010】

また、本明細書において、「上」や「下」等の表現は、半導体基板を基準とする。例えば、Z 方向に沿って半導体基板から離れる向きを上と、Z 方向に沿って半導体基板に近づく向きを下と呼ぶ。また、ある構成について下面や下端部と言う場合には、この構成の半導体基板側の面や端部を意味する事とし、上面や上端部と言う場合には、この構成の半導体基板と反対側の面や端部を意味する事とする。また、X 方向又は Y 方向と交差する面を側面等と呼ぶ。

30

【0011】

また、本明細書において、第 1 の構成が第 2 の構成に「電氣的に接続されている」と言った場合、第 1 の構成は第 2 の構成に直接接続されていても良いし、第 1 の構成が第 2 の構成に配線、半導体部材又はトランジスタ等を介して接続されていても良い。例えば、3 つのトランジスタを直列に接続した場合、2 つ目のトランジスタが OFF 状態であったとしても、1 つ目のトランジスタは 3 つ目のトランジスタに「電氣的に接続」されている。

【0012】

また、本明細書において、第 1 の構成が第 2 の構成及び第 3 の構成の「間に接続されている」と言った場合、第 1 の構成、第 2 の構成及び第 3 の構成が直列に接続され、且つ、第 1 の構成が第 2 の構成及び第 3 の構成の電流経路に設けられていることを意味する場合がある。

40

【0013】

また、本明細書において、回路等が 2 つの配線等を「導通させる」と言った場合には、例えば、この回路等がトランジスタ等を含んでおり、このトランジスタ等が 2 つの配線の間電流経路に設けられており、このトランジスタ等が ON 状態となることを意味する事がある。

【0014】

[第 1 実施形態]

以下、図面を参照して、第 1 実施形態に係る半導体記憶装置の構成について説明する。尚、以下の図面は模式的なものであり、説明の都合上、一部の構成を省略することがある

50

。

【 0 0 1 5 】

図 1 は、第 1 実施形態に係る半導体記憶装置の構成を示す模式的な等価回路図である。

【 0 0 1 6 】

本実施形態に係る半導体記憶装置は、メモリセルアレイ M A と、メモリセルアレイ M A を制御する周辺回路 P C と、を備える。

【 0 0 1 7 】

メモリセルアレイ M A は、複数のメモリブロック M B を備える。これら複数のメモリブロック M B は、それぞれ、複数のストリングユニット S U を備える。これら複数のストリングユニット S U は、それぞれ、複数のメモリストリング M S を備える。これら複数のメモリストリング M S の一端は、それぞれ、ビット線 B L を介して周辺回路 P C に接続される。また、これら複数のメモリストリング M S の他端は、それぞれ、共通のソース線 S L を介して周辺回路 P C に接続される。

10

【 0 0 1 8 】

メモリストリング M S は、ビット線 B L 及びソース線 S L の間に直列に接続されたドレイン選択トランジスタ S T D と、複数のメモリセル M C と、ソース選択トランジスタ S T S と、を備える。以下、ドレイン選択トランジスタ S T D、及び、ソース選択トランジスタ S T S を、単に選択トランジスタ (S T D、S T S) と呼ぶ事がある。

【 0 0 1 9 】

本実施形態に係るメモリセル M C は、ゲート絶縁膜に電荷蓄積膜を含む電界効果型のトランジスタである。メモリセル M C のしきい値電圧は、電荷蓄積膜中の電荷量に応じて変化する。尚、1 のメモリストリング M S に対応する複数のメモリセル M C のゲート電極には、それぞれ、ワード線 W L が接続される。これらワード線 W L は、それぞれ、1 のメモリブロック M B 中の全てのメモリストリング M S に共通に接続される。

20

【 0 0 2 0 】

選択トランジスタ (S T D、S T S) は電界効果型のトランジスタである。選択トランジスタ (S T D、S T S) のゲート電極には、それぞれ、選択ゲート線 (S G D、S G S) が接続される。ドレイン選択線 S G D は、ストリングユニット S U に対応して設けられ、1 のストリングユニット S U 中の全てのメモリストリング M S に共通に接続される。ソース選択線 S G S は、1 のメモリブロック M B 中の全てのメモリストリング M S に共通に

30

【 0 0 2 1 】

周辺回路 P C は、動作電圧を生成する動作電圧生成回路 2 1 と、アドレスデータをデコードするアドレスデコーダ 2 2 と、アドレスデコーダ 2 2 の出力信号に応じてメモリセルアレイ M A に動作電圧を転送するブロック選択回路 2 3 及び電圧選択回路 2 4 と、ビット線 B L に接続されたセンスアンプモジュール 2 5 と、これらを制御するシーケンサ 2 6 と、を備える。

【 0 0 2 2 】

動作電圧生成回路 2 1 は、複数の動作電圧出力端子 3 1 を備える。動作電圧生成回路 2 1 は、例えば、レギュレータ等の降圧回路及びチャージポンプ回路等の昇圧回路を含む。動作電圧生成回路 2 1 は、例えば、シーケンサ 2 6 からの制御信号に従って、メモリセルアレイ M A に対する読出動作、書込動作及び消去動作に際してビット線 B L、ソース線 S L、ワード線 W L 及び選択ゲート線 (S G D、S G S) に印加される複数通りの動作電圧を生成し、複数の動作電圧出力端子 3 1 に同時に出力する。動作電圧出力端子 3 1 から出力される動作電圧は、シーケンサ 2 6 からの制御信号に従って適宜調整される。

40

【 0 0 2 3 】

アドレスデコーダ 2 2 は、複数のブロック選択線 B L K S E L 及び複数の電圧選択線 3 3 を備える。アドレスデコーダ 2 2 は、例えば、シーケンサ 2 6 からの制御信号に従って順次アドレスレジスタのアドレスデータを参照し、このアドレスデータをデコードして、アドレスデータに対応するブロック選択トランジスタ 3 5 及び電圧選択トランジスタ 3 7

50

をON状態とし、それ以外のブロック選択トランジスタ35及び電圧選択トランジスタ37をOFF状態とする。例えば、アドレスデータに対応するブロック選択線BLKSEL及び電圧選択線33の電圧を“H”状態とし、それ以外の電圧を“L”状態とする。尚、Nチャネル型でなくPチャネル型のトランジスタを用いる場合には、これらの配線に逆の電圧を印加する。

【0024】

尚、図示の例において、アドレスデコーダ22には、1つのメモリブロックMBについて1つずつブロック選択線BLKSELが設けられている。しかしながら、この構成は適宜変更可能である。例えば、2以上のメモリブロックMBについて1つずつブロック選択線BLKSELを備えていても良い。

10

【0025】

ブロック選択回路23は、メモリブロックMBに対応する複数のブロック選択部34を備える。これら複数のブロック選択部34は、それぞれ、ワード線WL及び選択ゲート線(SGD、SGS)に対応する複数のブロック選択トランジスタ35を備える。ブロック選択トランジスタ35は、例えば、電界効果型の耐圧トランジスタである。ブロック選択トランジスタ35のドレイン電極は、それぞれ、対応するワード線WL又は選択ゲート線(SGD、SGS)に電氣的に接続される。ソース電極は、それぞれ、配線CG及び電圧選択回路24を介して動作電圧出力端子31に電氣的に接続される。ゲート電極は、対応するブロック選択線BLKSELに共通に接続される。

20

【0026】

尚、ブロック選択回路23は、図示しない複数のトランジスタを備える。これら複数のトランジスタは、選択ゲート線(SGD、SGS)及び接地電圧供給端子の間に接続された電界効果型の耐圧トランジスタである。これら複数のトランジスタは、非選択のメモリブロックMBに含まれる選択ゲート線(SGD、SGS)を接地電圧供給端子と導通させる。尚、非選択のメモリブロックMBに含まれる複数のワード線WLは、フローティング状態となる。

【0027】

電圧選択回路24は、ワード線WL及び選択ゲート線(SGD、SGS)に対応する複数の電圧選択部36を備える。これら複数の電圧選択部36は、それぞれ、複数の電圧選択トランジスタ37を備える。電圧選択トランジスタ37は、例えば、電界効果型の耐圧トランジスタである。電圧選択トランジスタ37のドレイン端子は、それぞれ、配線CG及びブロック選択回路23を介して、対応するワード線WL又は選択ゲート線(SGD、SGS)に電氣的に接続される。ソース端子は、それぞれ、対応する動作電圧出力端子31に電氣的に接続される。ゲート電極は、それぞれ、対応する電圧選択線33に接続される。

30

【0028】

センスアンプモジュール25は、複数のビット線BLに接続される。センスアンプモジュール25は、例えば、ビット線BLに対応する複数のセンスアンプユニットを備える。センスアンプユニットは、それぞれ、動作電圧生成回路21において生成された電圧に基づいてビット線BLを充電するクランプトランジスタと、ビット線BLの電圧又は電流をセンスするセンストランジスタと、このセンストランジスタの出力信号や書込データ等を保持する複数のラッチ回路と、を備える。

40

【0029】

シーケンサ26は、入力された命令及び半導体記憶装置の状態に応じて、動作電圧生成回路21、アドレスデコーダ22及びセンスアンプモジュール25に制御信号を出力する。例えば、シーケンサ26は、クロック信号に従って順次コマンドレジスタのコマンドデータを参照し、このコマンドデータをデコードして、動作電圧生成回路21、アドレスデコーダ22及びセンスアンプモジュール25に出力する。

【0030】

図2は、本実施形態に係る半導体記憶装置の模式的な斜視図である。尚、図2は説明の

50

ための模式的な構造であり、各構成の詳細な配置等を示すものでは無い。各構成のより具体的な配置等は、図4～図12を参照して後述される。

【0031】

図2に示す通り、本実施形態に係る半導体記憶装置は、半導体基板Sと、半導体基板Sに設けられた回路層CLと、回路層CLの上方に設けられたメモリ層MLと、を備える。

【0032】

半導体基板Sは、例えば、単結晶シリコン(Si)等からなる半導体基板である。半導体基板Sは、例えば、P型の半導体基板の表面にN型ウェルを有し、更にこのN型ウェル中にP型ウェルを有する2重ウェル構造を備える。また、半導体基板Sには、酸化シリコン(SiO₂)等の絶縁層STIが設けられている。

10

【0033】

回路層CLは、周辺回路PC(図1)を構成する複数のトランジスタTrと、これら複数のトランジスタTrに接続された複数の配線D0, D1, D2及びコンタクトCsと、を備える。トランジスタTrは、例えば、半導体基板Sの表面をチャネル領域(ゲート領域)として利用する電界効果型のトランジスタである。半導体基板Sの表面のうち、トランジスタTrの一部として機能する領域は、絶縁層STIによって囲われている。

【0034】

メモリ層MLは、メモリセルアレイMAに含まれる複数の構成を備える。メモリ層MLは、Z方向に並ぶ複数の導電層110と、Z方向に延伸してこれら複数の導電層110に対向する半導体層120と、複数の導電層110及び半導体層120の間に設けられたゲート絶縁膜130と、半導体層120の下端に接続された導電層140と、を備える。

20

【0035】

導電層110は、X方向に延伸する略板状の導電層であり、Z方向に複数並んでいる。導電層110は、例えば、窒化チタン(TiN)及びタンゲステン(W)の積層膜等を含んでいても良いし、リン又はホウ素等の不純物を含む多結晶シリコン等を含んでいても良い。また、導電層110及び導電層140の間には、多結晶シリコン等の導電層111が設けられている。また、Z方向に積層された複数の導電層110、導電層111及び導電層140の間には、酸化シリコン(SiO₂)等の層間絶縁層101が設けられている。また複数の導電層110及び導電層111は、それぞれ、Z方向に延伸するコンタクトCとの接続部112を備える。

30

【0036】

複数の導電層110のうち、最下層に位置する一又は複数の導電層110は、導電層111と共に、ソース選択線SGS(図1)及びこれに接続された複数のソース選択トランジスタSTS(図1)のゲート電極として機能する。また、これよりも上方に位置する複数の導電層110は、ワード線WL(図1)及びこれに接続された複数のメモリセルMC(図1)のゲート電極として機能する。また、これよりも上方に位置する一又は複数の導電層110は、ドレイン選択線SGD(図1)及びこれに接続された複数のドレイン選択トランジスタSTD(図1)のゲート電極として機能する。

【0037】

半導体層120は、X方向及びY方向に複数配設される。半導体層120は、例えば、ノドープの多結晶シリコン(Si)等の半導体層である。半導体層120は、略円筒状の形状を有し、中心部分には酸化シリコン等の絶縁層121が設けられている。また、半導体層120の外周面は、それぞれ導電層110に設けられた貫通孔の内周面と対向している。半導体層120の下端部は、導電層140に接続される。半導体層120の上端部は、リン(P)等のN型の不純物を含む半導体層124、コンタクトCh及びCbを介して、Y方向に延伸するビット線BLに接続される。半導体層120は、それぞれ、1つのメモリストリングMS(図1)に含まれる複数のメモリセルMC及び選択トランジスタ(STD, STS)のチャネル領域として機能する。

40

【0038】

ゲート絶縁膜130は、例えば図3に示す通り、半導体層120及び導電層110の間

50

に積層されたトンネル絶縁膜 131、電荷蓄積膜 132、及び、ブロック絶縁膜 133を備える。トンネル絶縁膜 131及びブロック絶縁膜 133は、例えば、酸化シリコン等の絶縁膜である。電荷蓄積膜 132は、例えば、窒化シリコン(SiN)等の電荷を蓄積可能な膜である。トンネル絶縁膜 131、電荷蓄積膜 132、及び、ブロック絶縁膜 133は略円筒状の形状を有し、半導体層 120の外周面に沿ってZ方向に延伸する。

【0039】

尚、図3には、ゲート絶縁膜 130が窒化シリコン等の電荷蓄積膜 132を備える例を示したが、ゲート絶縁膜 130は、例えば、N型又はP型の不純物を含む多結晶シリコン等のフローティングゲートを備えていても良い。

【0040】

導電層 140は、例えば図2に示す通り、半導体層 120の下端部に接続された導電膜 141と、導電膜 141の下面に設けられた導電膜 142と、を備える。導電膜 141は、例えば、リン(P)等のN型の不純物を含むポリシリコン等の導電性の半導体を含む。導電膜 142は、例えば、リン(P)等のN型の不純物を含むポリシリコン等の導電性の半導体を含んでいても良いし、タングステン(W)等の金属を含んでいても良いし、シリサイド等を含んでいても良い。

【0041】

次に、図4～図12を参照して、本実施形態に係る半導体記憶装置についてより詳しく説明する。尚、図4～図12は模式的な構成を示すものであり、具体的な構成は適宜変更可能である。また、説明の都合上、図4～図12においては、一部の構成が省略されている。

【0042】

図4は、本実施形態に係る半導体記憶装置の模式的な平面図である。図4の例において、半導体基板Sには、X方向及びY方向に並ぶ4つのメモリセルアレイMAが設けられている。

【0043】

図5は、図4のAで示した領域中の構成を示す模式的な平面図であり、メモリ層ML中の構成を図示している。図5に示す様に、各メモリセルアレイMAには、Y方向に並ぶ複数のメモリブロックMB(MB__A～MB__H)が設けられている。また、各メモリブロックMBには、X方向に延伸するメモリ領域MRが設けられている。また、各メモリブロックMBのX方向の一端部には、コンタクト領域CR1が設けられている。また、メモリブロックMB__A, MB__D, MB__E, MB__HのX方向の一端部には、X方向に並ぶ複数のコンタクト領域CR2及び貫通コンタクト領域TRが設けられている。また、メモリブロックMB__B, MB__C, MB__F, MB__GのX方向の一端部には、X方向に並ぶ複数の貫通コンタクト領域TRが設けられている。尚、図示は省略するものの、メモリブロックMB__A, MB__D, MB__E, MB__HのX方向の他端部には、X方向に並ぶ複数の貫通コンタクト領域TRが設けられている。また、メモリブロックMB__B, MB__C, MB__F, MB__GのX方向の他端部には、X方向に並ぶ複数のコンタクト領域CR2及び貫通コンタクト領域TRが設けられている。

【0044】

図6は、図5のAで示した部分の拡大図である。図7は、図5に示す構造をB-B'線に沿って切断し、矢印の方向に見た模式的な断面図である。図6の例において、各メモリブロックMBのメモリ領域MRには、Y方向に並ぶ5つのストリングユニットSUが設けられている。各ストリングユニットSUにおいては、上述の半導体層120及びゲート絶縁膜130がX方向及びY方向に複数設けられている。また、Y方向に並ぶ2つのストリングユニットSUの間には、ストリングユニット間絶縁層SHEが設けられている。図7に示す様に、複数の導電層110のうち、ドレイン選択線SGDとして機能するものは、ストリングユニット間絶縁層SHEを介してY方向に離間する。また、図6に示す様に、これらの導電層110は、それぞれコンタクト領域CR1に設けられたコンタクトCCに接続されている。コンタクトCCは、例えば、窒化チタン(TiN)及びタングステン(

10

20

30

40

50

W)の積層膜等を含んでいても良いし、その他の材料等を含んでいても良い。コンタクトCCの近傍には、製造工程中に層間絶縁層101を支持する略円柱状の支持部材HRが設けられている。支持部材HRは、例えば、酸化シリコン(SiO₂)等を含む。また、Y方向に並ぶメモリブロックMBの間には、メモリブロック間絶縁層STが設けられている。メモリブロック間絶縁層STは、例えば、酸化シリコン(SiO₂)等を含む。図7に示す様に、複数の導電層110は、メモリブロック間絶縁層STを介してY方向に離間する。

【0045】

図8は、図5の一部の拡大図であり、コンタクト領域CR1及び貫通コンタクト領域TR中の構成を示す模式的な平面図である。コンタクト領域CR1は、X方向及びY方向にマトリクス状に並ぶ複数のコンタクトCCと、これら複数のコンタクトCCに接続された複数の導電層110のX方向の端部と、を備える。X方向に並ぶ複数のコンタクトCCは全て下端の位置が異なり、異なる導電層110に接続されている。Y方向に並ぶ複数のコンタクトCCは、ストリングユニット間絶縁層SHEを介してY方向に離間する複数の導電層110に接続されている。

10

【0046】

図9は、図5の一部の拡大図であり、コンタクト領域CR2及び貫通コンタクト領域TR中の構成を示す模式的な平面図である。図10は、図5及び図9に示す構造をC-C'線に沿って切断し、矢印の方向に見た模式的な断面図である。図11は、図5及び図9に示す構造をD-D'線に沿って切断し、矢印の方向に見た模式的な断面図である。図12は、図5に示す構造をE-E'線に沿って切断し、矢印の方向に見た模式的な断面図である。

20

【0047】

コンタクト領域CR2は、図9に示す様に、X方向及びY方向にマトリクス状に並ぶ複数のコンタクトCCと、これら複数のコンタクトCCに接続された複数の導電層110のX方向の一部と、を備える。図10に示す様に、X方向に並ぶ複数のコンタクトCCは全て下端の位置が異なり、異なる導電層110に接続されている。また、図12に示す様に、Y方向に並ぶ複数のコンタクトCCは全て下端の位置が異なり、異なる導電層110に接続されている。

【0048】

貫通コンタクト領域TRは、図9に示す様に、X方向に延伸しY方向に並ぶ配線領域w1a、w1bと、これら間に設けられX方向に延伸するコンタクト領域w1cと、配線領域w1a及びコンタクト領域w1cの間、及び、配線領域w1b及びコンタクト領域w1cの間に設けられX方向に延伸するストッパ絶縁層ST'と、を備える。配線領域w1a、w1bは、図12に示す様に、Z方向に並ぶ複数の導電層110及び複数の層間絶縁層101の一部を含む。コンタクト領域w1cは、図11に示す様に、X方向に並ぶ複数の貫通コンタクトC4と、Z方向に並ぶ複数の絶縁層110A及び複数の層間絶縁層101の一部を含む。貫通コンタクトC4は、例えば、窒化チタン(TiN)及びタングステン(W)の積層膜等を含んでいても良いし、その他の材料等を含んでいても良い。貫通コンタクトC4の外周面は、それぞれ、複数の絶縁層110A及び複数の層間絶縁層101に設けられた貫通孔の内周面に接続されている。絶縁層110Aは、例えば、窒化シリコン(SiN)等、シリコン(Si)及び窒素(N)を含む絶縁層であっても良い。絶縁層110AのY方向の側面は、それぞれ、ストッパ絶縁層ST'の側面に接続されている。また、図11に示す様に、絶縁層110AのX方向の側面は、それぞれ、導電層110のY方向の側面に接続されている。ストッパ絶縁層ST'は、例えば、酸化シリコン(SiO₂)等を含む。ストッパ絶縁層ST'は、図12に示す様にZ方向に延伸する。また、図9に示す様に、ストッパ絶縁層ST'のX方向の長さL1は、このストッパ絶縁層ST'に接続された絶縁層110AのX方向の長さL2よりも大きい。

30

40

【0049】

[製造方法]

50

次に、図 1 3 ~ 図 3 2 を参照して、本実施形態に係る半導体記憶装置の製造方法の一部について説明する。図 1 3、図 1 5 は、図 1 0 に示す断面に対応している。図 1 4、図 1 6、図 2 2、図 2 6 は、図 5 に示す平面に対応している。図 1 7、図 1 9、図 2 1、図 2 5、図 2 9、図 3 1、図 3 2 は、図 1 2 に示す断面に対応している。図 1 8、図 2 4、図 2 8、図 3 0 は、図 7 に示す断面に対応している。図 2 0、図 2 3、図 2 7 は、図 9 に示す平面に対応している。

【 0 0 5 0 】

同製造方法においては、半導体基板 S 上に回路層 C L (図 2) を形成する。

【 0 0 5 1 】

次に、例えば図 1 3 に示す様に、回路層 C L 上に導電層 1 4 0、導電層 1 1 1、複数の絶縁層 1 1 0 A 及び層間絶縁層 1 0 1 を形成する。この工程は、例えば、C V D (Chemical Vapor Deposition) 等の方法によって行われる。

10

【 0 0 5 2 】

次に、例えば図 1 4 及び図 1 5 に示す様に、コンタクト領域 C R 1、C R 2 及び貫通コンタクト領域 T R の一部において絶縁層 1 1 0 A 及び層間絶縁層 1 0 1 の一部を除去し、略階段状の構造を形成する。この工程は、例えば、図 1 3 に示す構造の上面にレジストを形成し、絶縁層 1 1 0 A の一部の除去、層間絶縁層 1 0 1 の一部の除去、及び、レジストの一部の除去を繰り返し行うことによって行われる。

【 0 0 5 3 】

次に、例えば図 1 6 及び図 1 7 に示す様に、コンタクト領域 C R 2 及び貫通コンタクト領域 T R の一部において絶縁層 1 1 0 A 及び層間絶縁層 1 0 1 の一部を除去し、略階段状の構造を形成する。この工程は、例えば、図 1 4 及び図 1 5 に示す構造の上面にレジストを形成し、絶縁層 1 1 0 A の一部の除去、層間絶縁層 1 0 1 の一部の除去、及び、レジストの一部の除去を繰り返し行うことによって行われる。

20

【 0 0 5 4 】

次に、例えば図 1 8 に示す様に、メモリ領域 M R に半導体層 1 2 0 及びゲート絶縁膜 1 3 0 を形成する。また、図 1 9 に示す様に、コンタクト領域 C R 1、C R 2 及び貫通コンタクト領域 T R に支持部材 H R を形成する。この工程は、例えば、R I E (Reactive Ion Etching) 等による貫通孔の形成、及び、C V D 等による成膜によって行われる。

【 0 0 5 5 】

次に、例えば図 2 0 及び図 2 1 に示す様に、貫通コンタクト領域 T R にストッパ絶縁層 S T ' を形成する。この工程は、例えば、R I E 等による溝の形成、及び、C V D 等による成膜によって行われる。

30

【 0 0 5 6 】

次に、例えば図 2 2 ~ 図 2 5 に示す様に、メモリブロック間絶縁層 S T に対応する位置に、溝 S T A を形成する。この工程は、例えば、R I E 等によって行われる。

【 0 0 5 7 】

次に、例えば図 2 6 ~ 図 2 9 に示す様に、絶縁層 1 1 0 A の一部を除去する。この工程は、例えば、溝 S T A を介してリン酸等を使用したウェットエッチング等を行い、絶縁層 1 1 0 A を選択的に除去することによって行われる。尚、絶縁層 1 1 0 A の一部は、ストッパ絶縁層 S T ' によって保護され、除去されずに残存する。

40

【 0 0 5 8 】

次に、例えば図 3 0 ~ 図 3 1 に示す様に、導電層 1 1 0 を形成する。この工程は、例えば、溝 S T A を介した C V D 等による導電層 1 1 0 の成膜、及び、ウェットエッチング等による導電層 1 1 0 の分断によって行われる。

【 0 0 5 9 】

次に、例えば図 3 2 に示す様に、メモリブロック間絶縁層 S T を形成する。この工程は、例えば、C V D 等によって行われる。

【 0 0 6 0 】

その後、貫通コンタクト C 4、ストリングユニット間絶縁層 S H E 等を形成することに

50

より、図4～図12等を参照して説明した様な構造が形成される。

【0061】

[効果]

基板の表面と交差する方向に積層された複数の導電層と、これら複数の導電層と対向する半導体層と、これら複数の導電層及び半導体層の間に設けられた電荷蓄積膜と、を備える半導体記憶装置が知られている。この様な半導体記憶装置を製造する場合、例えば、基板上に複数の導電層及び複数の層間絶縁層を形成し、これら複数の導電層及び複数の層間絶縁層を貫通するメモリホールを形成し、このメモリホールの内周面に電荷蓄積膜及び半導体層を設けることも可能である。しかしながら、複数の導電層及び複数の層間絶縁層にメモリホールを形成する場合、メモリホールのアスペクト比が小さくなってしまふ場合がある。そこで、複数の導電層及び複数の層間絶縁層を積層するかわりに複数の犠牲層及び複数の層間絶縁層を積層し、メモリホール及び半導体層等の形成後に犠牲層を除去し、犠牲層が形成されていた部分に導電層を形成する場合がある。

10

【0062】

また、この様な半導体記憶装置では、例えば図2等を参照して説明した様に、メモリセルアレイの下方にトランジスタ及び配線等を設ける場合がある。この様な構成では、メモリ層ML中の構成及びメモリ層MLの上方に設けられた構成を回路層CL中のトランジスタ等と接続するために、メモリ層MLを貫通する貫通コンタクトを設ける場合がある。この様な貫通コンタクトは、例えば、ワード線WL等として機能する複数の導電層を貫通するコンタクトホールを形成し、このコンタクトホールの内周面に絶縁層及び金属等のコンタクトを形成することによって形成可能である。しかしながら、この様な場合、導電層と貫通コンタクトとを絶縁するための絶縁層をコンタクトホールの内周面に形成する必要があり、コンタクトホールの内径が大きくなってしまふ場合がある。これにより、貫通コンタクト間の距離が大きくなってしまひ、貫通コンタクト領域の面積が大きくなってしまふ場合がある。

20

【0063】

そこで、本実施形態に係る半導体記憶装置では、上記犠牲層の一部をコンタクト間の絶縁層として利用している。この様な方法によれば、コンタクトホール内に絶縁層を設ける必要がないため、貫通コンタクト間の距離を削減可能である。これにより、貫通コンタクト領域TRの面積を縮小可能である。

30

【0064】

また、本実施形態に係る半導体記憶装置では、絶縁層110Aの除去に際して、ウェットエッチング等の薬液の進行を抑制するストッパ絶縁層ST'を設けている。これにより、貫通コンタクト領域TRの位置、面積等を精度良く設定可能である。

【0065】

また、本実施形態においては、X方向に延伸する2つの直線状のストッパ絶縁層ST'によって薬液の進行を抑制している。この様な構成は、例えば、貫通コンタクト領域TRの四辺に沿って延伸する4つの直線状のストッパ絶縁層ST'を有する構成と比較して、加工等の都合上容易に実現可能である。

【0066】

40

[第2実施形態]

次に、第2実施形態に係る半導体記憶装置について説明する。尚、以下の説明において、第1実施形態に係る半導体記憶装置と同様の部分には同一の符号を付し、説明を省略する。

【0067】

第2実施形態に係る半導体記憶装置は、基本的には第1実施形態に係る半導体記憶装置と同様に構成されている。しかしながら、第2実施形態に係る半導体記憶装置は、第1実施形態に係る半導体記憶装置と比較して、製造方法が異なる。

【0068】

図33～図39は、本実施形態に係る半導体記憶装置の製造方法の一部を示す模式的な

50

断面図であり、図 1 1 に対応する断面を示している。

【 0 0 6 9 】

同製造方法は、図 1 8 及び図 1 9 を参照して説明した工程までは、第 1 実施形態に係る製造方法と同様に行う。

【 0 0 7 0 】

次に、図 3 3 に示す様に、ストップパ絶縁層 S T ' に対応する位置に溝 S T A ' を形成し、メモリブロック間絶縁層 S T に対応する位置に、溝 S T A を形成する。この工程は、例えば、R I E 等によって行われる。

【 0 0 7 1 】

次に、図 3 4 に示す様に、溝 S T A ' 及び溝 S T A の底面及び側面に、ストップパ絶縁層 S T ' ' を形成する。ストップパ絶縁層 S T ' ' は、例えば、酸化シリコン (S i O ₂) 等を含む。ストップパ絶縁層 S T ' ' は、溝 S T A ' 及び溝 S T A が埋め込まれない程度に薄く形成される。

10

【 0 0 7 2 】

次に、図 3 5 に示す様に、図 3 4 に示す構成の上面にレジスト R を形成する。レジスト R は、溝 S T A ' が形成された領域を覆い、溝 S T A が形成された領域を露出させる。

【 0 0 7 3 】

次に、図 3 6 に示す様に、ストップパ絶縁層 S T ' ' のうち、溝 S T A に形成された部分を除去する。この工程は、例えば、レジスト R を介したウェットエッチング等によって行われる。

20

【 0 0 7 4 】

次に、図 3 7 に示す様に、レジスト R を除去する。

【 0 0 7 5 】

次に、図 3 8 に示す様に、絶縁層 1 1 0 A の一部を除去する。この工程は、例えば、図 2 6 ~ 図 2 9 を参照して説明した工程と同様に行われる。

【 0 0 7 6 】

次に、図 3 9 に示す様に、導電層 1 1 0 を形成する。この工程は、例えば、例えば図 3 0 ~ 図 3 1 を参照して説明した工程と同様に行われる。

【 0 0 7 7 】

その後、例えば、図 3 2 を参照して説明した工程以降の工程を行う。

30

【 0 0 7 8 】

[第 3 実施形態]

次に、第 3 実施形態に係る半導体記憶装置について説明する。尚、以下の説明において、第 1 実施形態又は第 2 実施形態に係る半導体記憶装置と同様の部分には同一の符号を付し、説明を省略する。

【 0 0 7 9 】

図 4 0 は、本実施形態に係る半導体記憶装置のメモリ層 M L 中の構成を示す模式的な平面図である。図 5 等を参照して説明した通り、第 1 実施形態及び第 2 実施形態においては、各メモリブロック M B に X 方向に延伸するメモリ領域 M R が設けられており、各メモリ領域 M R の X 方向の一端部及び他端部に、コンタクト領域 C R 1 , C R 2 及び貫通コンタクト領域 T R が設けられていた。一方、図 4 0 に示す様に、第 3 実施形態においては、各メモリブロック M B の X 方向の一方側 (図 4 0 の右側) 及び他方側 (図 4 0 の左側) に X 方向に延伸するメモリ領域 M R が設けられており、これらの領域の間にコンタクト領域 C R 2 ' 及び貫通コンタクト領域 T R が設けられている。尚、図 4 0 においては図示を省略しているものの、メモリ領域 M R とコンタクト領域 C R 2 ' との間、及び、メモリ領域 M R と貫通コンタクト領域 T R との間には、それぞれ、コンタクト領域 C R 1 が設けられている。

40

【 0 0 8 0 】

本実施形態に係る半導体記憶装置において、メモリ領域 M R 、コンタクト領域 C R 1 及び貫通コンタクト領域 T R は、第 1 実施形態及び第 2 実施形態と同様に構成されている。

50

【 0 0 8 1 】

図 4 1 は、図 4 0 の一部の拡大図であり、コンタクト領域 C R 2 ' 及び貫通コンタクト領域 T R 中の構成を示す模式的な平面図である。図 4 2 は、図 4 1 に示す構造を A - A ' 線に沿って切断し、矢印の方向に見た模式的な断面図である。

【 0 0 8 2 】

コンタクト領域 C R 2 ' は、図 4 1 に示す様に、X 方向に延伸し Y 方向に並ぶ配線領域 w l d と、コンタクト領域 w l e と、を備える。配線領域 w l d は、Z 方向に並ぶ複数の導電層 1 1 0 及び複数の層間絶縁層 1 0 1 の一部を含む。コンタクト領域 w l e は、図 4 2 に示す様に、X 方向に並ぶ複数のコンタクト C C と、Z 方向に並ぶ複数の導電層 1 1 0 及び複数の層間絶縁層 1 0 1 の一部と、を含む。X 方向に並ぶ複数のコンタクト C C は全 10
て下端の位置が異なり、異なる導電層 1 1 0 に接続されている。複数の導電層 1 1 0 は、それぞれ、複数のコンタクト C C のうちの一つに接続される接続部と、それ以外のコンタクト C C を下方の導電層 1 1 0 に接続するための開口と、を備える。

【 0 0 8 3 】

尚、図 4 1 の例においては、コンタクト領域 C R 2 ' に設けられた複数のコンタクト C C と、貫通コンタクト領域 T R に設けられた複数の貫通コンタクト C 4 とが対応して配置されており、各コンタクト C C は Y 方向に延伸する配線 M 0 を介して各貫通コンタクト C 4 に接続されている。配線 M 0 の Y 方向における長さは、配線 M 0 の X 方向における長さよりも大きい。

【 0 0 8 4 】

[効果]

第 1 実施形態及び第 2 実施形態に係る半導体記憶装置においては、各メモリ領域 M R の X 方向の一端部及び他端部に、コンタクト領域 C R 1 , C R 2 及び貫通コンタクト領域 T R が設けられていた。この様な構成では、コンタクト領域 C R 1 , C R 2 からメモリ領域 M R の X 方向の一端部又は他端部までの距離が大きくなってしまい、導電層 1 1 0 への電圧の転送に時間がかかってしまう場合がある。

【 0 0 8 5 】

一方、本実施形態に係る半導体記憶装置においては、各メモリブロック M B の X 方向の一方側（図 4 0 の右側）及び他方側（図 4 0 の左側）に X 方向に延伸するメモリ領域 M R が設けられており、これらの領域の間にコンタクト領域 C R 1 , C R 2 ' 及び貫通コンタクト領域 T R が設けられている。従って、もし仮に第 1 実施形態のメモリブロック M B と第 3 実施形態のメモリブロック M B とが同数のメモリセル M C を含む場合、第 3 実施形態のメモリ領域 M R の X 方向における長さは、第 1 実施形態のメモリ領域 M R の X 方向における長さの半分となる。従って、第 1 実施形態に係るメモリブロック M B と比較して、導電層 1 1 0 に高速に電圧を転送することが可能である。

【 0 0 8 6 】

また、本実施形態においては、コンタクト領域 C R 2 ' に設けられた複数のコンタクト C C と、貫通コンタクト領域 T R に設けられた複数の貫通コンタクト C 4 とが対応して配置されており、各コンタクト C C は Y 方向に延伸する配線 M 0 を介して各貫通コンタクト C 4 に接続されている。この様な構成によれば、第 1 実施形態及び第 2 実施形態に係る構成と比較して、コンタクト C C と貫通コンタクト C 4 との間の配線抵抗のばらつきを大幅に削減可能である。

【 0 0 8 7 】

[第 4 実施形態]

次に、第 4 実施形態に係る半導体記憶装置について説明する。尚、以下の説明において、第 1 実施形態～第 3 実施形態に係る半導体記憶装置と同様の部分には同一の符号を付し、説明を省略する。

【 0 0 8 8 】

図 4 3 は、本実施形態に係る半導体記憶装置のメモリ層 M L 中の構成を示す模式的な平面図である。図示の通り、本実施形態に係る半導体記憶装置は、基本的には第 3 実施形態 40

に係る半導体記憶装置と同様に構成されている。しかしながら、本実施形態に係る半導体記憶装置は第3実施形態に係る貫通コンタクト領域TRを備えておらず、そのかわりに貫通コンタクト領域TR'を備えている。

【0089】

図44は、図43の一部の拡大図であり、コンタクト領域CR2'及び貫通コンタクト領域TR'中の構成を示す模式的な平面図である。図45は、図43に示す構造をA-A'線に沿って切断し、矢印の方向に見た模式的な断面図である。

【0090】

貫通コンタクト領域TR'は、基本的には第1実施形態～第3実施形態に係る貫通コンタクト領域TRと同様に構成されている。しかしながら、本実施形態に係る貫通コンタクト領域TR'は配線領域w1bを有しておらず、ストップ絶縁層ST'も一つしか有していない。また、図45に示す様に、コンタクト領域w1cに設けられた複数の絶縁層110AのX方向の一方側(図45の右側)の側面はストップ絶縁層ST'の側面に接続され、X方向の他方側(図45の左側)の側面はメモリブロック間絶縁層STの側面に接続されている。

10

【0091】

このような構成は、種々の方法によって製造可能である。例えば、本実施形態に係る半導体記憶装置を第2実施形態に係る製造方法と同様の方法によって形成する場合、図35を参照して説明した工程において、図44のBで示した領域及びCで示した領域を覆い、それ以外の部分を露出させるレジストRを形成しても良い。尚、図44のBで示した領域は、ストップ絶縁層ST'を含む。また、図44のCで示した領域は、メモリブロック間絶縁層STのうち、Y方向において隣り合う2つの貫通コンタクト領域TR'の間に設けられた部分を含む。

20

【0092】

[その他の実施形態]

第3実施形態に係る貫通コンタクト領域TR及び第4実施形態に係る貫通コンタクト領域TR'は、第1実施形態と同様の製造方法によって形成しても良いし、第2実施形態と同様の製造方法によって形成しても良い。

【0093】

また、第4実施形態に係る貫通コンタクト領域TR'中の構成は、第1実施形態及び第2実施形態に係る半導体記憶装置にも適用可能である。

30

【0094】

また、第1実施形態から第4実施形態においては、絶縁層110Aとメモリブロック間絶縁層STとの間にストップ絶縁層ST'が設けられていた。しかしながら、例えば図46に示す様に、貫通コンタクト領域TR又は貫通コンタクト領域TR'中の絶縁層110Aとメモリブロック間絶縁層STとの間にストップ絶縁層ST'を設けないことも可能である。このような構成は、第1実施形態～第4実施形態に係る半導体記憶装置と比較して製造工程数を削減可能である。

【0095】

また、第1実施形態から第4実施形態においては、貫通コンタクト領域TR, TR'中に設けられる貫通コンタクトC4として、ワード線WL等として機能する導電層110と、半導体基板S上に設けられたトランジスタTr(図2)と、の間に接続された貫通コンタクトC4について例示した。しかしながら、第1実施形態から第4実施形態に係る構成は、それ以外の構成を接続する貫通コンタクトにも適用可能である。

40

【0096】

[その他]

本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要

50

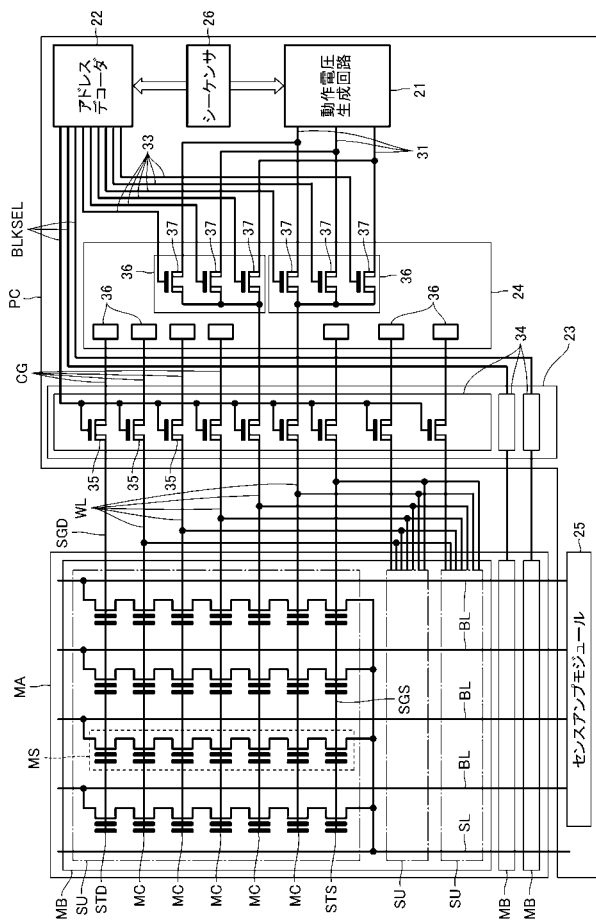
旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

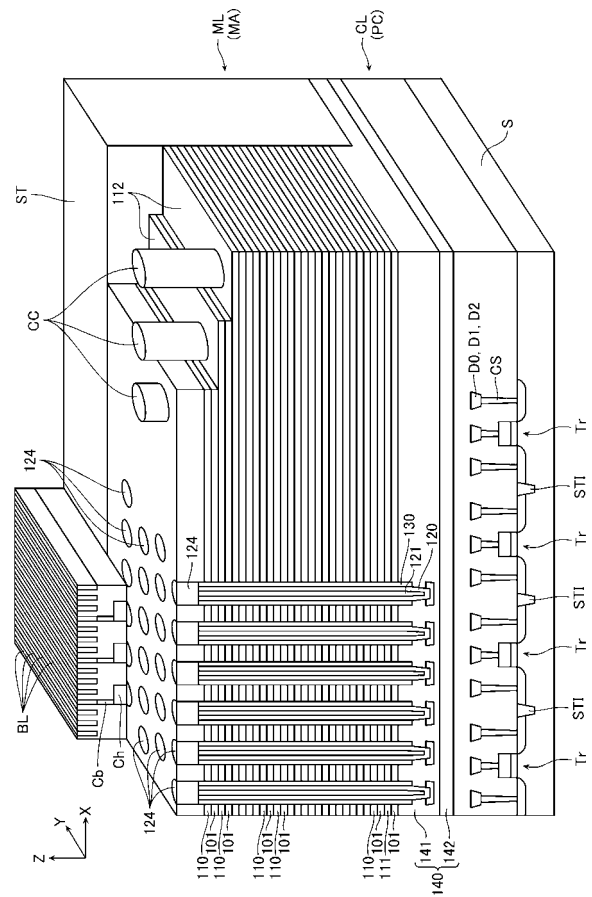
【0097】

110...導電層、120...半導体層、130...ゲート絶縁膜。

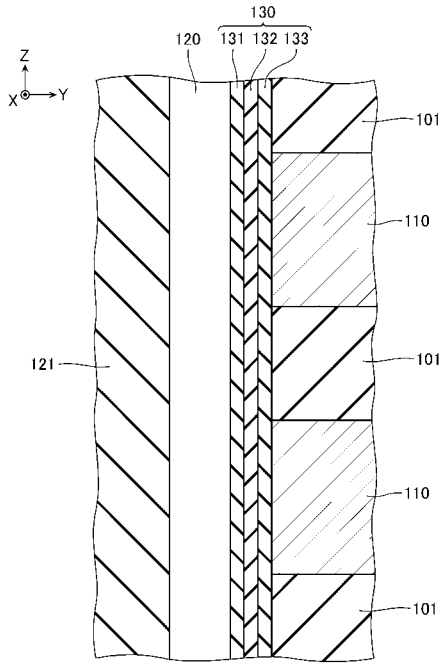
【図1】



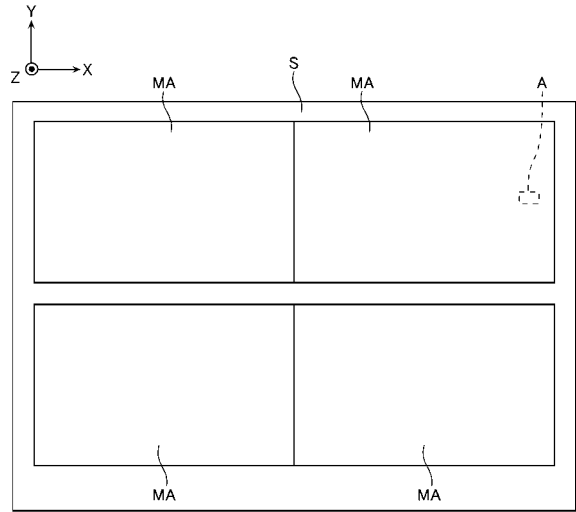
【図2】



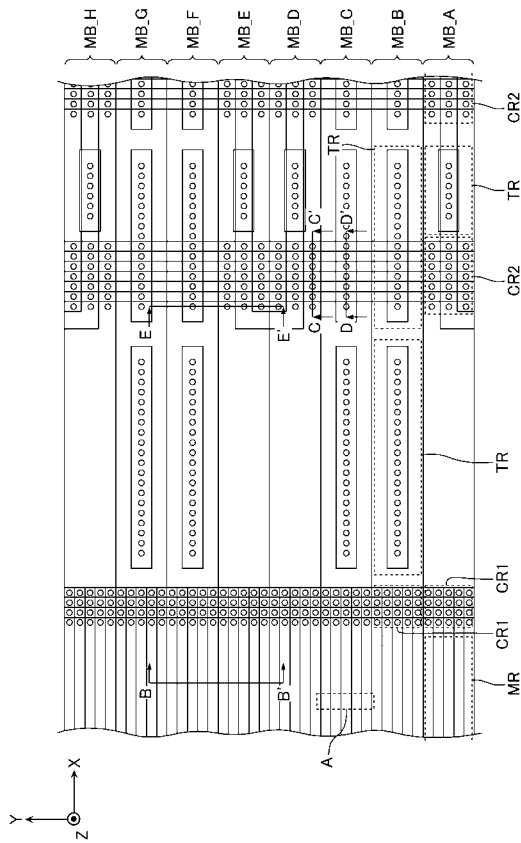
【 図 3 】



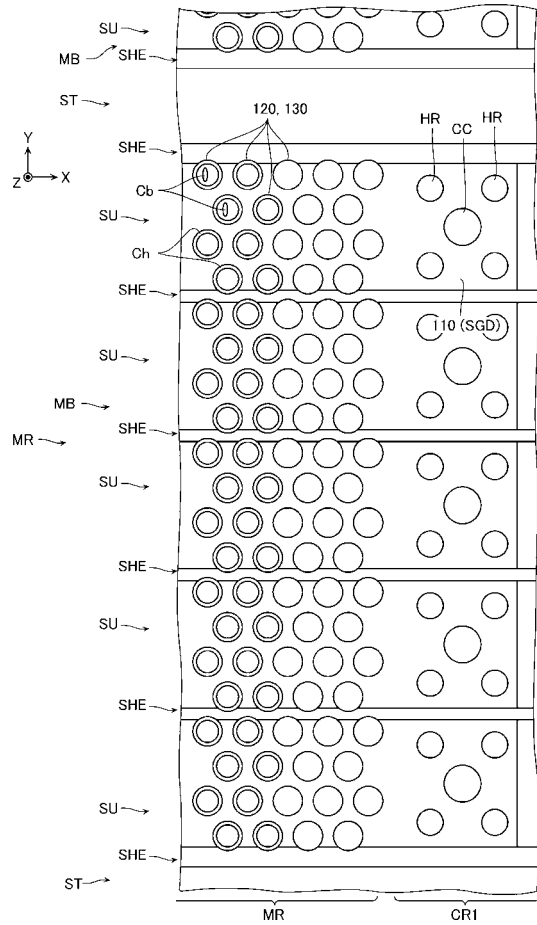
【 図 4 】



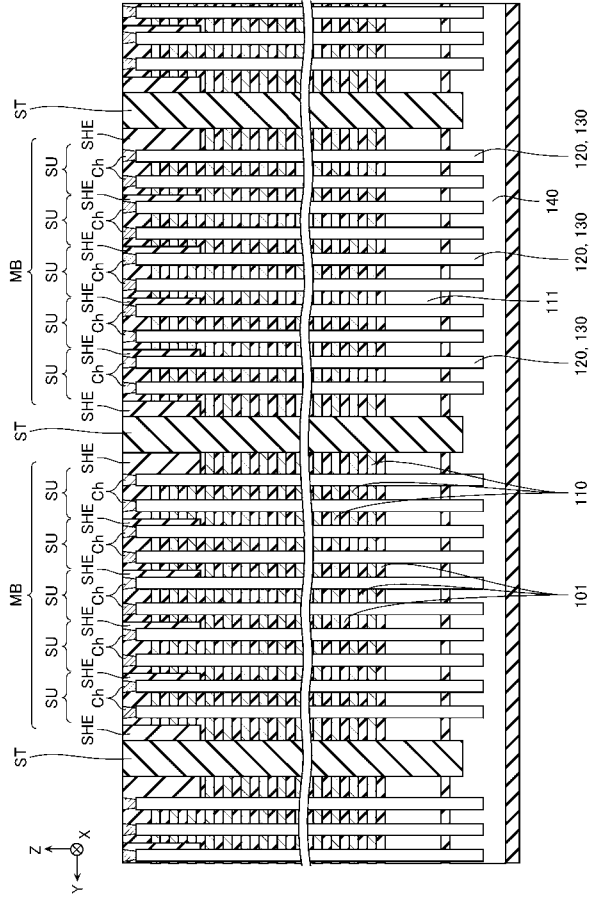
【 図 5 】



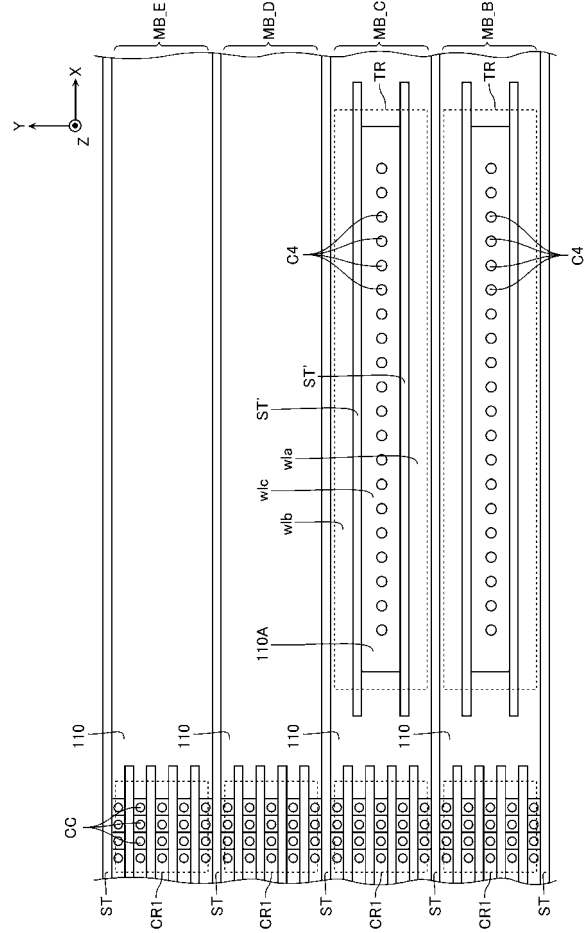
【 図 6 】



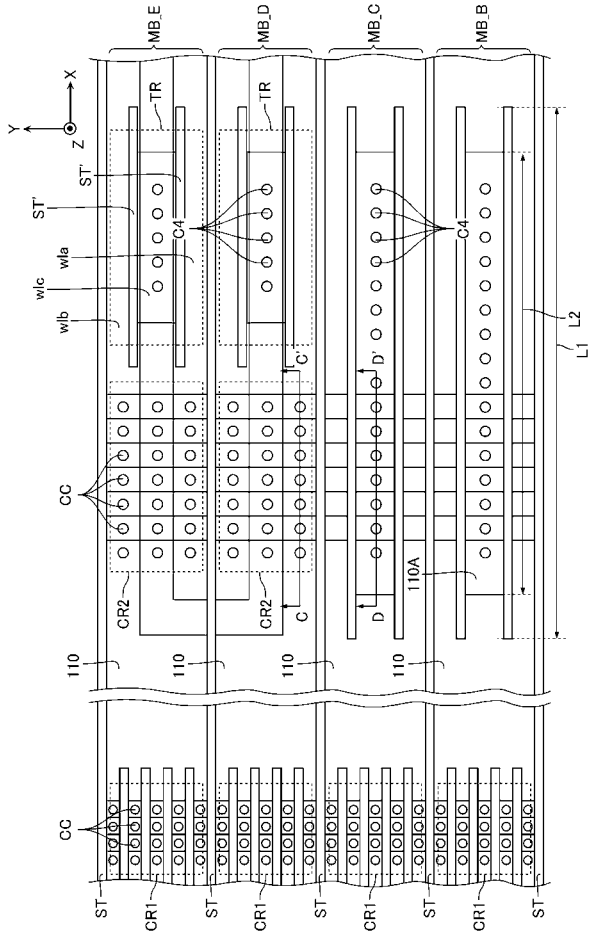
【 図 7 】



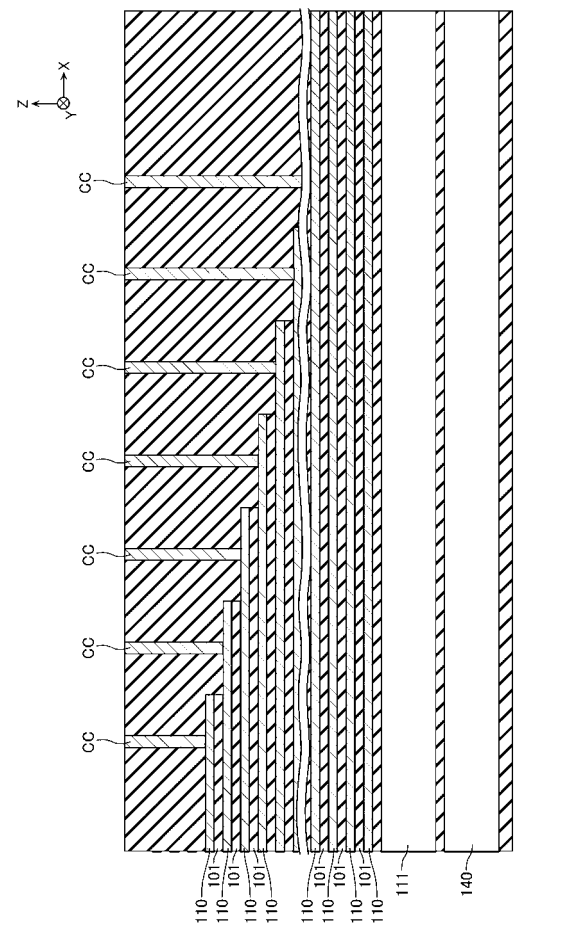
【 図 8 】



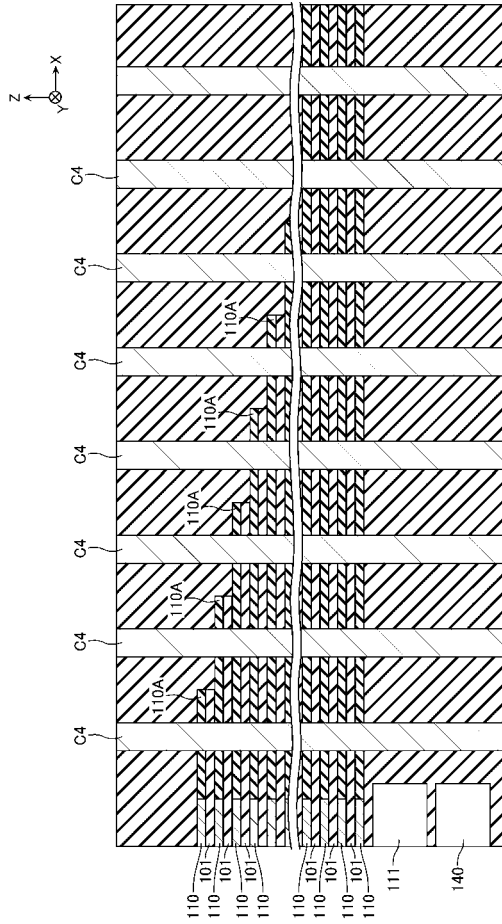
【 図 9 】



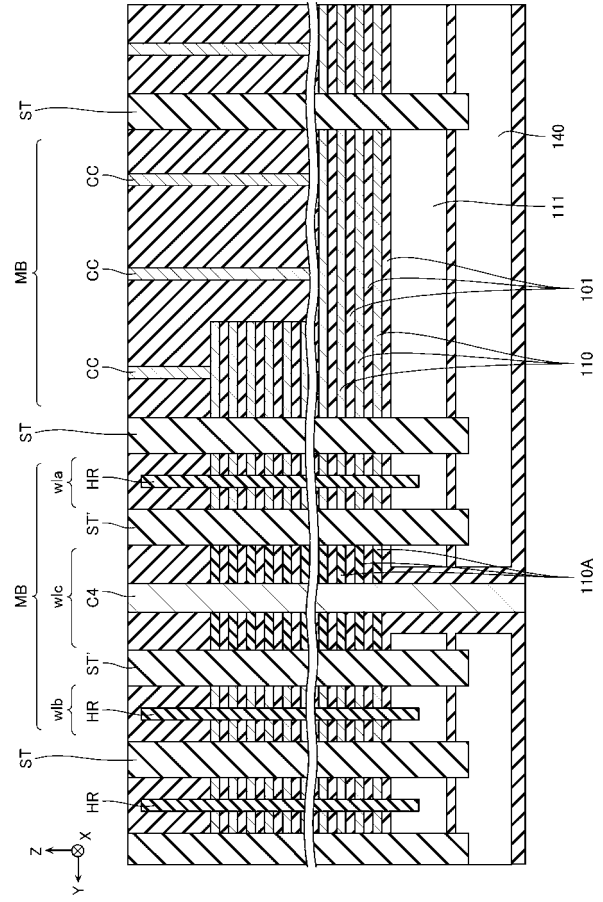
【 図 10 】



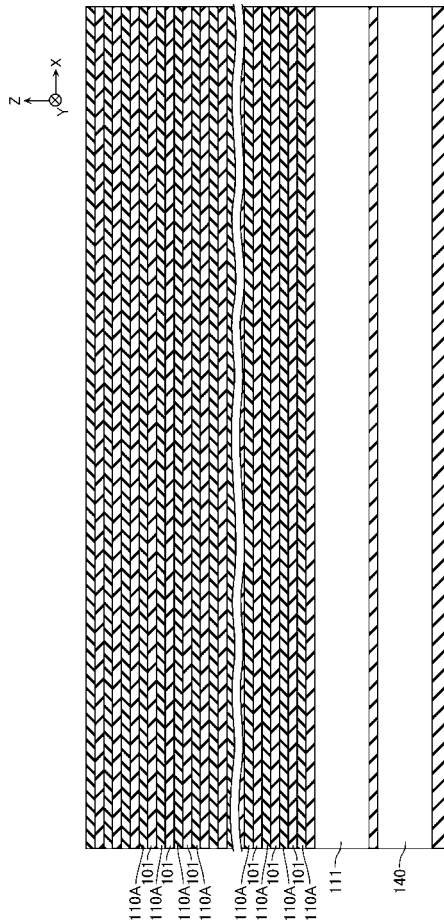
【 図 1 1 】



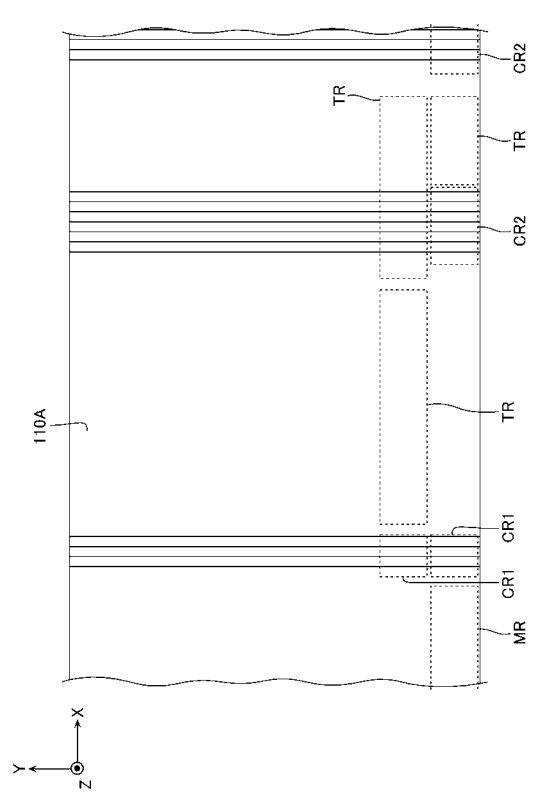
【 図 1 2 】



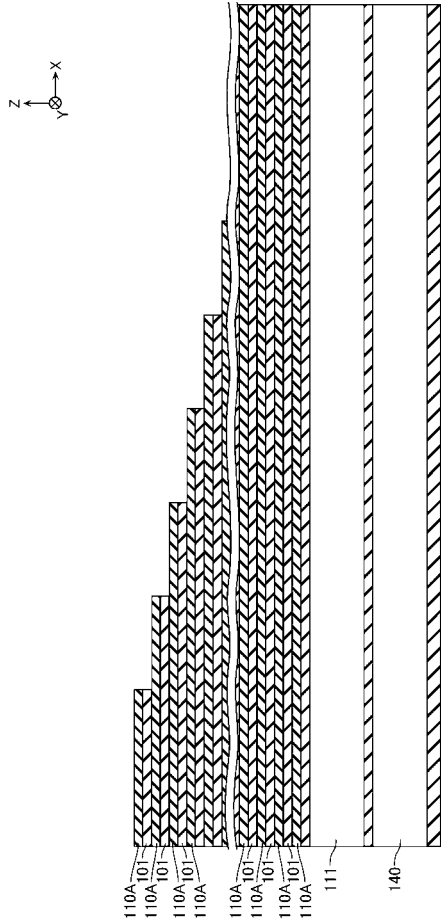
【 図 1 3 】



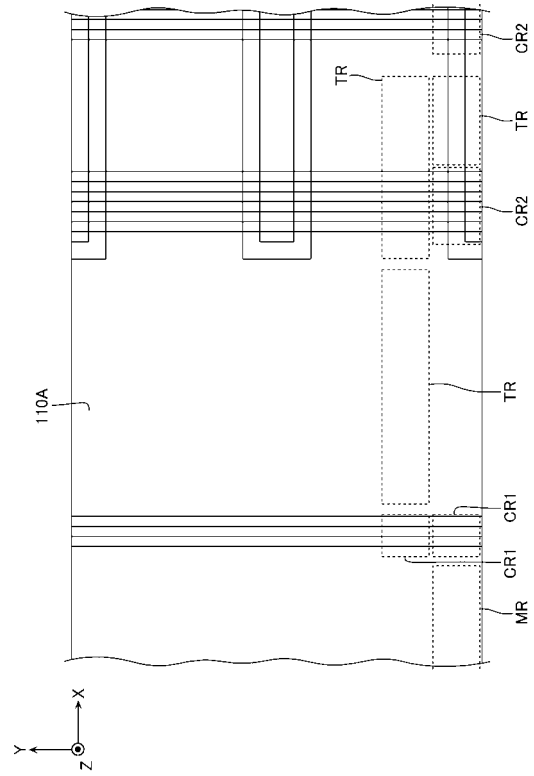
【 図 1 4 】



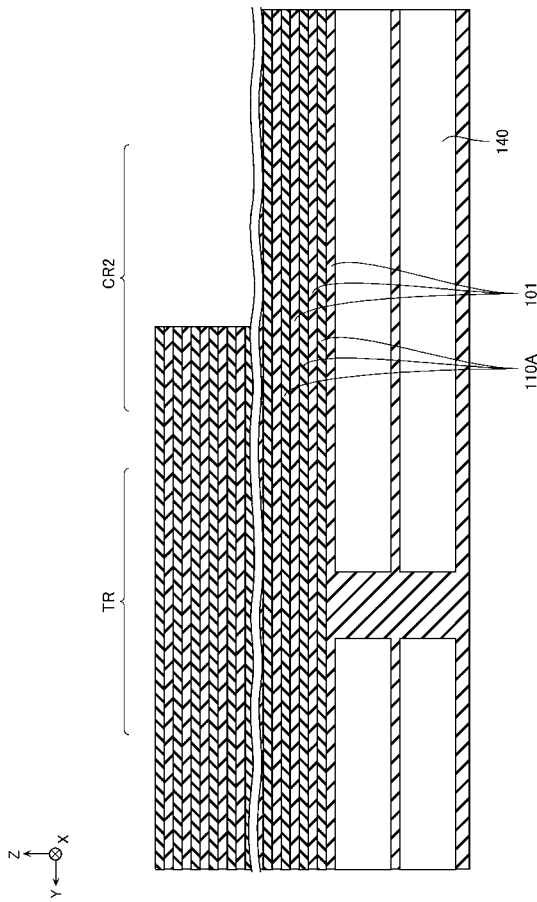
【 図 1 5 】



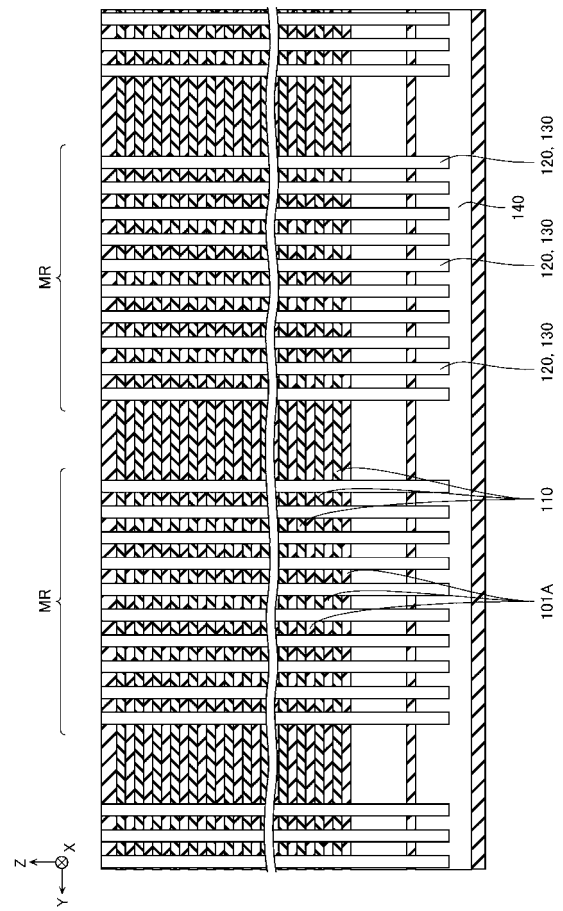
【 図 1 6 】



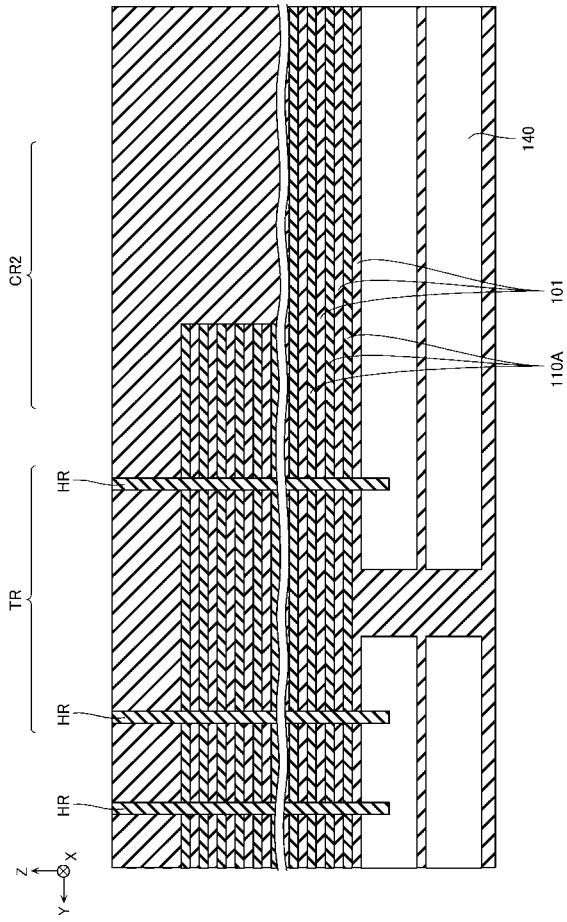
【 図 1 7 】



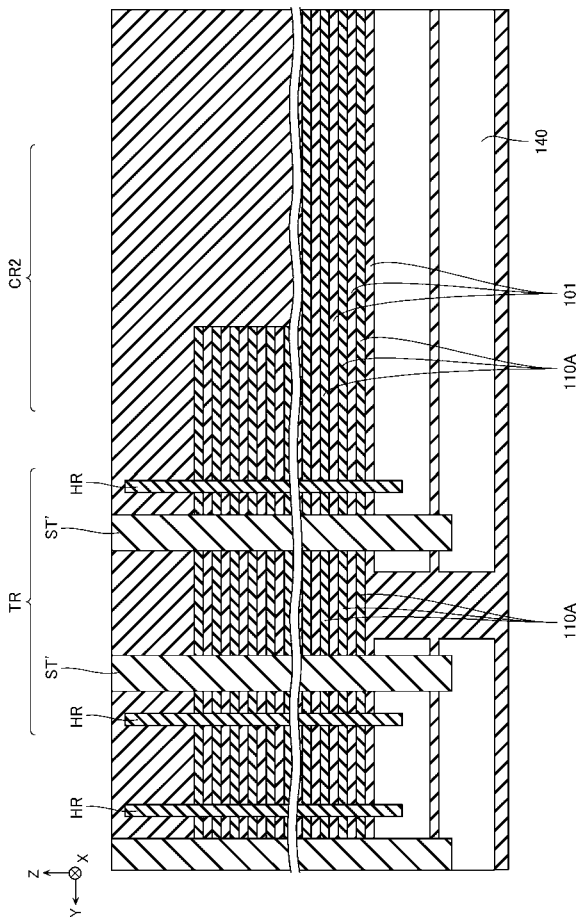
【 図 1 8 】



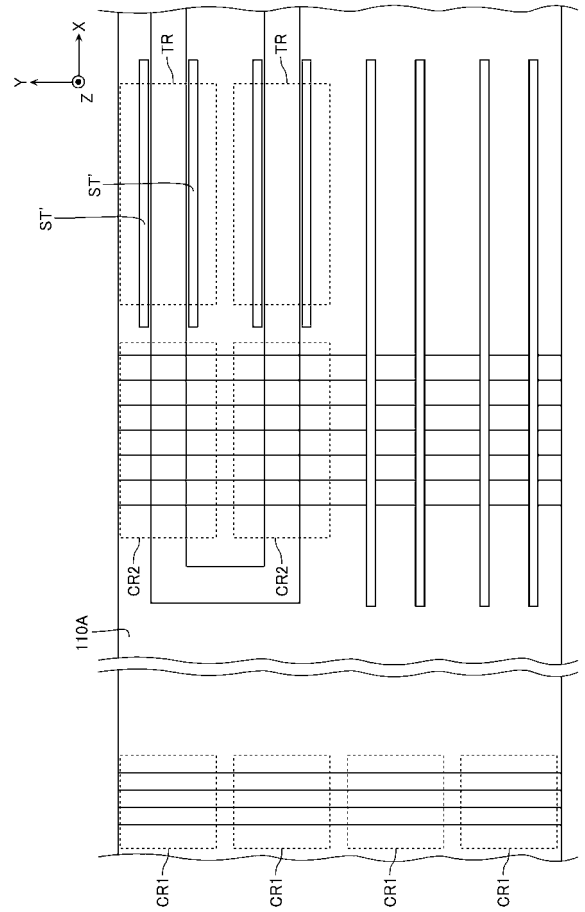
【 図 19 】



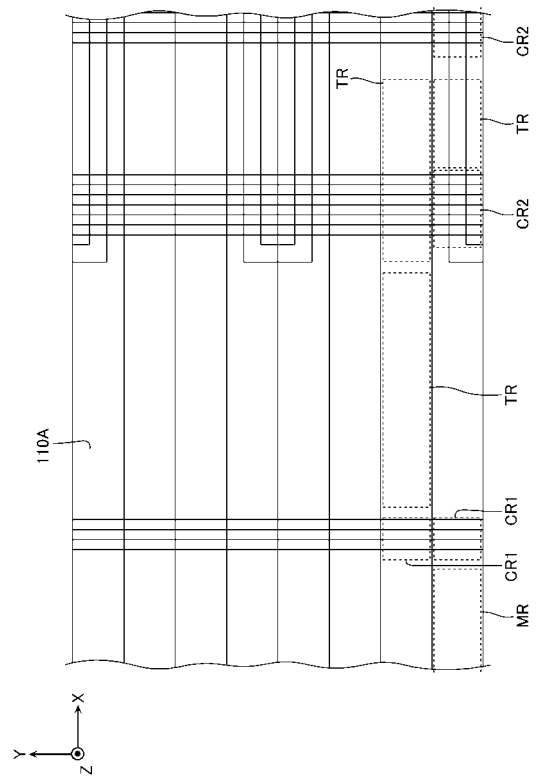
【 図 21 】



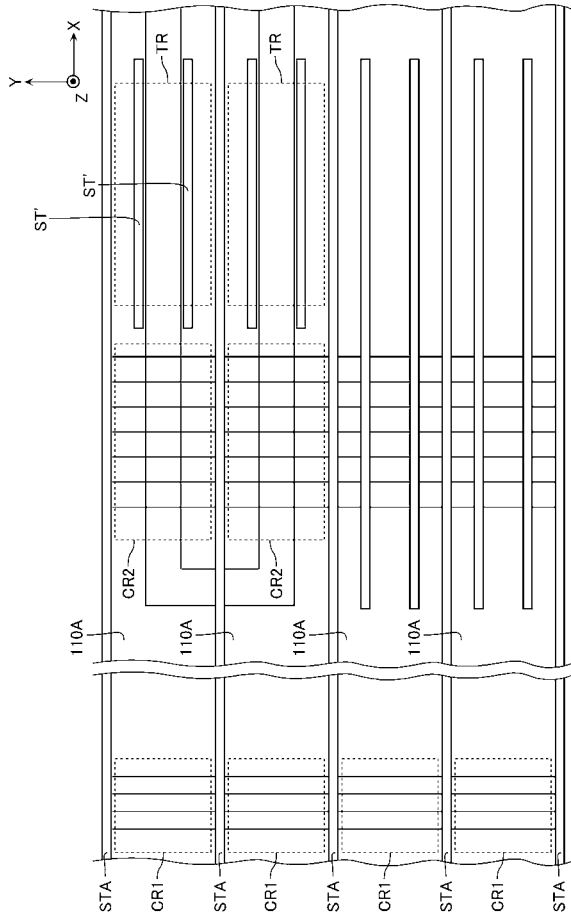
【 図 20 】



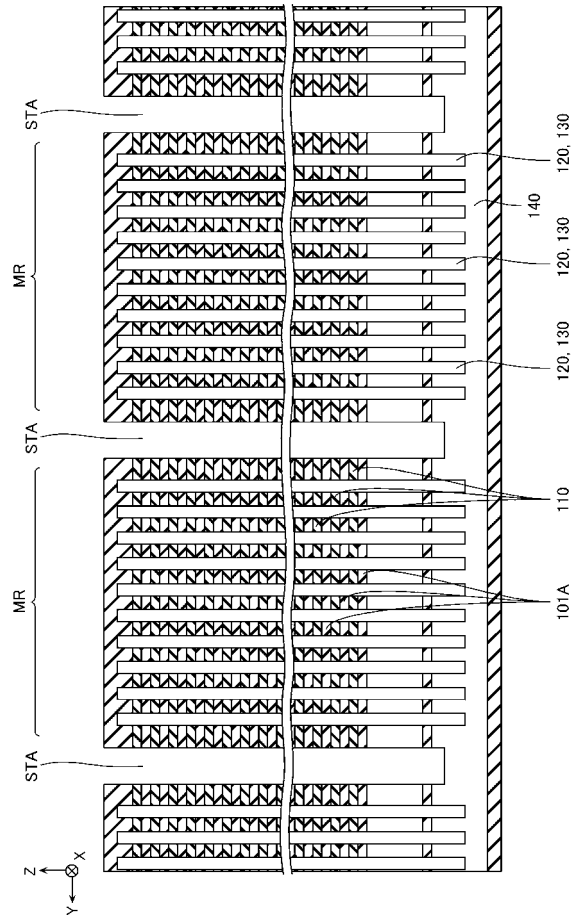
【 図 22 】



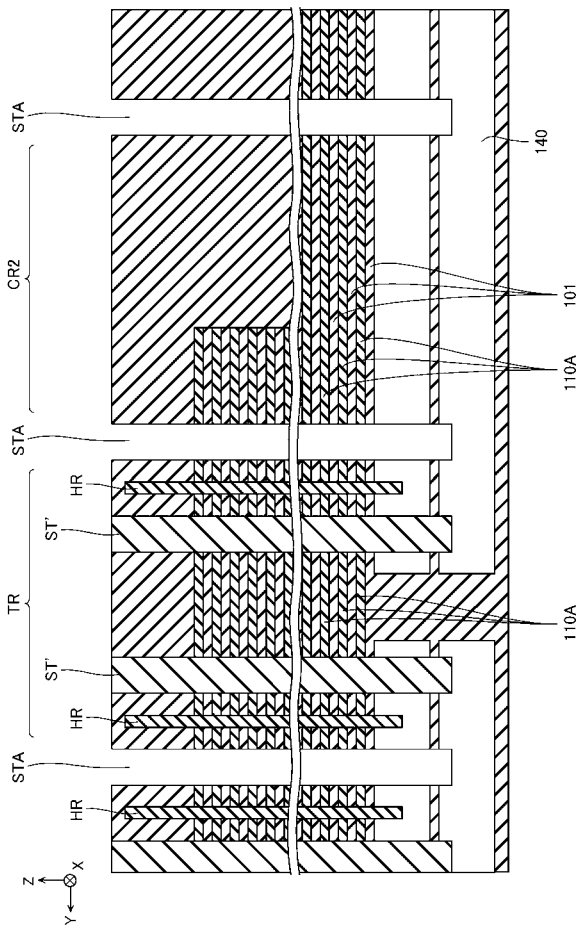
【 2 3 】



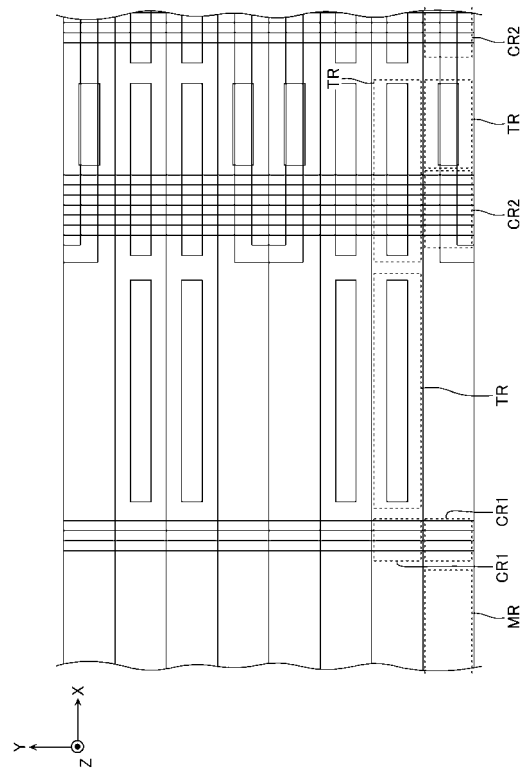
【 2 4 】



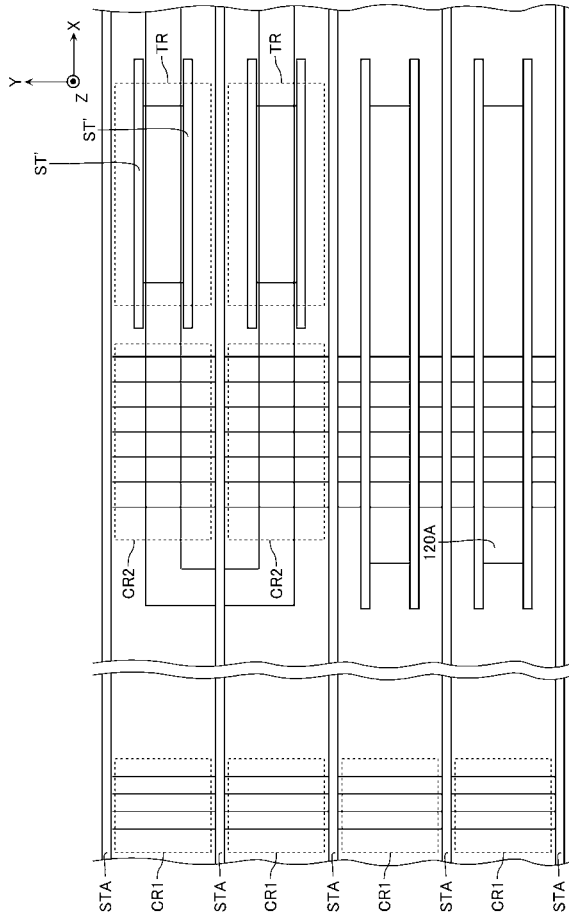
【 2 5 】



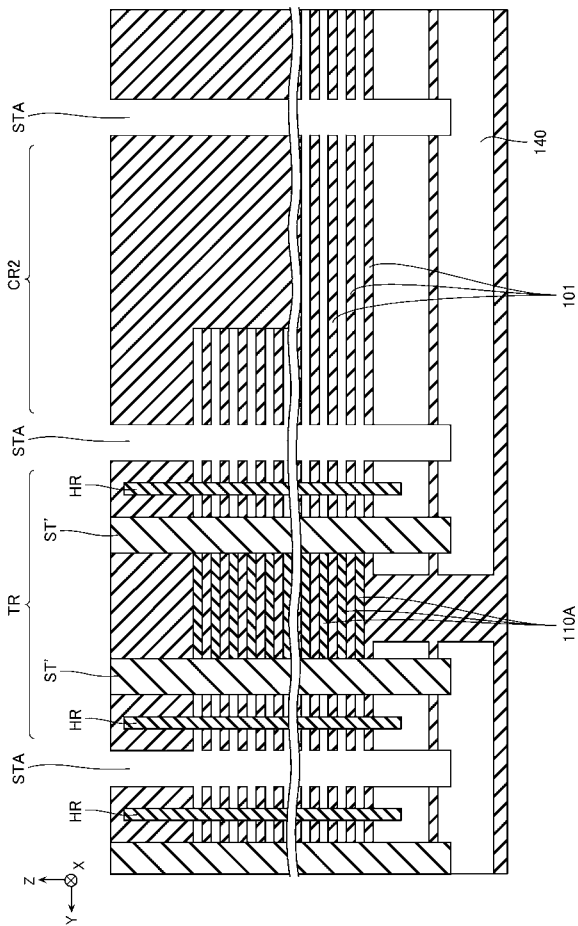
【 2 6 】



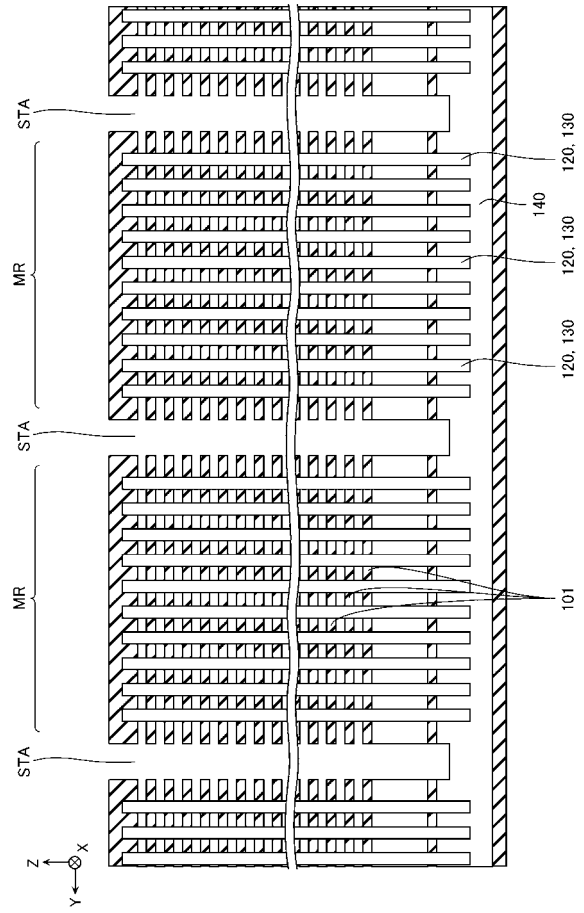
【 27 】



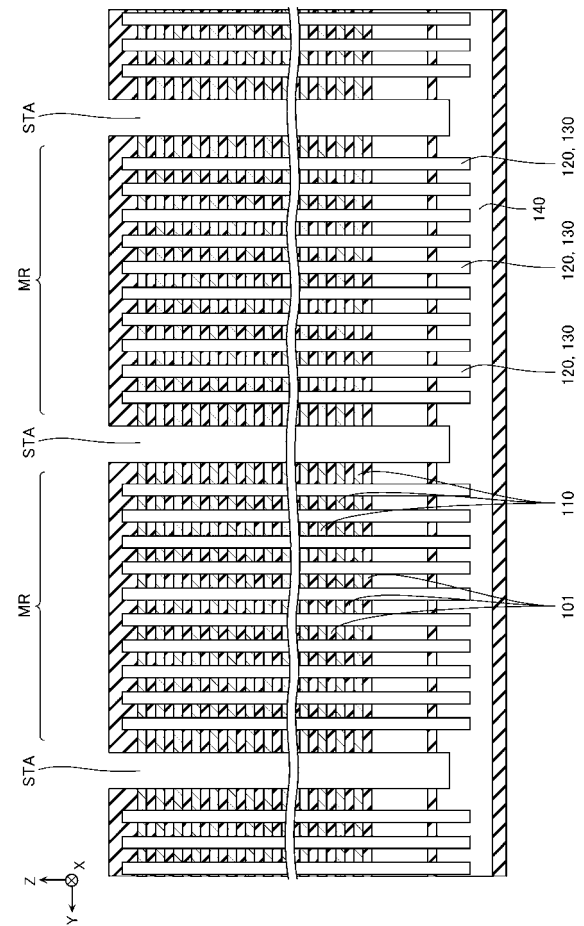
【 29 】



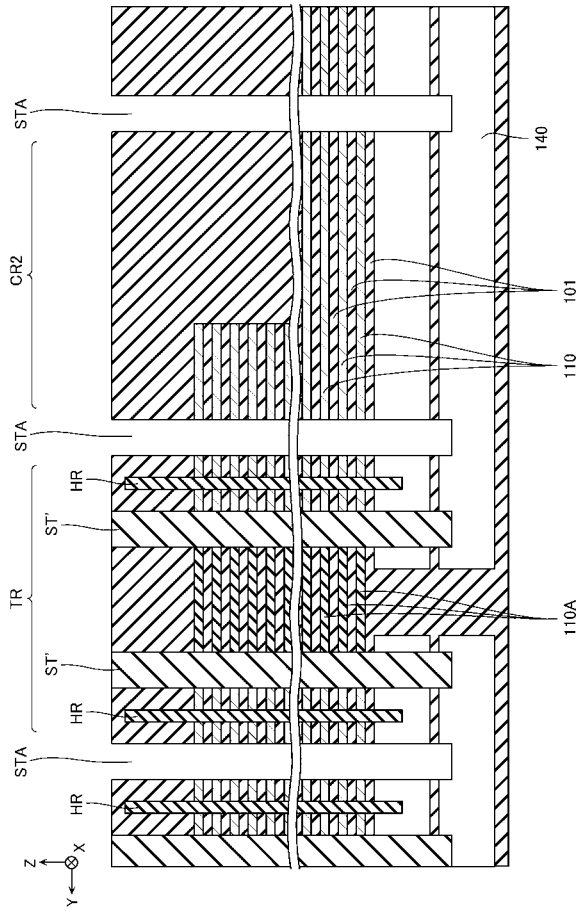
【 28 】



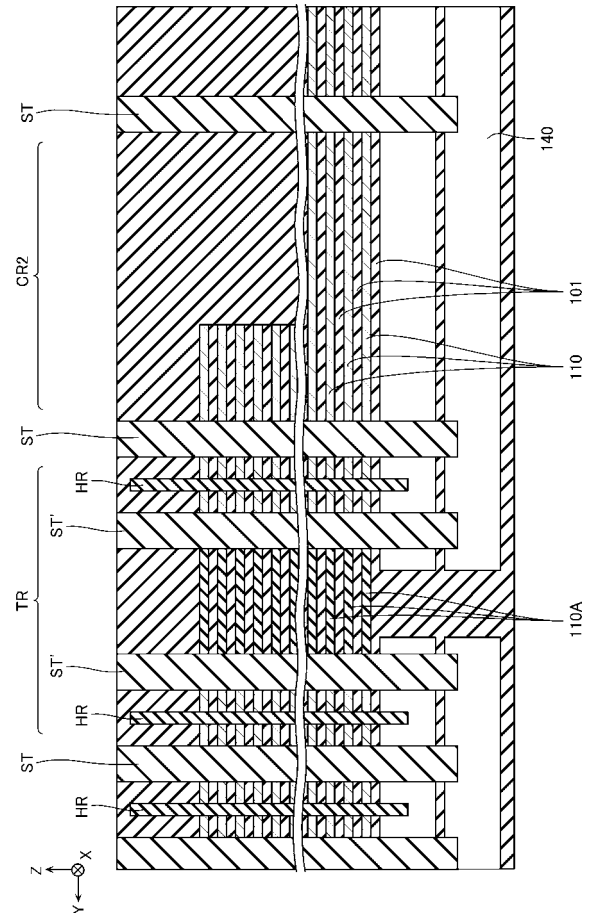
【 30 】



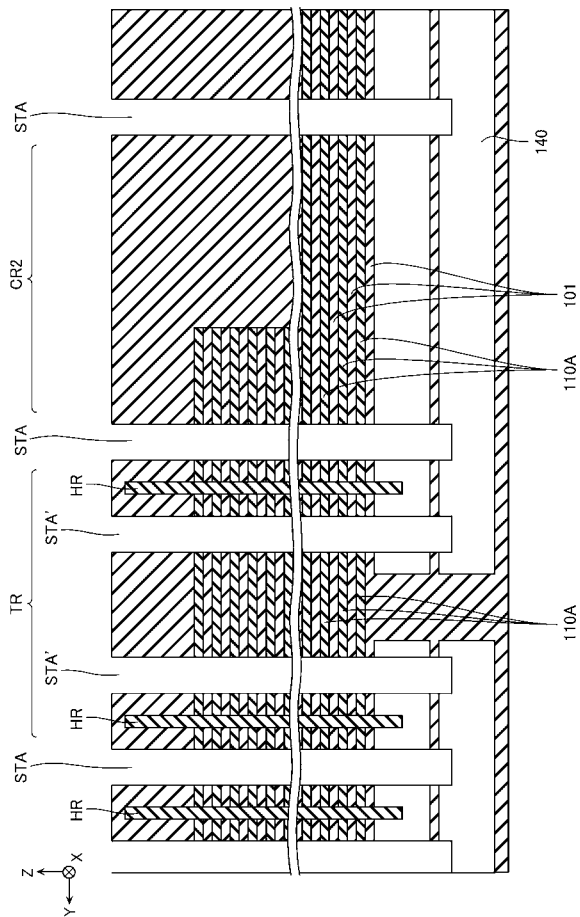
【 3 1 】



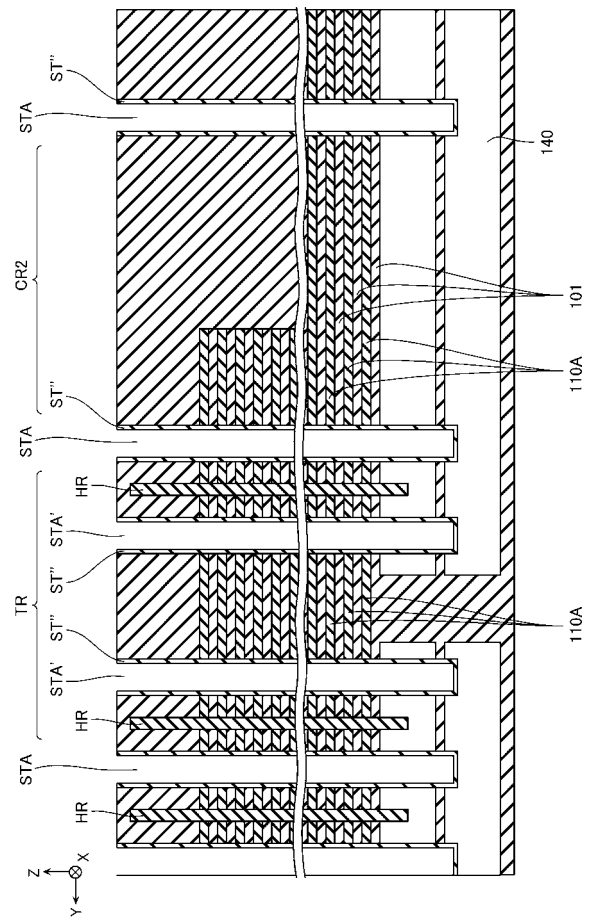
【 3 2 】



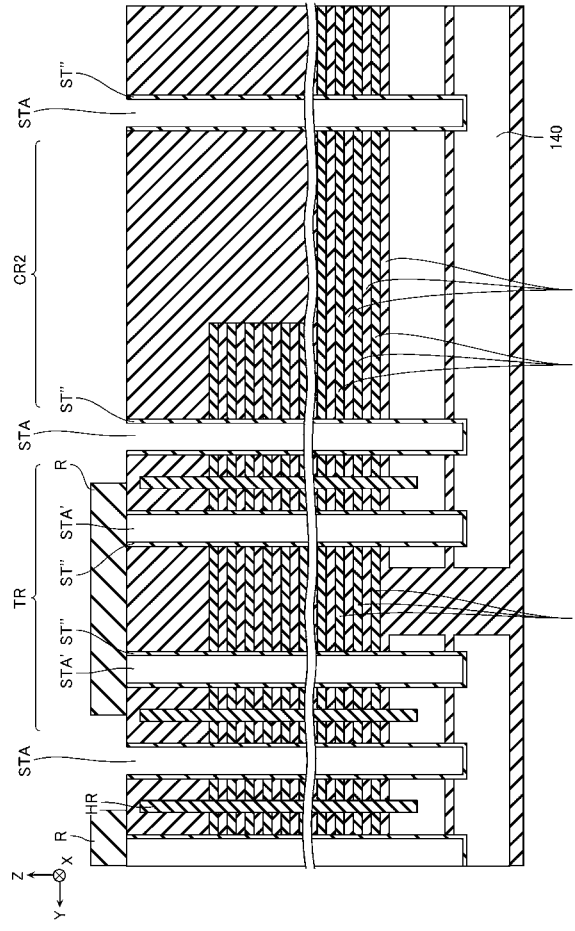
【 3 3 】



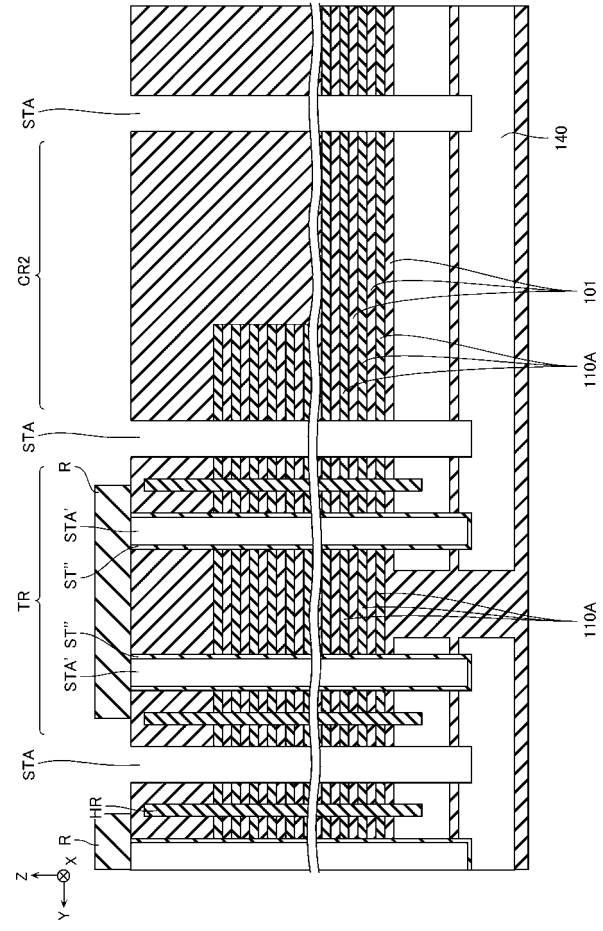
【 3 4 】



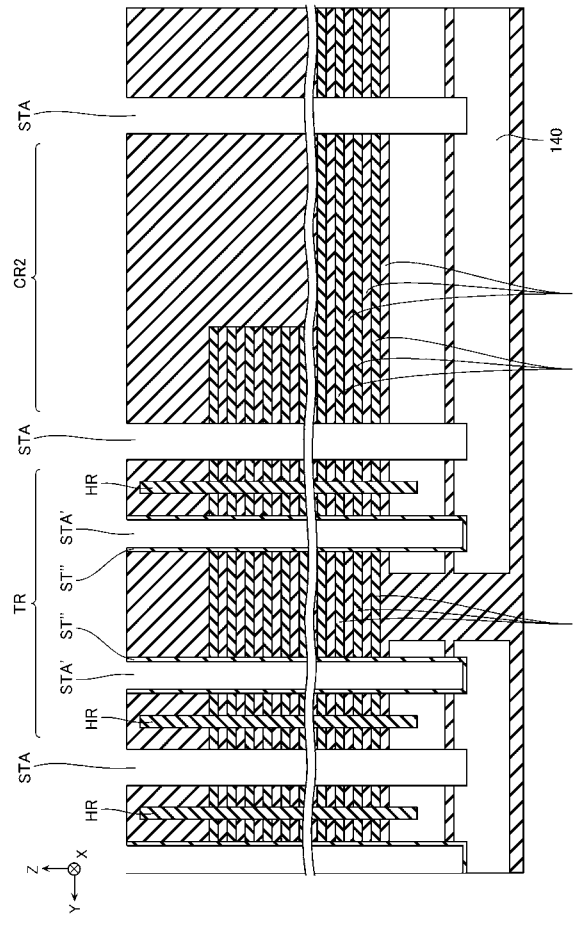
【 3 5 】



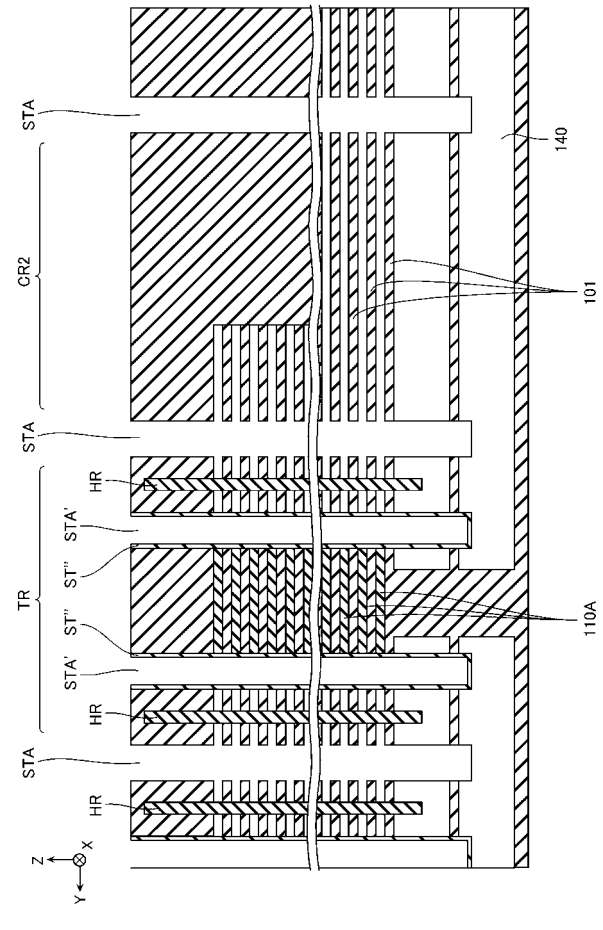
【 3 6 】



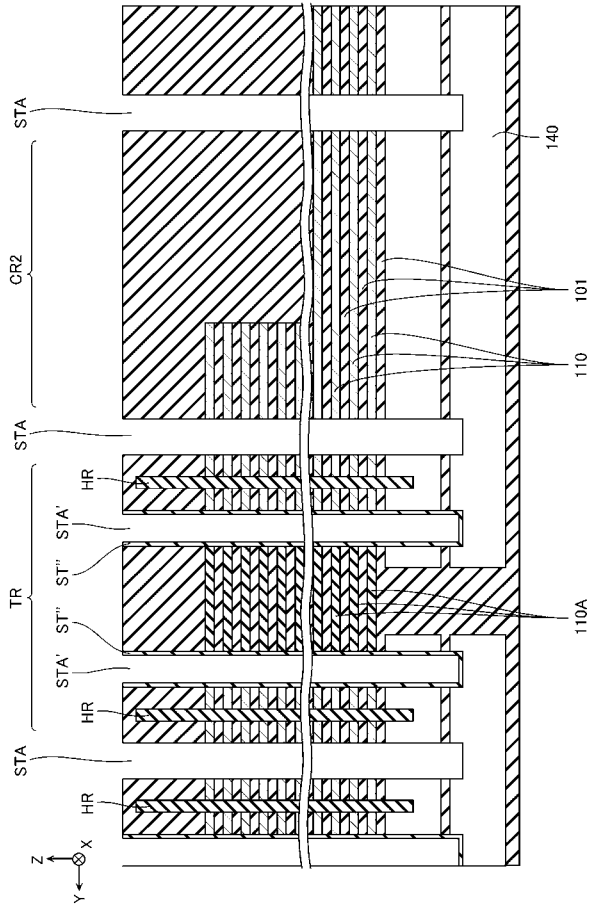
【 3 7 】



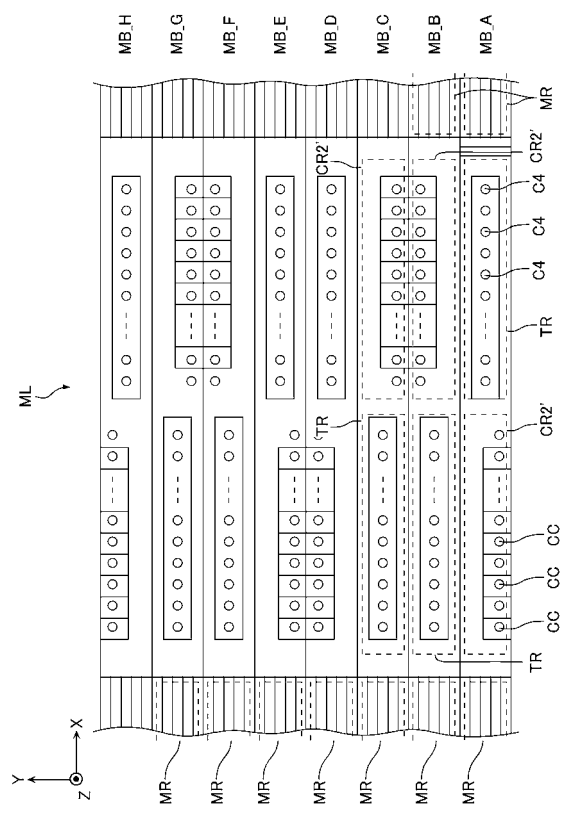
【 3 8 】



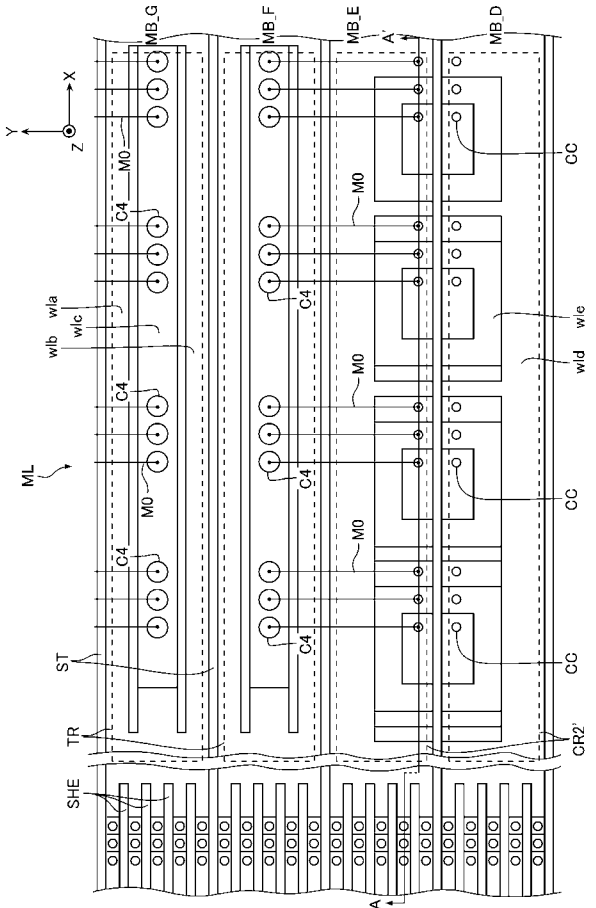
【 3 9 】



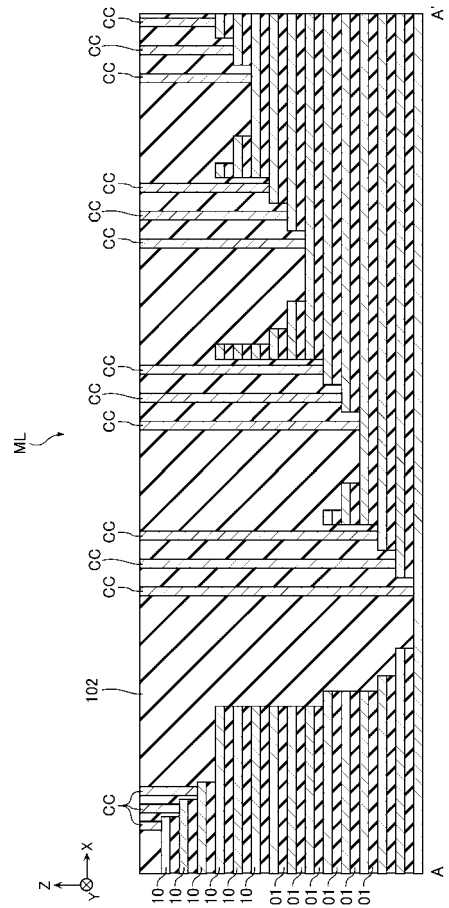
【 4 0 】



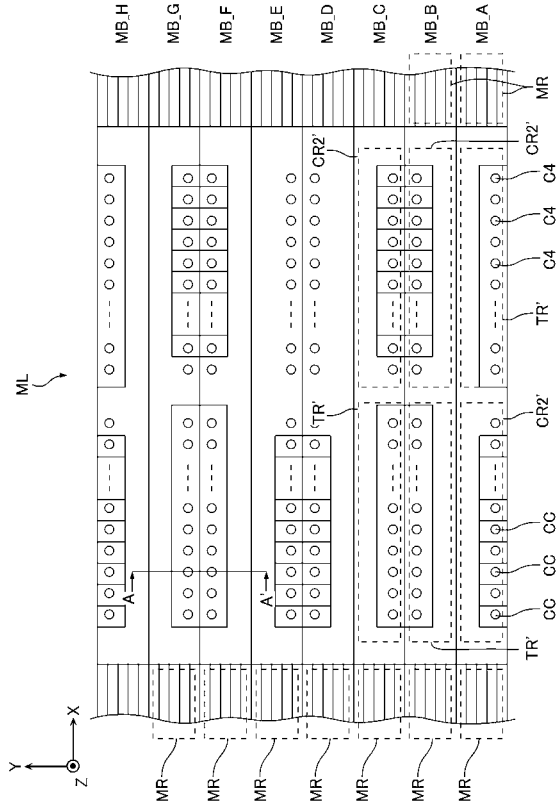
【 4 1 】



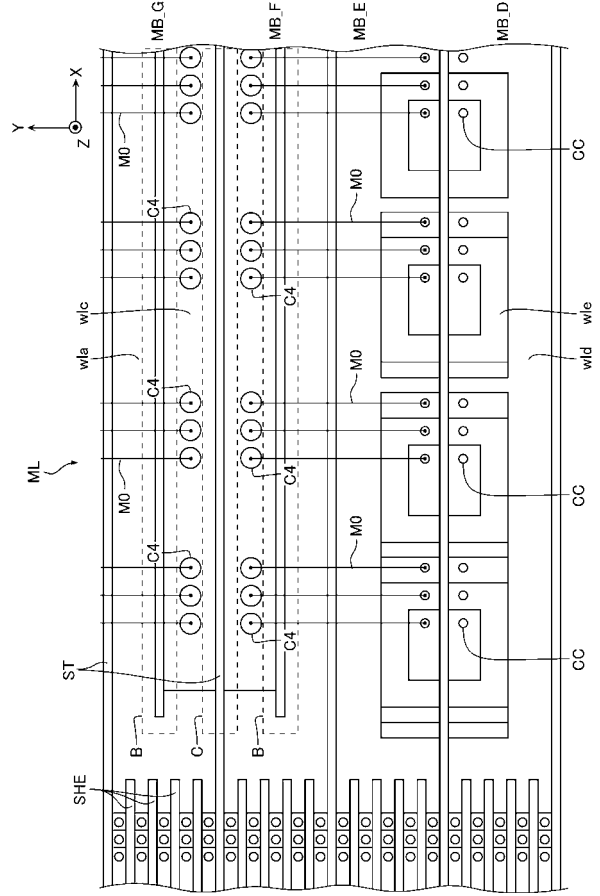
【 4 2 】



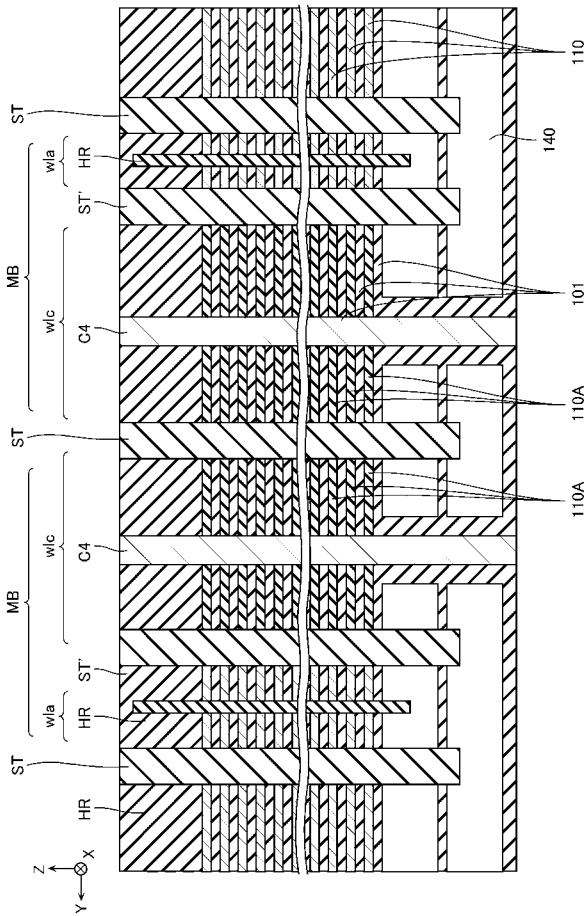
【 4 3 】



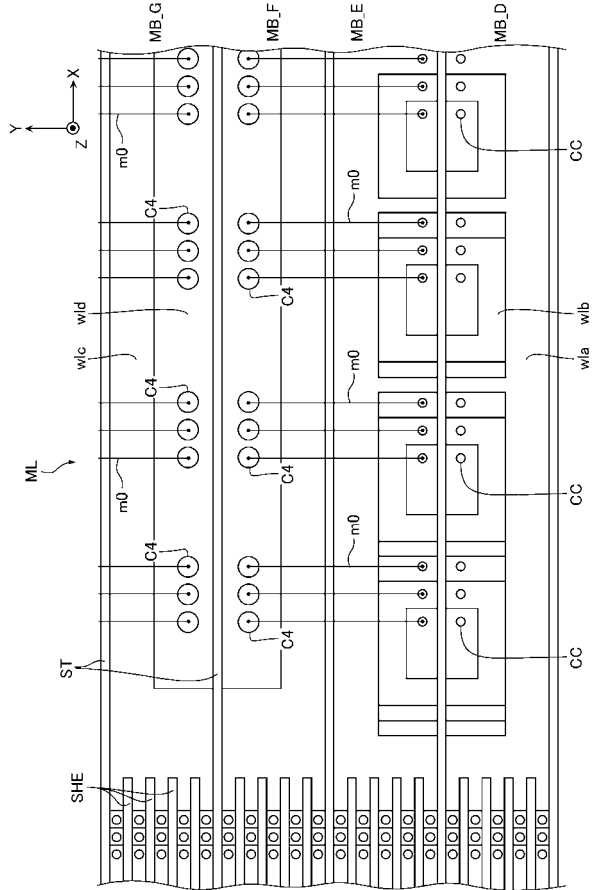
【 4 4 】



【 4 5 】



【 4 6 】



フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)
<i>H 0 1 L 29/788 (2006.01)</i>	H 0 1 L	29/44		L
<i>H 0 1 L 29/792 (2006.01)</i>	H 0 1 L	29/50		M
<i>H 0 1 L 29/41 (2006.01)</i>				
<i>H 0 1 L 29/417 (2006.01)</i>				

Fターム(参考) 5F083 EP02 EP18 EP22 EP32 EP76 ER21 JA04 JA19 JA35 JA39
MA06 MA19 PR05 PR21
5F101 BA01 BA45 BB02 BD22 BD30 BD34 BE07