



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I785010 B

(45) 公告日：中華民國 111 (2022) 年 12 月 01 日

(21) 申請案號：107105595

(22) 申請日：中華民國 107 (2018) 年 02 月 14 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/8232(2006.01)

H01L21/74 (2006.01)

(30) 優先權：2017/02/20 美國 62/461,117
 2017/05/05 美國 15/588,357
 2017/06/30 美國 15/640,081

(71) 申請人：新加坡商西拉娜亞洲私人有限公司 (新加坡) SILANNA ASIA PTE LTD. (SG)
 新加坡

(72) 發明人：杜 尚暉 TU, SHANGHUI LARRY (US)；斯圖柏 麥可 A. STUBER, MICHAEL A. (US)；塔斯巴斯 比夫魯茲 TASBAS, BEFRUZ (US)；摩林 斯圖爾特 B. MOLIN, STUART B. (US)；蔣鑫 JIANG, RAYMOND (CN)

(74) 代理人：劉法正；尹重君

(56) 參考文獻：

US 2007/0108469A1

US 2010/0315159A1

US 2011/0241170A1

US 2011/0292632A1

US 2014/0273344A1

審查人員：董柏昌

申請專利範圍項數：23 項 圖式數：19 共 69 頁

(54) 名稱

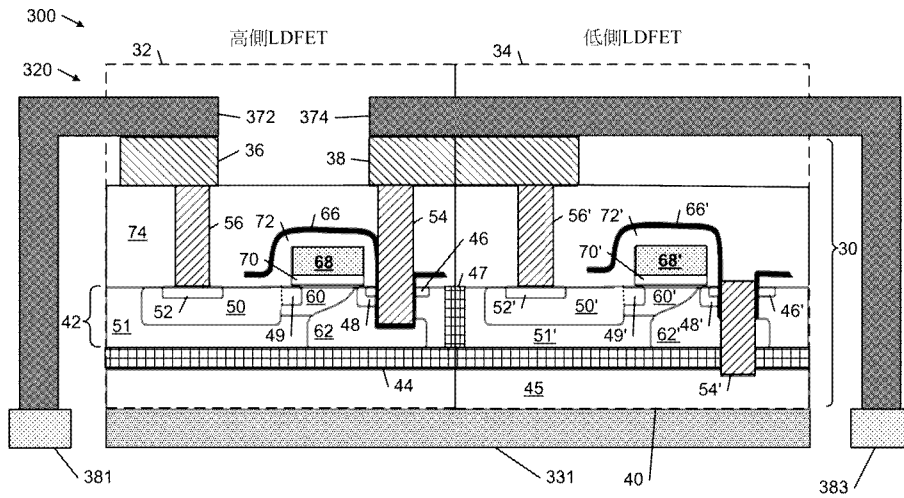
用於積體側向擴散場效電晶體之連接配置

(57) 摘要

在半導體基板上之主動層中，半導體器件具有包括源極、汲極，及閘極的第一側向擴散場效電晶體(LDFET)，及包括源極、汲極，及閘極的第二 LDFET。該第一 LDFET 之該源極及該第二 LDFET 之該汲極電氣地連接至共同節點。第一前側接點及第二前側接點形成於該主動層上，且電氣地連接至該半導體基板的基板接點經形成。該第一前側接點、該第二前側接點，及該基板接點中每一個電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之不同的各別一個。

In an active layer over a semiconductor substrate, a semiconductor device has a first lateral diffusion field effect transistor (LDFET) that includes a source, a drain, and a gate, and a second LDFET that includes a source, a drain, and a gate. The source of the first LDFET and the drain of the second LDFET are electrically connected to a common node. A first front-side contact and a second front-side contact are formed over the active layer, and a substrate contact electrically connected to the semiconductor substrate is formed. Each of the first front-side contact, the second front-side contact, and the substrate contact is electrically connected to a different respective one of the drain of the first LDFET, the source of the second LDFET, and the common node.

指定代表圖：



【圖 3】

符號簡單說明：

- 30 . . . 半導體晶粒
- 32、34 . . . LDFET
- 36 . . . 輸入接點
- 38 . . . 相位接點
- 40 . . . 基板接點
- 42 . . . 主動層
- 44 . . . 內埋介電質層
- 45 . . . SOI 基板
- 46、46' . . . 源極區
- 47 . . . 介電質隔離障壁
- 48、48'、51、51' . . . 摻雜區
- 49 . . . 延伸區
- 49' . . . 較重摻雜延伸區
- 50 . . . 輕摻雜汲極 (LDD) 區
- 50' . . . LDD 區
- 52、52' . . . 汲極區
- 54、54' . . . 源極接點
- 56、56' . . . 汲極接點
- 60、60' . . . 主體區
- 62、62' . . . 深阱區
- 66、66' . . . 閘極屏蔽
- 68、68' . . . 閘極電極
- 70、70'、72、72' . . . 介電質材料
- 74 . . . 電氣絕緣材料
- 300 . . . 積體電路 (IC) 封裝

320 . . . 引線框架結構

331 . . . 電氣傳導性
焊盤

372 . . . 第一電氣傳
導性夾具

374 . . . 第二電氣傳
導性夾具

381 . . . 第一封裝引
線連接部分

383 . . . 第二封裝引
線連接部分



I785010

【發明摘要】

【中文發明名稱】用於積體側向擴散場效電晶體之連接配置

【英文發明名稱】 CONNECTION ARRANGEMENTS FOR INTEGRATED
LATERAL DIFFUSION FIELD EFFECT TRANSISTORS

【中文】

在半導體基板上之主動層中，半導體器件具有包括源極、汲極，及閘極的第一側向擴散場效電晶體(LDFET)，及包括源極、汲極，及閘極的第二 LDFET。該第一 LDFET 之該源極及該第二 LDFET 之該汲極電氣地連接至共同節點。第一前側接點及第二前側接點形成於該主動層上，且電氣地連接至該半導體基板的基板接點經形成。該第一前側接點、該第二前側接點，及該基板接點中每一個電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之不同的各別一個。

【英文】

In an active layer over a semiconductor substrate, a semiconductor device has a first lateral diffusion field effect transistor (LDFET) that includes a source, a drain, and a gate, and a second LDFET that includes a source, a drain, and a gate. The source of the first LDFET and the drain of the second LDFET are electrically connected to a common node. A first front-side contact and a second front-side contact are formed over the active layer, and a substrate contact electrically connected to the semiconductor substrate is formed. Each of the first front-side contact, the second front-side contact, and the substrate contact is electrically connected to a different respective one of the drain of the first LDFET, the source of the second LDFET, and the common node.

【指定代表圖】圖 3

【代表圖之符號簡單說明】

30...半導體晶粒	54、54'...源極接點
32、34...LDFET	56、56'...汲極接點
36...輸入接點	60、60'...主體區
38...相位接點	62、62'...深阱區
40...基板接點	66、66'...閘極屏蔽
42...主動層	68、68'...閘極電極
44...內埋介電質層	70、70'、72、72'...介電質材料
45...SOI 基板	74...電氣絕緣材料
46、46'...源極區	300...積體電路(IC)封裝
47...介電質隔離障壁	320...引線框架結構
48、48'、51、51'...摻雜區	331...電氣傳導性焊盤
49...延伸區	372...第一電氣傳導性夾具
49'...較重摻雜延伸區	374...第二電氣傳導性夾具
50...輕摻雜汲極(LDD)區	381...第一封裝引線連接部分
50'...LDD 區	383...第二封裝引線連接部分
52、52'...汲極區	

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】用於積體側向擴散場效電晶體之連接配置

【英文發明名稱】 CONNECTION ARRANGEMENTS FOR INTEGRATED LATERAL DIFFUSION FIELD EFFECT TRANSISTORS

【技術領域】

【0001】 相關申請案之交互參照

本申請案主張2017年6月30日申請且標題為「Connection Arrangements For Integrated Lateral Diffusion Field Effect Transistors Having A Backside Contact」之美國專利申請案第15/640,081號之優先權，該美國專利申請案為2017年5月05日申請且標題為「Connection Arrangements for Integrated Lateral Diffusion Field Effect Transistors」之美國專利申請案第15/588,357號之部分連續案，該美國專利申請案主張2017年2月20日申請且標題為「Backside Contact Integrated Laterally Diffused MOS Apparatus and Methods」之美國臨時申請案第62/461,117號之權益，所有該等美國專利申請案以引用方式整體併入本文。

【0002】 本發明係有關於一用於積體側向擴散場效電晶體之連接配置。

【先前技術】

【0003】 半導體功率器件係通常在功率電子電路中用作開關或整流器的專門器件。半導體功率器件之特徵為其耐受高電壓及大電流以及與高功率操作相關聯之高溫的能力。例如，開關電壓調節器通常包含兩個功率器件，該等功率器件以同步方式恆定地接通並切斷來調節電壓。在此情形下，功率器件需要在接通狀態下汲取系統級電流，在切斷狀態下耐受電源之全電位且耗散大量的熱。理想的功率器件能夠在高功率條件下操作，可在接通與切斷狀態之間快速地切換，且展現低熱及接通狀態電阻。

【0004】 典型的半導體功率器件封裝包括離散功率電晶體之集合，該等離散功率電晶體中每一個製造於其自有的各別半導體晶粒上。單獨分割囊封於具有引線框架結構之絕緣模化合物中，該引線框架結構提供用於形成於半導體分割中的單獨器件或積體電路之外部電氣連接。引線框架結構通常包括藉由引線包圍的中央焊盤。半導體分割通常裝配於焊盤上，且半導體分割上之半導體晶粒墊片電氣地連接至引線中之各別一個。對於每一離散功率電晶體半導體晶粒，電流通常垂流通過前側接點與後側接點之間的半導體晶粒，該半導體晶粒通常電氣地連接至封裝焊盤。

【0005】 諸如功率切換及功率處置等高功率半導體應用需要半導體晶粒墊片與封裝引線之間的電氣連接，該等電氣連接以高載流容量、低電阻及/或低電感為特徵。出於此等原因，已努力將構成自銅、銅合金或鋁的電氣傳導性帶狀或預成形夾具而非接合金屬線使用於半導體封裝內之高功率電氣連接。然而，電氣傳導性夾具實體上較大，且難以在高精確度的情況下機械地定位於晶塊上。

【0006】 在典型的半導體功率器件封裝中，每一離散功率電晶體半導體晶粒以單個前側高電流封裝引線、用於閘極控制之單個前側低電流封裝引線，及至封裝焊盤之後側連接電氣地連接至封裝。在每半導體晶粒僅單個高電流前側連接的情況下，電氣傳導性夾具可易於在此等類型的封裝配置中用於前側連接而不折衷可製造性或效能。

【0007】 功率器件可使用諸如側向擴散金屬氧化物半導體(LDMOS)電晶體的側向擴散場效電晶體(LDFET)加以實行。此等類型的電晶體以「側向擴散」區(或低摻雜或輕摻雜汲極(LDD)區)為特徵，該「側向擴散」區對應於相較於核心汲極區不太強地摻雜的汲極區之延伸部且該「側向擴散」區遠離溝道側向地延伸。側向擴散區增加 LDFET 之能力，藉由吸收原本將引起源極-汲極穿通的電場之部分來在切斷狀態下處置較高電壓之能力，以及藉由防止大電勢降在汲極-主體界

面處積累來在接通狀態下處置較大電流之能力，該積累原本由於將熱載子注入器件之主體中而導致器件之降級。

【0008】 諸如 LDFET 等側向功率器件通常具有前側源極及汲極接點，該等前側源極及汲極接點中每一個通常具有其自有的高電流、低電阻，及/或低電感前側電氣連接。對外部(例如，封裝)及晶塊內電氣連接之需要隨著整合於相同半導體晶粒上的側向功率器件之數目增加。然而，半導體晶粒之前側具有有限的空間來容納高效能連接之相對大的大小。此限制嚴重地約束了積體側向功率器件電路之電路設計靈活性、效能及可製造性。

【發明內容】

【0009】 在一些實例中，半導體器件包括半導體基板，該半導體基板支撐上覆主動層。該主動層中之第一側向擴散場效電晶體(LDFET)包括源極、汲極，及閘極。該主動層中之第二 LDFET 包括源極、汲極，及閘極。共同節點電氣地連接至該第一 LDFET 之該源極及該第二 LDFET 之該汲極。第一前側接點在該主動層上且電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之第一者。第二前側接點在該主動層上且電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之第二者。基板接點電氣地連接至該半導體基板及該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之第三者。該第一前側接點、該第二前側接點，及該基板接點中每一個電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之不同的各別一個。

【0010】 在一些實例中，半導體器件包括半導體基板，該半導體基板支撐上覆主動層。該主動層中之第一側向擴散場效電晶體(LDFET)包括源極、汲極，及閘極。該主動層中之第二 LDFET 包括源極、汲極，及閘極，其中該第一 LDFET 之該汲極電氣地耦接至該第二 LDFET 之該源極。第一前側接點在該主動層上且

電氣地連接至該第一 LDFET 之該汲極。第二前側接點在該主動層上且電氣地連接至該第二 LDFET 之該汲極及該第一 LDFET 之該源極。基板接點電氣地連接至該半導體基板及該第二 LDFET 之該源極。

【0011】 在一些實例中，半導體器件包括半導體基板，該半導體基板支撐上覆主動層。該主動層中之第一側向擴散場效電晶體(LDFET)包括源極、汲極，及閘極。該主動層中之第二 LDFET 包括源極、汲極，及閘極，其中該第一 LDFET 之該汲極電氣地耦接至該第二 LDFET 之該源極。第一前側接點在該主動層上且電氣地連接至該第一 LDFET 之該源極。第二前側接點在該主動層上且電氣地連接至該第二 LDFET 之該汲極。基板接點電氣地連接至該半導體基板、該第一 LDFET 之該汲極，及該第二 LDFET 之該源極。

【0012】 在一些實例中，製造半導體器件。在此製程中，包括源極、汲極，及閘極的第一側向擴散場效電晶體(LDFET)，及包括源極、汲極，及閘極的第二 LDFET 形成於半導體基板上之主動層中。該第一 LDFET 之該源極及該第二 LDFET 之該汲極電氣地連接至共同節點。第一前側接點及第二前側接點形成於該主動層上，且電氣地連接至該半導體基板的基板接點經形成。該第一前側接點、該第二前側接點，及該基板接點中每一個電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之不同的各別一個。

【0013】 在一些實施例中，半導體器件包括電氣傳導性焊盤、電氣傳導性周邊封裝引線、電氣地連接至該等電氣傳導性周邊封裝引線之第一集合的第一電氣傳導性夾具、電氣地連接至該等電氣傳導性周邊封裝引線之第二集合的第二電氣傳導性夾具，及單一半導體晶粒。在一些實施例中，該單一半導體晶粒包括前側主動層，且該前側主動層包括積體功率結構，該積體功率結構具有兩個或更多個電晶體。該單一半導體晶粒亦包括後側部分，該後側部分具有後側接點，該後側接點電氣地耦接至該等兩個或更多個電晶體中之至少一個且電氣地

耦接至該電氣傳導性焊盤。該單一半導體晶粒包括一或多個第一前側接點，該一或多個第一前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一個且電氣地耦接至該第一電氣傳導性夾具。該單一半導體晶粒另外包括一或多個第二前側接點，該一或多個第二前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一個且電氣地耦接至該第二電氣傳導性夾具。

【0014】 在一些實施例中，半導體器件包括電氣傳導性焊盤、電氣傳導性周邊封裝引線、電氣地連接至該等電氣傳導性周邊封裝引線之第一集合的第一電氣傳導性夾具、電氣地連接至該等電氣傳導性周邊封裝引線之第二集合的第二電氣傳導性夾具，及單一半導體晶粒。在一些實施例中，該單一半導體晶粒包括前側主動層、具有電氣地連接至該前側主動層且電氣地連接至該電氣傳導性焊盤的後側接點之後側部分、電氣地連接至該前側主動層且電氣地連接至該第一電氣傳導性夾具的一或多個第一前側接點，及電氣地連接至該前側主動層且電氣地連接至該第二電氣傳導性夾具的一或多個第二前側接點。

【0015】 在一些實施例中，用於將半導體器件封裝於具有引線框架結構之半導體封裝中之方法涉及提供引線框架結構，該引線框架結構具有電氣傳導性焊盤及電氣傳導性周邊封裝引線。第一電氣傳導性夾具經提供且電氣地連接至該等電氣傳導性周邊封裝引線之第一集合。第二電氣傳導性夾具經提供且電氣地連接至該等電氣傳導性周邊封裝引線之第二集合。半導體晶粒經形成。形成該半導體晶粒涉及形成該半導體晶粒之前側主動層、在該半導體晶粒之後側部分處形成後側接點、形成該半導體晶粒之一或多個第一前側接點，及形成該半導體晶粒之一或多個第二前側接點。該後側接點電氣地連接至該電氣傳導性焊盤。該第一電氣傳導性夾具電氣地連接至該一或多個第一前側接點。該第二電氣傳導性夾具電氣地連接至該一或多個第二前側接點。

【圖式簡單說明】

- 【0016】 圖 1 為併入一些實施例之高功率半導體開關之實例的電路圖。
- 【0017】 圖 2A 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解頂部正投影視圖。
- 【0018】 圖 2B 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解頂部正投影視圖。
- 【0019】 圖 2C 為根據一些實施例之積體電路封裝之一部分之簡化實例的橫截面。
- 【0020】 圖 3 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解橫解面。
- 【0021】 圖 4 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解橫截面側視圖。
- 【0022】 圖 5 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解橫截面側視圖。
- 【0023】 圖 6 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解橫截面側視圖。
- 【0024】 圖 7A 為併入一些實施例之高功率半導體開關之實例的電路圖。
- 【0025】 圖 7B 為根據一些實施例之積體電路封裝之一部分之簡化實例的圖解橫截面側視圖。
- 【0026】 圖 8A 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。
- 【0027】 圖 8B 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。
- 【0028】 圖 9A 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0029】 圖 9B 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0030】 圖 10A 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0031】 圖 10B 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0032】 圖 11A 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0033】 圖 11B 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0034】 圖 12A 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0035】 圖 12B 為根據一些實施例之 LDFET 結構之簡化實例的圖解橫截面側視圖。

【0036】 圖 13 為根據一些實施例之用於圖 8A 及 9A 之 LDFET 結構之簡化示例性佈局的圖解自頂向下視圖。

【0037】 圖 14 為根據一些實施例之用於圖 10A 之 LDFET 結構之簡化第一示例性佈局的圖解自頂向下視圖。

【0038】 圖 15 為根據一些實施例之用於圖 10A 之 LDFET 結構之簡化第二示例性佈局的圖解自頂向下視圖。

【0039】 圖 16 為根據一些實施例之用於圖 11A 及 12A 之 LDFET 結構之簡化示例性佈局的圖解自頂向下視圖。

【0040】 圖 17 為根據一些實施例之圖 3 之 LDFET 電路之簡化示例性佈局的圖解自頂向下視圖。

【0041】 圖 18 為根據一些實施例之製造半導體器件之方法之簡化實例的流程圖。

【0042】 圖 19 為根據一些實施例之用於將半導體器件封裝於半導體封裝中之方法之簡化實例的流程圖。

【實施方式】

【0043】 在以下描述中，相同參考數字用來識別相同元件。此外，圖式意欲以圖解方式例示示例性實施例之主要特徵。圖式不欲描繪實際實施例之每一特徵，亦不描繪所描繪元件之相對尺寸，且未按比例繪製。

【0044】 本文描述的實例提供用於將半導體晶粒上之半導體晶粒墊片電氣地連接至引線框架結構的傳導性夾具配置。本文所提供的半導體分割之實例包括形成於各別半導體分割上的積體側向擴散場效電晶體(LDFET)電路，該等積體側向擴散場效電晶體電路分別包括至後側電氣連接的至少一個基板接點，該後側電氣連接減少所需要的前側電氣連接之數目。以此方式，此等實例增加可利用於容納用於預成形電氣傳導性夾具之高效能電氣連接之相對大的大小之前側空間，藉此增加積體 LDFET 功率器件電路之電路設計靈活性、效能，及可製造性。在一些實例中，具有基板接點的 LDFET 與相同電路中之其他 LDFET 電氣地隔離，以藉由防止連接至基板的 LDFET 與未連接至基板的 LDFET 之間共同節點的形成來進一步改良電路之效能。

【0045】 僅出於例示性目的，本揭示案描述類似於圖 1 中所示之高功率半導體開關電路 10 的實施例之情境下的單一半導體晶粒、積體 LDFET 電路之特定實例。相同或類似教導可用來製造適合於功率及非功率應用的其他單一半導體晶粒積體 LDFET 電路。

【0046】 圖 1 展示高功率半導體開關電路 10 之實例，該高功率半導體開關電路包括高側場效電晶體(FET) 12 及低側 FET 14。高側 FET 12 之源極在相位節點

16 ($V_{\text{相位}}$)處耦接至低側 FET 14 之汲極。驅動器輸入端子 18、20 控制高側 FET 12 及低側 FET 14 之工作循環以將輸入節點 22 之輸入電壓($V_{\text{輸入}}$)轉換至相位節點 16 處之特定輸出電壓($V_{\text{相位}}$)。一般而言，FET 12、14 可使用包括矽、鍺及化合物半導體技術之各種半導體材料系統及技術中的任何系統及技術加以製造。

【0047】 圖 2A 展示根據一些實施例之包括用於半導體器件之引線框架結構 220 的積體電路(IC)封裝 200 之一部分之簡化實例的頂部正投影視圖。在所示之實例中，半導體器件實現積體負載上功率(POL)電壓轉換器。然而，半導體器件可為如此項技術中已知的另一半導體器件。

【0048】 一般而言，引線框架結構 220 包括電氣傳導性焊盤(「焊盤」) 231 (包括矩形頂部表面 235)；連桿 252a-d、電氣傳導性周邊封裝引線(「周邊封裝引線」) 260a-d (包括封裝引線 280 及 282)，及傳導性夾具配置 270 (包括第一電氣傳導性夾具 272 及第二電氣傳導性夾具 274)。IC 封裝 200 亦包括控制器電路 222 及半導體晶粒 230 (包括頂部表面 236 及半導體晶粒墊片 238a-d)。

【0049】 如所示，第一電氣傳導性夾具 272 電氣地連接至電氣傳導性周邊封裝引線 260a 之封裝引線 280。第二電氣傳導性夾具 274 電氣地連接至電氣傳導性周邊封裝引線 260b 之封裝引線 282。半導體晶粒 230 具有與頂部表面 236 相反的反側部分(展示於圖 2C 中)，該反側部分電氣地耦接至焊盤 231。半導體晶粒墊片 238a (半導體晶粒 230 之第一前側接點)電氣地耦接至第一電氣傳導性夾具 272。另外，半導體晶粒墊片 238b (半導體晶粒 230 之第二前側接點)電氣地耦接至第二電氣傳導性夾具 274。

【0050】 在所示之簡化實例中，半導體晶粒 230 實現圖 1 中所示之高功率半導體開關電路 10 之示例性實行方案。焊盤 231 具有藉由四個側定界的矩形頂部表面 235。藉由任何適當的技術，諸如使用半導體晶粒附接黏合劑、焊錫膏或燒結銀，半導體晶粒 230 被接合至焊盤 231。在一些實例中，半導體晶粒 230 之基

板接點藉由焊盤 231 自身或藉由焊盤 231 上或延伸穿過焊盤 231 的電氣導體電氣地耦接至引線框架結構 220 之電氣端子(例如，周邊封裝引線 260a-d 之一)。半導體晶粒 230 包括頂部表面 236，若干半導體晶粒墊片 238a-d 提供於該頂部表面上。在所例示實例中，半導體晶粒墊片 238a 及 238b 分別對應於圖 1 中所示之高功率半導體開關電路之 $V_{\text{輸入}}$ 端子 22 及 $V_{\text{相位}}$ 端子 16，半導體晶粒墊片 238c 對應於驅動器輸入端子 18、20，且半導體晶粒墊片 238d 對應於其他輸入/輸出端子。在一些實施例中，半導體晶粒墊片 238c 及/或半導體晶粒墊片 238d 中之全部或一部分酌情電氣地連接至控制器電路 222 (以接收或發送用於以下所描述之半導體晶粒 230 中之高功率半導體開關電路之電子部件(例如電晶體)之控制的信號、命令及/或回饋)或藉由接合金屬線電氣地連接至周邊封裝引線 260a-d 之封裝引線。在一些實施例中，四個連桿 252a-d 將焊盤 231 之拐角附接至半導體封裝殼體(未示出)。控制器電路 222 亦例如藉由接合金屬線電氣地連接至周邊封裝引線 260a-d 之封裝引線中之一些。

【0051】 示例性傳導性夾具配置 270 分別使用第一電氣傳導性夾具 272 及第二電氣傳導性夾具 274 將半導體晶粒 230 之半導體晶粒墊片 238a 及半導體晶粒墊片 238b 電氣地連接至引線框架結構 220。諸如第一電氣傳導性夾具 272 及第二電氣傳導性夾具 274 之傳導性夾具通常使用銅(Cu)預成形(例如，而非沉積)，與半導體晶粒相比或與接合金屬線相比為機械上較大的，具有與接合金屬線相比的較大結構強度，具有相較於接合金屬線的較大電導率性能，且具有相較於接合金屬線的較大熱導率性能。例如，電氣傳導性夾具通常具有約 100 μm 之最小特徵大小及實質的橫截面積。

【0052】 如所示，第一電氣傳導性夾具 272 將半導體晶粒墊片 238a ($V_{\text{輸入}}$)電氣地連接至(周邊封裝引線集合 260a 之)周邊封裝引線 280，該周邊封裝引線對應於圖 1 中所示電路中之端子 22。第二電氣傳導性夾具 274 將半導體晶粒墊片 238b

(V_{相位})電氣地連接至(周邊封裝引線集合 260b 之)周邊封裝引線 282，該周邊封裝引線對應於圖 1 中所示高功率半導體開關電路 10 中之節點 16。有利地，兩個矩形電氣傳導性夾具 272、274 可以直接方式越過半導體晶粒墊片 238a-b 機械地連接至封裝引線 280、282，同時維持實質的自由度以最佳化夾具之尺寸來滿足所要的載流容量、電阻及/或電感規範。然而，第三前側傳導性夾具之存在將對將傳導性夾具最佳地配置於半導體晶粒之前側上以用於可製造性的能力且對用來最佳化電氣傳導性夾具之載流容量、電阻及/或電感性質的自由度強加顯著約束。

【0053】 圖 2A 為簡化實例且一些金屬層、連接、接合金屬線或其他特徵已經省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。

【0054】 圖 2B 展示根據一些實施例之包括用於積體負載上功率(POL)電壓轉換器之引線框架結構 220' 的積體電路(IC)封裝 200' 之另一簡化實例的圖解頂部正投影視圖。引線框架結構 220' 大體上包括電氣傳導性焊盤 231'、電氣傳導性周邊封裝引線 260a'-f' (包括第一封裝引線連接部分 281 及第二封裝引線連接部分 283)，及傳導性夾具配置 270' (包括第一電氣傳導性夾具 272' 及第二電氣傳導性夾具 274')。IC 封裝 200' 亦包括控制器電路 222' 及半導體晶粒 230' (具有頂側部分 236' 及半導體晶粒墊片 238a'-c')。

【0055】 圖 2B 中所示之引線框架結構 220' 之元件以與圖 2A 中所示之引線框架結構 220 之對應元件類似的方式起作用。在此方面，圖 2B 之引線框架結構 220' 之功能上類似的元件以圖 2A 之引線框架結構 220 之對應元件的具有上撇號(') 指示之參考數字標記。例如，圖 2B 之電氣傳導性夾具 274' 對應於圖 2A 之功能上類似的電氣傳導性夾具 274。

【0056】 圖 2B 之傳導性夾具配置 270' 使用第一電氣傳導性夾具 272' 及第二電氣傳導性夾具 274' 將半導體晶粒 230' 之半導體晶粒墊片 238a' 及半導體晶粒墊

片 238b' 電氣地連接至引線框架結構 220'。如所示，第一電氣傳導性夾具 272' 電氣地連接至電氣傳導性周邊封裝引線 260a' 之第一封裝引線部分 281 且藉此電氣地連接至電氣傳導性周邊封裝引線 260a'。第二電氣傳導性夾具 274' 電氣地連接至電氣傳導性周邊封裝引線 260b' 之第二封裝引線連接部分 283 且藉此電氣地連接至電氣傳導性周邊封裝引線 260b'。半導體晶粒 230' 具有與頂部表面 236' 相反的反側部分(展示於圖 2C 中)，該後側部分電氣地耦接至電氣傳導性焊盤 231'。半導體晶粒墊片 238a'(頂部表面 236' 上之半導體晶粒 230' 之第一前側接點) 電氣地耦接至第一電氣傳導性夾具 272'。另外，半導體晶粒墊片 238b'(頂部表面 236' 上之半導體晶粒 230' 之第二前側接點) 電氣地耦接至第二電氣傳導性夾具 274'。

【0057】 在一些實施例中，半導體晶粒 230' 之後側部分之後側接點(在本文中亦被稱為“基板接點”)藉由半導體晶粒附接黏合劑或藉由另一材料諸如焊錫膏或燒結銀電氣地耦接至電氣傳導性焊盤 231'。電氣傳導性焊盤 231' 為周邊封裝引線 260e-f 之部分或電氣地連接至周邊封裝引線 260e-f。在一些實施例中，半導體晶粒 230' 之基板接點可藉由焊盤 231' 自身或藉由焊盤 231' 上或延伸穿過焊盤 231' 的電氣導體電氣地耦接至引線框架結構 220' 之電氣端子。

【0058】 如將參考稍後諸圖所論述，在一些實施例中，半導體晶粒 230' 包括具有兩個或更多個電晶體之積體功率結構。在一些實施例中，積體功率結構為圖 1 中所示高功率半導體開關電路 10 且兩個或更多個電晶體包括高側 FET 12 及低側 FET 14。半導體晶粒 230' 具有前側接點，該等前側接點包括半導體晶粒墊片 238a'-c'。半導體晶粒墊片 238a'-c' 分別電氣地耦接至半導體晶粒 230' 之兩個或更多個電晶體中之至少一個。在所例示實例中，半導體晶粒墊片 238a' 及 238b' 分別對應於圖 1 中所示之高功率半導體開關電路之 $V_{\text{輸入}}$ 端子 22 及 $V_{\text{相位}}$ 端子 16，且半導體晶粒墊片 238c'(頂部表面 236' 上) 對應於驅動器輸入端子 18、20。

在一些實施例中，半導體晶粒墊片 238c'中之全部或部分電氣地耦接至控制器電路 222'或藉由接合金屬線電氣地耦接至周邊封裝引線 260c'-d'之封裝引線。

【0059】 一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。

【0060】 圖 2C 展示根據一些實施例之包括用於積體負載上功率(POL)電壓轉換器之引線框架結構 220''的簡化示例性積體電路(IC)封裝 200''之一部分的圖解橫截面圖。所示之引線框架結構 220''之部分大體上包括電氣傳導性焊盤 231''、第一電氣傳導性夾具 272''、第二電氣傳導性夾具 274''、第一封裝引線連接部分 281''，及第二封裝引線連接部分 283''。IC 封裝 200''亦包括半導體晶粒 230''。在所示之簡化實例中，半導體晶粒 230''大體上包括具有高側 FET 232 及低側 FET 234 之前側主動層(例如，上覆主動層)、半導體晶粒墊片 238a''-b''、基板接點 240，及基板 245。

【0061】 第一電氣傳導性夾具 272''電氣地連接至第一封裝引線連接部分 281''，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260a'的電氣傳導性封裝引線之第一集合(如圖 2B 中所示)。第二電氣傳導性夾具 274''電氣地連接至第二封裝引線連接部分 283''，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260b'的電氣傳導性封裝引線之第二集合(如圖 2B 中所示)。

【0062】 基板接點 240 電氣地耦接至高側 FET 232 及/或低側 FET 234。半導體晶粒墊片 238a''電氣地耦接至高側 FET 232 且電氣地耦接至第一電氣傳導性夾具 272''。半導體晶粒墊片 238b''電氣地耦接至低側 FET 234 且電氣地耦接至第二電氣傳導性夾具 274''。基板接點 240 電氣地耦接至電氣傳導性焊盤 231''。

【0063】 半導體晶粒墊片 238a''-b''大體上表示多個金屬層中之頂部金屬層。半導體晶粒墊片 238a''-b''與 FET 232 及 234 之間的多個金屬層中之額外金屬層

為簡單起見未示出。各種金屬層佈線如 FET 232 及 234 與半導體晶粒墊片 238a''-b'' 之間及之中所需要，以及與未示出之額外半導體晶粒墊片之連接。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、導性黏合劑或其他金屬接合結構可存在。

【0064】 圖 3 展示根據一些實施例之包括引線框架結構 320 的積體電路(IC) 封裝 300 之一部分的簡化圖解橫截面側視圖。所示之引線框架結構 320 之部分大體上包括電氣傳導性焊盤 331、第一電氣傳導性夾具 372、第二電氣傳導性夾具 374、第一封裝引線連接部分 381，及第二封裝引線連接部分 383。IC 封裝 300 亦包括半導體晶粒 30。引線框架結構 320 之部分類似於參考圖 2A-C 所論述之引線框架結構 220/220'/220'' 之部分。例如：電氣傳導性焊盤 331 類似於電氣傳導性焊盤 231/231'/231''；第一電氣傳導性夾具 372 類似於第一電氣傳導性夾具 272/272'/272''；第二電氣傳導性夾具 374 類似於第二電氣傳導性夾具 274/274'/274''；第一封裝引線連接部分 381 類似於第一封裝引線連接部分 281/281''；且第二封裝引線連接部分 383 類似於第二封裝引線連接部分 283/283''。

【0065】 在所示之簡化示例性實施例中，半導體晶粒 30 實現圖 1 之高功率半導體開關電路 10。在此實施例中，LDFET 32 實行開關電路 10 之高側 FET 12，且 LDFET 34 實行開關電路 10 之低側 FET 14。在一示例性組態中，高側 LDFET 32 之輸入接點 36 對應於開關電路 10 之輸入節點 22，相位接點 38 對應於開關電路 10 之相位節點 16，且基板接點 40 對應於開關電路 10 之接地節點。

【0066】 在以上所描述及圖 3 中所示之高功率半導體開關電路 10 之示例性實行方案中，高側 LDFET 32 之汲極接點 56 連接至輸入節點 22，高側 LDFET 32 之源極接點 54 及低側 LDFET 34 之汲極接點 56' 兩者連接至相位節點 16，且低側 LDFET 34 之源極接點 54' 連接至接地節點。如以上所描述，其他節點連接配

置係可能的。例如，此等其他連接配置包括第一 LDFET 與第二 LDFET 之間的任何連接配置，其包括(i)電氣地連接至第一 LDFET 之源極及第二 LDFET 之汲極的共同節點，(ii)第一 LDFET 之汲極、第二 LDFET 之源極中之至少一個，且共同節點電氣地連接至半導體基板，及(iii)分別連接至第一 LDFET 之汲極、第二 LDFET 之源極，及未電氣地連接至半導體基板的共同節點中之一個的第一前側接點及第二前側接點。

【0067】 高側 LDFET 32 及低側 LDFET 34 實行於主動層 42 中。主動層 42 可為半導體晶圓之塊體之摻雜部分、形成於半導體晶圓之較大摻雜部分中的局部化阱、絕緣體上半導體(SOI)晶圓之主動層，及形成於 SOI 晶圓中的局部化阱中之任一者。在所例示實例中，主動層 42 為形成於 SOI 基板 45 之內埋介電質層 44 上的薄膜。在所例示實例中，介電質隔離障壁 47 在高側 LDFET 32 與低側 LDFET 34 之間自主動層 42 之頂部延伸至內埋介電質層 44。在一些實例中，介電質隔離障壁 47 係使用淺溝槽隔離(STI)製程形成。

【0068】 主動層 42 之高側 LDFET 32 部分包括形成於摻雜區 48 中的源極區 46、具有形成於摻雜區 51 中的較重摻雜延伸區 49 之輕摻雜汲極(LDD)區 50，及汲極區 52。源極區 46、摻雜區 48、LDD 區 50、延伸區 49，及汲極區 52 可包含藉由例如雜質至主動層 42 中之植入形成的摻雜半導體材料。每一區 46-52 之摻雜半導體材料具有類似傳導類型(例如，n 型或 p 型)。因此，每一區 46-52 可藉由相同摻雜劑物種，諸如藉由一類摻雜劑原子之植入形成。LDD 區 50 具有相較於汲極區 52 的較低摻雜劑濃度且可亦具有相較於源極區 46 的較低摻雜劑濃度。就 LDFET 在汲取大電流時推遲大電壓且不降級之能力而言，LDD 區 50 為 LDFET 提供其優越效能作為功率器件。LDD 區 50 之存在為 LDFET 提供其具有非對稱源極區及汲極區之特性。在一些方法中，LDD 區 50 通常自汲極區 52 側向地延伸摻雜區 48 自源極區 46 延伸的至少兩倍遠。

【0069】 主動層 42 之高側 LDFET 部分亦包括具有與源極區、摻雜區、LDD 區、延伸區，及汲極區 46-52 之傳導性類型相反的傳導性類型的主體區 60 及深阱區 62。深阱區 62 在源極區 46 及主體區 60 的形成溝道的一部分下方側向地延伸。深阱區 62 增強高側 LDFET 32 耐受大電壓之能力且用來自主體區 60 移除不希望的電荷載子以防止寄生雙極型接面電晶體在高側 LDFET 32 之接通狀態期間啟動。

【0070】 在主動層 42 上方，高側 LDFET 32 包括閘極結構，該閘極結構包括閘極屏蔽 66 及閘極電極 68。閘極電極 68 分別藉由介電質材料 70、72 與主動層 42 及閘極屏蔽 66 電氣地絕緣。源極區 46 電氣地耦接至源極接點 54，該源極接點連接至相位接點 38。汲極區 52 電氣地耦接至汲極接點 56，該汲極接點連接至輸入接點 36。汲極區 52 可為高摻雜汲極區且可形成汲極接點 56 與 LDD 區 50 之間的電氣傳導性路徑。電氣地絕緣材料 74 (例如，層間介電質)電氣地隔離主動層 42 上方之電氣部件。一般而言，電氣絕緣材料 74 及介電質材料 70、72 可為相同或類似材料。另外，在某些方法中，絕緣材料 74 及介電質材料 70、72 之組合可經概念化為完成器件中之單個隔絕層而不考慮其何時及如何形成。

【0071】 傳導性路徑回應於電壓至閘極電極 68 之施加而形成於源極接點 54 與汲極接點 56 之間。源極接點 54 與汲極接點 56 之間的傳導性路徑包括在施加至閘極電極 68 的上述電壓之影響下選擇性地形成於主體區 60 中的溝道。當溝道形成時，電晶體據稱為接通。當溝道未形成且在源極接點 54 與汲極接點 56 之間不存在傳導性路徑時，電晶體據稱為切斷。在此情形下不存在傳導性路徑，因為源極區 46 及汲極區 50、52 具有與主體區 60 相反的傳導性類型，使得在其界面處形成二極體接面。

【0072】 閘極屏蔽 66 處於與源極接點 54 歐姆接觸中。閘極屏蔽 66 為使高側 FET 32 更經得起高功率應用檢驗的另一特徵。藉由將閘極屏蔽 66 偏壓至給定電

壓，汲極接點 56 上之高功率信號經屏蔽以免對閘極區具有可感知效應。儘管閘極屏蔽 66 經例示為歐姆耦接至源極接點 54，但閘極屏蔽 66 亦可經獨立地偏壓。在一些實例中，閘極屏蔽 66 及源極接點 54 可形成於兩個不同步驟中且可包含兩個不同種類的材料。然而，在此狀況下，此類特徵在大多數情形下對於器件之操作無關緊要，因為閘極屏蔽 66 及源極接點 54 為高傳導性材料與自介電質材料 74 上方一直到主動層 42 之表面的不間斷歐姆接觸之一個相連區。因而，閘極屏蔽 66 及源極接點 54 之組合可概念化為單個源極接點。

【0073】 一般而言，源極接點 54 及汲極接點 56 賦能自可為或可並非與相同積體電路上之 LDFET 整合的其他電路至高側 LDFET 32 的電氣連接。源極區 46 可經由形成於源極區 46 之表面上的矽化物層電氣地耦接至源極接點 54。更一般而言，源極區 46 可使用在結構之兩個區之間形成歐姆或非整流接觸的任何製程耦接至源極接點 54。汲極接點 56 與汲極區 52 之間的連接可包含以上參考源極接點 54 及源極區 46 所描述之變化中之任何變化。源極接點 54 及汲極接點 56 可包含金屬、金屬合金、金屬矽化物，或電氣傳導性半導體材料諸如摻雜多晶矽。示例性金屬、金屬合金，及金屬矽化物可各自包含銅、鎢、鉬，及鋁。

【0074】 在圖 3 中所示之實例中，主動層 42 之低側 LDFET 部分 34 之元件中之一些以與主動層 42 之高側 LDFET 部分 32 之對應元件類似的方式起作用。在此方面，低側 LDFET 34 之功能上類似的元件將以後面有撇號的高側 LDFET 之對應元件之參考數字標記。例如，對應於高側 LDFET 32 之功能上類似的汲極區 52 的低側 LDFET 34 之汲極區以參考數字 52' 標記。因此，低側 LDFET 34 包括以下元件：源極區 46'、摻雜區 48'、具有形成於摻雜區 51' 中的較重摻雜延伸區 49' 之 LDD 區 50'、汲極區 52'、源極接點 54'、汲極接點 56'、主體區 60'、深阱區 62'、閘極屏蔽 66'、閘極電極 68'，及介電質材料 70'、72'。

【0075】 在此實例中，低側 LDFET 34 之源極接點 54' 不僅自主動層 42 上方，穿過源極區 46' 及摻雜區 48'，延伸至深阱區 62'，而且該源極接點亦延伸穿過深阱區 62' 及內埋介電質層 44 且延伸至基板 45 中。以此方式，低側 LDFET 34 之源極接點 54' 提供至基板 45，且藉此至基板接點 40 的源極向下(source-down)電氣連接，該源極向下電氣連接對應於用於高功率半導體開關電路 10 之接地節點。

【0076】 相位節點接點 38 將高側 LDFET 之源極接點 54 與低側 LDFET 之汲極接點 56' 電氣地互連，且藉此形成用於高側 LDFET 32 之源極區 46 及低側 LDFET 34 之汲極區 52' 的共同節點。應注意，內埋介電質層 44 及介電質隔離障壁 47 將高側 LDFET 32 與基板 45 電氣地隔離，以防止與低側 LDFET 34 之源極接點 54' 之共同節點在功率開關電路 10 之操作期間之形成。

【0077】 如所示，第一電氣傳導性夾具 372 電氣地耦接至輸入接點 36 且第二電氣傳導性夾具 374 電氣地耦接至相位節點接點 38。基板接點 40 電氣地耦接至電氣傳導性焊盤 331。第一電氣傳導性夾具 372 電氣地連接至第一封裝引線連接部分 381，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260a' 的電氣傳導性封裝引線之第一集合(未示出)。第二電氣傳導性夾具 374 電氣地連接至第二封裝引線連接部分 383，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260b' 的電氣傳導性封裝引線之第二集合(未示出)。

【0078】 如以上所提到的，將功率開關電路 10 之習知實行方案中之三個前側源極、汲極，及相位節點接點中之一個重新組配為基板接點空出半導體晶粒之前側上之實體空間以用於至兩個剩餘前側接點的高效能電氣連接。此特徵增加積體側向功率器件電路之電路設計靈活性、效能，及可製造性。

【0079】 圖 3 中所示之金屬層(例如，接點 36 及 38)大體上表示根據需要佈線連接的多個金屬層，包括用於半導體晶粒墊片(例如，類似於 238a-d、238a'-c'，

及 238a''-b'')的頂部金屬層及介於半導體晶粒墊片與絕緣材料(例如, 74)之間的額外金屬層或主動層(例如, 42)。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。簡化圖解橫截面側視圖為簡單起見僅展示單個電晶體「指狀物」。在一些實施例中, 如參考圖 17 所論述, 多個電晶體指狀物經並聯連接以增加所實現電路之功率處置容量且藉由所實現電路之應用根據需要降低總電阻。

【0080】 圖 4 展示包括引線框架結構 420 的積體電路(IC)封裝 400 之一部分的簡化圖解橫截面側視圖。所示之引線框架結構 420 之部分大體上包括電氣傳導性焊盤 431、第一電氣傳導性夾具 473、第二電氣傳導性夾具 475、第一封裝引線連接部分 481, 及第二封裝引線連接部分 483。IC 封裝 400 亦包括半導體晶粒 430。引線框架結構 420 之部分在結構上類似於參考圖 2A-C 所論述之引線框架結構 220/220'/220''之部分。例如: 電氣傳導性焊盤 431 類似於電氣傳導性焊盤 231/231'/231''; 第一電氣傳導性夾具 473 類似於第一電氣傳導性夾具 272/272'/272''; 第二電氣傳導性夾具 475 類似於第二電氣傳導性夾具 274/274'/274''; 第一封裝引線連接部分 481 類似於第一封裝引線連接部分 281/281''; 且第二封裝引線連接部分 483 類似於第二封裝引線連接部分 283/283''。

【0081】 在所示之示例性實施例中, 半導體晶粒 430 實現圖 1 之高功率半導體開關電路 10。在一示例性組態中, 高側 LDFET 432 之第一前側接點 480 對應於開關電路 10 之輸入節點 22 (參見圖 1), 基板接點 440 對應於開關電路 10 之相位節點 16, 且第二前側接點 484 對應於開關電路 10 之接地節點。

【0082】 圖 3 中所示之半導體晶粒 30 之高側 LDFET 32 之元件中之一些以與圖 4 中所示之高側 LDFET 432 之對應元件類似的方式起作用。在此方面, 圖 4 之高側 LDFET 432 之功能上類似的元件以前面帶有數字「4」的圖 3 之高側

LDFET 之對應元件之參考數字標記。例如，對應於圖 3 之高側 LDFET 32 之功能上類似的汲極區 52 的圖 4 之高側 LDFET 432 之汲極區以參考數字「452」標記。因此，高側 LDFET 432 包括以下元件：源極區 446、摻雜區 448、具有形成於摻雜區 451 中的較重摻雜延伸區 449 之 LDD 區 450、汲極區 452、源極接點 454、汲極接點 456、主體區 460、深阱區 462、閘極屏蔽 466、閘極電極 468、介電質材料 470、472 及絕緣材料 474。另外，低側 LDFET 434 之功能上類似的元件以後面有撇號的高側 LDFET 432 之對應元件之參考數字標記。因此，低側 LDFET 434 包括以下元件：源極區 446'、摻雜區 448'、具有形成於摻雜區 451' 中的較重摻雜延伸區 449' 之 LDD 區 450'、汲極區 452'、源極接點 454'、汲極接點 456'、主體區 460'、深阱區 462'、閘極屏蔽 466'、閘極電極 468'，及介電質材料 470'、472'。

【0083】 在此實例中，低側 LDFET 434 之汲極接點 456' 及高側 LDFET 432 之源極接點 454 藉由電氣導體 482 電氣地連接，該電氣導體包括平面外部分 489。另外，高側 LDFET 432 之源極接點 454 不僅自主動層上方，穿過源極區 446 及摻雜區 448 延伸至深阱區 462，而且該源極接點亦延伸穿過深阱區 462 及內埋介電質層 444 且延伸至晶圓基板 445 中。以此方式，高側 LDFET 432 之源極接點 454 提供至基板 445 且藉此至用於高功率半導體開關電路 10 之相位節點 16 之基板接點 440 的源極向下電氣連接。應注意，內埋介電質層 444 及介電質隔離障壁 447 將低側 LDFET 434 與基板 445 電氣地隔離，以防止與高側 LDFET 432 之源極接點 454 之共同節點在功率開關電路之操作期間之形成。

【0084】 如所示，第一電氣傳導性夾具 473 電氣地耦接至第一前側接點 480 且第二電氣傳導性夾具 475 電氣地耦接至第二前側接點 484。基板接點 440 電氣地耦接至電氣傳導性焊盤 431。第一電氣傳導性夾具 473 電氣地連接至第一封裝引線連接部分 481，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引

線 260a' 的電氣傳導性封裝引線之第一集合(未示出)。第二電氣傳導性夾具 475 電氣地連接至第二封裝引線連接部分 483 且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260b' 的電氣傳導性封裝引線之第二集合(未示出)。

【0085】 圖 4 中所示之金屬層(例如，接點及電氣導體 480、482 及 484)大體上表示根據需要佈線連接的多個金屬層，包括用於半導體晶粒墊片(例如，類似於 238a-d、238a'-c'，及 238a''-b'')之頂部金屬層及介於半導體晶粒墊片與絕緣材料之間的額外金屬層或如以上提到的在其他實施例中用於金屬層之主動層。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。簡化圖解橫截面側視圖為簡單起見僅展示單個電晶體「指狀物」。在一些實施例中，如參考圖 17 所論述，多個電晶體指狀物經並聯連接以增加所實現電路之功率處置容量且藉由所實現電路之應用根據需要降低總電阻。

【0086】 圖 5 展示根據一些實施例之包括引線框架結構 520 的積體電路(IC)封裝 501 之一部分之簡化圖解橫截面側視圖。所示之引線框架結構 520 之部分大體上包括電氣傳導性焊盤 531、第一電氣傳導性夾具 572，及第二電氣傳導性夾具 574。IC 封裝 501 亦包括半導體晶粒 530。引線框架結構 520 之部分類似於參考圖 2A-C 所論述之引線框架結構 220/220'/220'' 之部分。例如：電氣傳導性焊盤 531 類似於電氣傳導性焊盤 231/231'/231''；第一電氣傳導性夾具 572 類似於第一電氣傳導性夾具 272/272'/272''；且第二電氣傳導性夾具 574 類似於第二電氣傳導性夾具 274/274'/274''。

【0087】 為簡單起見，第一電氣傳導性夾具 572 及第二電氣傳導性夾具 574 之僅部分展示於圖 5 中。應理解，此等部分為類似於電氣傳導性夾具結構 272'' 及 274'' 的各別電氣傳導性夾具結構之每一部分。因此，第一電氣傳導性夾具 572 電氣地連接至類似於第一封裝引線連接部分 281/281'' 的第一封裝引線連接部分

(未示出)。類似地，第二電氣傳導性夾具 574 電氣地連接至類似於第二封裝引線連接部分 283/283'' 的第二封裝引線連接部分(未示出)。

【0088】 在所示之示例性實施例中，半導體晶粒 530 實現圖 1 之高功率半導體開關電路 10。在一實例中，高側 LDFET 之第一前側接點 580 開關電路 10 (參見圖 1) 之輸入節點($V_{\text{輸入}}$)，基板接點 540 連接至開關電路 10 之相位節點 16 ($V_{\text{相位}}$)，第二前側接點 584 連接至開關電路 10 之接地節點(GND)。基板接點 540 對應於開關電路 10 之相位節點。

【0089】 在此實例，圖 3 中所示之半導體晶粒 30 之高側 LDFET 32 之元件中之一些以與圖 5 中所示之高側 LDFET 之對應元件類似的方式起作用。在此方面，圖 5 之高側 LDFET 之功能上類似的元件以前面帶有數字「5」的圖 3 之高側 LDFET 之對應元件之參考數字標記。例如，對應於圖 3 之高側 LDFET 32 之功能上類似的汲極區 52 的圖 5 之高側 LDFET 之汲極區以參考數字「552」標記。因此，高側 LDFET 包括以下元件：源極區 546、汲極區 552、源極接點 554、汲極接點 556，及閘極電極 568。另外，低側 LDFET 之功能上類似的元件以後面有撇號的高側 LDFET 之對應元件之參考數字標記。因此，圖 5 中所示之低側 LDFET 包括以下元件：源極區 546'、汲極區 552'、源極接點 554'、汲極接點 556'，及閘極電極 568'。

【0090】 在此實例中，使用支援源極基板接點及汲極基板接點兩者之形成的製程，高側源極接點 554 及低側汲極接點 556' 兩者經製造為穿過內埋介電質層 544 延伸至基板 545 的基板接點。因此，代替如在圖 4 中所示之實例中使用前側接點來將高側源極區 546 連接至低側汲極區 552'，高功率半導體開關電路 10 之此實行方案使用兩個基板接點 554 及 556' 來將高側源極區 546 及低側汲極區 552' 連接至相位節點($V_{\text{相位}}$)。以此方式，前側連接之數目自三個減少至兩個。

【0091】 如所示，第一電氣傳導性夾具 572 電氣地耦接至第一前側接點 580 且第二電氣傳導性夾具 574 電氣地耦接至第二前側接點 584。基板接點 540 電氣地耦接至電氣傳導性焊盤 531。第一電氣傳導性夾具 572 電氣地連接至第一封裝引線連接部分(未示出)，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260a'的電氣傳導性封裝引線之第一集合(未示出)。第二電氣傳導性夾具 574 電氣地連接至第二封裝引線連接部分(未示出)，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260b'的電氣傳導性封裝引線之第二集合(未示出)。

【0092】 圖 5 中所示之金屬層(例如，接點 580 及 584)大體上表示根據需要佈線連接的多個金屬層，包括用於半導體晶粒墊片(例如，類似於 238a-d、238a'-c'，及 238a''-b'')之頂部金屬層及介於半導體晶粒墊片與絕緣材料之間的額外金屬層或如以上提到的在其他實施例中用於金屬層之主動層。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。簡化圖解橫截面側視圖為簡單起見僅展示單個電晶體「指狀物」。在一些實施例中，如參考圖 17 所論述，多個電晶體指狀物經並聯連接以增加所實現電路之功率處置容量且藉由所實現電路之應用根據需要降低總電阻。

【0093】 圖 6 展示根據一些實施例之包括引線框架結構 620 的積體電路(IC)封裝 601 之一部分的簡化圖解橫截面側視圖。所示之引線框架結構 620 之部分大體上包括電氣傳導性焊盤 631、第一電氣傳導性夾具 672，及第二電氣傳導性夾具 674。IC 封裝 601 亦包括半導體晶粒 630。引線框架結構 620 之部分類似於參考圖 2A-C 所論述之引線框架結構 220/220'/220''之部分。例如：電氣傳導性焊盤 631 類似於電氣傳導性焊盤 231/231'/231''；第一電氣傳導性夾具 672 類似於

第一電氣傳導性夾具 272/272'/272''；且第二電氣傳導性夾具 674 類似於第二電氣傳導性夾具 274/274'/274''。

【0094】 為簡單起見，第一電氣傳導性夾具 672 及第二電氣傳導性夾具 674 之僅部分展示於圖 6 中。應理解，此等部分為類似於電氣傳導性夾具結構 272'' 及 274'' 的各別電氣傳導性夾具結構之每一部分。因此，第一電氣傳導性夾具 672 電氣地連接至類似於第一封裝引線連接部分 281/281'' 的第一封裝引線連接部分(未示出)。類似地，第二電氣傳導性夾具 674 電氣地連接至類似於第二封裝引線連接部分 283/283'' 的第二封裝引線連接部分(未示出)。

【0095】 在所示之示例性實施例中，半導體晶粒 630 實現圖 1 之高功率半導體開關電路 10。在一示例性組態中，高側 LDFET 之第一前側接點 680 連接至開關電路 10 (參見圖 1)之輸入節點($V_{\text{輸入}}$)，第二前側接點 682 連接至開關電路 10 之相位節點($V_{\text{相位}}$)，且接觸基板 645 的源極接點 654' 藉由電氣傳導性焊盤 631 經由後側接點 640 連接至開關電路 10 之接地節點(GND)。

【0096】 圖 3 中所示之半導體晶粒 30 之高側 LDFET 32 之元件中之一些以與圖 6 中所示之高側 LDFET 之對應元件類似的方式起作用。在此方面，圖 6 之高側 LDFET 之功能上類似的元件以前面帶有數字「6」的圖 3 之高側 LDFET 之對應元件之參考數字標記。例如，對應於圖 3 之高側 LDFET 32 之功能上類似的汲極區 52 的圖 6 之高側 LDFET 之汲極區以參考數字「652」標記。因此，高側 LDFET 包括以下元件：源極區 646、汲極區 652、源極接點 654、汲極接點 656，及閘極電極 668。另外，低側 LDFET 之功能上類似的元件以後面有撇號的高側 LDFET 之對應元件之參考數字標記。因此，圖 6 中所示之低側 LDFET 包括以下元件：源極區 646'、汲極區 652'、源極接點 654'、汲極接點 656'，及閘極電極 668'。

【0097】 在此實例中，高側源極區 646 藉由第二前側連接 682 連接至低側汲極區 652'，該第二前側連接在低側源極區 646' 上延伸，該低側源極區經由基板

接點連接至開關電路 10 之接地節點。此實例例示基板接點之使用如何增加可利用的前側空間之量且藉此增加電路設計者可利用的互連選項。

【0098】 圖 6 中所示之金屬層(例如，接點 680 及 682)大體上表示根據需要佈線連接的多個金屬層，包括用於半導體晶粒墊片(例如，類似於 238a-d、238a'-c'，及 238a''-b'')之頂部金屬層及介於半導體晶粒墊片與絕緣材料之間的額外金屬層或如以上提到的在其他實施例中用於金屬層之主動層。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。簡化圖解橫截面側視圖為簡單起見僅展示單個電晶體「指狀物」。在一些實施例中，如參考圖 17 所論述，多個電晶體指狀物經並聯連接以增加所實現電路之功率處置容量且藉由所實現電路之應用根據需要降低總電阻。

【0099】 圖 7A 展示高功率半導體開關電路 794 之實例，該高功率半導體開關電路包括高側場效電晶體(FET) 780、第一低側 FET 782，及第二低側 FET 784。高側 FET 780 之源極在相位節點 716 處耦接至第一低側 FET 782 之汲極且耦接至第二低側 FET 784 之汲極。

【0100】 圖 7B 展示根據一些實施例之實現圖 7A 之高功率開關電路 794 的包括引線框架結構 720 的積體電路(IC)封裝 701 之一部分的簡化圖解橫截面側視圖。所示之引線框架結構 720 之部分大體上包括電氣傳導性焊盤 731、第一電氣傳導性夾具 772，及第二電氣傳導性夾具 774。IC 封裝 701 亦包括半導體晶粒 730。引線框架結構 720 之部分類似於參考圖 2A-C 所論述之引線框架結構 220/220'/220''之部分。例如：電氣傳導性焊盤 731 類似於電氣傳導性焊盤 231/231'/231''；第一電氣傳導性夾具 772 類似於第一電氣傳導性夾具 272/272'/272''；且第二電氣傳導性夾具 774 類似於第二電氣傳導性夾具 274/274'/274''。

【0101】 為簡單起見，第一電氣傳導性夾具 772 及第二電氣傳導性夾具 774 之僅部分展示於圖 7B 中。應理解，此等部分為類似於電氣傳導性夾具結構 272'' 及 274'' 的各別電氣傳導性夾具結構之每一部分。因此，第一電氣傳導性夾具 772 電氣地連接至類似於第一封裝引線連接部分 281/281'' 的第一封裝引線連接部分 (未示出)。類似地，第二電氣傳導性夾具 774 電氣地連接至類似於第二封裝引線連接部分 283/283'' 的第二封裝引線連接部分 (未示出)。

【0102】 在所示之示例性實施例中，半導體晶粒 730 實現包括一個高側 LDFET 780 及兩個低側 LDFET 782 及 784 的高功率半導體開關電路 794。在一示例性組態中，第一前側接點 786 將高側 LDFET 780 之源極接點 756 及低側 LDFET 784 之汲極接點 754'' 連接至開關電路 795 (參見圖 7A) 之相位節點 716 (V_{相位})，第二前側接點 788 將高側 LDFET 780 之汲極接點 754 連接至開關電路 794 之輸入節點 722 (V_{輸入})，第三前側接點 790 將汲極接點 754' 連接至相位節點 (V_{相位})，且第四前側接點 792 將任選的第四高側 LDFET (未示出) 之汲極接點連接至開關電路 10 之輸入節點 (V_{輸入})。第一前側接點 786 及第三前側接點 790 在圖 7B 中所示之橫截面的平面外彼此電氣地耦接。類似地，第二前側接點 788 及第四前側接點 792 在圖 7B 中所示之橫截面的平面外彼此電氣地耦接 (若使用任選的第四高側 LDFET)。

【0103】 圖 3 中所示之半導體晶粒 30 之高側 LDFET 32 之元件中之一些以與圖 7B 中所示之高側 LDFET 780 之對應元件類似的方式起作用。在此方面，圖 7B 之高側 LDFET 780 之功能上類似的元件以前面帶有數字「7」的圖 3 之高側 LDFET 之對應元件之參考數字標記。例如，對應於圖 3 之高側 LDFET 32 之功能上類似的汲極區 52 的圖 7B 之高側 LDFET 780 之汲極區以參考數字「752」標記。因此，高側 LDFET 780 包括以下元件：源極區 746、汲極區 752、汲極接點 754、源極接點 756，及閘極電極 768。另外，低側 LDFET 782 之功能上類似的

元件以後面有撇號的高側 LDFET 之對應元件之參考數字標記。因此，圖 7B 中所示之低側 LDFET 782 包括以下元件：源極區 746'、汲極區 752'、汲極接點 754'、源極接點 756'，及閘極電極 768'。類似地，低側 LDFET 784 之功能上類似的元件以後面有雙撇號的高側 LDFET 之對應元件之參考數字標記。因此，圖 7B 中所示之低側 LDFET 784 包括以下元件：源極區 746''、汲極區 752''、汲極接點 754''、源極接點 756''，及閘極電極 768''。

【0104】 在此實例中，高側源極區 746 及相鄰低側汲極區 752'' 藉由第一前側接點 786 及高側源極接點 756 及低側汲極接點 754'' 互連。藉由將基板接點 756' 及 756'' 使用於分別將源極區 746' 及 746'' 連接至接地節點(GND)，較大金屬區域可利用於低側汲極區 752' 之前側相位節點接點 790 以使平面外電阻減小。

【0105】 如所示，第一電氣傳導性夾具 772 電氣地耦接至第二前側接點 788，且第二電氣傳導性夾具 774 電氣地耦接至第一前側接點 786。基板接點 740 電氣地耦接至電氣傳導性焊盤 731。第一電氣傳導性夾具 772 電氣地連接至第一封裝引線連接部分(未示出)，且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260a' 的電氣傳導性封裝引線之第一集合(未示出)。第二電氣傳導性夾具 774 電氣地連接至第二封裝引線連接部分(未示出)且藉此電氣地連接至類似於圖 2B 之電氣傳導性周邊封裝引線 260b' 的電氣傳導性封裝引線之第二集合(未示出)。

【0106】 圖 7B 中所示之金屬層(例如，接點 786、788、790、792)大體上表示根據需要佈線連接的多個金屬層，包括用於半導體晶粒墊片(例如，類似於 238a-d、238a'-c'，及 238a''-b'')的頂部金屬層及介於半導體晶粒墊片與絕緣材料之間的額外金屬層或如以上提到的在其他實施例中用於金屬層之主動層。一些金屬層、連接、接合金屬線或其他特徵已為簡單起見省略。介入金屬層、傳導性黏合劑或其他金屬接合結構可存在。簡化圖解橫截面側視圖為簡單起見僅展示單個電

晶體「指狀物」。在一些實施例中，如參考圖 17 所論述，多個電晶體指狀物經並聯連接以增加所實現電路之功率處置容量且藉由所實現電路之應用根據需要降低總電阻。

【0107】 可用來實行積體 LDFET 器件的構成 LDFET 之結構及配置中之許多變化係可能的。以下揭示內容描述可替換圖 2 及 4 中所示之積體 LDFET 電路之構成 LDFET 中之一個或兩個以創造不同的積體 LDFET 電路實施例的單獨 LDFET 結構。另外，此等單獨 LDFET 結構中之兩個或更多個可彼此組合以創造額外的積體 LDFET 電路實施例。以下單獨 LDFET 結構中每一個包括功能上類似於圖 3 中所示之高側 LDFET 32 之元件的元件。出於理解之容易性，單獨 LDFET 結構之功能上類似的元件以後面有兩個撇號的高側 LDFET 32 之對應元件之相同參考數字標記。

【0108】 圖 8A 展示源極向下組態中之 LDFET 500 之實例的圖解橫截面側視圖。LDFET 500 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，代替如以上結合圖 3 中所示之低側 LDFET 34 實例之源極接點 54' 所描述地延伸穿過深阱 62''，圖 8A 中所示之源極接點 54'' 包括前側接點 502，該前側接點連接至基板接點 504，該基板接點延伸穿過主動層中之開口 506 且進一步穿過內埋介電質層 44'' 延伸至基板 45''。在一些實例中，主動層中之開口 506 允許穿過內埋介電質層 44'' 的基板接點使用氧化物蝕刻製程加以製作且不需要矽蝕刻製程。

【0109】 圖 8B 展示汲極向下(drain-down)組態中之 LDFET 510 之實例的圖解橫截面側視圖。LDFET 510 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區

49''之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，代替延伸穿過汲極及 LDD 區 52''、50''，汲極接點 56''包括前側接點 512，該前側接點連接至基板接點 514，該基板接點延伸穿過主動層中之開口 516 且進一步穿過內埋介電質層 44''延伸至基板 45''。在一些實例中，主動層中之開口 516 允許穿過內埋介電質層 44''的基板接點 514 使用氧化蝕刻製程加以製作且不需要矽蝕刻製程。

【0110】 圖 9A 展示源極向下組態中之 LDFET 600 之實例的圖解橫截面側視圖。LDFET 600 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51''中的較重摻雜延伸區 49''之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，代替如以上結合圖 3 中所示之低側 LDFET 34 實例之源極接點 54''所描述地延伸穿過深阱 62，源極接點 54''包括前側接點 602，該前側接點連接至基板接點 604，該基板接點延伸穿過主動層且進一步穿過內埋介電質層 44''延伸至基板 45''。在一些實例中，穿過主動層蝕刻基板接點可消除接點-至-主動間隔設計規則，從而減少電晶體節距。

【0111】 圖 9B 展示汲極向下組態中之 LDFET 610 之實例的圖解橫截面側視圖。LDFET 610 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51''中的較重摻雜延伸區 49''之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，代替延伸穿過汲極及 LDD 區 52''、50''，汲極接點 56''包括前側接點 612，該前側接點連接至基板接點 614，該基板接點延伸穿過主動層且進一步穿過內埋介電質

層 44'' 延伸至基板 45''。在一些實例中，穿過主動層蝕刻基板接點可消除接點-至-主動間隔設計規則，從而減少電晶體節距。

【0112】 圖 10A 展示源極向下組態中之 LDFET 700 之實例的圖解橫截面側視圖。LDFET 700 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，除如以上結合圖 3 中所示之低側 LDFET 34 實例之源極接點 54' 所描述地自主動層上方延伸至基板 45'' 之外，源極接點 702 亦穿過電氣絕緣材料 74'' 向上延伸至前側接點 704。

【0113】 圖 10B 展示汲極向下組態中之 LDFET 710 之實例的圖解橫截面側視圖。LDFET 710 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，汲極接點 712 自基板 45''，穿過摻雜區 51''、LDD 區 50''、汲極區 52'' 及電氣絕緣材料區 74''，向上延伸至前側接點 714。

【0114】 圖 11A 展示源極向下組態中之 LDFET 800 之實例的圖解橫截面側視圖。LDFET 800 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，源極接點 54'' 不需要任何金屬 1 連接，如以上關於圖 3 中所示之低側 LDFET 34 實例之源極接點 54' 所描述。出於此原因，前側接點 802 可經佈局而不考慮源極接

點 54'' 之位置。在此實例中，金屬 1 前側接點 802 可上覆源極接點 54'' 或不上覆源極接點 54''，取決於電路設計要求。

【0115】 圖 11B 展示汲極向下組態中之 LDFET 810 之實例的圖解橫截面側視圖。LDFET 810 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。在此實例中，汲極接點 56'' 不需要金屬 1 連接。出於此原因，前側接點 812 可經佈局而不考慮汲極接點 56'' 之位置。例如，金屬 1 前側接點 802 可上覆汲極接點 56'' 或不上覆汲極接點 56''，取決於電路設計要求。

【0116】 圖 12A 展示源極向下組態中之 LDFET 900 之實例的圖解橫截面側視圖。LDFET 900 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。此實例對應於圖 11A 中所示之 LDFET 800，除該實例包括具有相對窄的底部部分 904 及較寬頂部摺板部分 906 的降低至源極區 46'' 的接觸電阻的源極接點 902 之外。特定而言，源極接點 902 沿軸向尺寸 908 穿過主動層延伸至基板 45''，頂部摺板部分 906 延伸至主動層中且特徵在於在正交於軸向尺寸 908 之側向尺寸上之第一寬度，且底部部分 904 穿過主動層延伸至基板 45'' 且特徵在於小於第一寬度的在側向尺寸上之第二寬度。

【0117】 在一些實例中，源極接點 902 係藉由執行淺寬接點蝕刻，接著為第二深窄接點蝕刻形成。

【0118】 在一些實例中，源極接點 902 之電阻可藉由在第一淺寬接點蝕刻經執行之後植入源極 46'' 進一步降低。

【0119】 在一些實例中，源極接點 902 與主體之間的電阻可藉由在深阱區 62'' 內之較深位置處形成擋板部分 906 進一步降低。在第二深窄接點蝕刻經執行之後，此方法可與至深阱區 62'' 之重植入組合。

【0120】 在所例示實例中，在第二深窄接點蝕刻經執行之後沉積閘極屏蔽 66''。在其他實例中，在第一淺寬接點蝕刻經執行之後沉積閘極屏蔽 66''。

【0121】 在一些實例中，在深窄接點蝕刻經執行之後，基板 45'' 經由藉由深窄接點蝕刻形成的開口以基板 45'' 之相同摻雜劑類型的重植入物(例如，若基板為 p 型，則 p+ 植入物)植入，以改良基板接點電阻。

【0122】 圖 12B 展示汲極向下組態中之 LDFET 910 之實例的圖解橫截面側視圖。LDFET 910 包括以下元件：基板接點 40''、內埋介電質層 44''、基板 45''、源極區 46''、摻雜區 48''、具有形成於摻雜區 51'' 中的較重摻雜延伸區 49'' 之 LDD 區 50''、汲極區 52''、源極接點 54''、汲極接點 56''、主體區 60''、深阱區 62''、閘極屏蔽 66''、閘極電極 68''，及介電質材料 70''、72''、74''。此實例對應於圖 11B 中所示之 LDFET 810，除該實例包括具有相對窄的底部部分 914 及較寬頂部擋板部分 916 的降低至汲極區 52'' 之接觸電阻的汲極接點 912 之外。特定而言，汲極接點 912 沿軸向尺寸 918 穿過主動層延伸至基板 45''，頂部擋板部分 916 延伸至主動層中且特徵在於在正交於軸向尺寸 918 之側向尺寸上之第一寬度，且底部部分 914 穿過主動層延伸至基板 45'' 且特徵在於小於第一寬度的在側向尺寸上之第二寬度。

【0123】 在一些實例中，源極接點 912 藉由淺寬接點蝕刻，接著為第二深窄接點蝕刻形成。在其他實例中，首先執行深窄接點蝕刻，且隨後執行寬氧化物蝕刻以暴露主動層之表面處之汲極區 52''。

【0124】 在一些實例中，LDFET 900 及 910 之源極向下及汲極向下組態可經組合以產生單個 LDFET，其中源極區 46''及汲極區 52''兩者連接至基板 45''。

【0125】 以下揭示內容描述用於圖 8A-12B 中所示之單獨 LDFET 結構之佈局選項之實例。

【0126】 圖 13 展示用於圖 8A 之源極向下 LDFET 結構 500 之示例性佈局的圖解自頂向下視圖，其中基板接點 504 自源極區 46''側向地位移。在此實例中，前側接點 502 將源極接點 54''電氣地連接至基板接點 504，該基板接點穿過主動層及內埋介電質層延伸至基板。如圖 13 中所示，鄰近於源極接點 54''增添基板接點 504 增加電晶體節距，藉此增加半導體晶粒區域及成本。圖 13 中所示之示例性佈局同樣地可適用於圖 9A 之源極向下 LDFET 結構 600，例如，關於基板接點 604 及前側接點 602。另外，圖 13 中所示之佈局之水平反射版本可分別用於圖 8B 及 9B 中所示之汲極向下 LDFET 結構 510、610。

【0127】 圖 14 展示用於圖 10A 之 LDFET 結構 700 之第一示例性佈局的圖解自頂向下視圖，其中源極接點 702 自基板 45''、穿過源極 46''，延伸至前側接點 704。因此，在源極接點 702 連接源極區 46''及基板 45''兩者的狀況下，與圖 13 中所示之方法相比，可藉由單個接點之使用節省半導體晶粒區域及成本。在一些實例中，源極區 46''可連接於源極接點 702 之側上。在一些實例中，摺板可創造於源極之頂部處以改良源極接點電阻(參見例如圖 12A)。圖 14 中所示之佈局之水平反射版本可用於圖 10B 中所示之汲極向下 LDFET 結構 710。

【0128】 在一些實例中，基板接點包括平行基板子接點之第一集合，該平行基板子接點之第一集合與平行溝道子接點之第二集合交錯，該平行溝道子接點之第一集合連接至第一 LDFET 及第二 LDFET 之源極及汲極中之一個，其中第一集合及第二集合中之各別子接點延伸至主動層上方之表面，在該表面處，該等各別子接點交替地配置於一系列中。例如，圖 15 展示用於圖 10A 之 LDFET 結

構 700 之第二示例性佈局的圖解自頂向下視圖，其中源極接點藉由自源極 46'' 延伸至前側接點 704 的平行垂直源極接點 706 之集合之平面陣列實行，且基板接點藉由與基板 45'' 交錯且自基板 45'' 延伸至前側接點 704 的平行垂直基板接點 708 之集合之平面陣列實行。以此方式使源極接點 706 及基板接點 708 交替與圖 13 中所示之實施例相比降低電晶體節距。圖 15 中所示之佈局之水平反射版本可用於圖 10B 中所示之汲極向下 LDFET 結構 710。

【0129】 圖 16 展示用於圖 11A 之 LDFET 結構 800 之示例性佈局的圖解自頂向下視圖，其中源極接點 54'' 延伸至基板但不延伸至半導體晶粒之前側。如以上所解釋，此特徵允許汲極之前側接點 802 經佈局而不考慮源極接點 54'' 之位置。在所例示實例中，前側汲極接點 802 在源極接點 54'' 上延伸且超過源極接點 54''，而未電氣地連接至源極接點 54''。圖 16 中所示之示例性佈局同樣地可適用於圖 12A 之源極向下 LDFET 結構 900。另外，圖 16 中所示之佈局之水平反射版本可用於圖 11B 及 12B 中所示之汲極向下 LDFET 結構 810、910。

【0130】 圖 17 展示用於圖 3 之 LDFET 電路之示例性佈局的圖解自頂向下視圖。在此實例中，高側 LDFET 32 及低側 LDFET 34 藉由多個交錯高側及低側 LDFET 「指狀物」之集合實行，該等多個交錯高側及低側 LDFET 「指狀物」藉由輸入節點金屬化(例如， $V_{\text{輸入}}$)及相位節點金屬化(例如， $V_{\text{相位}}$)之交替電氣傳導路徑之集合互連。在此方法中，構成高側及低側 LDFET 指狀物可緊密的地置放在一起，從而允許高側汲極與低側源極之間的互連金屬化路徑為短低阻抗連接，該等短低阻抗連接共同地具有相較於穿過高側及低側電晶體佈局在半導體晶粒之分離區段中的電路結構的阻抗的較低總體阻抗。因此，降低穿過自高側源極至低側汲極之 LDFET 電路的阻抗。在一些實例中，可需要額外金屬層以拔出自 LDFET 指狀物至封裝接腳之各別連接。在一些實例中，多個輸入節點指狀物金屬化路徑(例如，36a、36b，及 36c)連接至第一電氣傳導輸出路徑，該第一電氣

傳導輸出路徑連接至輸入節點(例如， $V_{\text{輸入}}$)，且多個相位節點指狀物金屬化路徑(例如，38a 及 38b)連接至第二電氣傳導輸出路徑，該第二電氣傳導輸出路徑連接至相位節點(例如， $V_{\text{相位}}$)。

【0131】 圖 18 展示用於製造半導體器件之方法之實例。根據此方法，將包括源極、汲極，及閘極的第一側向擴散場效電晶體(LDFET)及包括源極、汲極，及閘極的第二 LDFET 形成於半導體基板(圖 18，方塊 950)上之主動層中。將第一 LDFET 之源極及第二 LDFET 之汲極電氣地連接至共同節點(圖 18，方塊 952)。將第一前側接點及第二前側接點形成於主動層上，且形成電氣地連接至半導體基板的基板接點，其中第一前側接點、第二前側接點，及基板接點中每一個電氣地連接至第一 LDFET 之汲極、第二 LDFET 之源極，及共同節點中之不同的各別一個(圖 18，方塊 954)。

【0132】 在一些實例中，內埋介電質層形成於半導體基板與主動層之間，其中基板接點延伸穿過內埋介電質層。在此等實例中之一些中，穿過主動層延伸至內埋介電質層的介電質隔離障壁亦形成於第一 LDFET 與第二 LDFET 之間。

【0133】 在一些實例中，第一前側接點電氣地連接至具有第一電氣傳導性夾具的半導體封裝之周邊封裝引線中之一或多個之第一集合。第二前側接點電氣地連接至具有第二電氣傳導性夾具的半導體封裝之周邊封裝引線中之一或多個之第二集合。基板接點電氣地連接至半導體封裝之焊盤。

【0134】 其他實施例在申請專利範圍之範疇內。例如，本文所揭示之半導體器件在高功率條件下具有改良效能。然而，本文所揭示之教導可用來普遍地改良半導體器件且不限於高功率應用。本文所揭示之某些方法允許用來建造所揭示之器件的成本有效及高效方式。在半導體器件為電晶體之特定情形中，器件之主體有效率地經偏壓以防止器件免於進入諸如彼等由電晶體之主體之電位的增加所引起的特定擊穿條件。因此，此等半導體器件中之一些在器件以主動材

料之薄層形成的情形中為有用的，因為在彼等情形中，半導體器件之主體對外生電荷之引入更加敏感，因為在薄主動層中存在較少的本質電荷來抵消其效應。

【0135】 圖 19 展示根據一些實施例之用於將半導體器件封裝於具有引線框架結構之半導體封裝中之方法的簡化實例。根據此方法，提供具有引線框架結構之半導體器件封裝，該半導體器件封裝包括電氣傳導性焊盤及電氣傳導性周邊封裝引線(圖 19，方塊 1910)。形成半導體晶粒，該半導體晶粒包括前側主動層及後側接點(圖 19，方塊 1915)。所形成的半導體晶粒可為根據本文所揭示之半導體分割中之任何半導體分割之半導體晶粒。將半導體晶粒之後側接點電氣地連接至電氣傳導性焊盤(圖 19，方塊 1920)。將第一電氣傳導性夾具電氣地連接至電氣傳導性周邊封裝引線之第一集合且電氣地連接至半導體晶粒之第一前側接點(圖 19，方塊 1925)。將第二電氣傳導性夾具電氣地連接至電氣傳導性周邊封裝引線之第二集合且電氣地連接至半導體晶粒之第二前側接點(圖 19，方塊 1930)。

【0136】 已詳細參考本發明所揭示的實施例，附圖中例示該等實施例之一或多個實例。每一實例均以解釋本技術而非限制本技術之方式提供。事實上，儘管已參照本發明之特定實施例詳細描述本說明書，但熟習此項技術者應理解的是，在獲得對前述內容之理解後，可容易構想出此等實施例之替代形式、變化及等效物。例如，作為一個實施例之部分所例示或描述的特徵可與另一實施例一起使用，以產生更進一步的實施例。因此，意欲本標的物涵蓋所附申請專利範圍及其等效物之範疇內的所有此類修改及變化。在不脫離隨附申請專利範圍中更特定闡述的本發明之範疇的情況下，一般技藝人士可實踐本發明之此等及其他修改及變化。此外，一般技藝人士將瞭解前述描述僅為舉例說明，且不意欲限制本發明。

【符號說明】

【0137】

- 10...高功率半導體開關電路
- 12、232、780...高側場效電晶體(FET)
- 14、234...低側 FET
- 16、716...相位節點
- 18、20...驅動器輸入端子
- 22、722...輸入節點
- 30、230、230'、230''、430、530、630、730...半導體晶粒
- 32、34...LDFET
- 36、36''...輸入接點
- 36a、36b、36c...輸入節點指狀物金屬化路徑
- 38、38''...相位接點
- 38a、38b...相位節點指狀物金屬化路徑
- 40、40''、240、440、514、540、504、604、614、708、740...基板接點
- 42...主動層
- 44、44''、444、544...內埋介電質層
- 45、45''、245、545、645...基板
- 46、46'、46''、446、446'、546、546'、646、646'、746、746'、746''...源極區
- 47...介電質隔離障壁
- 48、48'、48''、51、51'、51''、448、448'、451、451'...摻雜區
- 49...延伸區
- 49'、49''、449、449'...較重摻雜延伸區
- 50...輕摻雜汲極(LDD)區
- 50'、50''、450、450'...LDD 區
- 52、52'、52''、452、452'、552、652、652'、752、752'、752''...汲極區

- 54、54'、54''、454、454'、554、554'、654、654'、702、706、756、756'、756''、
902...源極接點
- 56、56'、56''、456、456'、556、556'、656、656'、712、754、754'、754''、
912...汲極接點
- 60、60'、60''、460、460'...主體區
- 62、62'、62''、462、462'...深阱區
- 66、66'、66''、466、466'...閘極屏蔽
- 68、68'、68''、468、468'、568、568'、668、668'、768、768'、768''...閘極電極
- 70、70'、70''、72、72'、72''、470、470'、472、472'...介電質材料
- 74、74''、474...絕緣材料
- 200、200'、200''、300、400、501、601、701...積體電路(IC)封裝
- 220、220'、220''、320、420、520、620、720...引線框架結構
- 222、222'...控制器電路
- 231、231'、231''、331、431、731、531、631...電氣傳導性焊盤
- 235...矩形頂部表面
- 236...頂部表面
- 236'...頂側部分
- 238a-d、238a'-c'、238a''-b''...半導體晶粒墊片
- 252a-d...連桿
- 260a-d、260a'-f'...電氣傳導性周邊封裝引線(「周邊封裝引線」)
- 270、270'...傳導性夾具配置
- 272、272'、272''、372、473、572、672、772...第一電氣傳導性夾具
- 274、274'、274''、374、475、574、674、774...第二電氣傳導性夾具
- 280、282...封裝引線
- 281、281''、381、481...第一封裝引線連接部分
- 283、283''、383、483...第二封裝引線連接部分

- 432...高側 LDFET
- 434...低側 LDFET
- 445...晶圓基板
- 447...介電質隔離障壁
- 480、580、680、786...第一前側接點
- 482...電氣導體
- 484、584、682、788...第二前側接點
- 489...平面外部分
- 500、510、600、610、700、710、800、810、900、910...LDFET 結構
- 502、512、602、612、704、714、802、812...前側接點
- 506、516...開口
- 640...後側接點
- 782...第一低側 FET
- 784...第二低側 FET
- 790...第三前側接點
- 792...第四前側接點
- 794...高功率開關電路
- 904、914...底部部分
- 906、916...頂部摺板部分
- 908、918...軸向尺寸
- 950、952、954、1910、1915、1920、1925、1930...方塊

【發明申請專利範圍】

【第 1 項】一種半導體器件，其包含：

一半導體基板，其支撐一上覆主動層；

一第一側向擴散場效電晶體(LDFET)，其在該主動層中且包含一源極、一汲極，及一閘極；

一第二 LDFET，其在該主動層中且包含一源極、一汲極，及一閘極；

一共同節點，其電氣地連接至該第一 LDFET 之該源極及該第二 LDFET 之該汲極；

一第一前側接點，其在該主動層上且電氣地連接至以下各項中之一第一者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；

一第二前側接點，其在該主動層上且電氣地連接至以下各項中之一第二者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；

一基板接點，其電氣地連接至該半導體基板及以下各項中之一第三者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；以及

一半導體封裝，該半導體封裝包含一電氣傳導性焊盤及周邊封裝引線，其中一第一電氣傳導性夾具電氣地連接至該第一前側接點及該等周邊封裝引線中之一或多者之一第一集合，一第二電氣傳導性夾具電氣地連接至該第二前側接點及該等周邊封裝引線中之一或多者之一第二集合，且該基板接點電氣地連接至該電氣傳導性焊盤；

其中該第一前側接點、該第二前側接點，及該基板接點中之每一者電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之一不同的各別一者。

- 【第 2 項】如申請專利範圍第 1 項之半導體器件，其進一步包含介於該半導體基板與該主動層之間的一內埋介電質層；其中該基板接點延伸穿過該內埋介電質層。
- 【第 3 項】如申請專利範圍第 2 項之半導體器件，其進一步包含，在該第一 LDFET 與該第二 LDFET 之間，穿過該主動層延伸至該內埋介電質層的一介電質隔離障壁。
- 【第 4 項】如申請專利範圍第 2 項之半導體器件，其中該基板接點延伸穿過該主動層。
- 【第 5 項】如申請專利範圍第 4 項之半導體器件，其中該基板接點延伸穿過該第一 LDFET 及該第二 LDFET 之該等源極及該等汲極中之一者。
- 【第 6 項】如申請專利範圍第 5 項之半導體器件，其中該基板接點電氣地連接至該共同節點。
- 【第 7 項】如申請專利範圍第 5 項之半導體器件，其中該基板接點電氣地連接至該第一前側接點及該第二前側接點中之一者。
- 【第 8 項】如申請專利範圍第 4 項之半導體器件，其中該基板接點在無該第一 LDFET 及該第二 LDFET 之該等源極及汲極中之任一者的一區中延伸穿過該主動層，且該基板接點藉由一電氣連接電氣地連接至該第一 LDFET 及該第二 LDFET 之該等源極及汲極中之一者，該電氣連接在該主動層上側向地延伸且在向下延伸穿過該第一 LDFET 及該第二 LDFET 之該等源極及汲極中之一者。
- 【第 9 項】如申請專利範圍第 8 項之半導體器件，其中該基板接點延伸穿過該主動層中之一開口，該開口自該內埋介電質層延伸穿過該主動層。
- 【第 10 項】如申請專利範圍第 9 項之半導體器件，其中該基板接點及該主動層中之該開口具有在正交於一軸向尺寸的一側向尺寸中之各別寬度，該基板

接點沿該軸向尺寸延伸，且該主動層中之該開口之該寬度大於該基板接點之該寬度。

【第 11 項】 如申請專利範圍第 4 項之半導體器件，其中該基板接點沿一軸向尺寸穿過該主動層延伸至該基板，該基板接點具有一頂部部分，該頂部部分延伸至該主動層中且特徵為在正交於該軸向尺寸的一側向尺寸中之一第一寬度，且該基板接點具有一底部部分，該底部部分延伸至該主動層中且特徵為在該側向尺寸中之一第二寬度，該第二寬度係小於該第一寬度。

【第 12 項】 一種半導體器件，其包含：

一半導體基板，其支撐一上覆主動層；

一第一側向擴散場效電晶體(LDFET)，其在該主動層中且包含一源極、一汲極，及一閘極；

一第二 LDFET，其在該主動層中且包含一源極、一汲極，及一閘極；

一共同節點，其電氣地連接至該第一 LDFET 之該源極及該第二 LDFET 之該汲極；

一第一前側接點，其在該主動層上且電氣地連接至以下各項中之一第一者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；

一第二前側接點，其在該主動層上且電氣地連接至以下各項中之一第二者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；

一基板接點，其電氣地連接至該半導體基板及以下各項中之一第三者：該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點；以及

介於該半導體基板與該主動層之間的一內埋介電質層；

其中該基板接點延伸穿過該內埋介電質層；

其中該基板接點延伸穿過該主動層；

其中該第一前側接點、該第二前側接點，及該基板接點中之每一者電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之一不同的各別一者；以及

其中該基板接點包含平行基板子接點之一第一集合，該等平行基板子接點與平行溝道子接點之一第二集合交錯，該等平行溝道子接點連接至該第一 LDFET 及該第二 LDFET 之該等源極及汲極中之一者，其中該第一集合及該第二集合之該等各別子接點延伸至該主動層上方之一表面，在該表面處，該等各別子接點交替地配置於一列中。

【第 13 項】 一種製造一半導體器件之方法，該方法包含：

在一半導體基板上之一主動層中，形成包含一源極、一汲極，及一閘極之一第一側向擴散場效電晶體(LDFET)及包含一源極、一汲極，及一閘極之一第二 LDFET；

將該第一 LDFET 之該源極及該第二 LDFET 之該汲極電氣地連接至一共同節點；

在該主動層上，形成一第一前側接點及一第二前側接點；

形成電氣地連接至該半導體基板的一基板接點；

將該第一前側接點電氣地連接至具有一第一電氣傳導性夾具之一半導體封裝之一或多個周邊封裝引線之一第一集合；

將該第二前側接點電氣地連接至具有一第二電氣傳導性夾具之該半導體封裝之一或多個周邊封裝引線之一第二集合；以及

將該基板接點電氣地連接至該半導體封裝之一焊盤；

其中該第一前側接點、該第二前側接點，及該基板接點中之每一者電氣地連接至該第一 LDFET 之該汲極、該第二 LDFET 之該源極，及該共同節點中之一不同的各別一者。

【第 14 項】 如申請專利範圍第 13 項之方法，其進一步包含：

在該半導體基板與該主動層之間形成一內埋介電質層，其中該基板接點延伸穿過該內埋介電質層；以及

在該第一 LDFET 與該第二 LDFET 之間形成一介電質隔離障壁，該介電質隔離障壁穿過該主動層延伸至該內埋介電質層。

【第 15 項】 一種電子裝置，其包含：

一電氣傳導性焊盤；

複數個電氣傳導性周邊封裝引線；

一第一電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第一集合；

一第二電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第二集合；及

一單一半導體晶粒，其包含：

一前側主動層，該前側主動層包含一積體功率結構，該積體功率結構具有兩個或更多個電晶體；

一後側部分，其具有一後側接點，該後側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該電氣傳導性焊盤；

一或多個第一前側接點，其電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該第一電氣傳導性夾具；以及

一或多個第二前側接點，其電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該第二電氣傳導性夾具；

其中：

該第一電氣傳導性夾具及該第二電氣傳導性夾具中之一者或兩者具有約 100 微米之一最小特徵大小。

【第 16 項】 如申請專利範圍第 15 項之電子裝置，其中：

該等兩個或更多個電晶體包含一高側電晶體及一低側電晶體；

該高側電晶體包含一高側源極、一高側汲極，及一高側閘極；

該低側電晶體包含一低側源極、一低側汲極，及一低側閘極；

該一或多個第二前側接點電氣地耦接至該低側源極；

該低側汲極電氣地耦接至該高側源極；

該後側接點電氣地耦接至該高側源極；且

該一或多個第一前側接點電氣地耦接至該高側汲極。

【第 17 項】 如申請專利範圍第 15 項之電子裝置，其中：

該等兩個或更多個電晶體包含一高側電晶體及一低側電晶體；

該高側電晶體包含一高側源極、一高側汲極，及一高側閘極；

該低側電晶體包含一低側源極、一低側汲極，及一低側閘極；

該一或多個第一前側接點電氣地耦接至該高側汲極；

該後側接點將該高側源極及該低側汲極電氣地耦接在一起；且

該一或多個第二前側接點電氣地耦接至該低側源極。

【第 18 項】 如申請專利範圍第 15 項之電子裝置，其中：

該等兩個或更多個電晶體包含一高側電晶體、一低側電晶體，及一第二低側電晶體；

該高側電晶體包含一高側源極、一高側汲極，及一高側閘極；

該低側電晶體包含一低側源極、一低側汲極，及一低側閘極；

該第二低側電晶體包含一第二低側源極、一第二低側汲極，及一第二低側閘極；

該單一半導體晶粒包含一或多個第三前側接點，該一或多個第三前側接點電氣地耦接至該第二電氣傳導性夾具；

該一或多個第一前側接點將該高側源極及該第二低側汲極電氣地耦接在一起；

該一或多個第二前側接點電氣地耦接至該高側汲極；

該一或多個第三前側接點電氣地耦接至該低側汲極；且

該後側接點將該低側源極及該第二低側源極電氣地耦接在一起。

【第 19 項】 一種電子裝置，其包含：

一電氣傳導性焊盤；

複數個電氣傳導性周邊封裝引線；

一第一電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第一集合；

一第二電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第二集合；及

一單一半導體晶粒，其包含：

一前側主動層，該前側主動層包含一積體功率結構，該積體功率結構具有兩個或更多個電晶體；

一後側部分，其具有一後側接點，該後側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該電氣傳導性焊盤；

一或多個第一前側接點，其電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該第一電氣傳導性夾具；以及

一或多個第二前側接點，其電氣地耦接至該等兩個或更多個電晶體中之至少一者且電氣地耦接至該第二電氣傳導性夾具；

其中：

該等兩個或更多個電晶體包含一高側電晶體及一低側電晶體；

該高側電晶體包含一高側源極、一高側汲極，及一高側閘極；

該低側電晶體包含一低側源極、一低側汲極，及一低側閘極；

該一或多個第一前側接點電氣地耦接至該高側汲極；

該一或多個第二前側接點將該高側源極及該低側汲極電氣地耦接在一起；

且

該後側接點電氣地耦接至該低側源極。

【第 20 項】 一種電子裝置，其包含：

一電氣傳導性焊盤；

複數個電氣傳導性周邊封裝引線；

一第一電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第一集合；

一第二電氣傳導性夾具，其電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第二集合；及

一單一半導體晶粒，其包含：

一前側主動層；

一後側部分，其具有一後側接點，該後側接點電氣地連接至該前側主動層且電氣地連接至該電氣傳導性焊盤；

一或多個第一前側接點，其電氣地連接至該前側主動層且電氣地連接至該第一電氣傳導性夾具；以及

一或多個第二前側接點，其電氣地連接至該前側主動層且電氣地連接至該第二電氣傳導性夾具；

其中：

該前側主動層包含兩個或更多個電晶體；

該後側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者；

該一或多個第一前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者；

該一或多個第二前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者；

該等兩個或更多個電晶體包含一高側電晶體及一低側電晶體；

該高側電晶體包含一高側源極、一高側汲極，及一高側閘極；

該低側電晶體包含一低側源極、一低側汲極，及一低側閘極；

該一或多個第一前側接點電氣地耦接至該高側汲極；

該一或多個第二前側接點將該高側源極及該低側汲極電氣地耦接在一起；

且

該後側接點電氣地耦接至該低側源極。

【第 21 項】 如申請專利範圍第 20 項之電子裝置，其中：

該等兩個或更多個電晶體進一步包含一第二低側電晶體；

該第二低側電晶體包含一第二低側源極、一第二低側汲極，及一第二低側閘極；

該單一半導體晶粒包含一或多個第三前側接點，該一或多個第三前側接點電氣地耦接至該第二電氣傳導性夾具；

該一或多個第二前側接點將該高側源極及該第二低側汲極電氣地耦接在一起；

該一或多個第三前側接點電氣地耦接至該低側汲極；且

該後側接點將該低側源極及該第二低側源極電氣地耦接在一起。

【第 22 項】 一種用於將半導體器件封裝之方法，其包含：

提供一電氣傳導性焊盤；

提供複數個電氣傳導性周邊封裝引線；

提供一第一電氣傳導性夾具；

將該第一電氣傳導性夾具電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第一集合；

提供一第二電氣傳導性夾具；

將該第二電氣傳導性夾具電氣地連接至該等複數個電氣傳導性周邊封裝引線之一第二集合；

形成一半導體晶粒，該形成包含：

形成該半導體晶粒之一前側主動層；

在該半導體晶粒之一後側部分處形成一後側接點；

形成該半導體晶粒之一或多個第一前側接點；

形成該半導體晶粒之一或多個第二前側接點；

在該半導體晶粒之該前側主動層中形成兩個或更多個電晶體，該前側主動層包含一積體功率結構，該形成兩個或更多個電晶體包含：

在該半導體晶粒之該前側主動層中形成該等兩個或更多個電晶體中之一高側電晶體，該高側電晶體具有一高側源極、一高側汲極，及一高側閘極；及

在該半導體晶粒之該前側主動層中形成該等兩個或更多個電晶體中之一低側電晶體，該低側電晶體具有一低側源極、一低側汲極，及一低側閘極；

將該半導體晶粒之該後側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者，其中該後側接點電氣地耦接至該低側源極；

將該半導體晶粒之該一或多個第一前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者，其中該一或多個第一前側接點電氣地耦接至該高側汲極；以及

將該半導體晶粒之該一或多個第二前側接點電氣地耦接至該等兩個或更多個電晶體中之至少一者，其中該高側源極及該低側汲極藉由該一或多個第二前側接點電氣地耦接在一起；將該第一電氣傳導性夾具電氣地連接至該一或多個第一前側接點；

將該第二電氣傳導性夾具電氣地連接至該一或多個第二前側接點；以及
將該後側接點電氣地連接至該電氣傳導性焊盤。

【第 23 項】 如申請專利範圍第 22 項之方法，其進一步包含：

在該半導體晶粒之該前側主動層中形成該等兩個或更多個電晶體中之一第二低側電晶體，該第二低側電晶體具有一第二低側源極、一第二低側汲極，及一第二低側閘極；

形成該半導體晶粒之一或多個第三前側接點；

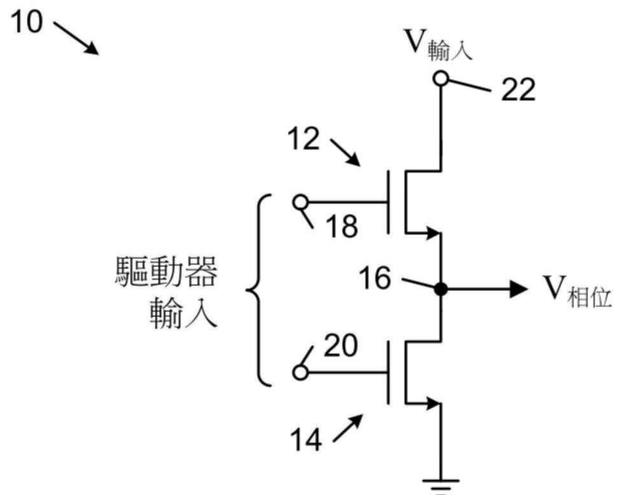
將該第二電氣傳導性夾具電氣地連接至該一或多個第三前側接點；

藉由該一或多個第二前側接點將該高側源極及該第二低側汲極電氣地耦接在一起；

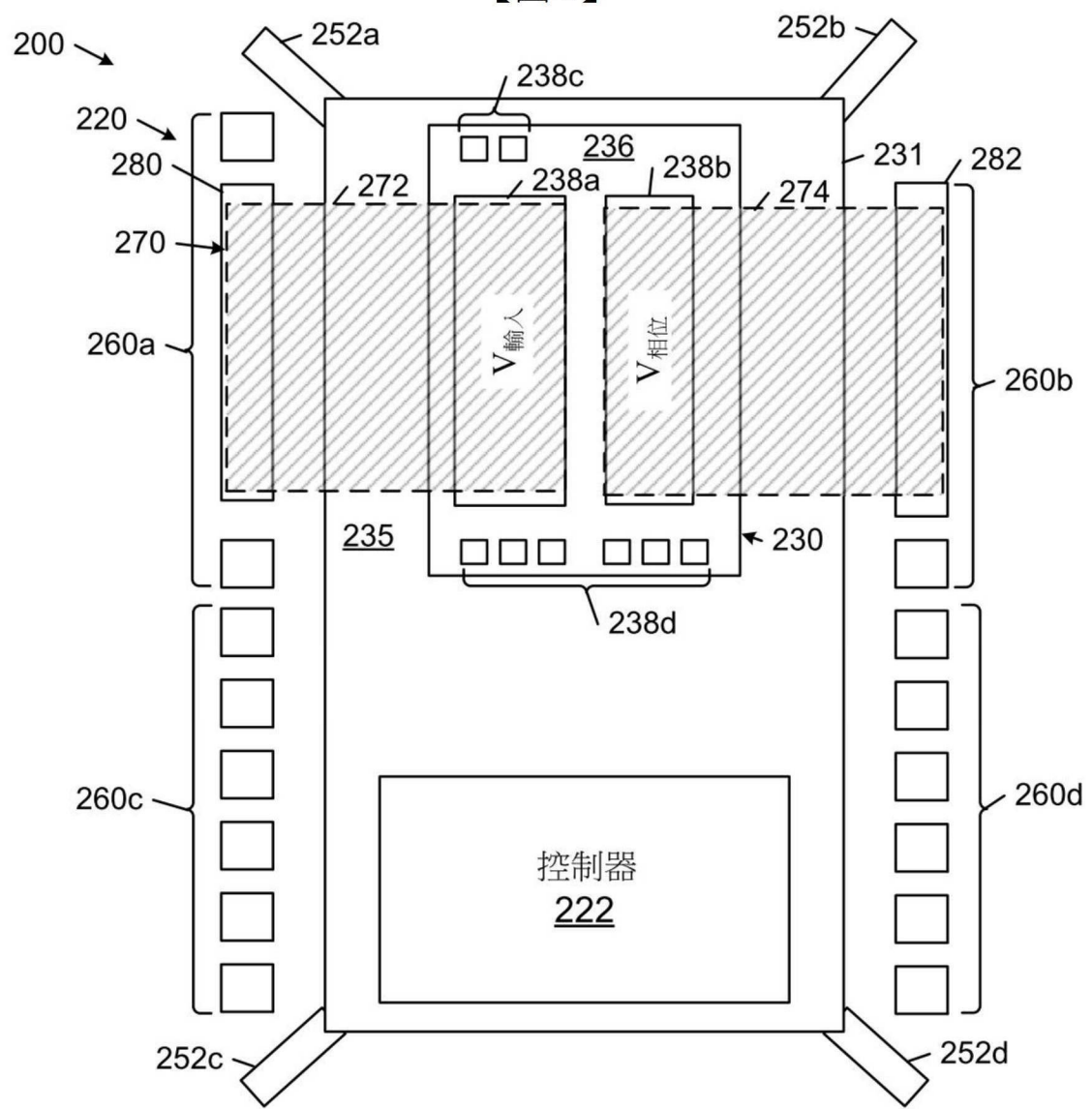
將該一或多個第三前側接點電氣地耦接至該低側汲極；以及

藉由該後側接點將該低側源極及該第二低側源極電氣地耦接在一起。

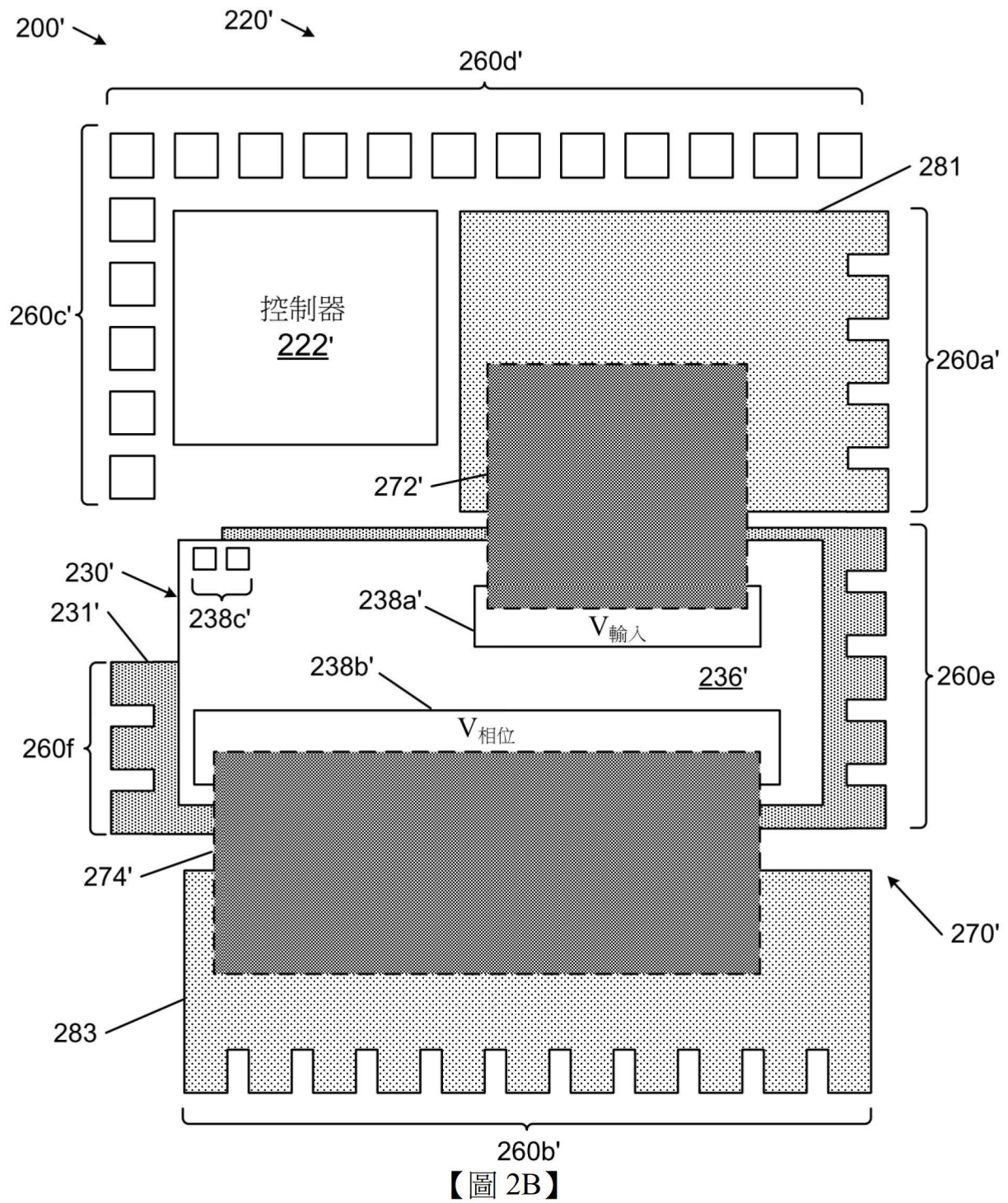
【發明圖式】

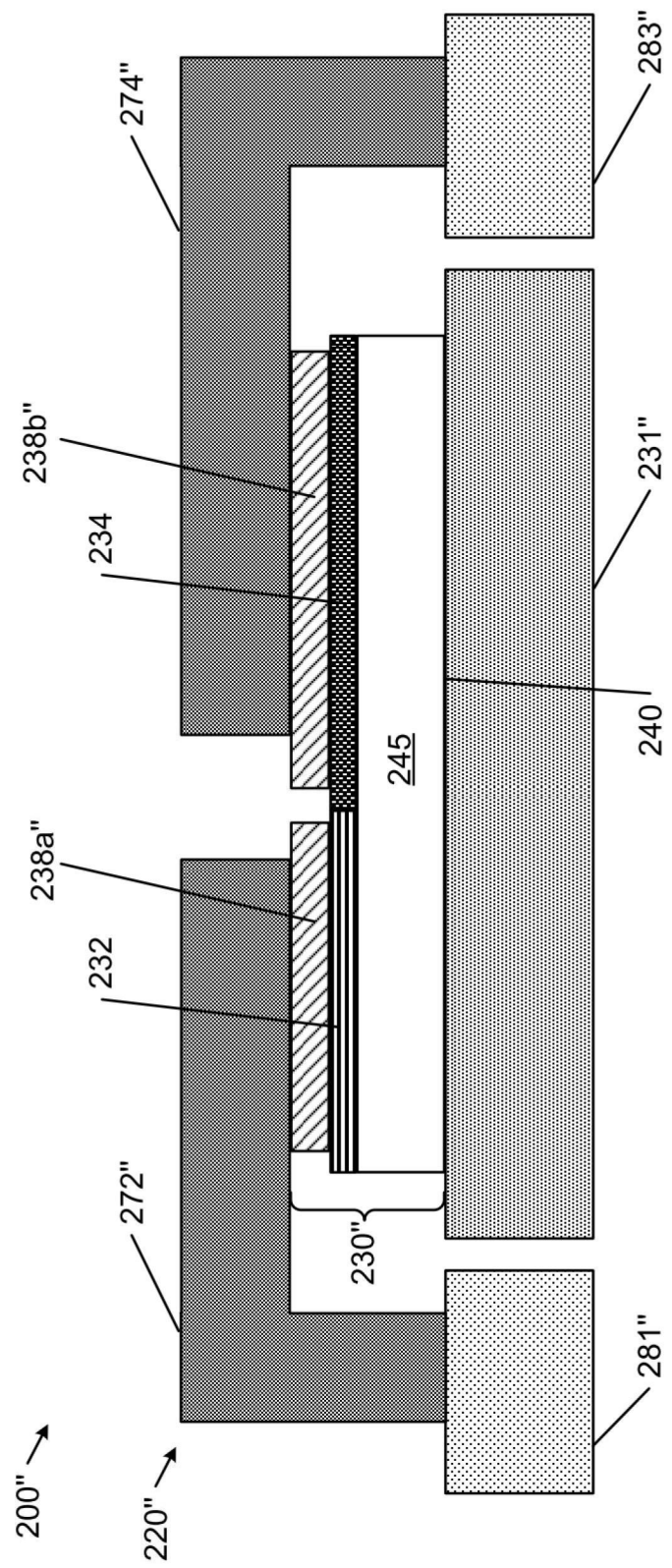


【圖 1】

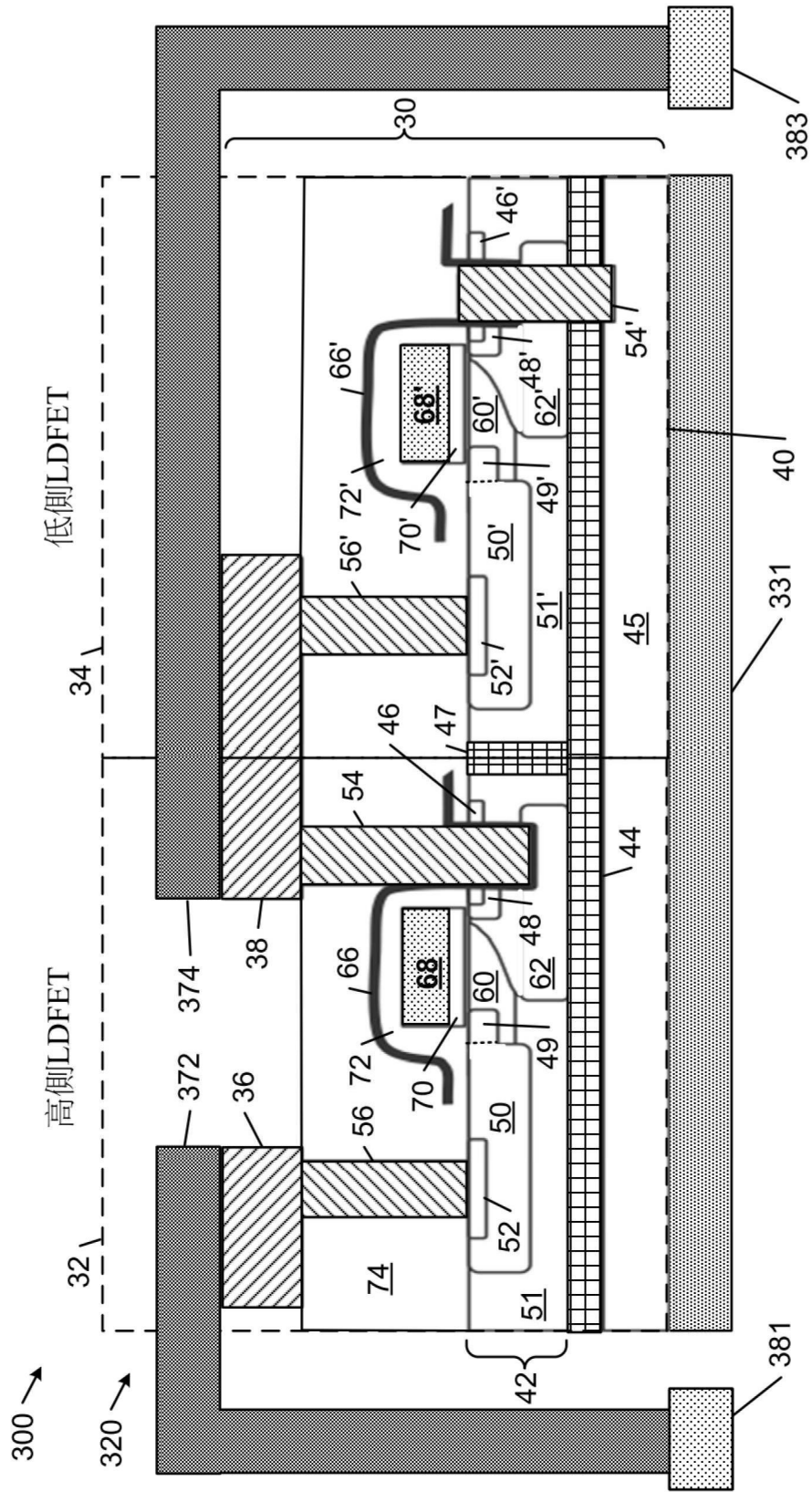


【圖 2A】

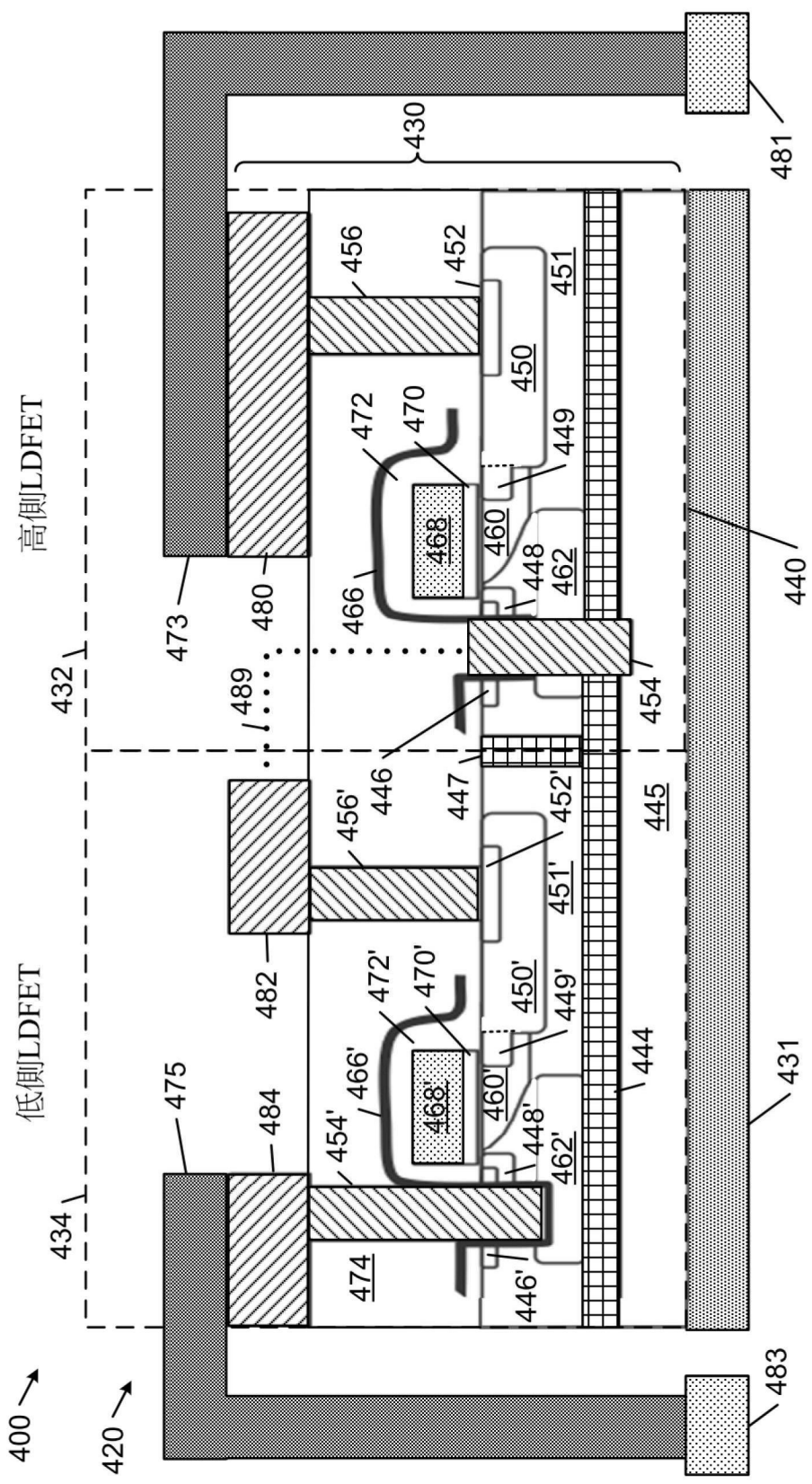




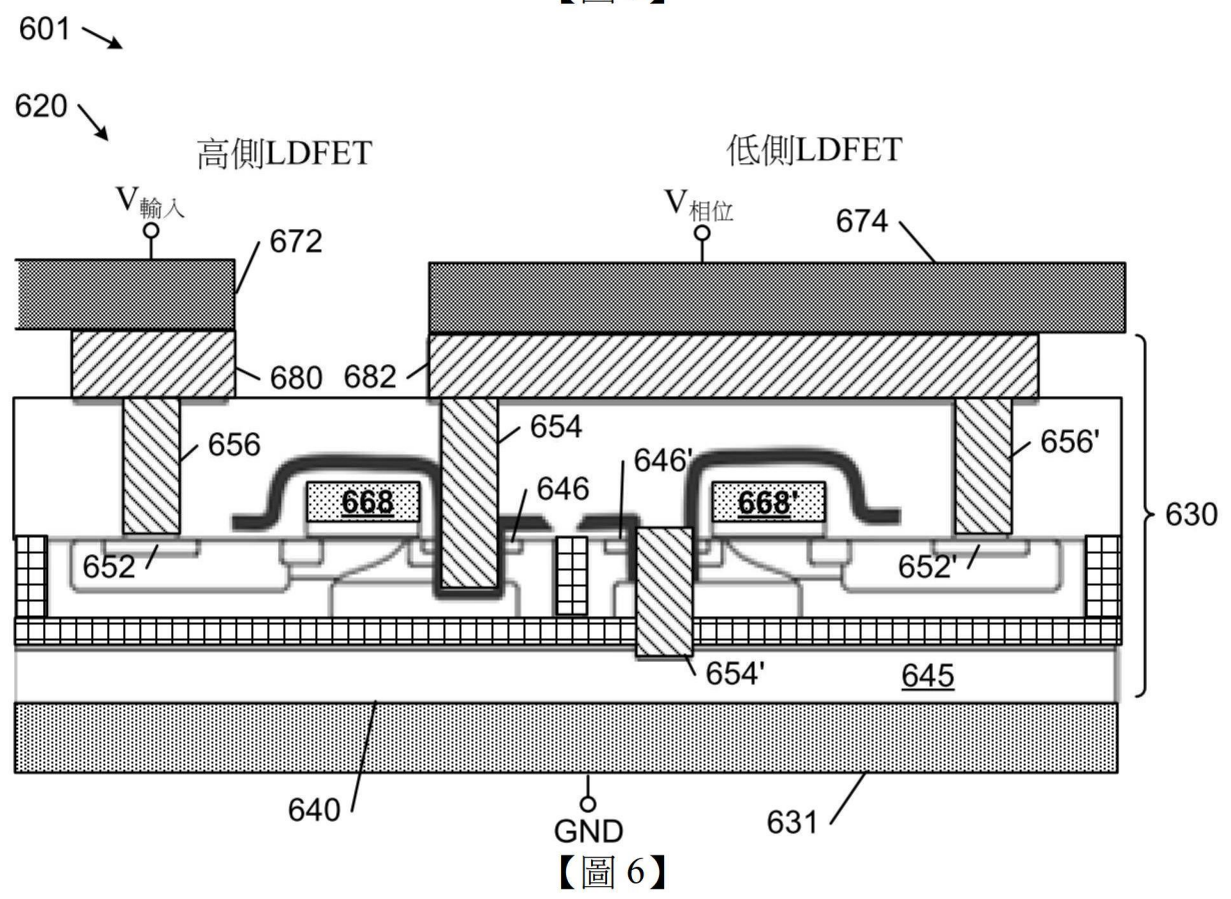
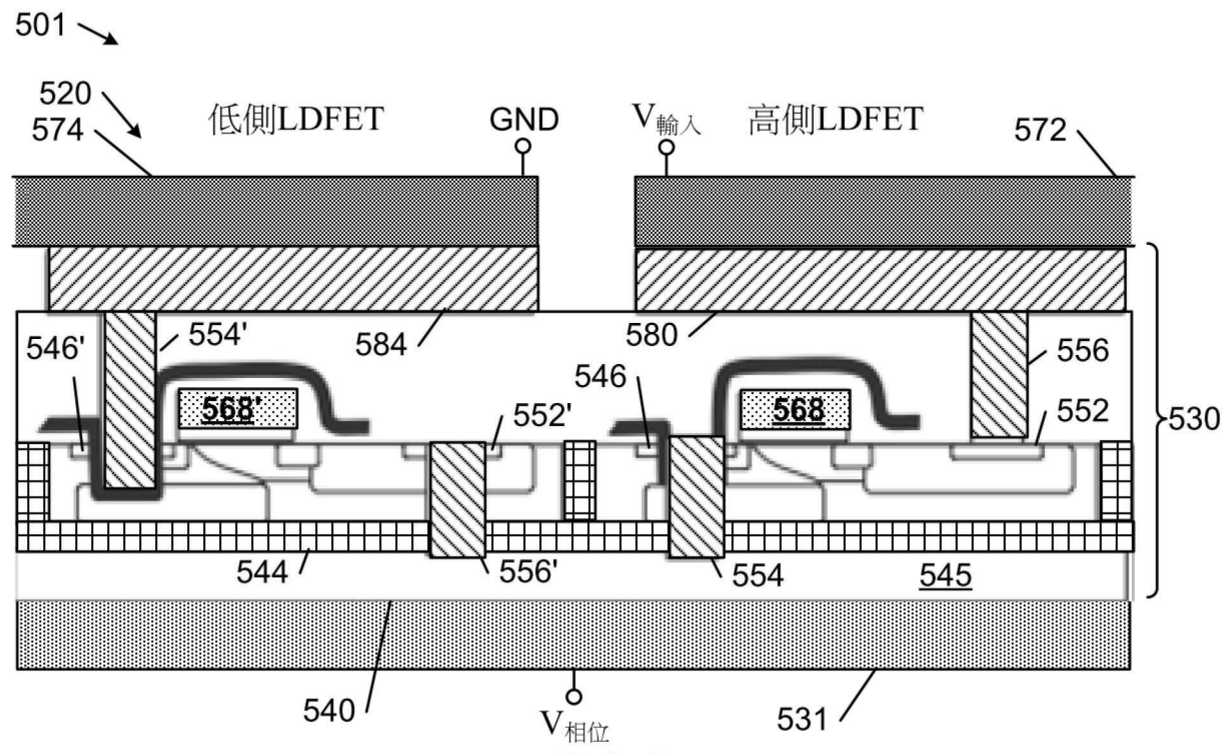
【圖 2C】

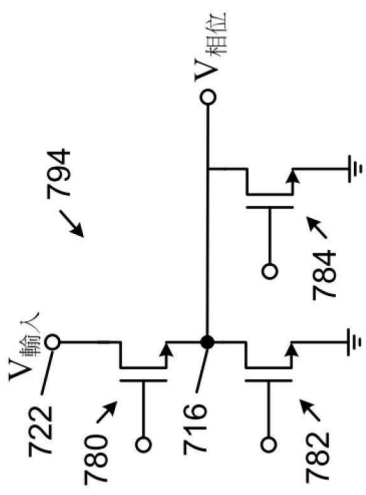


【圖 3】

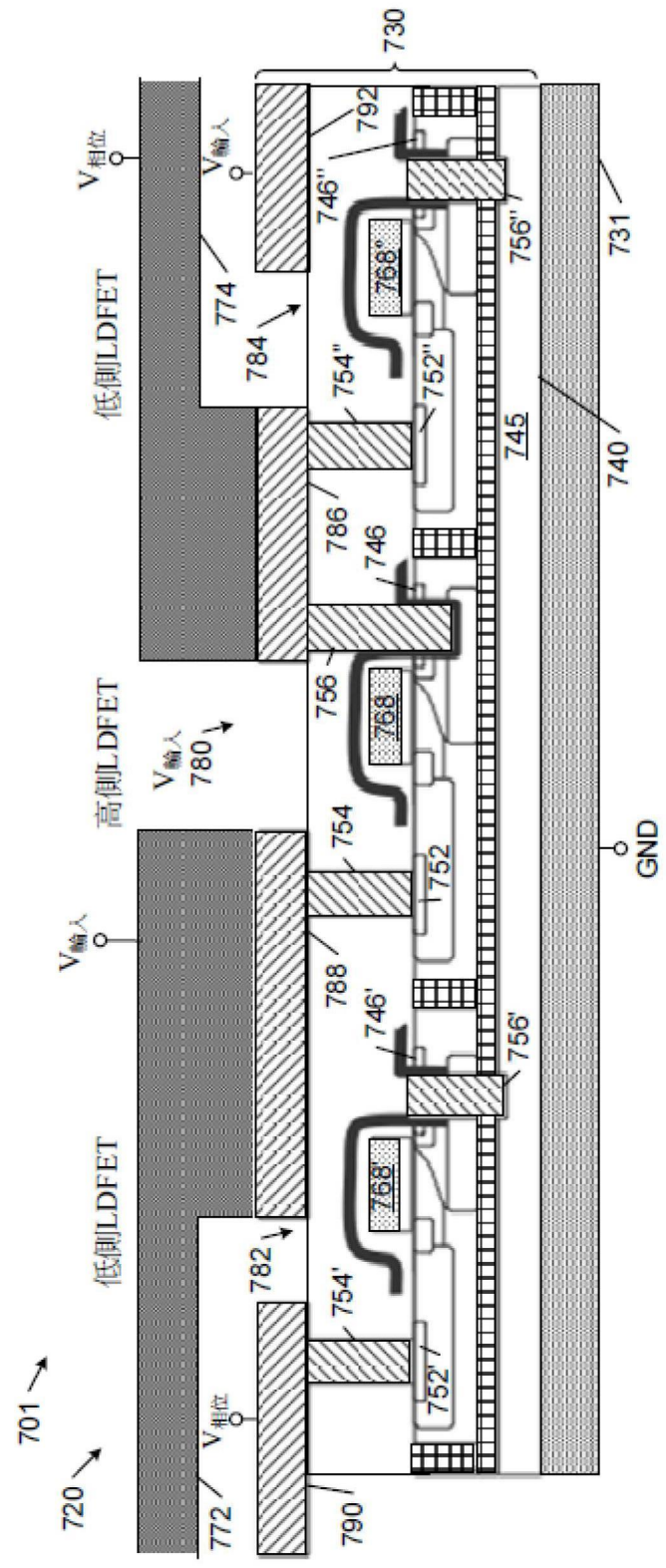


【圖 4】

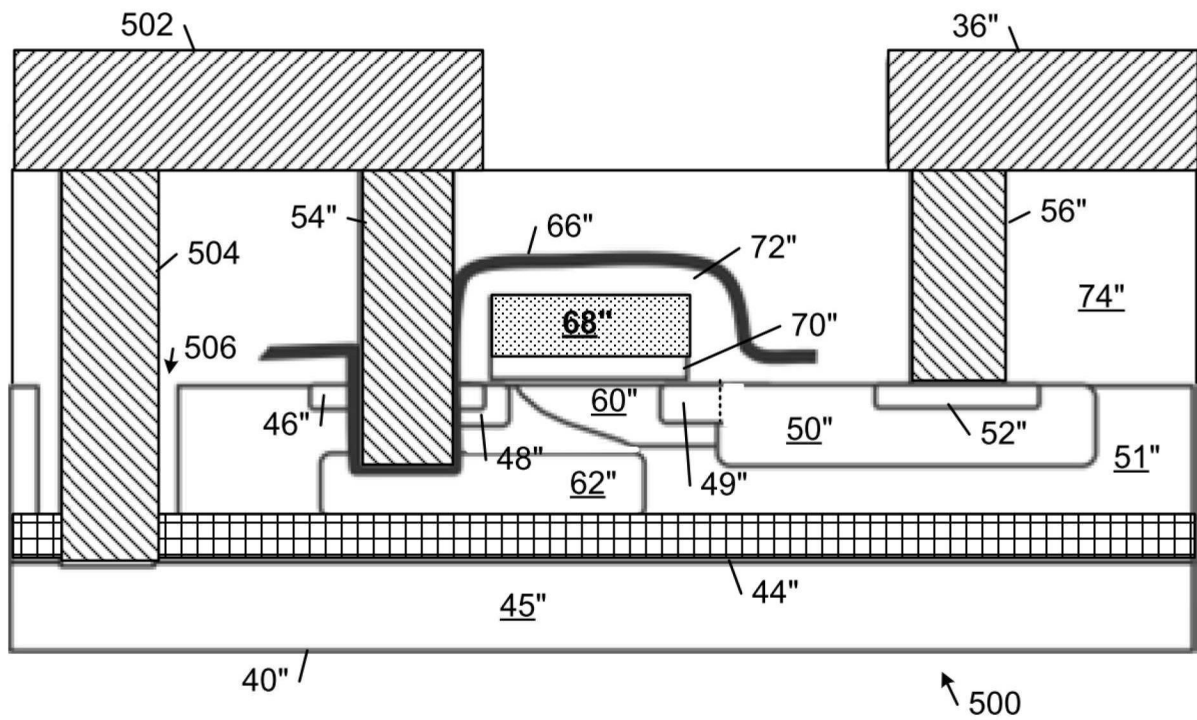




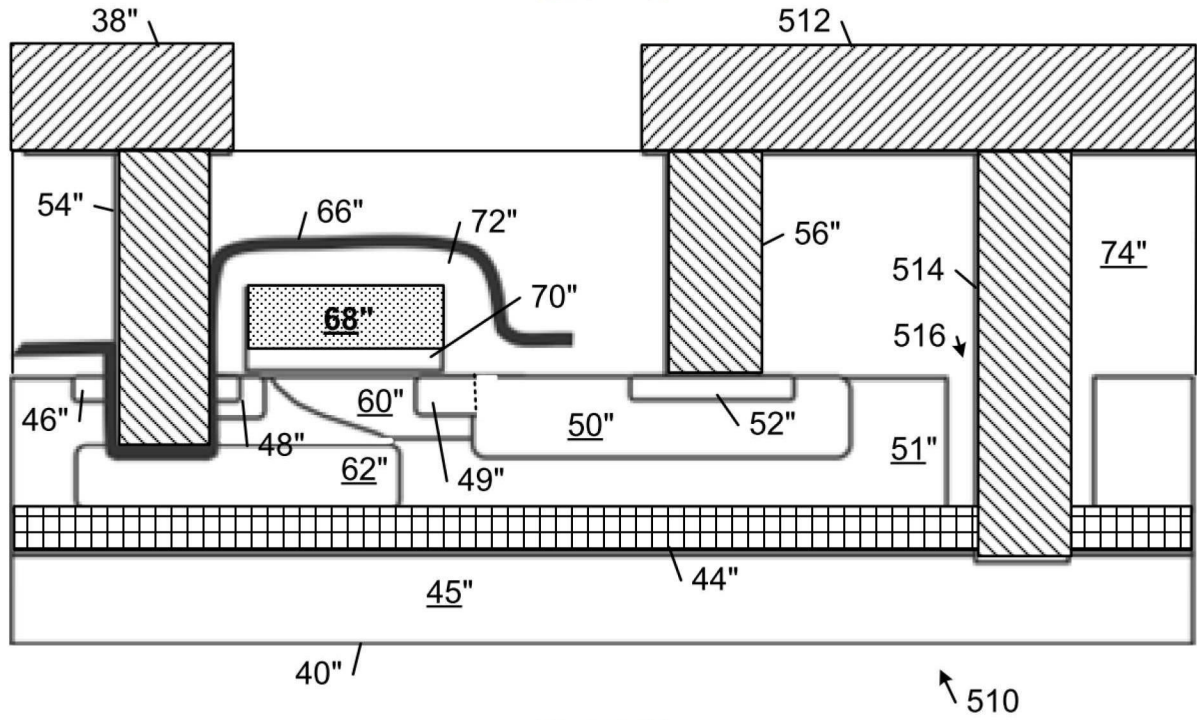
【圖 7A】



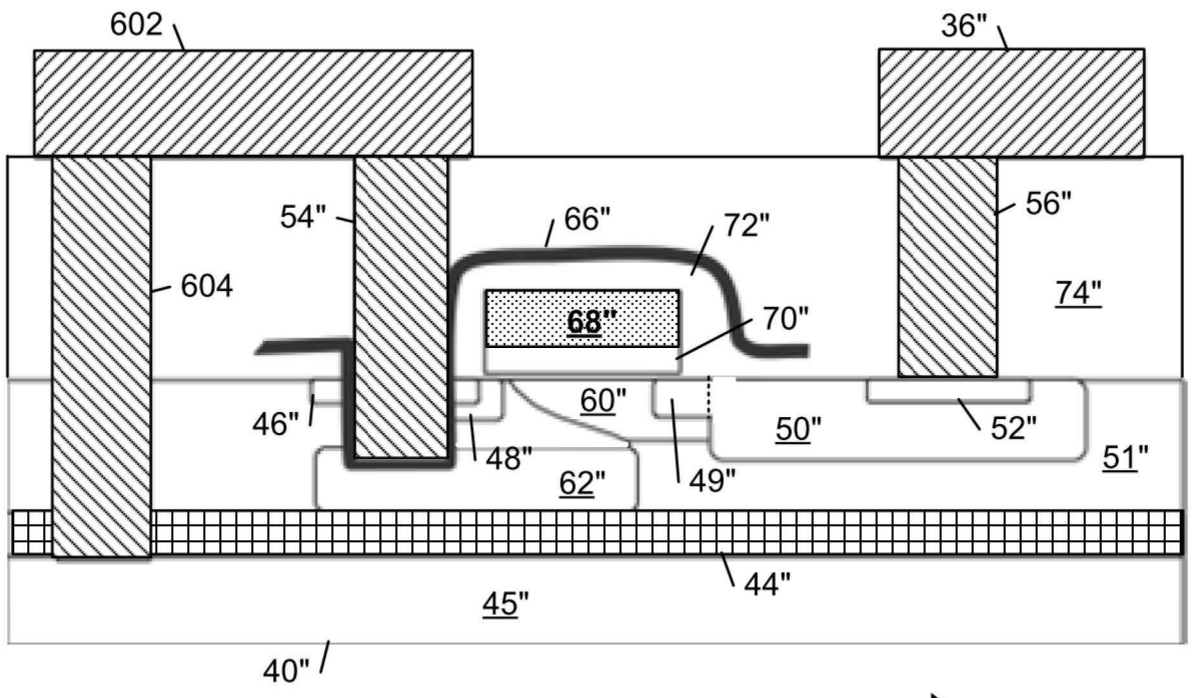
【圖 7B】



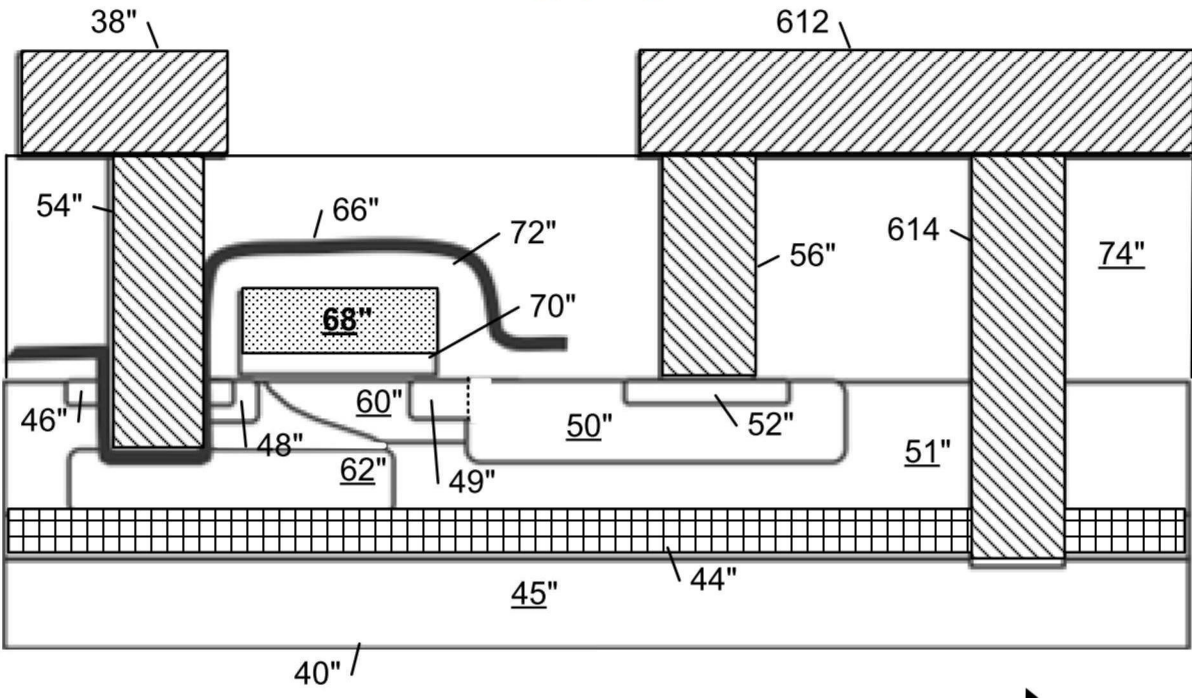
【圖 8A】



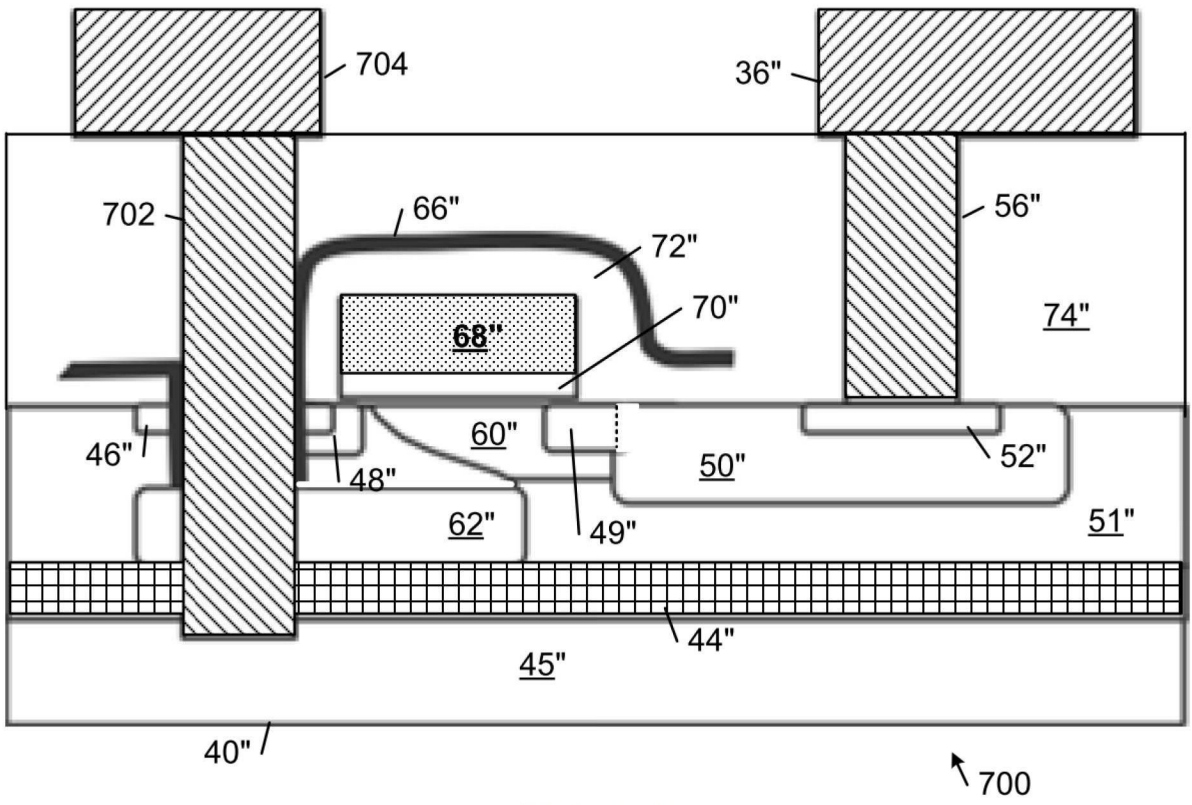
【圖 8B】



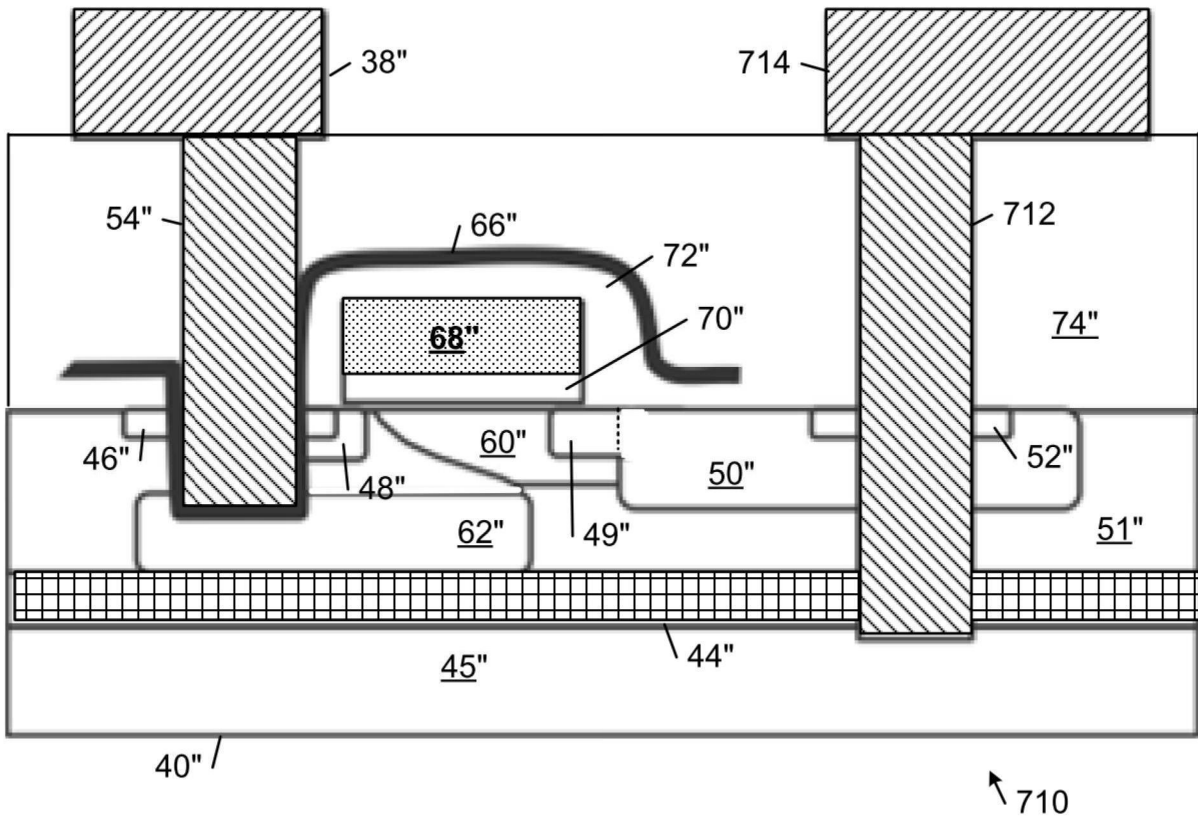
【圖 9A】



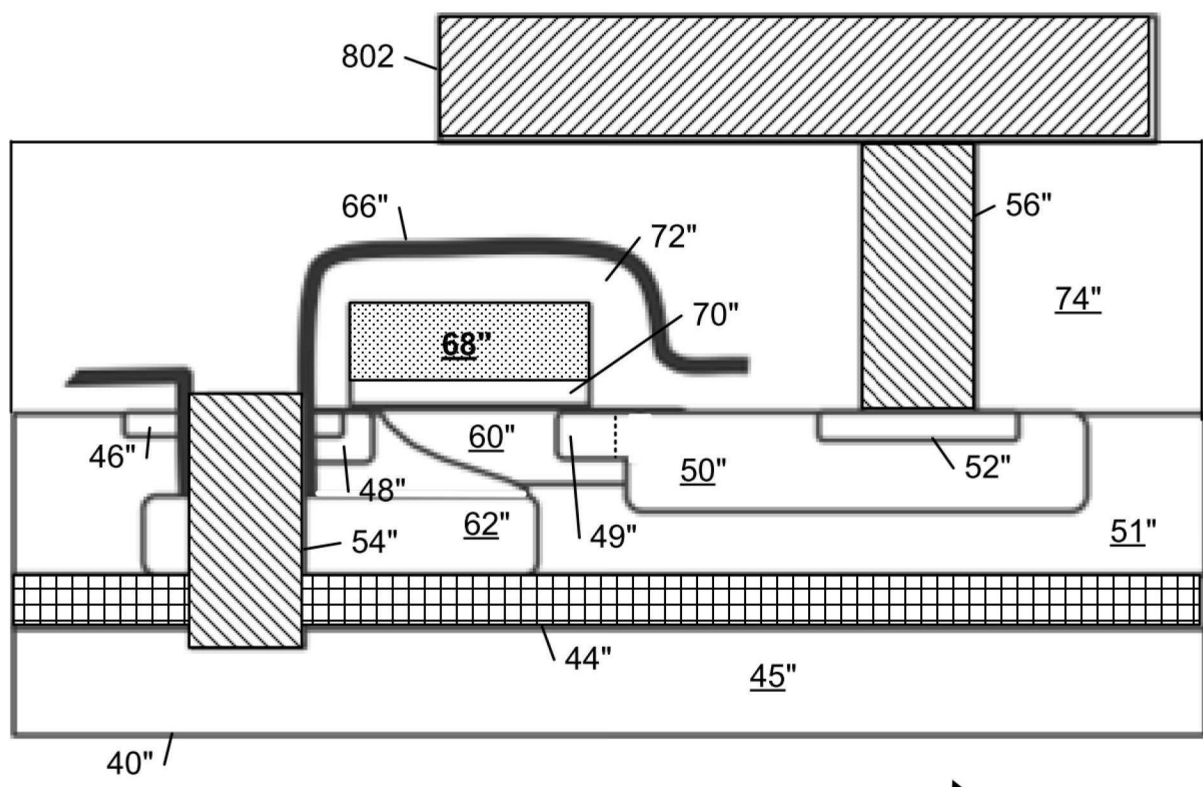
【圖 9B】



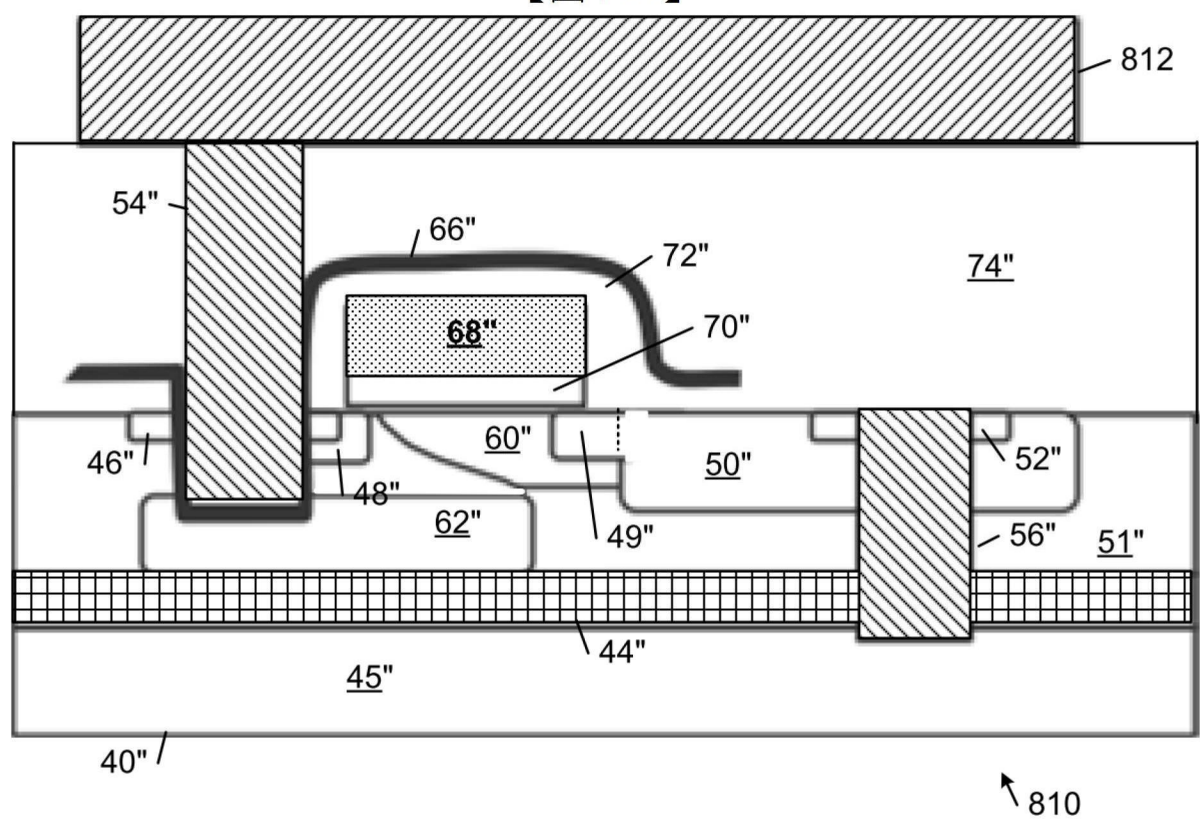
【圖 10A】



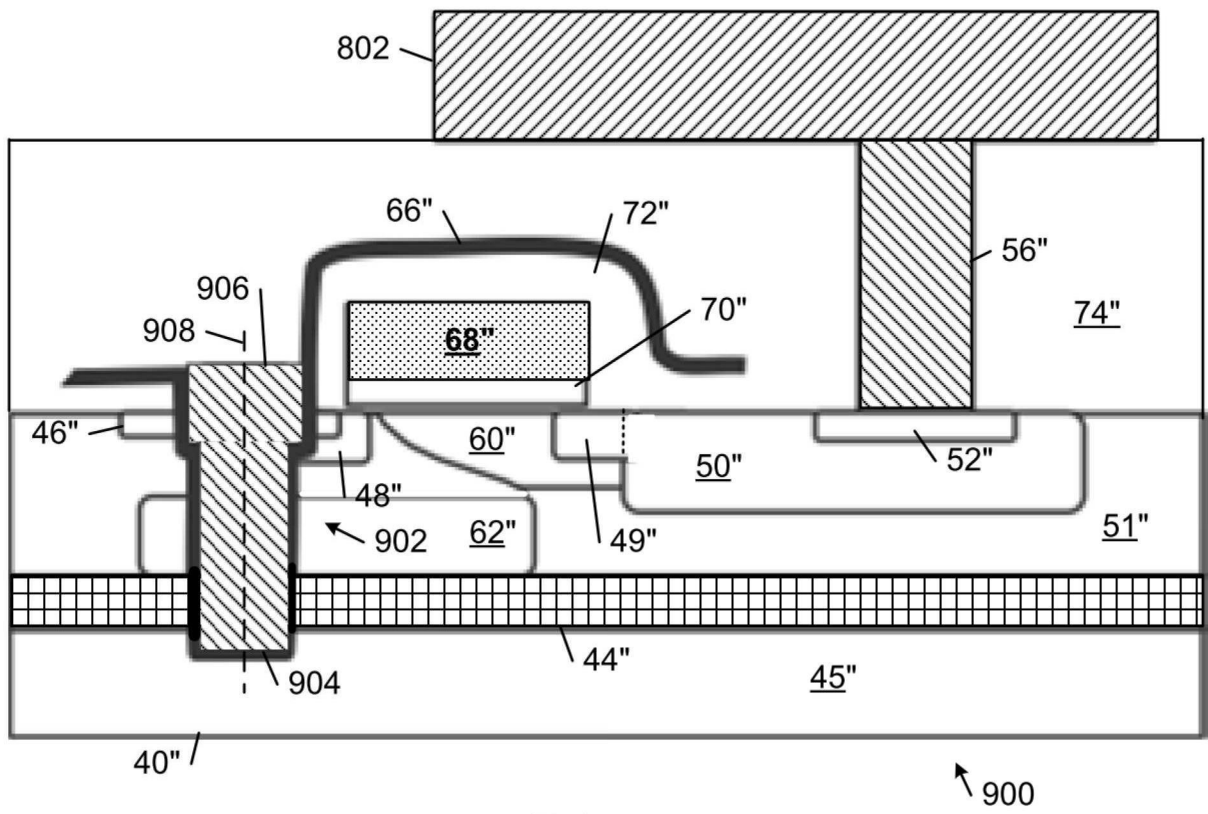
【圖 10B】



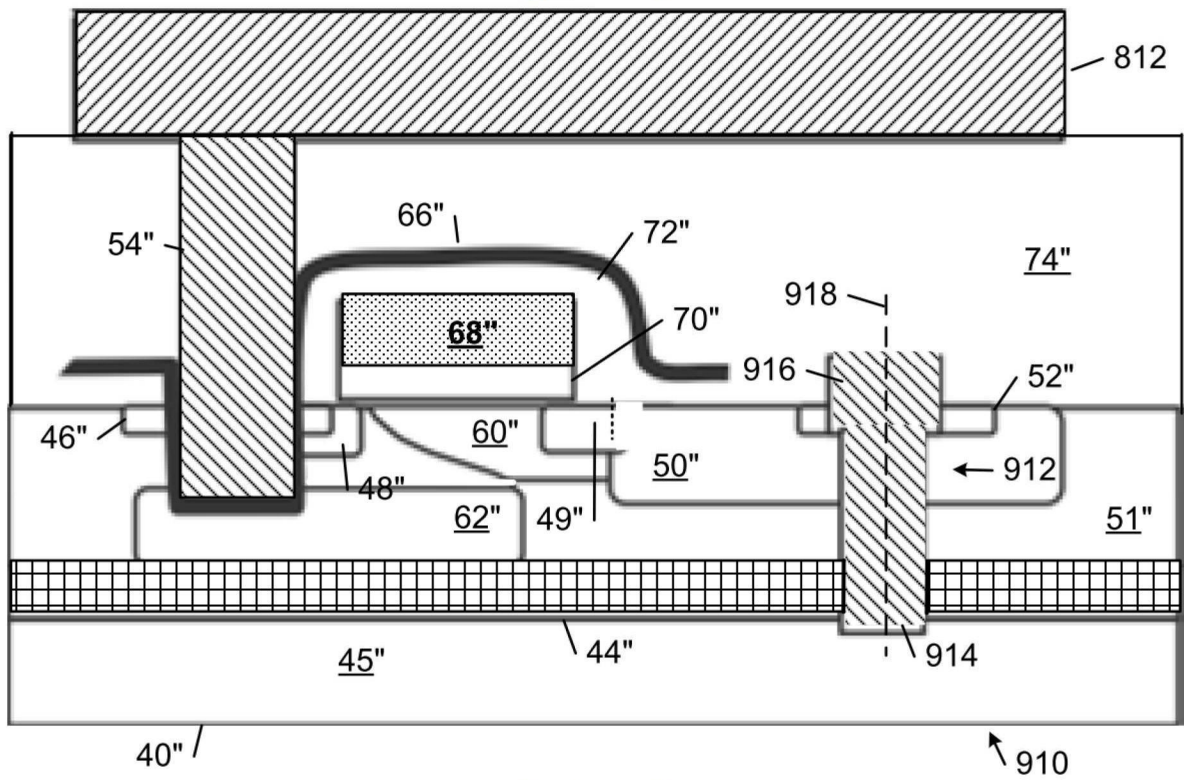
【圖 11A】



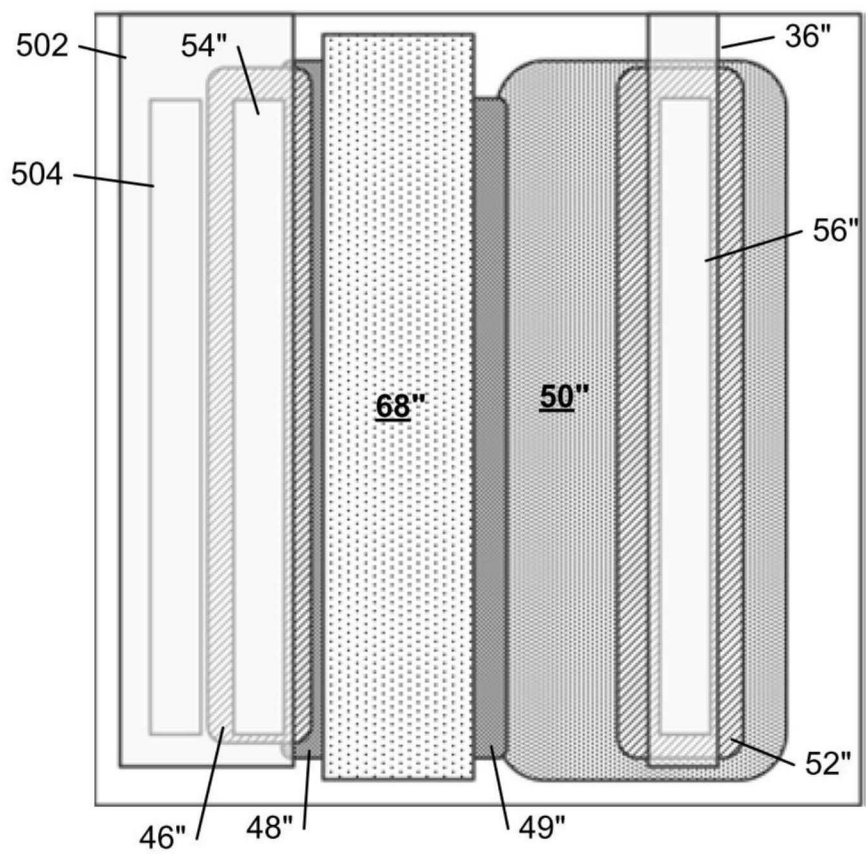
【圖 11B】



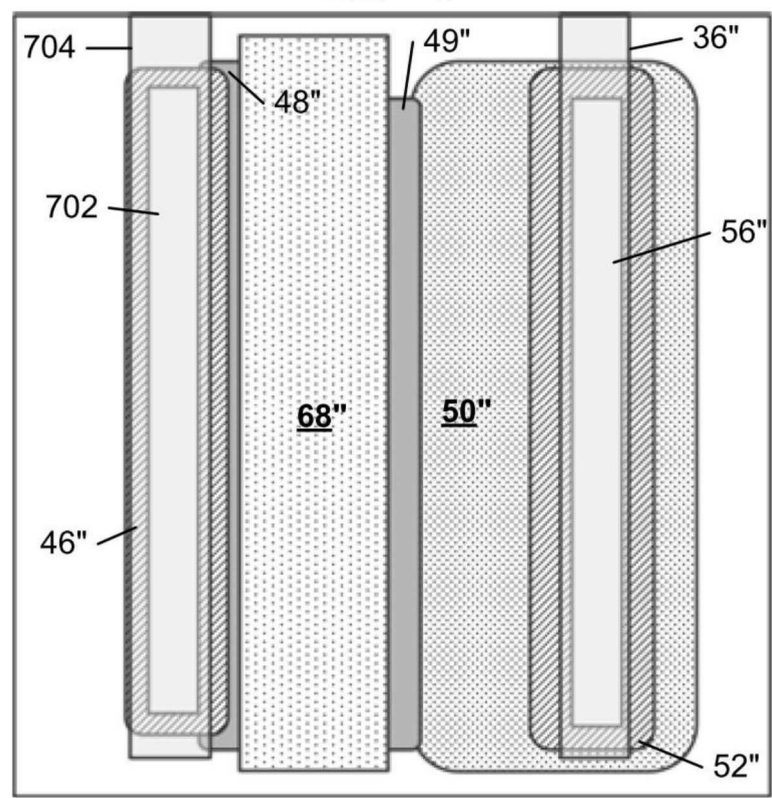
【圖 12A】



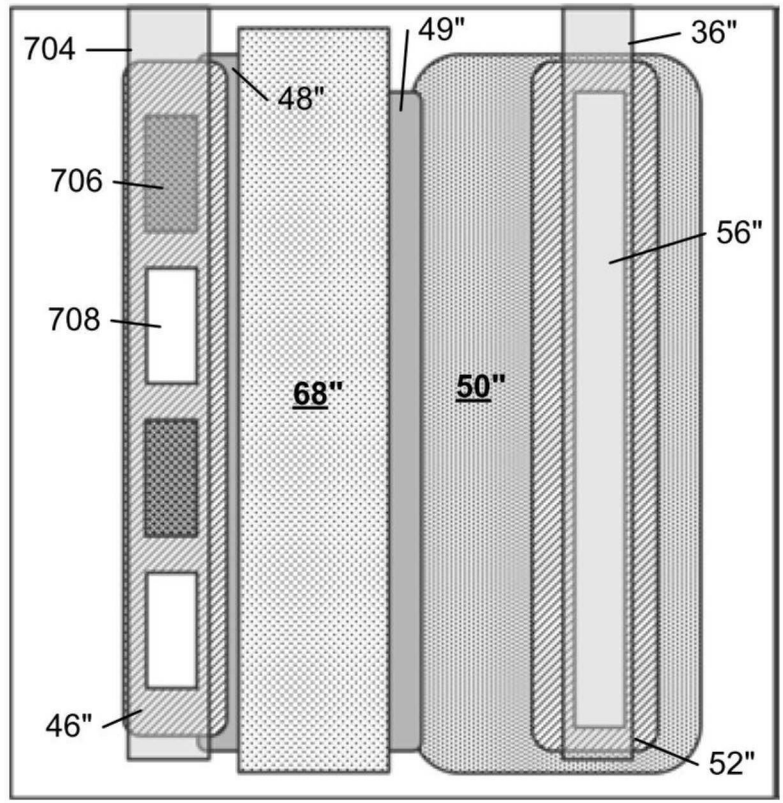
【圖 12B】



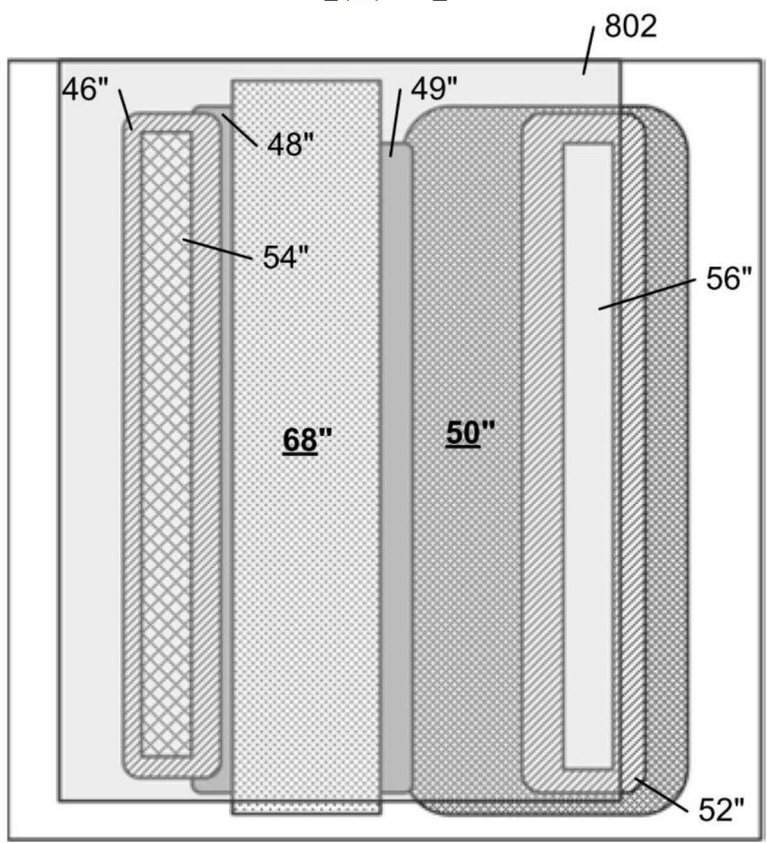
【圖 13】



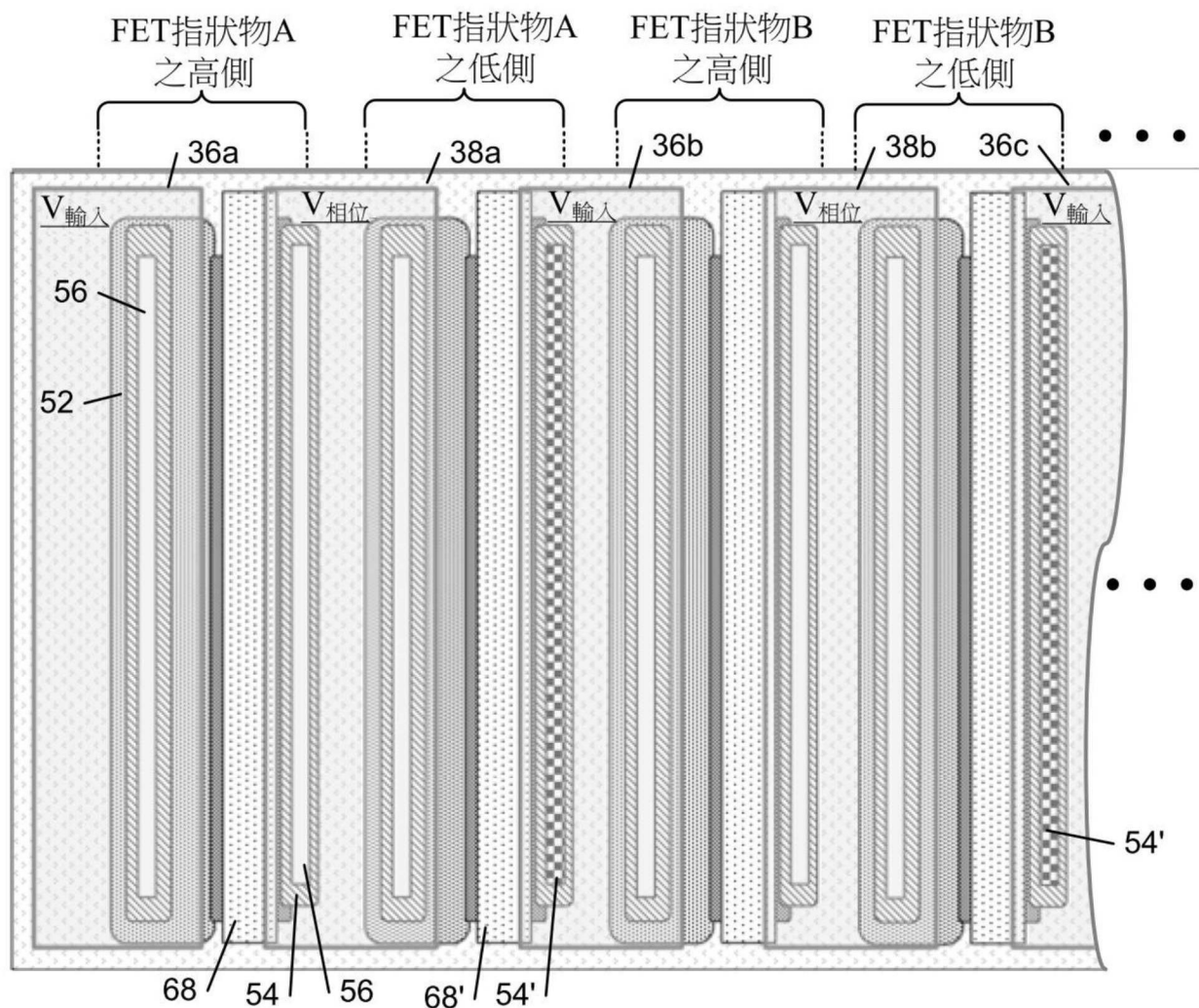
【圖 14】



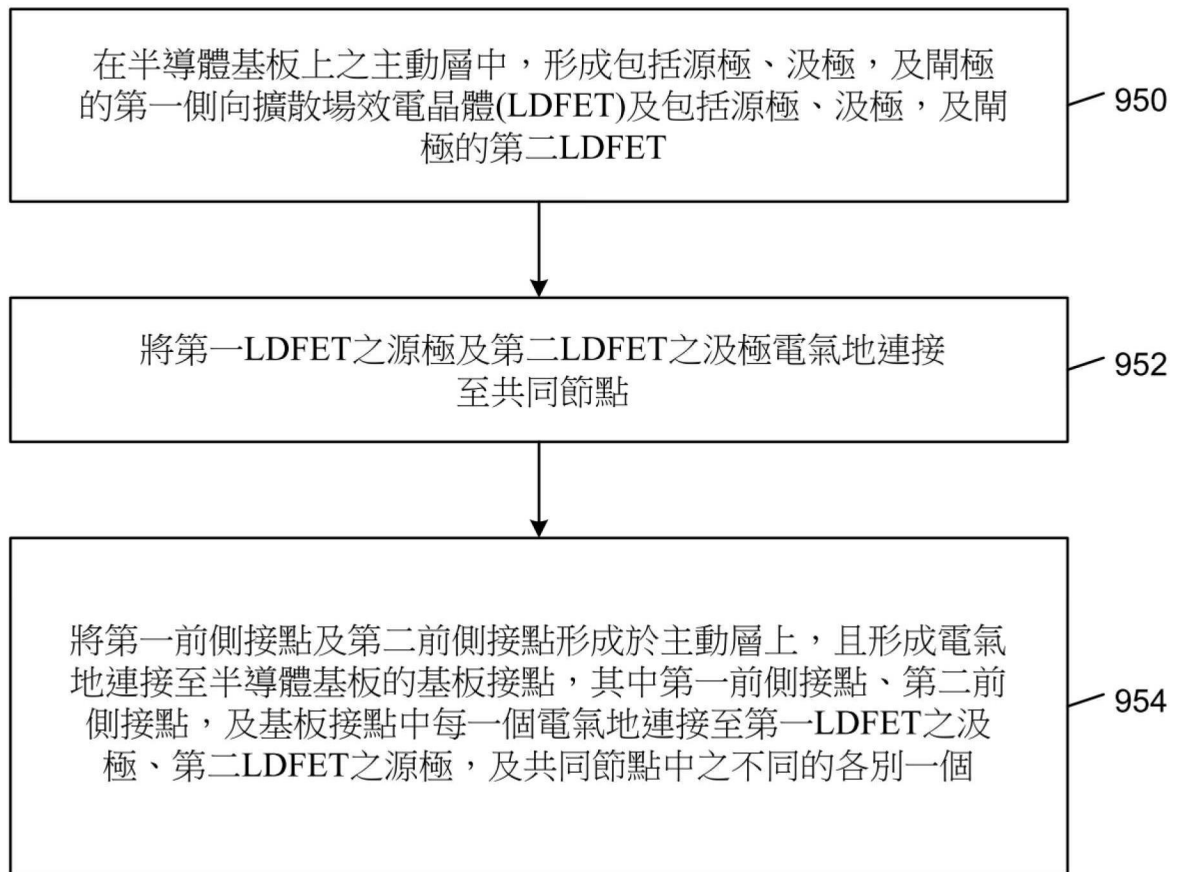
【圖 15】



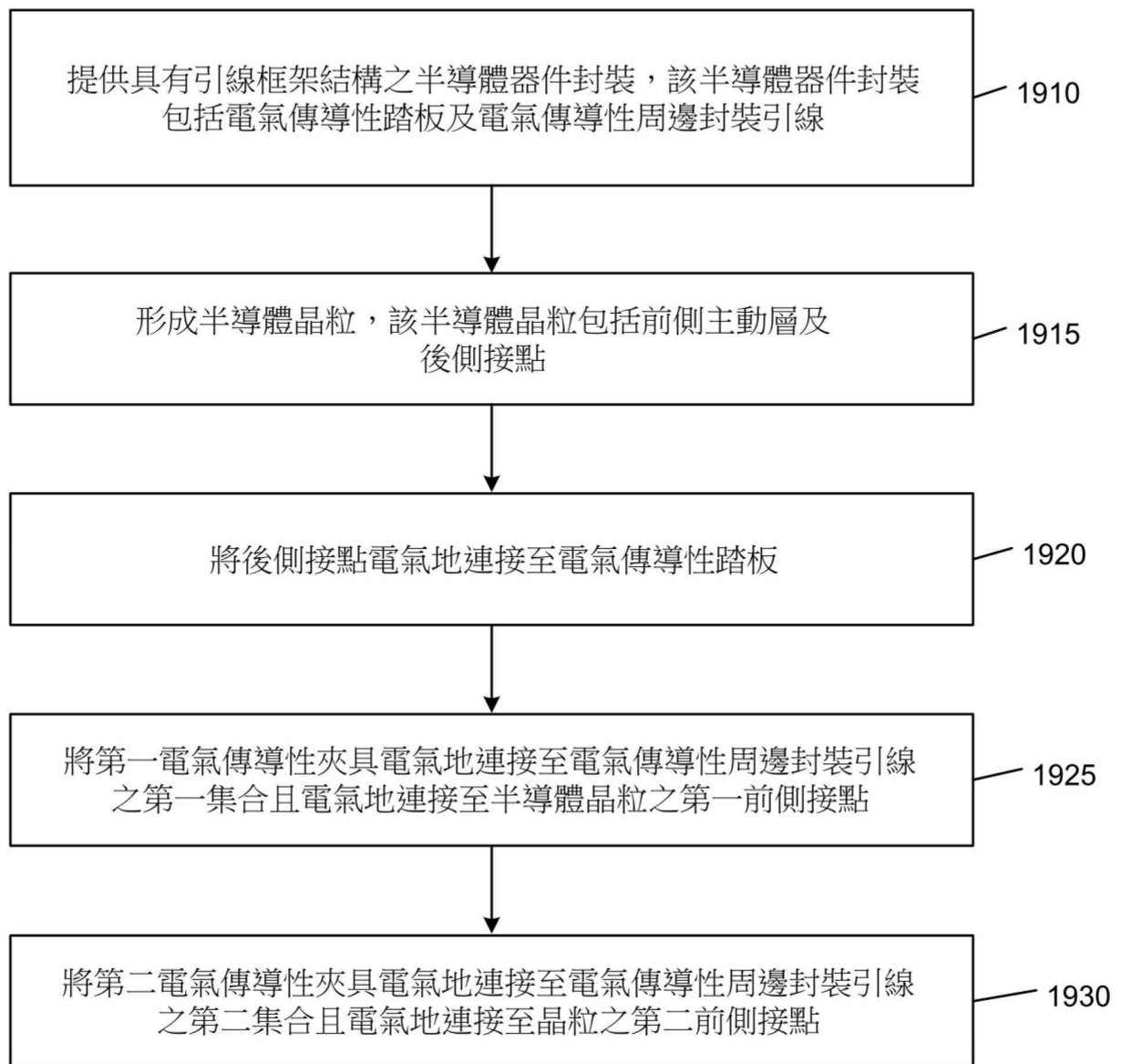
【圖 16】



【圖 17】



【圖 18】



【圖 19】