

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H03M 5/12

H04L 7/00

# [12] 发明专利说明书

[21] ZL 专利号 95119509.3

[45] 授权公告日 2001 年 4 月 11 日

[11] 授权公告号 CN 1064491C

[22] 申请日 1995.12.15 [24] 颁证日 2001.1.13

[21] 申请号 95119509.3

[73] 专利权人 章 谦

地址 100088 北京市邮电大学 95 号信箱

[72] 发明人 章 谦

[56] 参考文献

EP 0500263A2 1992. 8. 26 H03M5/12

H04L7/033

审查员 汪 涛

[74] 专利代理机构 清华大学专利事务所

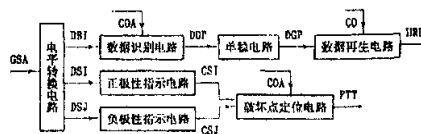
代理人 廖元秋

权利要求书 1 页 说明书 6 页 附图页数 4 页

[54] 发明名称 一种抗时钟抖动能力强的零次群接口解码方法及其电路

[57] 摘要

本发明涉及数据接口的解码方法及其电路设计。本发明提出用数据编码中的时间间隔 2 与 3 之间的信号边沿特征进行对数据 0 和 1 的判决;根据时间间隔 1 和上一码组时间间隔 4 之间的信号边沿特性对当前码组极性进行判决的方法并设计出实现电路,即由数据识别电路、单稳电路、数据再生电路组成的数据解码电路和由正、负极性指示电路、破坏点定位电路组成的破坏点提取电路。具有抗时钟抖动能力强,可靠性高,便于集成,电路简单等特点。



ISSN 1008-4274



## 权 利 要 求 书

1、一种抗时钟抖动能力强的零次群接口的解码方法，包括以下步骤：

(1)将 G703 接口信号 GSA 经过判决产生正极性信号 DSI 和负极性信号 DSJ；

(2)将所说的 DSI 和 DSJ 两个信号相加得到双电平信号 DBI；

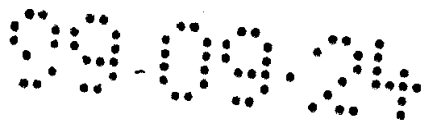
(3)从所说的双电平信号中提取 64KHz 位定时信号 CO，COA 作为解码所需的同步时钟信号；

(4)对所说的双电平信号 DBI 中的数据 0 和 1 的编码信号进行判决，由判决结果生成标准码元宽度的数据信号；

(5)对所说的正、负极性信号 DSI、DSJ 的当前码组极性的判决并根据前后两个码组的极性关系提取破坏点，从而得到 8KHz 字节定时信号；

其特征在于，所说的第(4)步骤包括：根据所说的 DBI 数据编码中的时间间隔 2 和时间间隔 3 之间的信号边沿特性进行判决，用时钟信号 COA 屏蔽掉时间间隔 4 和下一码组时间间隔 1 之间的边沿特性，得到判决结果 DGP 脉冲信号；展宽 DGP 脉冲至一个 64Kbit/s 码元宽度，得到 DSP 信号；用时钟信号 CO 对 DSP 采样得到标准码元宽度的 64Kbit/s 数据信号；所说的第(5)步骤包括：用时钟信号 COA 屏蔽当前码组时间间隔 2、3 之间的信号边沿，根据时间间隔 1 和上一码组时间间隔 4 之间的信号边沿特性对当前码组极性进行判决即正极性 DSI 为当前码时正极性指示脉冲 CSI=1，负极性指示脉冲 CSJ=0；负极性 DSJ 为当前码时正极性指示脉冲 CSI=0，负极性指示脉冲 CSJ=1；所说的两个连续的 CSI 脉冲之间不出现 CSJ 脉冲或两个连续的 CSJ 脉冲之间不出现 CSI 脉冲时在两个连续脉冲的后一个脉冲位置作为破坏点位置。

2、一种采用如权利要求 1 所述方法的零次群接口解码电路，包括将接口信号 GSA 转换成正极性信号 DSI，负极性信号 DSJ 以及双电平信号 DBI 的电平转换电路；从所说的双电平信号 DBI 中提取 64KHz 位定时信号的时钟恢复电路；从所说双电平信号 DBI 中得到 64Kbit/s 的数据信号的数据解码电路以及对所说的正、负极性信号处理得到 8KHz 字节定时信号的破坏点提取电路；其特征在于所说的数据解码电路由对 DBI 信号进行数据识别的数据识别电路，对数据识别脉冲信号展宽至一个 64Kbit/s 码元宽度的单稳电路，对展宽的初始数据信号 DSP 进行处理得到 6Kbit/s 数据信号 HRD 的数据再生电路所组成，所说的破坏点提取电路由分别对正、负极性信号 DSI、DSJ 当前码组进行极性判决的正极性指示电路、负极性指示电路；对正、负极性指示电路的输出信号进行处理得到 8KHz 字节定时信号 PTT 的破坏点定位电路所组成。



# 说明书

## 一种抗时钟抖动能力强的零次群接口解码方法及其电路

本发明属于通讯技术领域，特别涉及数据接口的解码方法及其电路设计。

随着计算机普及率的提高和网络技术的发展，数据传输业务迅速增长，其中与用户联系最密切的数据接口包括 8、16、32kbit/s 的二进制速率和与符合 CCITT X 系列和 V 系列建议的数字终端设备(DTE) 相关的其它速率，如 600、1200、2400、4800、9600bit/s, 19.2k、48k、56k、64kbit/s 等等。这些数据接口与数字传输信道连接的中间速率为 64kbit/s，最常用的是一种 64kbit/s 接口是 PCM 零次群接口，同向型 64kbit/s G703 接口。以光纤和数字微波中继为传输骨干的 PCM 专用网和中国公用数字数据网(CHINA DDN) 提供了大量这种数字接口以实现数据的广域连接。由于该接口在两对连接线上可直接传送全双工的 64kbit/s 数据、64KHz 位定时和 8KHz 字节定时信号，并且允许典型的最大互连距离为 350 米到 450 米，所以该接口在一些近距离传输数据的场合也得到广泛应用。

PCM 零次群 G.703 同向接口的信号编码规则如下：

第一步 一个 64kbit/s 比特周期分成四个单位间隔；

第二步 二进制的"1"被编成如下四个比特的码组:1100；

第三步 二进制的"0"被编成如下四个比特的码组:1010；

第四步 相邻码组极性交替变换，把二进制信号转换成三电平信号；

第五步 破坏每第八个码组的极性交替，破坏的码组标志着八比特组的最后一比特。

第五步所得信号就是 G.703 接口信号，解码处理的任务是从三电平接口信号得出以下三个信号:64kbit/s 二进制数据信号和与之同步的 64KHz 位定时信号、8KHz 字节定时信号。解码电路包括电平转换电路、时钟恢复电路、数据解码电路、破坏点提取电路四个主要部分，如图 1 所示。

其中电平转换电路将 G703 接口信号 GSA 经过判决产生两路信号，正极性信号 DSI 和负极性信号 DSJ，分别对应接口信号中正极性和负极性的部分，这两个信号相加得到双电平信号 DBI，完成三电平信号到双电平信号的转换。

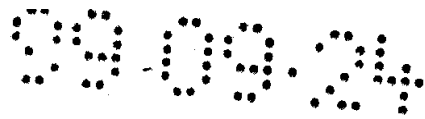
时钟恢复电路的作用是从双电平信号 DBI 中提取 64kHz 位定时信号，并向数据解码电路和破坏点提取电路提供解码所需要的同步时钟。

数据解码电路的作用是从双电平信号 DBI 中经过特定的解码处理得到 64kbit/s 的数据信号。

破坏点提取电路的作用是通过为正、负极性信号的解码处理得到 8KHz 字节定时信号。

上述的数据解码电路所采用的解码方法分两个关键步骤：

第一，数据"0"和数据"1"的编码信号的判决；



第二，由判决结果生成标准码元宽度的数据信号；

图 1 中，信号 DBI 是取自电平转换电路的数据编码信号，直接由接口输入经电平判决和极性转换处理而得到，由于传输过程中产生的信号衰落和信号畸变而引起的抖动很大程度上体现在该信号的信号沿上，这是一个抖动的信号；信号 CO、COA 是时钟恢复电路对 DBI 进行时钟信号提取的处理而得，CO、COA 与 DBI 同步，但相对存在抖动，因为经过时钟信号提取处理后得到的 CO、COA 比 DBI 有较好的稳定性，即 DBI 抖动幅度比 CO、COA 要大；

常规数据解码方法在上述两个关键步骤上的具体作法结合图 2 说明如下：

第一，将 CO 进行串行移位，产生一个上升沿在时间间隔 2 中的时钟信号，对该处 DBI 信号进行采样；数据“0”对应的编码信号(如码组 6)在该时间间隔内为低电平，数据“1”对应的编码信号(如码组 7)在该时间间隔内为高电平，由此实现对编码信号的判决。

第二，由于用 CO 的移位信号作采样时钟，生成的判决结果自然就是 64kbit/s 的标准码元信号。

该方法对抖动的容忍程度是:(由 CO 移位产生的时钟上升沿正负两个方向上均不超出时间间隔 2)CO 相对 DBI 的单向抖动不超过 1/2 个时间间隔，即  $1/2 \times 1/4 = 1/8$  个 64kbit/s 码元宽度，即:CO 相对 DBI 的最大允许抖动时间是  $1 \text{ 秒} / 64 \times 1000 \times 1/8 = 1.95 \text{ 微秒} = 2 \text{ 微秒}$ (单向) 最大允许相对抖动是  $1/8 \times 100\% = 12.5\%$ 。

上述的破坏点提取电路所采用的解码方法分两个步骤：

第一，对当前码组极性的判决；

第二，确定前后两个码组的极性关系，相同则表明后一码组为破坏点所在码组，不同则表明前后两个码组都不是破坏点所在码组。

常规采用的破坏点提取的解码方法为：

首先，当前码组极性的判决:CO 移位产生一个时钟信号，上升沿在时间间隔 1 内，分别对 DSI、DSJ 采样。DSI、DSJ 分别对应当前码组为正极性和负极性；当前码组极性为正时(如码组 7, 8)上述采样结果是:DSI 采样结果正极性指示脉冲 CSI=1, DSJ 采样结果负极性指示脉冲 CSJ=0；当前码组极性为负时(如码组 6)，DSI 采样结果正极性指示脉冲 CSI=0, DSJ 采样结果负极性指示脉冲 CSJ=1；

其次，将 CSI 移位与 CSJ 比较，相同表明不是破坏点，不同表明出现破坏点。

抗抖动能力:对抖动的容忍程度：

CO 相对 CSI、DSJ 的单向抖动允许范围同数据解码方法中所提，(CO 移位产生的时钟信号上升沿在正、负两个方向上不超出时间间隔 1)即 CO 相对 DSI、DSJ 的最大允许抖动时间是  $1 \text{ 秒} / 64 \times 1000 \times 1/8 = 1.95 = 2$ (微妙)CO 相对 DSI、DSJ 单向最大允许相对抖动是  $1/8 \times 100\% = 12.5\%$ 。DSI、DSJ 性质与 DBI 相同，同是图 1 中电平转换电路产生的。(DBI=DSI+DSJ)

上述问题决定了这种解码方法容易受以下几个因素的影响：

- 1)对端发送时钟发生漂移或抖动；
- 2)传输过程中信号发生畸变；



3)电平转换电路正负判决点不平衡造成双电平信号脉宽不一致;

4)温度变化引起时钟恢复电路工作点漂移。

这四个因素都会带来接收时钟的抖动,而上述解码方法对时钟抖动敏感,因此实际信道工作中,使用这种解码方法的电路都在一定程度上表现不稳定。尤其当传输距离增大信号畸变严重时,解码电路不能正常工作。

本发明的目的是为克服已有技术的不足之处提出一种抗时钟抖动能力强、对数据和破坏点进行解码的方法,并使其电路实现简单以适应不同的电平转换电路和时钟恢复电路,以及不同的应用环境,用很低的成本提高解码电路的性能、增大接口最大可传输距离。

本发明提出一种抗时钟抖动能力强的零次群接口的解码方法,包括以下步骤:

(1)将 G703 接口信号 GSA 经过判决产生正极性信号 DSI 和负极性信号 DSJ;

(2)将所说的 DSI 和 DSJ 两个信号相加得到双电平信号 DBI;

(3)从所说的双电平信号中提取 64KHz 位定时信号 CO, COA 作为解码所需的同步时钟信号;

(4)对所说的双电平信号 DBI 中的数据 0 和 1 的编码信号进行判决,由判决结果生成标准码元宽度的数据信号;

(5)对所说的正、负极性信号 DSI、DSJ 的当前码组极性的判决并根据前后两个码组的极性关系提取破坏点,从而得到 8KHz 字节定时信号;

其特征在于,所说的第(4)步骤包括:根据所说的 DBI 数据编码中的时间间隔 2 和时间间隔 3 之间的信号边沿特性进行判决用时钟信号 COA 屏蔽掉时间间隔 4 和下一码组时间间隔 1 之间的边沿特性,得到判决结果 DGP 脉冲信号;展宽 DGP 脉冲至一个 64Kbit/s 码元宽度,得到 DSP 信号;用时钟信号 CO 对 DSP 采样得到标准码元宽度的 64Kbit/s 数据信号;

所说的第(5)步骤包括:用时钟信号 COA 屏蔽当前码组时间间隔 2, 3 之间的信号边沿,根据时间间隔 1 和上一码组时间间隔 4 之间的信号边沿特性对当前码组极性进行判决即正极性 DSI 为当前码时正极性指示脉冲 CSI=1, 负极性指示脉冲 CSJ=0; 负极性 DSJ 为当前码时正极性指示脉冲 CSI=0, 负极性指示脉冲 CSJ=1; 两个连续的 CSI 脉冲之间不出现 CSJ 脉冲或两个连续的 CSJ 脉冲之间不出现 CSI 脉冲时在两个连续脉冲的后一个脉冲位置作为破坏点位置。

本发明提出一种采用上述方法的零次群接口解码电路,包括将接口信号 GSA 转换成正极性信号 DSI, 负极性信号 DSJ 以及双电平信号 DBI 的电平转换电路;从所说的双电平信号 DBI 中提取 64KHz 位定时信号的时钟恢复电路;从所说双电平信号 DBI 中得到 64Kbit/s 的数据信号的数据解码电路以及对所说的正、负极性信号处理得到 8KHz 字节定时信号的破坏点提取电路;其特征在于所说的数据解码电路由对 DBI 信号进行数据识别的数据识别电路,对数据识别脉冲信号展宽至一个 64Kbit/s 码元宽度的单稳电路,对展宽的初始数据信号 DSP 进行处理得到 6Kbit/s 数据信号 HRD 的数据再生电路所组成,所说的破坏点提取电路由分别对正、负极性信号 DSI、DSJ 当前码组进行极性判决的正极性指示电路、负极性指示电路;



对正、负极性指示电路的输出信号进行处理得到 8KHz 字节定时信号 PTT 的破坏点定位电路所组成。

本发明的数据解码方法结合图 2 进一步详细描述如下：

根据数据编码信号 DBI 中时间间隔 2 和时间间隔 3 之间的信号边沿的特性进行判决；数据"0"对应的编码信号(如码组 6)中时间间隔 2, 3 之间的信号边沿是上升沿，数据"1"对应的编码信号(如码组 7)中时间间隔 2, 3 之间的信号边沿是下降沿。COA 的作用是屏蔽掉时间间隔 4 和下一码组时间间隔 1 之间的上升沿，使上述数据识别器输出的信号只受每个码组中时间间隔 2 和 3 之间的边沿触发，上升沿触发，下降沿不触发，这样数据识别器的输出信号 DGP 对数据"0"和"1"的编码信号的判决结果。

在图 2 中，DGP 在码组为"0"时出现一个脉冲，在码组为"1" 时不出现脉冲。

中间信号 DSP 的作用是使 CO 的采样操作具有足够的可靠性，DSP 信号相对 CO 的上升沿具有 1/2 码元宽度的数据建立时间和 1/2 码元宽度的数据保持时间。

本方法对抖动的容忍程度是：

COA 相对 DBI 的单向抖动不超过 1 个时间间隔(时间间隔 2, 3 之间的信号边沿在正负两个方向上不超出 COA 的脉冲宽度)，即  $1 \times 1/4 = 1/4$  个 64kbit/s 码元宽度，即：COA 相对 DBI 的单向最大允许抖动时间是： $1 \text{ 秒} / 64 \times 1000 \times 1/4 = 3.9 \text{ 微秒} = 4 \text{ 微秒}$ (单向)最大允许相对抖动是  $1/4 \times 100\% = 25\%$ 因此比已有技术采用的方法提高了一倍的抗抖动能力。

本发明所述破坏点提取的解码方法的步骤结合图 3 进一步详细描述如下：

用 COA 屏蔽时间 2, 3 之间的信号边沿，根据时间间隔和上一码组时间间隔 4 之间的信号边沿的特性对当前码组极性进行判决；正极性时，DSI 的该信号边沿是上升沿，DSJ 该处为 0；负极性时，DSI 的该处信号为 0，DSJ 的该信号边沿是上升沿；通过 COA 屏蔽，图 3 中的两个极性指示器只受上述信号上升沿触发，因此正极性时 CSI=1, CSJ=0；负极性时 CSI=0, CSJ=1。两个连续的 CSI 脉冲之间不出现 CSJ 脉冲或两个连续的 CSJ 脉冲之间不出现 CSI 脉冲时在两个连续脉冲的后一个脉冲位置作为破坏点位置。

上述说明中可定义：

数据信息边沿：每个码组中时间间隔 2 与时间间隔 3 之间的信号边沿。

极性信息边沿：每个码组中时间间隔 1 与上一个码组的时间间隔 4 之间的信号边沿。

作此定义后可简化叙述。

本发明具有以下特点：

第一，抗时钟抖动能力强；

第二，电路实现简单，成本低可靠性高且便于数字电路集成；

第三，由于解决了信道传输带来的信号抖动造成的影响，可大大提高数据通信设备的可靠性。

附图简要说明：



图 1 为 G703 接口解码电路框图。

图 2 为数据解码电路时序图。

图 3 为破坏点提取电路时序图。

图 4 为本发明实施例的接口解码电路结构框图。

本发明根据所述方法设计出一种零次群接口解码电路实施例，如图 4 所示，由电平转换电路、数据解码电路、时钟恢复电路、破坏点提取电路四部分组成，其中电平转换电路与时钟恢复电路（图中未示出）均可采用已有技术方案，在此不重复叙述，本电路的特点在于改进了已有技术的数据解码电路与破坏点提取电路，现分别详细描述如下：

图 4 中，数据解码电路由一个数据识别器、一个单稳触发器和一个数据再生器实现。数据识别器由一个边沿触发、可清零触发器构成。COA 经反相后作清零信号，DBI 作触发信号，当码元为“1”时，编码“1100”在清零信号未屏蔽的区间只有下降沿，触发器不被触发，当码元为“0”时，编码“1010”在清零信号未屏蔽的区间出现上升沿，触发器触发，直至被 COA 反相信号清零，这样，对应码元“0”输出一个脉冲 DGP；单稳触发器以 DGP 为触发信号，时间常数取 3/4 个 64KHz 时钟周期，输出为 DSP；数据再生器以 C0 为时钟对 DSP 采样，反相输出 HRD，作为解码数据输出。

图 4 中，破坏点提取电路由正极性指示器、二个负极性指示器、破坏点定位器实现。两个极性指示器均由边沿触发、可清零触发器构成，DSI、DSJ 分别为触发信号，COA 为清零信号，屏蔽“数据边沿”，分别输出极性指示脉冲 CSI、CSJ；在 G.703 编码信号中，两个极性的信号按码元交替出现，每 8 个码元这种交替受到一次破坏，该码元位置即破坏点位置，CSI、CSJ 便指示了这种极性的交替情况；破坏点定位器即对 CSI、CSJ 作如下处理：

CSI、CSJ 各作为一个二进制计数器的时钟信号；

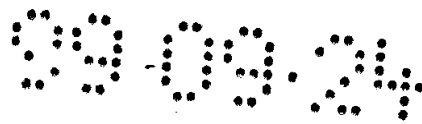
CSI、CSJ 各作为对方计数器的清零信号；

将两个计数器输出作或运算，输出即破坏点位置 PTT。

其工作原理结合图 3 进一步说明如下：

- ① 码组 6 对应 CSI=0, CSJ=1, 此时 CSJ 对应的计数器由“00”跃变至“01”，  
CSI 对应的计数器保持为“00”；
- ② 码组 7 对应 CSI=1, CSJ=0, 此时 CSJ 对应的计数器由“01”被 CSI=1 清零为“00”，  
CSI 对应的计数器由“00”跃变至“01”；
- ③ 码组 8 对应 CSI=1, CSJ=0, 此时 CSJ 对应的计数器由保持为“00”，  
CSI 对应的计数器“01”跃变至“10”；
- ④ 在下一个码组, 将有 CSI=0, CSJ=1, 此时 CSJ 对应的计数器由“00”跃变为“01”，  
CSI 对应的计数器被 CSJ=1 清零为“00”。

简写如下：



CSI 对应计数器 QA	CSJ 对应计数器 QB
①CSI=0 无效 CSJ=1 清零 00	计数 01
②CSI=1 计数 01 CSJ=0 无效	清零 00
③CSI=1 计数 10 CSJ=0 无效	清零 00
④CSI=0 无效 CSJ=1 清零 00	计数 01

由上可见，在码组 8 对应的第③个码元位置，由于连续两次计，QA 高位置"1"，作为破坏点的一次输出。



# 说明书附图

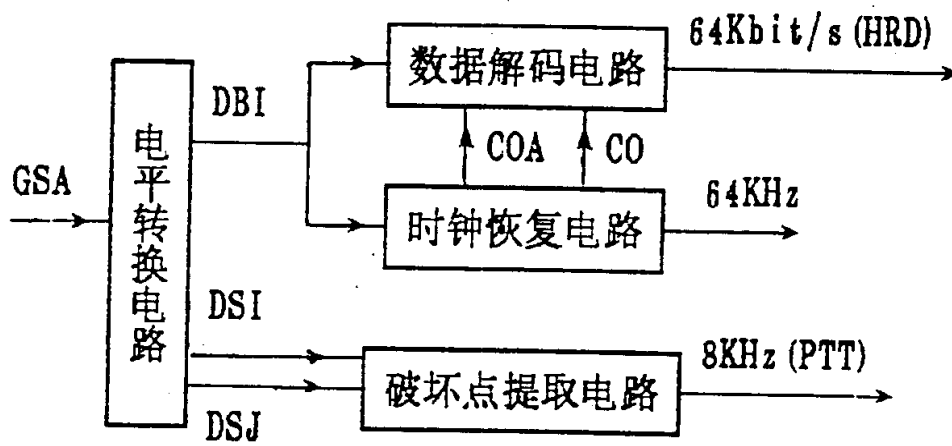


图 1

0000

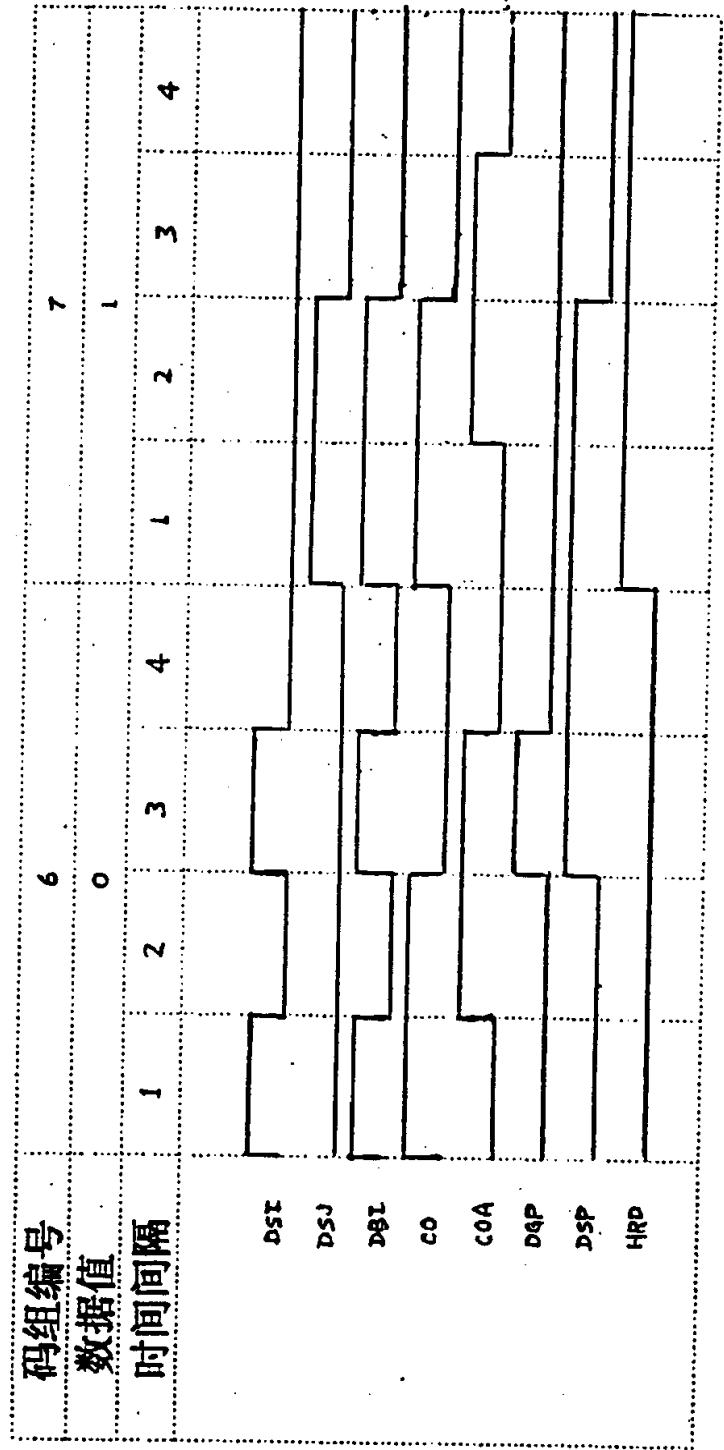


图 2

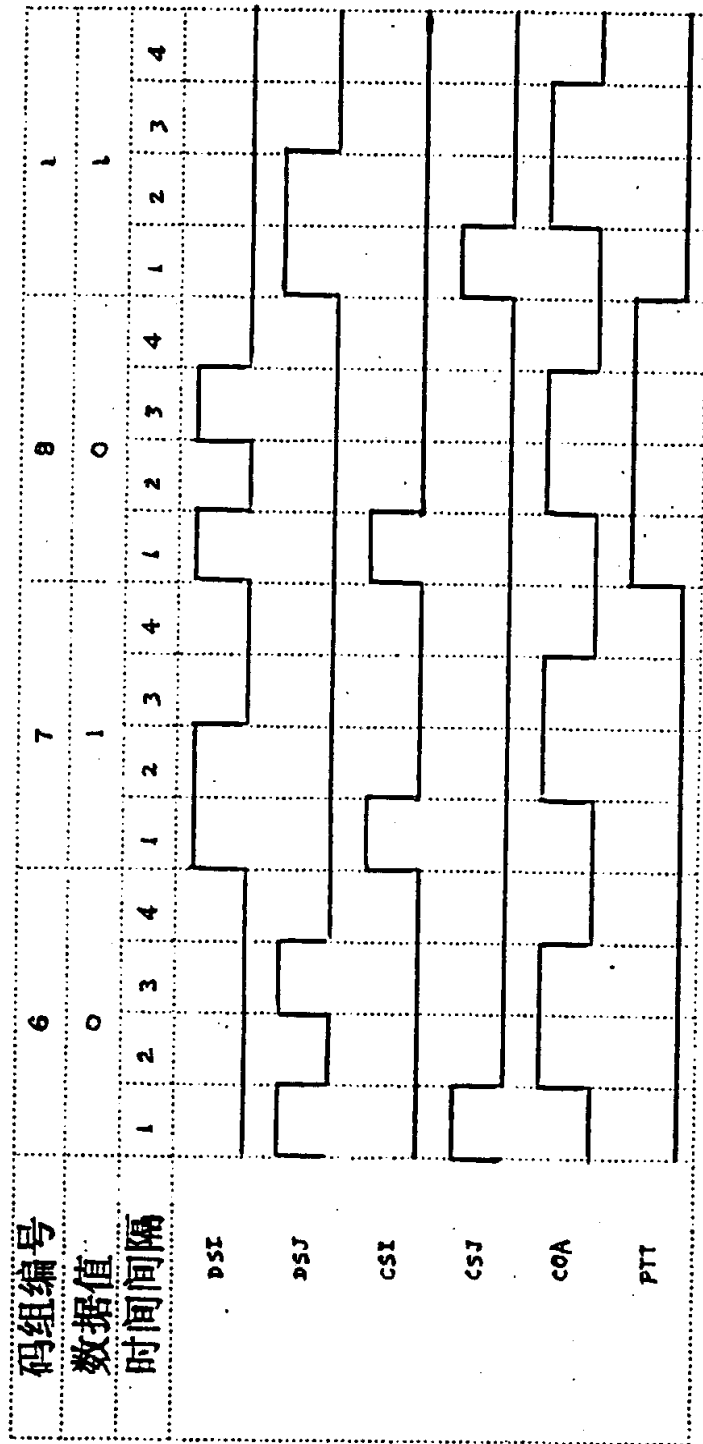


图 3

0000

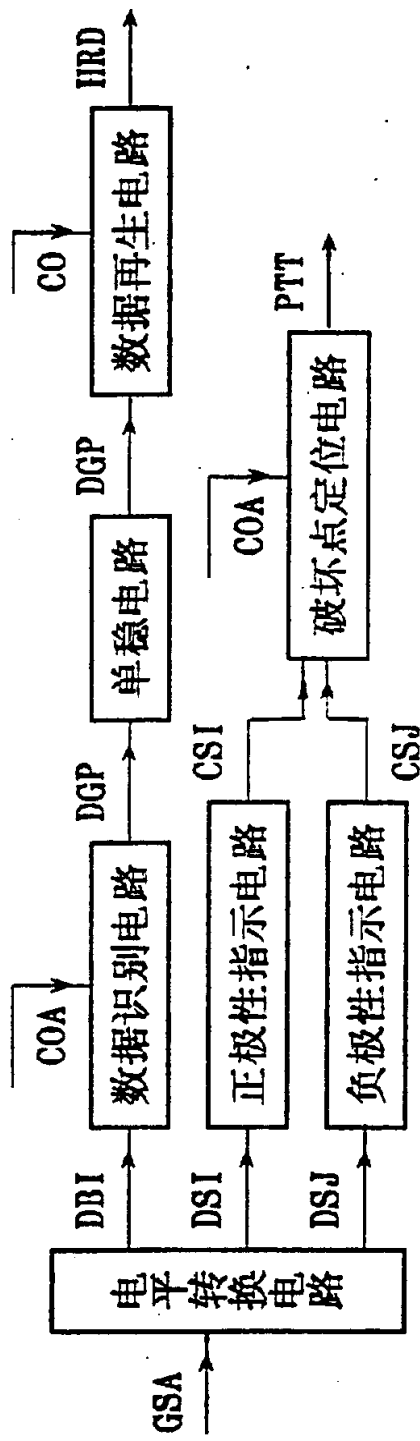


图 4