



(12) 实用新型专利

(10) 授权公告号 CN 214256151 U

(45) 授权公告日 2021.09.21

(21) 申请号 202020569123.8

(22) 申请日 2020.04.16

(30) 优先权数据

16/387,142 2019.04.17 US

(73) 专利权人 意法半导体股份有限公司

地址 意大利阿格拉布里安扎

(72) 发明人 A·伊奥里奥 E·沃尔皮

J·维奎里

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 董莘

(51) Int.Cl.

H02M 7/217 (2006.01)

H02M 1/088 (2006.01)

(ESM) 同样的发明创造已同日申请发明专利

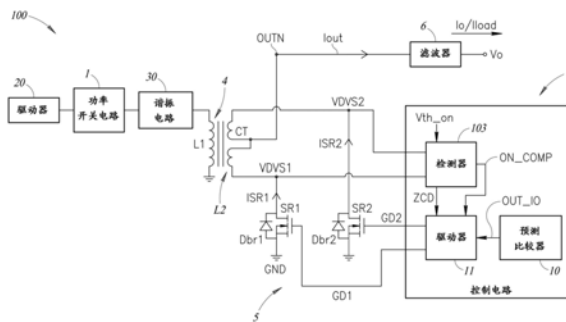
权利要求书2页 说明书18页 附图17页

(54) 实用新型名称

控制电路和开关变换器

(57) 摘要

本公开的实施例涉及控制电路和开关变换器。控制电路被配置为被耦合到开关变换器的同步整流电路系统,控制电路被配置为生成控制信号以控制同步整流电路系统中的至少一个同步整流晶体管的开关,每个至少一个同步整流晶体管包括控制节点和信号节点,并且控制电路被配置为针对开关变换器的每个开关周期中的至少一个同步整流晶体管被激活的一部分,感测跨每个至少一个同步整流晶体管的信号节点的电压,并且控制电路被配置为针对每个至少一个同步整流晶体管,在开关周期中的至少一个同步整流晶体管被激活的N个先前部分上,确定跨至少一个同步整流晶体管的信号节点的所感测的电压的平均。本公开的实施例能够防止开关变换器中的电流反向。



1. 一种控制电路,其特征在于,被配置为被耦合到开关变换器的同步整流电路系统,所述控制电路被配置为生成控制信号以控制所述同步整流电路系统中的至少一个同步整流晶体管的开关,每个至少一个同步整流晶体管包括控制节点和信号节点,并且所述控制电路被配置为针对所述开关变换器的每个开关周期中的所述至少一个同步整流晶体管被激活的一部分,感测跨每个至少一个同步整流晶体管的所述信号节点的电压,并且所述控制电路被配置为针对每个至少一个同步整流晶体管,在开关周期中的所述至少一个同步整流晶体管被激活的N个先前部分上,确定跨所述至少一个同步整流晶体管的所述信号节点的所感测的所述电压的平均。

2. 根据权利要求1所述的控制电路,其特征在于,所述控制电路被配置为生成第一控制信号和第二控制信号以分别控制第一同步整流晶体管和第二同步整流晶体管的开关,并且其中所述开关变换器的所述开关周期的所述部分包括第一开关半周期和第二开关半周期,在所述第一开关半周期中,所述第一同步整流晶体管被激活,并且在所述第二开关半周期中,所述第二同步整流晶体管被激活。

3. 根据权利要求2所述的控制电路,其特征在于,所述控制电路包括:

平均计算电路,被耦合到所述第一同步整流晶体管和所述第二同步整流晶体管中的每个同步整流晶体管的所述信号节点中的至少一个信号节点,所述平均计算电路被配置为在所述第一同步整流晶体管和所述第二同步整流晶体管的导通时间期间,感测跨所述第一同步整流晶体管和所述第二同步整流晶体管的所述信号节点的所述电压,并且所述平均计算电路被配置为针对所述第一同步整流晶体管和所述第二同步整流晶体管分别计算在所述N个先前第一开关半周期和第二开关半周期上的所感测的所述电压的对应的第一平均电压和第二平均电压;以及

峰值计算电路,被耦合到所述平均计算电路以接收所计算的所述第一平均电压和所述第二平均电压,并且所述峰值计算电路被配置为分别基于所计算的所述第一平均电压和所述第二平均电压,生成第一峰值电压参考阈值和第二峰值电压参考阈值。

4. 根据权利要求3所述的控制电路,其特征在于,所述峰值计算电路被配置为将所计算的所述第一平均电压和所述第二平均电压乘以阈值调整因子,以生成所述第一峰值电压参考阈值和所述第二峰值电压参考阈值。

5. 根据权利要求4所述的控制电路,其特征在于,所述控制电路还包括第一比较器和第二比较器,所述第一比较器和所述第二比较器各自包括第一输入,所述第一输入分别被耦合到所述第一同步整流晶体管和所述第二同步整流晶体管的所述信号节点中的一个信号节点,并且所述第一比较器和所述第二比较器各自包括第二输入,所述第二输入被耦合以分别接收针对所述第一同步整流晶体管和所述第二同步整流晶体管而生成的所述峰值电压参考阈值,并且其中所述第一比较器和所述第二比较器被配置为分别生成第一比较输出信号和第二比较输出信号,所述第一比较输出信号和所述第二比较输出信号中的每一个分别指示负载瞬变是否已经在当前的第一开关半周期和第二开关半周期中发生。

6. 一种开关变换器,其特征在于,包括:

开关电路系统,包括至少一个开关元件;

同步整流电路系统,被耦合到所述开关电路系统,所述同步整流电路系统包括至少一个同步整流晶体管,每个至少一个同步整流晶体管包括控制节点和信号节点;以及

控制电路,被耦合到每个至少一个同步整流晶体管,所述控制电路被配置为:

在所述开关变换器的开关周期中的所述至少一个同步整流晶体管被激活的每个部分期间,感测跨每个至少一个同步整流晶体管的所述信号节点的电压;以及

计算针对每个至少一个同步整流晶体管的、在所述开关周期中的所述至少一个同步整流晶体管被激活的N个先前部分上的所感测的所述电压的平均。

7. 根据权利要求6所述的开关变换器,其特征在于,所述控制电路被配置为基于如下项的比较来检测所述开关变换器中的负载电流瞬变:在所述开关周期中的所述至少一个同步整流晶体管被激活的所述部分期间,每个至少一个同步整流晶体管的所感测的所述电压;和所计算的针对所述至少一个同步整流晶体管的、在所述开关周期中的所述至少一个同步整流晶体管被激活的所述N个先前部分上的所感测的所述电压的所述平均。

8. 根据权利要求6所述的开关变换器,其特征在于,每个至少一个同步整流晶体管包括MOSFET,并且所述同步整流电路系统包括第一MOSFET和第二MOSFET。

9. 根据权利要求8所述的开关变换器,其特征在于,所述控制电路还被配置为实现适应性关断控制算法以控制所述第一MOSFET和所述第二MOSFET的开关。

10. 根据权利要求6所述的开关变换器,其特征在于,所述开关电路系统包括LLC谐振变换器电路系统。

控制电路和开关变换器

技术领域

[0001] 本公开总体上涉及控制电路和开关变换器,并且更具体地涉及用于防止或减少同步开关变换器的同步整流器中的电流反向的控制电路和开关变换器。

背景技术

[0002] 谐振变换器是一大类强制开关变换器,其特征在于存在半桥或全桥电路拓扑。例如,在半桥版本中,开关元件包括在输入电压与接地之间串联连接的高侧晶体管和低侧晶体管。通过方便地开关两个晶体管,具有与电源电压对应的高值、以及与接地对应的低值的方波可以生成。

[0003] 由半桥生成的方波借助于谐振电路被施加到变压器的初级绕组,该谐振电路包括至少一个电容器和一个电感器。变压器的次级绕组被连接到整流器电路和滤波器,以根据方波的频率提供输出直流电压。

[0004] 目前,最广泛地使用的谐振变换器之一是LLC谐振变换器。这个名称来自于该谐振电路采用两个电感器(L)和一个电容器(C)的事实。LLC谐振变换器的示意电路在图1中示出,并且该LLC谐振变换器包括耦合在输入电压 V_{in} 与接地GND之间的MOSFET晶体管M1和M2的半桥,M1和M2具有相应的体二极管Db1和Db2,并且该半桥由驱动器电路3驱动。在晶体管M1与M2之间的公共端子被连接到谐振网络2,谐振网络2包括一系列的第一电感 L_r 、第二电感 L_m 和电容器 C_r ;电感 L_m 与变压器10并联连接,变压器10包括次级绕组,该次级绕组连接到并联电容器 C_o ,并且通过整流器二极管D1和D2连接到电阻 R_{out} 。谐振变换器的输出电压 V_o 是跨并联电容器 C_o 和电阻 R_{out} 的电压,而输出或负载电流 I_o/I_{load} 流过电阻 R_{out} 。

[0005] 这些谐振变换器的特征是高变换效率(>95%是容易地可实现的)、在高频率处工作的能力、低EMI(电磁干扰)生成。

[0006] 在现有类型的变换器电路中,如在例如笔记本电脑的AC-DC适配器的情况下,高变换效率和高能量密度是被期望的。LCC谐振变换器是目前最好地满足此类期望的变换器。然而,可实现的最大效率受在变换器的次级侧上的整流器中的损耗的限制,该损耗其占总损耗的60%以上。

[0007] 为了显著降低连接到次级整流的损耗,“同步整流”技术被使用,其中整流器二极管(例如图1的D1和D2)由功率MOSFET代替。功率MOSFET具有适当低的接通电阻 R_{dson} ,使得跨每个MOSFET的电压降显著低于跨每个整流器二极管D1、D2的电压降。这些功率MOSFET以功能上等同于整流器二极管D1、D2方式来驱动。这种同步整流技术在传统变换器中被广泛适用(特别是在反激变换器和正激变换器中),对于该同步整流技术,也存在商用专用集成控制电路。这种同步整流技术也在谐振变换器中被利用(特别是在LLC变换器中),以便改进此类变换器的效率。

[0008] 图2示出了图1的变换器,除了整流器二极管D1、D2已被同步整流电路取代。在这种情况下,在代替整流器二极管D1和D2的地方存在两个同步整流晶体管SR1和SR2,同步整流晶体管SR1和SR2由同步整流驱动器80生成的两个信号G1和G2适当地驱动。在本说明书中,

晶体管SR1、SR2被称为同步整流器晶体管或同步整流晶体管。晶体管SR1、SR2被连接在中心抽头方次级绕组的中心抽头的端子与接地GND之间，而并联电容器Co和电阻Rout被设置在整流器输出节点OUTN与接地GND之间，输出节点OUTN耦合到中心抽头方次级绕组的另一端。从高水平功能的观点来看，图2的同步整流电路系统与在图1中由整流器二极管D1、D2形成的整流电路系统之间不存在差异。

[0009] 晶体管SR1和SR2具有相应的体二极管Dbr1和Dbr2，并且体二极管Dbr1和Dbr2均由同步整流器驱动器80驱动。谐振变换器的输出电压Vo是跨并联电容器Co和电阻Rout的电压，而输出电流Io/Iload 流过电阻Rout。在本说明书中，在存在多个给定部件的情况下，通常使用附图标记字母后跟随有附图标记数字来指代部件，诸如晶体管 SR1、SR2和体二极管 Dbr1、Dbr2。此外，当在本说明书中提及这些部件中的特定的一个部件时，将使用附图标记字母和附图标记数字二者（诸如SR1、SR2），而当提及部件中的所有或任何部件时，将仅使用附图标记字母（诸如SR和Dbr）。

[0010] 在操作中，晶体管SR1和SR2以这样的方式被驱动，以便由同步整流器驱动器80以某种频率交替地接通晶体管SR1和SR2。当晶体管SR1和SR2的一个晶体管的体二极管Dbr1、Dbr2开始导通时，相关晶体管被接通，而当电流接近零时，晶体管被关断。以这种方式，与使用二极管D1、D2相比，使用晶体管SR1、SR2导致更低的电压降，从而降低整流电路系统的功率耗散。

[0011] 特别地，如在图3中示出的，操作的三个阶段被示出，并且在附图中通过包围在圆圈中的字母而被标记为阶段A、阶段B和阶段C。当在晶体管SR1、SR2的一个晶体管（例如晶体管SR1）的漏极和源极端子之间的漏极到源极电压Vdvs低于阈值电压VTH1、并且相关的体二极管Dbr1开始导通时，阶段A被激活。当电压Vdvs下降到接通阈值电压 V_{TH_on} 之下、或低于接通阈值电压 V_{TH_on} 时，在固定延迟时间段 T_{PD_on} 之后，假设电压Vdvs被维持在接通阈值电压 V_{TH_on} 之下，晶体管SR1由同步整流器驱动器80接通。

[0012] 在晶体管SR1接通后，在阶段B中的操作开始，电压Vdvs具有 $Vdvs = -R_{dson} \times I_{sr}$ 的值，其中 R_{dson} 是晶体管SR1、SR2的接通电阻，并且 I_{sr} 是流过在变压器次级绕组的中心抽头CT与接地GND之间的电路路径的同步整流器电流。在本说明书中，该接通电阻可以被备选地被称为 R_{dson} 和 $R_{DS(on)}$ （即， $R_{dson} = R_{DS(on)}$ ）。

[0013] 当电压Vdvs的值高于第二阈值电压 V_{TH_OFF} 时，指示通过晶体管的电流 I_{sr} 接近于零，在阶段C中的操作开始，并且晶体管SR1由同步整流器驱动器80关断。然后，如在图3中图示的，相应的体二极管Dbr1再次导通，并且在晶体管SR1上的电压Vdvs进一步变为负。因为正 I_{SR1} 仍在流动，但现在是流过体二极管Dbr1，响应于晶体管 SR1关断，电压Vdvs进一步变为负，并且当该晶体管接通时，存在比跨源极和漏极的电压降（ $R_{dson} \times I_{sr}$ ）大的跨该体二极管的电压降。然后，电压Vdvs如在图3中所示地变化并且开始增加，并且当电压Vdvs达到阈值VTH2时，阶段C结束。一旦电压Vdvs达到阈值电压 V_{TH_ON} ，同步整流器驱动器80接通晶体管SR2，并且如刚针对晶体管SR1所描述的在阶段A、阶段B和阶段C中的操作对晶体管SR2发生。

[0014] 实际电压Vdvs取决于在晶体管SR1、SR2的源极和漏极端子上的寄生元件，以及印刷电路板（PCB）上的从晶体管SR1、SR2的漏极端子到变压器10的对应次级绕组的端子的导电轨迹或路径的寄生元件。特别地，电压Vdvs取决于与晶体管SR1、SR2的源极和漏极端子相

关联的寄生电感 L_{source} 和 L_{drain} 、以及来自印刷电路板 (PCB) 的晶体管SR1、SR2到变压器10的次级绕组的对应漏极端子的导电路径的寄生电感 L_{trace} 。因此,由于这些寄生电感,针对晶体管SR1、SR2的每个晶体管的实际漏极到源极电压是 $V_{dvs}(t) = -R_{dson} \times I_{sr} - (L_{drain} + L_{source} + L_{trace}) \times \frac{\partial I_{sr}}{\partial t}$ 。因此,这种寄生或杂散电感 L_{stray} 或 L_{SR} ($L_{SR} = L_{source} + L_{drain} + L_{trace}$) 使得跨每个晶体管SR1、SR2的实际感测到的电压 V_{dvs1} 、 V_{dvs2} 不同于由晶体管呈现的跨电阻 R_{dson} 的理想电压降,在以下描述中,该电压被表示为 $V_{dvs-ideal}$ 。

[0015] 如在图4中示出的,寄生电感 L_{SR} 的存在导致晶体管SR1、SR2的不期望地较早关断,其中示出了将杂散电感 L_{SR} 和期望的漏极到源极电压 $V_{dvs-ideal}$ 考虑在内的实际漏极到源极电压 V_{dvs} 。这导致体二极管Dbr1或Dbr2的剩余导通时间 T_{diode} 的增加,引起如图4中的时间LE所指示的效率损失,并且该损失是由于在时间LE期间的较长的持续时间内,较高的跨体二极管Dbr1或Dbr2的电压降所致。晶体管SR1在时间 $t1$ 而不是在时间 $t2$ 关断,其中 $(t2-t1) = LE$,导致体二极管Dbr1的剩余导通时间 T_{diode} 的这种不期望的增加。例如,体二极管Dbr1、Dbr2的典型实际剩余导通时间 T_{diode} 可以在1微秒数量级,而典型期望的剩余导通时间 T_{diode} 大约为60纳秒。

[0016] 存在已知的技术以避免晶体管SR1、SR2的较早关断,以改进变换器的效率。一个途径是通过在同步整流器驱动器80与晶体管SR1、SR2之间、以及在图5中示出的变压器10之前添加RC滤波器,来补偿由于寄生电感 L_{SR} 引起的时间延迟。这种补偿寄生电感 L_{SR} 的RC滤波器途径提供了简单的架构,其具有在硅面积和良好的性能方面的低成本。此外,该解决方案的效率取决于体二极管Dbr1、Dbr2的剩余导通时间 T_{diode} ,而剩余导通时间 T_{diode} 又取决于晶体管SR1、SR2的接通电阻、晶体管的寄生元件 (L_{source} 、 L_{drain}) 和晶体管所连接到的印刷电路板的寄生元件 (L_{trace})、温度以及流过晶体管的电流的压摆率 (slew rate)。

[0017] 已经被利用以补偿寄生电感 L_{SR} 的另一种途径被称为适应性关断控制算法。在这种途径中,其思想是利用实际测量或感测的漏极到源极电压 V_{dvs} 的提前 (anticipation) 效应或超前 (leading) 本质,电压 V_{dvs} 由寄生电感 L_{SR} 相对于理想漏极到源极电压所引起。这在图5中已见过,其中如上所限定的,实际感应电压为 $V_{dvs}(t) =$

$$-R_{dson} \times I_{sr} - (L_{drain} + L_{source} + L_{trace}) \times \frac{\partial I_{sr}}{\partial t}, \text{ 其中 } L_{SR} = (L_{drain} +$$

$L_{source} + L_{trace})$ 。寄生电感 L_{SR} 的影响是,如在图4中图示的,实际感测的电压 V_{dvs} 与晶体管SR的理想漏极到源极电压 V_{dvs} 不对应。该实际感测的电压 V_{dvs} 超前于或提前于理想漏极到源极电压 $V_{dvs-ideal}$,这意味着在时间上,实际感测的电压的过零发生早于理想漏极到源极电压的实际过零。适应性关断控制算法利用实际电压 V_{dvs} ,并且检测该信号的过零,并且测量针对晶体管SR的剩余体二极管Dbr导通时间。然后,该算法相对于检测到的过零,逐周期地增加可编程的关断延迟,以最小化体二极管Dbr的剩余导通时间 T_{diode} ,并且由此减少所产生的二极管的功率损耗,从而改进变换器的效率。在美国专利号9,356,535中更详细地描述了适应性关断控制算法,该专利以不与本文所阐明的具体教导和定义不一致的范围,以其整体并入本文。然而,无论是通过适应性关断控制算法还是其他类型的控制算法

来控制,都存在对同步谐振开关变换器中的同步整流开关的改进的控制的需要。

实用新型内容

[0018] 为了克服上述问题,本公开提供了旨在解决上述问题的至少一部分的技术方案。

[0019] 在一个方面中,提供了一种控制电路,其被配置为被耦合到开关变换器的同步整流电路系统,控制电路被配置为生成控制信号以控制同步整流电路系统中的至少一个同步整流晶体管的开关,每个至少一个同步整流晶体管包括控制节点和信号节点,并且控制电路被配置为针对开关变换器的每个开关周期中的至少一个同步整流晶体管被激活的一部分,感测跨每个至少一个同步整流晶体管的信号节点的电压,并且控制电路被配置为针对每个至少一个同步整流晶体管,在开关周期中的至少一个同步整流晶体管被激活的N个先前部分上,确定跨至少一个同步整流晶体管的信号节点的所感测的电压的平均。

[0020] 在一些实施例中,该控制电路被配置为生成第一控制信号和第二控制信号以分别控制第一同步整流晶体管和第二同步整流晶体管的开关,并且其中开关变换器的开关周期的部分包括第一开关半周期和第二开关半周期,在第一开关半周期中,第一同步整流晶体管被激活,并且在第二开关半周期中,第二同步整流晶体管被激活。

[0021] 在一些实施例中,该控制电路包括:平均计算电路,被耦合到第一同步整流晶体管和第二同步整流晶体管中的每个同步整流晶体管的信号节点中的至少一个信号节点,平均计算电路被配置为在第一同步整流晶体管和第二同步整流晶体管的导通时间期间,感测跨第一同步整流晶体管和第二同步整流晶体管的信号节点的电压,并且平均计算电路被配置为针对第一同步整流晶体管和第二同步整流晶体管分别计算在N个先前第一开关半周期和第二开关半周期上的所感测的电压的对应的第一平均电压和第二平均电压;以及峰值计算电路,被耦合到平均计算电路以接收所计算的第一平均电压和第二平均电压,并且峰值计算电路被配置为分别基于所计算的第一平均电压和第二平均电压,生成第一峰值电压参考阈值和第二峰值电压参考阈值。

[0022] 在一些实施例中,峰值计算电路被配置为将所计算的第一平均电压和第二平均电压乘以阈值调整因子,以生成第一峰值电压参考阈值和第二峰值电压参考阈值。

[0023] 在一些实施例中,该控制电路还包括第一比较器和第二比较器,第一比较器和第二比较器各自包括第一输入,第一输入分别被耦合到第一同步整流晶体管和第二同步整流晶体管的信号节点中的一个信号节点,并且第一比较器和第二比较器各自包括第二输入,第二输入被耦合以分别接收针对第一同步整流晶体管和第二同步整流晶体管而生成的峰值电压参考阈值,并且其中第一比较器和第二比较器被配置为分别生成第一比较输出信号和第二比较输出信号,第一比较输出信号和第二比较输出信号中的每一个分别指示负载瞬变是否已经在当前的第一开关半周期和第二开关半周期中发生。

[0024] 在另一方面中,提供了一种开关变换器,包括:开关电路系统,包括至少一个开关元件;同步整流电路系统,被耦合到开关电路系统,同步整流电路系统包括至少一个同步整流晶体管,每个至少一个同步整流晶体管包括控制节点和信号节点;以及控制电路,被耦合到每个至少一个同步整流晶体管,控制电路被配置为:在开关变换器的开关周期中的至少一个同步整流晶体管被激活的每个部分期间,感测跨每个至少一个同步整流晶体管的信号节点的电压;以及计算针对每个至少一个同步整流晶体管的、在开关周期中的至少一个同

步整流晶体管被激活的N个先前部分上的所感测的电压的平均。

[0025] 在一些实施例中,控制电路被配置为基于如下项的比较来检测开关变换器中的负载电流瞬变:在开关周期中的至少一个同步整流晶体管被激活的部分期间,每个至少一个同步整流晶体管的所感测的电压;和所计算的针对至少一个同步整流晶体管的、在开关周期中的至少一个同步整流晶体管被激活的N个先前部分上的所感测的电压的平均。

[0026] 在一些实施例中,每个至少一个同步整流晶体管包括MOSFET,并且同步整流电路系统包括第一MOSFET和第二MOSFET。

[0027] 在一些实施例中,控制电路还被配置为实现适应性关断控制算法以控制第一MOSFET和第二MOSFET的开关。

[0028] 在一些实施例中,开关电路系统包括LLC谐振变换器电路系统。

[0029] 当谐振变换器经历在由谐振变换器提供的负载电流中的瞬变时,该控制电路避免了通过整流器的同步整流器晶体管的电流的反转或“电流反向”。

附图说明

[0030] 为了更好地理解本公开,现在仅通过非限制性示例并参考附图的方式描述本公开的优选实施例,其中:

[0031] 图1是根据现有技术的具有中心抽头的次级绕组的LLC型谐振变换器、以及借助于二极管的输出电流的整流的图;

[0032] 图2是根据现有技术的具有中心抽头的次级绕组的LLC型谐振变换器、以及借助于同步整流器的输出电流的整流的图;

[0033] 图3示出了流过图2的整流器的晶体管的电流波形,以及该晶体管的漏极到源极电压;

[0034] 图4示出了流过图2中的整流器的一个晶体管的电流的波形,其中晶体管被过早地关断;

[0035] 图5示出了具有寄生元件、RC补偿滤波器和旁路二极管的图2 的整流器的晶体管;

[0036] 图6是根据本公开的优选实施例的开关变换器的框图,该开关变换器包括用于开关变换器的整流器的控制设备;

[0037] 图7是现有技术的同步整流器的晶体管的漏极到源极电压的波形的时间图;

[0038] 图8是在图6的整流器中的同步整流器晶体管中的一个同步整流晶体管的示意性表示,其包括与该晶体管相关联的杂散电感;

[0039] 图9是示出杂散电感对图8的同步整流器晶体管的关断时间的影响的信号定时图;

[0040] 图10是图示在生成控制图8的同步整流器晶体管的关断的栅极驱动信号中的适应性关断控制算法的功能框图;

[0041] 图11A和图11B是信号定时图,其图绘地图示了参考图8至图 10所描述的适应性关断控制算法的操作;

[0042] 图12A至图12C是图示适应性关断控制算法在多个连续开关半周期上的操作的信号定时图;

[0043] 图13A和图13B图示通过同步整流器晶体管的同步整流电流的电流反向,其中开关变换器经历了满负载到零负载电流瞬变;

[0044] 图14是示出了作为开关变换器的开关频率的函数的、针对提前时间的线性近似的三个不同值的绘图,连同实际提前时间的信号定时图。

[0045] 图15是在图14的作为开关频率的函数的实际提前时间及其线性近似之间的差异的信号定时图;

[0046] 图16A至图16C是图示了在适应性关断控制算法的上下文中,开关频率的改变所导致的提前时间的变化如何导致电流反向的信号定时图;

[0047] 图17A至图17F是根据本公开的一个实施例的信号定时和功能图,其图示了用于控制图6的开关变换器的整流器的操作的电流反向防止控制算法,以防止即使在存在负载电流瞬变的情况下的电流反向;

[0048] 图18是图示根据本公开的一个实施例的电流反向防止控制算法的阈值计算电路的功能框图;以及

[0049] 图19是根据本公开的一个实施例的图17F的比较器的一个实施例的功能框图。

具体实施方式

[0050] 本公开的实施例涉及用于谐振变换器(诸如LLC谐振变换器)的整流器的电流反向防止控制算法,如下将更详细地描述地,其避免了当谐振变换器经历负载电流中的高到低瞬变时,通过谐振变换器的同步整流器晶体管的电流反转或“电流反向”。本公开的实施例可以与适应性关断控制算法一起被利用,但也可与控制谐振变换器的同步整流器晶体管的其他方法一起被利用。这些实施例利用跨越每个同步整流器晶体管SR的实际漏极到源极电压 $V_{dvs}(t)$,如上所讨论的,其将相关联的杂散电感 L_{SR} 考虑在内,其中该实际电压 $V_{dvs}(t)$ 与一阈值进行比较,如下文将更详细地描述的,该阈值基于N个先前的周期的电压 $V_{dvs}(t)$ 的感测值、逐周期地来计算。该途径补偿了作为开关变换器的开关频率 ω_{sw} 的函数的、实际漏极到源极电压 $V_{dvs}(t)$ 值中的变化。回想一下,漏极到源极电压 $V_{dvs}(t) = (-R_{dson} \times I_{sr} - L_{SR} \times \partial I_{sr} / \partial t)$ 、并且因此由杂散电感 L_{SR} 引起的漏极到源极电压 $V_{dvs}(t)$ 的分量 $(L_{SR} \times \frac{\partial I_{sr}}{\partial t})$ 作为开关频率 ω_{sw} 的函数而变化,而这如下将更详细地描述的,又进而使漏极到源极电压 $V_{dvs}(t)$ 的值作为开关频率的函数。在本文包含的等式中,杂散电感 L_{SR} 可以被表示为LSR。

[0051] 如上文所述的,本公开的实施例不限于与适应性关断控制算法一起被利用。然而,在本公开中,所描述的实施例将结合适应性关断控制算法来描述,以提供对本公开的实施例的更好理解和示例实现方式。因此,在更详细地讨论本公开的实施例之前,将首先提供适应性关断控制算法的简要描述。如上文所述,在美国专利号9,356,535中详细描述了适应性关断控制算法,并且该专利以在不与本文所述的具体教导和定义不一致的程度上以其整体并入本文。

[0052] 参照图6,根据本公开的一个实施例的开关变换器100的整流器5的控制电路7被示出。开关变换器100包括功率开关电路系统,该功率开关电路系统包括由DC电压供电的功率开关电路块1,并且功率开关电路块1被配置为在第一驱动器20的控制下生成具有某种频率的方波。例如,功率开关电路块1可以具有半桥或全桥电路拓扑(通常是MOSFET晶体管的),但是其他功率开关电路块可以等同地适用。开关变换器100的功率开关电路系统还包括连

接到变压器4的初级绕组的阻抗30,其中该变换器适于将输出或负载电流 I_o/I_{load} 提供给负载(在图6中未示出)。在图6的实施例中,开关变换器100是LLC 谐振变换器,并且阻抗30是谐振电路。尽管本文将描述控制电路7 为执行电流反向防止控制算法组合有适应性关断控制算法,来控制同步整流晶体管SR1、SR2的关断,控制电路还可以实现其它关断控制方法组合有电流反向防止控制算法,来控制晶体管SR1、SR2的关断。

[0053] 由功率开关电路块1生成的方波被应用于被调谐至方波的基频的谐振电路30。在这种方式中,因为谐振电路30的选择性频率特性,谐振电路主要对该基频分量作出响应,并且以可忽略的程度对高次谐波做出响应。因此,循环功率可以通过改变方波的频率来调制,同时保持占空比恒定在50%处,并且,根据谐振电路30的配置,与功率流相关联的电流和/或电压将具有为正弦的模式、或在间隔处为正弦的模式。

[0054] 谐振电路30耦合到变压器4,变压器4包括初级绕组L1和中心抽头的次级绕组L2。至少包括晶体管SR1、SR2的整流器5耦合到变压器4的中心抽头方次级绕组L2。优选地,整流器5包括一对晶体管SR1和SR2,其具有与中心抽头方次级绕组L2的两个部分的相应的端子连接的漏极端子、以及与接地参考GND连接的源极端子。然后,次级绕组L2的中心抽头CT连接到滤波器6,该滤波器6将输出或负载电流 I_o/I_{load} 和输出电压 V_o 提供给负载(未示出),该负载耦合到滤波器。滤波器6可以是通常的电容器和电阻的并联连接。类似在图1示出的现有技术整流器配置,两个晶体管SR1、SR2优选地是具有相应的体二极管Dbr1、Dbr2并且具有适当的低接通电阻 R_{on} 的 MOSFET晶体管,使得跨每个晶体管的漏极到源极电压降显著低于跨二极管的电压降。

[0055] 控制电路7借助于两个控制信号GD1和GD2同步驱动晶体管 SR1和SR2来控制整流器5,控制信号GD1和GD2分别应用于晶体管SR1和SR2的控制端子,以控制晶体管SR1和SR2的开关。控制电路7接收晶体管SR1、SR2的漏极到源极电压 V_{dvs1} 和 V_{dvs2} 作为输入,并且基于漏极到源极电压 V_{dvs1} 、 V_{dvs2} 生成针对晶体管SR1、SR2的两个控制信号GD1、GD2。电流 I_{SR1} 、 I_{SR2} 在图6中示出的方向(即流向变换器100的输出节点OUTN)上被定义为正。下面描述由控制电路7使用的一组另外的信号和其它时间参数。

[0056] 控制电路7包括驱动电路11,该驱动电路11将控制信号GD1、GD2提供给晶体管SR1、SR2,并且该驱动电路11优选地包括预测比较器电路10。驱动电路11接收检测电路103的输出信号,检测电路103接收晶体管SR1、SR2的漏极到源极电压 V_{dvs1} 或 V_{dvs2} 。

[0057] 检测电路103被配置为检测漏极到源极电压 V_{dvs1} 、 V_{dvs2} 何时越过电压阈值 V_{th_on} ,并且响应于漏极到源极电压 V_{dvs1} 、 V_{dvs2} 达到 V_{th_on} 阈值而提供输出信号ON_COMP。电压阈值 V_{th_on} 具有与晶体管SR1、SR2的体二极管Dbr1、Dbr2的阈值电压相关的值。在一个实施例中,检测电路103包括第一比较器电路,其被配置为提供输出信号ON_COMP作为输出脉冲信号,该输出脉冲信号从响应于漏极到源极电压 V_{dvs1} 、 V_{dvs2} 变为小于固定电压阈值 V_{th_on} 开始,到响应于漏极到源极电压 V_{dvs1} 、 V_{dvs2} 增大且达到该相同的固定电压阈值 V_{th_on} 结束。检测电路103还被配置为检测晶体管SR1、SR2 的漏极到源极电压 V_{dvs1} 、 V_{dvs2} 的过零事件,并且响应于检测到此类过零事件而提供输出信号ZCD。为了提供ZCD信号,在一个实施例中,检测电路103包括第二比较器电路,该第二比较器电路被配置为响应于漏极到源极电压 V_{dvs1} 、 V_{dvs2} 越过零电压电平(即在一个实施例中的参考电平接地GND),提供输出脉冲作为过零信号ZCD。

[0058] 开关变换器100的开关周期SW包括两个开关半周期SC1、SC2。如在图7的信号图中所见的,开关变换器100的每个开关半周期SC1、SC2交替地涉及晶体管SR1、SR2的一个晶体管,并且特别地。每个半周期SC1、SC2在漏极到源极电压Vdvs1、Vdvs2等于阈值VTH1 时开始,并且在当漏极到源极电压Vdvs1、Vdvs2达到阈值VTH2时结束。现在参考图6和图7,晶体管SR1在开关周期SW的第一半周期SC1期间操作(即接通),而晶体管SR2在开关周期SW的第二半周期SC2期间操作(即接通)。如在图7中示出的,针对这些电压和电流,漏极到源极电压Vdvs1、Vdvs2和MOSFET晶体管SR1和SR2 的电流ISR1、ISR2随时间而变化,下面将参考图11A至图11B、以及图12A至12C更详细地描述。在半周期SC2期间电流ISR2与电压 Vdvs2的相关关系与在半周期SC1期间电流ISR1与电压Vdvs1的相关关系相同。每个开关周期SW包括变换器100的第一半周期和第二半周期SC1、SC2,并因此包括交替地接通和关断晶体管SR1、SR2。因此,变换器100的每个开关半周期SC1、SC2涉及激活晶体管SR1、SR2中的一个晶体管,特别是每个半周期SC1、SC2响应于漏极到源极电压Vdvs1、Vdvs2变为等于第一阈值VTH1而开始,并且响应于相同的漏极电压Vdvs1、Vdvs2达到第二阈值Vth2而结束。例如,在一个应用中,其中开关周期与100KHz的开关频率相对应,半周期SC1、SC2的每个半周期等于5微秒(即,10微秒的开关周期)。

[0059] 如上文所述的,被统称为杂散电感 L_{SR} 的寄生电感Ldrain、Lsource 和Ltrace的存在确定了晶体管SR1、SR2的不期望的过早关断 T_{off} ,其发生在如图4中示出的时间 t_1 处,其中实际漏极到源极电压Vdvs (即Vdvs1或Vdvs2) 和期望的或理想电压Vdvs-ideal被示出。由于跨体二极管Dbr1、Dbr2的电压降较高,这增加了体二极管Dbr1、Dbr2 的剩余导通时间 T_{diode} ,从而导致效率损失,这在图4中被指示为持续时间LE。例如,通常的启动体二极管剩余导通时间 T_{diode} 可以在1 微秒的数量级(即持续时间LE),而针对理想漏极到源极电压 Vdvs-ideal,通常的期望体二极管剩余导通时间值在60纳秒数量级。

[0060] 在本公开的实施例中,在开关周期SW的开始处,并且特别是在开关半周期SC1、SC2的开始处,其中如先前参考图6所讨论的,晶体管SR1、SR2接通,根据本公开的实施例的控制电路7被配置为在开关半周期SC1、SC2开始时设置晶体管SR1、SR2的新的关断时刻 T_{off1} 。如在先前并入本文的美国专利号9,356,535中更详细地描述的,新的关断时刻 T_{off1} 被设置为使得关断时刻紧接在关于漏极到源极电压Vdvs1的过零事件的大时间间隔T1之前。新的关断时刻 T_{off1} 具有固定值,优选地是半周期SC1、SC2的一百分比。新的关断时刻 T_{off1} 适当地选取,以将在晶体管SR1、SR2完全关断发生之前的晶体管SR1、SR2的栅极驱动放电时间和其他附加因素考虑在内。合理的关断时刻 T_{off1} 可以等于开关半周期SC1、SC2的70%,但其他合适的百分比也可以被使用以便设置关断时刻 T_{off1} 。

[0061] 用于控制同步开关变换器中的整流电路的适应性关断控制算法和交替控制算法提供了对开关变换器充分的控制,但在许多应用中,负载电流Iload中的瞬变会导致对该变换器的不充分的控制。负载电流Iload中的瞬变可以发生,例如,在操作期间负载被连接到开关变换器或从开关变换器断开连接的情况下,诸如在开关变换器是用于电子设备(例如膝上型计算机或智能电话)的电源的一部分的情况下。大或高负载电流瞬变导致经调节的输出电压Vo中的变化,然后其由开关变换器的控制电路系统进行补偿,以维持输出电压Vo的期望值。控制电路系统响应于负载电流Iload中的瞬变、以及所导致的输出电压Vo中的变化,来调整开关变换器的开关频率。随着取决于瞬变是否导致负载电流Iload的增加或减少

的开关频率的增加或减少,适应性关断控制算法继续使用可编程的关断延迟的最后值,来关断同步整流器晶体管SR。

[0062] 响应于负载电流 I_{load} 中的瞬变的适应性关断控制算法的这种操作可能导致同步整流器晶体管SR在电流 I_{sr} 的电流过零之后被关断,这可能导致开关变换器中的“电流反向”(current inversion)。在同步整流器控制器关断晶体管SR之前,通过同步整流晶体管SR的同步整流器电流 I_{sr} 反转方向或“反向”的情况下,电流反向发生。电流反向应被避免,这是因为当电流 I_{sr} 反转方向,即变为负,并且在与图2中示出的正方向相反的方向上流动时,该负电流 I_{sr} 从整流器输出节点OUTN流向接地GND,并且由此使整流器输出节点放电。输出节点OUTN的这种放电浪费了被提供给整流器输出节点的电荷,降低了变换器的效率。如本领域技术人员将理解的,除了降低开关变换器的效率,电流反向还可以导致开关变换器的故障或失效,并且应当因此针对这些另外的原因而被避免。

[0063] 在操作中,适应性关断控制算法有利地采用杂散电感 L_{SR} 的提前效果,即与耦合到晶体管SR的印刷电路板(PCB)轨迹相关联的杂散电感 L_{trace} 、以及晶体管SR的封装的杂散电感 L_{source} 、 L_{drain} ,这现在将参照图8和图9更详细地讨论。图8是晶体管SR和相关联的杂散电感 L_{SR} 的示意性表示。理想漏极到源极电压 $V_{dvs-ideal}$ (见图4)是在图8中的节点d处的电压,而实际漏极到源极电压 $V_{dvs}(t)$ 是在节点d'处的电压,即理想电压 $V_{dvs-ideal}(-R_{dson} \times I_{SR})$ 加上跨杂散电感 L_{SR} 的电压($-LSR \times \partial I_{sr} / \partial t$)。图9中图示了理想电压 $V_{dvs-ideal}$ 和实际电压 $V_{dvs}(t)$ 。在图9中,垂直轴线是电压,水平轴线是时间。寄生电感 L_{SR} 的影响在图9中图示。现实或实际电压 $V_{dvs}(t)$ 相对于理想电压 $V_{dvs-ideal}$ 的在时间上被提前或超前。这导致实际电压 $V_{dvs}(t)$ 的过零发生在理想电压 $V_{dvs-ideal}$ 的过零之前。在本说明书的上下文中,术语“过零”用于意指这样的点,该点指示电压 $V_{dvs-ideal}$ 或 $V_{dvs}(t)$ 接近零,并且因此对应于如图9中通过水平虚线所图示的、以及并且如先前参考图4所讨论的阈值 V_{TH-OFF} 。实际电压 $V_{DVS}(t)$ 的这种提前或超前特性借助于过零比较器(参见图6的检测器103)在适应性关断算法中利用。以这种方式,适应性关断控制算法在通过晶体管的电流 I_{SR} 达到零值或变为负值之前(即,在电流反向之前)起作用以关断晶体管SR。

[0064] 在操作中,在每个开关半周期SC中,适应性关断控制算法初始地设置针对在该半周期期间有效的对应晶体管SR的估计的关断时间 T_{off} 。晶体管SR的体二极管Dbr的剩余导通时间 T_{diode} 然后被测量,以确定该导通时间是否小于时间阈值 T_{th1} 。只要体二极管Dbr的剩余导通时间 T_{diode} 大于时间阈值 T_{th1} ,则该算法逐周期递进地增加晶体管SR的关断时间 T_{off} 的可编程延迟PD,并且再次测量晶体管体二极管Dbr的导通时间 T_{diode} 。随着可编程延迟PD递进地增加,在图9中的实际电压 $V_{dvs}(t)$ 信号的过零从时间 $t1$ 朝向时间 $t2$ 移动,这对应于理想电压 $V_{dvs-ideal}$ 的过零。实际电压 $V_{dvs}(t)$ 的过零点随着可编程延迟PD递进地增加的这种移动在图9中通过箭头900来图示。因此,适应性关断控制算法递进地增加晶体管SR的关断时间 T_{off} 的可编程延迟PD,直到晶体管的体二极管Dbr的测量导通时间 T_{diode} 近似等于针对理想电压 $V_{dvs-ideal}$ 的体二极管Dbr的导通时间 $T_{diode-ideal}$ 。因此,时间阈值 T_{th1} 对应于导通时间 $T_{diode-ideal}$,其中可编程延迟PD被递进地调整以延迟晶体管SR的关断,直到实际导通时间 T_{diode} 近似等于理想导通时间 $T_{diode-ideal}$,其对应于在图9中的时间 $t2$ 处发生的实际电压的过零 $V_{dvs}(t)$ 。以这种方式,适应性关断控制算法通过杂散电感时间 T_{LSTRAY} 来调整晶体管SR的实际关断时间 T_{off} ,如在图9中示出的,该杂散电感时间 T_{LSTRAY} 对应于从时间 $t1$ 到

时间 t_2 的时间间隔。

[0065] 如刚参考图8和图9所描述的适应性关断控制算法的操作在图10的功能图中被表示。实际电压 $V_{dvs}(t)$ 与阈值 V_{TH-OFF} 进行比较,阈值 V_{TH-OFF} 在图中表示为比较器,并且当检测到 $V_{dvs}(t) = V_{TH-OFF}$ 时,生成初始栅极驱动信号 GD' 。初始栅极驱动信号 GD' 然后利用可编程延迟PD如前文所述的进行延迟,以产生经延迟的栅极驱动信号 GD'' ,该经延迟的栅极驱动信号 GD'' 然后通过驱动器DRV被提供作为实际栅极驱动信号 GD ,其被提供以控制同步整流器晶体管SR的开关。可编程延迟PD递进地调整(即增加或减少),以延迟晶体管SR的关断,直到晶体管SR的体二极管Dbr的实际导通时间 T_{diode} 近似等于理想导通时间,如上所述,体二极管Dbr在没有杂散电感 L_{SR} ($L_{SR} = L_{source} + L_{drain} + L_{trace}$)的情况下将具有该理想导通时间。

[0066] 图11A和图11B是信号定时图,其图绘地图示了如刚参考图8至图10所述的适应性关断控制算法的操作。在图11A中,示出了针对在一个半周期SC期间通过同步整流晶体管SR中的一个同步整流晶体管的电压 V_{dvs} 和电流 I_{SR} ,在该半周期期间,该晶体管被接通然后被关断。图11B示出了栅极驱动信号 GD ,该栅极驱动信号 GD 由控制电路7(图6)施加以在时间 t_1' 处接通晶体管SR,以开始半周期SC,并且初始地在时间 t_1 处关断、以及在此之后在相对于时刻 t_1 递进地延迟的时间处关断该晶体管,直到晶体管SR的关断在时间 t_2 发生。时间 t_2 对应于晶体管SR的期望关断时间,意味着这是使晶体管SR的体二极管Dbr的导通时间 T_{diode} 等于如在图11A中所指示的理想导通时间 $T_{diode-ideal}$ 的时间。在图11A中,垂直轴线表示电压或电流(V/I),即电压 V_{dvs} 和电流 I_{SR} ,而水平轴线表示时间 t 。类似地,在图11B中,垂直轴线表示电压V,而水平轴线表示时间 t 。

[0067] 如在图11B中所见的,栅极驱动信号 GD 初始地在时间 t_1 变低以关断晶体管SR。然后,适应性关断控制算法通过比较电压 $V_{dvs}(t)$ 和阈值 V_{TH-OFF} 来测量体二极管Dbr的导通时间,这在美国专利号9,356,535中更详细描述。当该算法在时间 t_1 处的初始关断之后测量导通时间 T_{diode} 时,该算法确定导通时间 T_{diode} 是否大于时间 $T_{diode-ideal}$ ($T_{diode} > T_{diode-ideal}$),并且如果是,则该算法在时间 t_1 处的初始关断时间上添加递进延迟 T_{step} ,所以新的关断时间 $T_{off} = (T_{off1} + T_{step})$ 。该算法通过开关变换器100的每半周期SC进行递进延迟 T_{step} ,以继续递增关断时间 T_{off} 。该算法针对每个半周期SC1、SC2执行该操作,其中在第一半周期SC1中对晶体管SR1进行控制、测量和调整关断时间 T_{off} ,并且在第二半周期SC2中对晶体管SR1进行控制、测量和调整关断时间 T_{off} 。本说明书描述针对一个半周期SC的适应性关断控制算法的操作,并且适用于分别在半周期SC1和SC2期间对晶体管SR1和SR2中的每个晶体管的控制。

[0068] 图11B图示了适应性关断控制算法的操作,该操作将栅极驱动信号 GD 从时间 t_1 递进地延迟到时间 t_2 ,在时间 t_2 处,导通时间 T_{diode} 近似等于理想导通时间 $T_{diode-ideal}$ ($T_{diode} = T_{diode-ideal}$)。每个垂直虚线表示在相应时间步 T_{step} 添加到先前关断时间 T_{off} 处的关断时间 T_{off} ,其中该算法在每个半周期SC添加递进延迟 D_{step} 以提供新的关断时间 T_{off} 。换言之,可编程延迟PD(图10)通过每半周期SC的递进延迟 D_{step} 递进地调整,以减少导通时间 T_{diode} 。该可编程延迟PD在图11B中表示为在时间 t_1 和 t_2 之间指向右方的箭头PD。如在图11B中图示的,减少晶体管SR的体二极管Dbr的导通时间 T_{diode} 以最小化导通时间 T_{diode} 直到($T_{diode} = T_{diode-ideal}$),也对应于将每半周期SC晶体管SR的导通时间最大化。

[0069] 上面参考图8至图10、以及图11A至图11B而阐述的适应性关断控制算法的描述忽略了晶体管SR的栅极放电时间、以及与晶体管的实际操作相关联的附加因素。简而言之，每个晶体管SR需要有限的时间来关断，因此不会响应于栅极驱动信号GD而立即完全关断。因此，栅极驱动信号GD的实际去激活发生在晶体管SR的期望关断时间之前，以补偿栅极放电时间和其他因素以确保晶体管在期望关断时间处完全关断，这也在美国专利号9,356,535中更详细地描述。

[0070] 图12A至图12C是图示适应性关断控制算法在多个连续开关半周期SC上的操作的信号定时图。在这些图中的每个图中，水平轴线是时间 t ，垂直轴线表示电流 I 和电压 V ，其中电流 I_{SR} 和电压 V_{dvs} 信号在每个信号图中被示出。每个开关半周期SC被分别标记有：在图12A中示出的初始半周期CYCLE[0]、在图12B示出下一半周期 CYCLE[1]，以及在图12C中示出的第 n 半周期CYCLE[n]。受控制的晶体管SR的理想电压 $V_{dvs-ideal}$ 在图12A至图12C中被图示为虚线。在图12A中的半周期CYCLE[0]期间，实际电压 $V_{dvs}(t)$ 的过零被检测到，并且响应于检测到实际电压 $V_{dvs}(t)$ 的过零，过零检测信号ZCD 在时间 t_1 被激活。响应于在时间 t_1 处ZCD信号变为有效，控制电路 7(图6)使在半周期CYCLE[0]期间受控制的对应晶体管SR的栅极驱动信号GD去激活，这也在该图中被示出。半周期CYCLE[0]的情形对应于控制电路7控制整流器5(图6)中的晶体管SR的初始操作，即在适应性关断控制算法已经开始对栅极驱动信号GD进行延迟，以开始减少晶体管SR的体二极管Dbr的导通时间 T_{diode} 之前。

[0071] 在图12B中，在半周期CYCLE[1]期间，适应性关断控制算法将栅极驱动信号GD相对于在周期CYCLE[0]中的栅极驱动信号延迟第一延迟 T_{DEL_OFF} 。因此，延迟 T_{DEL_OFF} 是添加到栅极驱动信号GD的第一递进或步进延迟，以减少如上所述晶体管SR的体二极管Dbr的导通时间 T_{diode} 。因此，在该初始半周期CYCLE[0]期间，可编程延迟 $PD=0$ ，并且在第二半周期CYCLE[1]中，可编程延迟 $PD=T_{DEL_OFF}$ ，其中在图 12B中，该递进延迟被标记为 T_{DEL_OFF1} 。适应性关断控制算法在接下来的半周期CYCLE[2]-CYCLE[$n-1$]中的每一个半周期继续以这种方式操作，即每半周期向栅极驱动信号GD的可编程延迟 PD 添加递进延迟 T_{DEL_OFF} ，并且测量晶体管SR的体二极管Dbr的导通时间 T_{diode} 。最后，在第 n 半周期CYCLE[n]中，可编程延迟 $PD=T_{DEL_OFF1}+T_{DEL_OFF2}+T_{DEL_OFF3}+T_{DEL_OFF4}\dots+T_{DEL_OFFn}$ ，其中延迟 T_{DEL_OFF2} 是在半周期CYCLE[1]期间添加的递进延迟， T_{DEL_OFF3} 是在半周期CYCLE[2]期间添加的递进延迟， T_{DEL_OFF4} 是在半周期 CYCLE [3]期间添加的递进延迟， T_{DEL_OFFn} 是在半周期CYCLE[n]期间添加的递进延迟。在周期CYCLE [n]中，晶体管SR的体二极管Dbr 的导通时间 T_{diode} 近似等于理想导通时间 $T_{diode-ideal}$ ，并且因此，在周期 CYCLE[n]和随后的周期中，栅极驱动信号GD利用该可编程延迟 PD 来操作以控制晶体管SR的去激活。以这种方式，适应性关断控制算法考虑与晶体管SR相关联的杂散电感 L_{SR} ，以在每半个周期的适当时间处关断晶体管，以最小化体二极管Dbr的导通时间 T_{diode} 并且改进开关变换器100的效率。随着实际导通时间 T_{diode} 接近理想导通时间 $T_{diode-ideal}$ ，如在美国专利号9,356,535中更详细描述，适应性关断控制算法可以通过比初始地用于递增该可编程延迟的递进延迟 T_{DEL_OFF} 更小或更精细的递进延迟，来递增或递减可编程延迟 PD ，以提供最终可编程延迟 PD ，其导致实际导通时间 T_{diode} 更接近理想导通时间 $T_{diode-ideal}$ 。

[0072] 如上所述的适应性关断控制算法的这种操作假设杂散电感 $L_{STRAY}=L_{SR}$ 的提前效应相对于开关变换器100的开关频率 ω_{sw} 是恒定的。然而，在此假设下，在开关变换器100的负

载电流 I_0/I_{LOAD} 中的瞬变之后,变换器的输出电压 V_0 减小或增大,导致开关变换器的初级控制回路以新的开关频率 ω_{sw} 驱动谐振电路30(图6)。尽管本文未详细描述,但如本领域技术人员将理解的,谐振开关变换器100的初级控制回路将经调节的输出电压 V_0 与期望值相比较,并且调整开关变换器的开关频率 ω_{sw} 以维持该经调节的输出电压在该期望值处。开关变换器100的这种新开关频率 ω_{sw} 导致杂散电感 L_{SR} 在跨同步整流晶体管SR的电压 $V_{dvs}(t)$ 上的不同提前效应。当如此时,在开关变换器100的负载电流 I_0/I_{LOAD} 中的这种瞬变、以及随后的负载开关频率 ω_{sw} 的变化之后,适应性关断控制算法继续使用在负载电流中的瞬变之前所确定的可编程延迟PD的最后值。

[0073] 通常,该操作导致适应性关断控制算法继续比通过晶体管SR的电流 I_{SR} 的过零更早地关断晶体管SR,并且避免电流反向,这在上文中更详细地描述。然而,当开关变换器100经历负载电流 I_0/I_{LOAD} 中的高到低瞬变时,经调节的输出电压 V_0 可能经历某种“过冲”(overshoot),这意味着经调节的输出电压变得大于期望的经调节的输出电压。作为结果,初级控制回路增加开关频率 ω_{sw} 以朝向期望值减少输出电压 V_0 。

[0074] 在第一近似中,杂散电感 L_{SR} 的提前效应可以被考虑为常数参数,但在一些特定情况下,这种近似不足以描述杂散电感的真实现象。在这些情况下,在从最大或满负载电流 I_0/I_{LOAD} 到零负载电流的瞬变之后,因为初级控制回路不是足够快以控制开关变换器来平衡该瞬变,所以经调节的输出电压 V_0 增加超过期望值。作为结果,初级控制回路增加开关频率 ω_{sw} 以补偿在经调节的输出电压 V_0 中的这种变化,并且降低了杂散电感 L_{SR} 的提前效应。这意味着,如果适应性关断控制算法继续利用最后的适应性关断延迟值,即可编程延迟PD的最后值,则晶体管SR较晚地被关断,这可能导致电流 I_{SR} 的电流反向。

[0075] 图13A和13B图示了可以在上述情型中发生的电流 I_{SR} 的电流反转,其针对从最大或满负载电流 I_0/I_{LOAD} 到零负载电流的瞬变,在本说明中,其也被称为“满负载到零负载电流瞬变”。图13A图示了开关变换器100在满负载到零负载电流瞬变之前的操作,并且对应于上面描述的以下操作条件:当可编程延迟PD($PD = T_{DEL_OFF1} + T_{DEL_OFF2} \cdots + T_{DEL_OFFn}$)已经被调整以使得传导时间 $T_{diode} = T_{diode-ideal}$ 时,图12C中的周期CYCLE[n]以及随后的半周期。

[0076] 图13B图示了在半周期CYCLE[n+1]中的操作,半周期CYCLE[n+1]在满负载到零负载电流瞬变已经发生、并且开关频率 ω_{sw} 被增加以补偿经调节的输出电压 V_0 的过冲之后。如在13B中所见的,杂散电感 L_{SR} 的提前效应在周期CYCLE[n+1]中减小,导致在时间 $t1'$ 处发生电压 $V_{dvs}(t)$ 的过零,该时间 $t1'$ 晚于时间 $t1$ 。在图13B中的实际电压 $V_{dvs}(t)$ 相对于图13A被延迟(即杂散电感 L_{SR} 的提前效应较小),并且所得的 $V_{dvs}(t)$ 电压更接近在虚线中示出的理想电压 $V_{dvs-ideal}$ 。作为结果,当在时间 $t1'$ 处检测到电压 $V_{dvs}(t)$ 的过零、并且栅极驱动信号GD的去激活从此点由可编程延迟PD进行延迟时,栅极驱动信号没有使晶体管SR去激活,直到相对于时间 $t2$ 的较晚的时间 $t2'$ 为止。在图13B中的可编程延迟PD期间(即,从在图13B中的时间 $t1'$ 到时间 $t2'$),晶体管SR仍然接通并且电流 I_{SR} 的电流反向发生。电流 I_{SR} 的这种电流反向在图13B中被标记,并且与电流变为负相对应,并且因此如前文参考图6所述的,电流 I_{SR} 从输出节点OUTN(图6)流向接地,并因此不期望地对输出节点OUTN进行放电。

[0077] 为了更好地描述这种现象,需要针对杂散电感 L_{SR} 的提前效应的封闭形式的表达式。为了得到此类封闭形式的表达式,根据以下等式假设电流 I_{SR} 在开关周期的最后一部分具有近正弦的形状:

[0078] $I_{SR}(t) = I_{PK} \cdot \sin(\omega_{SW} \cdot t)$ 等式1

[0079] 在这些条件下, 实际或真实电压 $V_{DVS}(t)$ 由以下等式给出:

$$V_{DVS}(t) = R_{DS(on)} \cdot I_{SR}(t) + L_{SR} \cdot \frac{\partial I_{SR}(t)}{\partial t} = R_{DS(on)} \cdot I_{PK} \cdot \sin(\omega_{SW} \cdot t) + L_{SR} \cdot \omega_{SW} \cdot I_{PK} \cdot \cos(\omega_{SW} \cdot t) \quad \text{等式 2}$$

[0080] 该表达式可以被重写, 以将时间分量和相移分量如下地分离:

$$V_{DVS}(t) = K \cdot \sin(\omega_{SW} \cdot t - \varphi) = K \cdot \sin\left[\omega_{SW} \cdot \left(t - \frac{\varphi}{\omega_{SW}}\right)\right] \xrightarrow{\text{提前 } T_{LSR}} \boxed{T_{LSR} = \varphi / \omega_{SW}}$$

$$V_{DVS}(t) = K \cdot \sin(\omega_{SW} \cdot t - \varphi) = K \cdot \sin(\omega_{SW} \cdot t) \cdot \cos(\varphi) + K \cdot \cos(\omega_{SW} \cdot t) \cdot \sin(\varphi) \quad \text{等式 3}$$

[0082] 其中 T_{LSR} 是由杂散电感 L_{SR} 引起的提前时间。等式3的提前时间 T_{LSR} 在以下的描述中被称为 T_{LSR} (即, $T_{LSR} = T_{LSR}$)。使等式2和等式3 相等, 能够获得以下针对相移的表达式:

$$\begin{cases} K \cdot \sin(\varphi) = L_{SR} \cdot \omega_{SW} \cdot I_{PK} \\ K \cdot \cos(\varphi) = R_{DS(on)} \cdot I_{PK} \end{cases} \longrightarrow \varphi = \arctan\left(\frac{L_{SR}}{R_{DS(on)}} \cdot \omega_{SW}\right) \quad \text{等式 4}$$

$$T_{LSR} = \frac{\varphi}{\omega_{SW}} = \frac{1}{\omega_{SW}} \arctan\left(\frac{L_{SR}}{R_{DS(on)}} \cdot \omega_{SW}\right) \approx \frac{L_{SR}}{R_{DS(on)}} \quad \text{等式 5}$$

[0085] 如前文所述的, 电阻 $R_{DS(on)}$ 是同步整流晶体管SR的接通电阻, 并且在上面的描述中也被称为 R_{dson} 。

[0086] 等式5中的最后一个近似是针对提前时间 T_{LSR} , 并且仅当 $\frac{L_{SR}}{R_{DS(on)}} \ll 1/\omega_{SW}$ 才成

立, 并且在这种情形中, 提前时间 T_{LSR} 是根据开关频率 f_{SW} 常数时 ($\omega_{SW} = 2\pi \cdot f_{SW}$)。这是反正切 (arctan) 函数的线性近似, 并且适用于自变量 ($L_{SR}/R_{DS(on)} \cdot \omega_{SW}$) 远小于1 ($(L_{SR}/R_{DS(on)} \cdot \omega_{SW}) \ll 1$) 的情况。图14是示出了提前时间 T_{LSR} 、以及针对提前时间 T_{LSR} 的线性近似的三个不同值的绘图的图, 其中提前时间 T_{LSR} 由等式5 给出, 作为针对该近似的三个值的开关频率 f_{sw} 的函数。在图14中, 线1400是如下提前时间 T_{LSR} 的线性近似, 其中杂散电感 $L_{SR} = 4\text{nH}$, 并且接通电阻 $R_{DS(on)} = 4\text{m}\Omega$, 因此 $T_{LSR} = (4\text{nH}/4\text{m}\Omega) = 1\mu\text{s} = 1000\text{ns}$ 。线1402示出等式5的绘图, 其中 $L_{SR}/R_{DS(on)} = 1000\text{ns}$ 。同样, 线1404 是如下提前时间 T_{LSR} 的线性近似, 其中杂散电感 $L_{SR} = 8\text{nH}$, 接通电阻 $R_{DS(on)} = 4\text{m}\Omega$, 因此提前时间 $T_{LSR} = (8\text{nH}/4\text{m}\Omega) = 2\mu\text{s} = 2000\text{ns}$, 线1406 显示等式5的绘图。其中 $L_{SR}/R_{DS(on)} = 2000\text{ns}$ 。最后, 线1408是如下提前时间 T_{LSR} 的线性近似, 其中杂散电感 $L_{SR} = 16\text{nH}$, 接通电阻 $R_{DS(on)} = 4\text{m}\Omega$, 因此提前时间 $T_{LSR} = (16\text{nH}/4\text{m}\Omega) = 4\mu\text{s} = 4000\text{ns}$, 线1410 示出等式5的绘图, 其中 $L_{SR}/R_{DS(on)} = 4000\text{ns}$ 。

[0087] 图14示出了实际或真实提前时间 T_{LSR} 作为开关频率 f_{SW} 的函数而变化。适应性关断控制算法假设针对提前时间 T_{LSR} 的线性近似, 并且相应地假设提前时间的值不作为开关频率 f_{SW} 的函数而变化, 这在图14中示出的开关频率范围内是不准确的。在负载电流 I_{load} 中的高到低瞬变之后, 谐振开关变换器100的初级控制回路(图6) 增加开关频率 f_{SW} 以补偿输出电压 V_{out} 中的变化, 由此提供对该输出电压的期望调节。开关频率 f_{SW} 中的这种变化 ($\Delta f_{SW}/$

f_{sw}) 可以在10%至15%的数量级,这导致提前时间 T_{LSR} 的改变或变化 ΔT 在50ns的数量级,这与晶体管SR的关断时间或目标体二极管导通时间 $T_{diode-ideal}$ 相当。在这种情形中,即高到低负载电流瞬变,变化 ΔT 更具体地是提前时间 T_{LSR} 的减少。如果提前时间 T_{LSR} 的变化 ΔT 达到或超过体二极管 D_{br} 的目标或期望导通时间 $T_{diode-ideal}$ (例如50ns),电流反向发生,如前文所述,其中通过晶体管SR的同步整流器电流 I_{sr} 反转方向。

[0088] 图15是作为开关频率 f_{sw} 函数的提前时间 T_{LSR} 的变化 ΔT 的图。提前时间 T_{LSR} 中的变化 ΔT 表示作为开关频率 f_{sw} 函数的、在提前时间 T_{LSR} 的理想常数线性近似与提前时间的真实或实际值之间的误差或变化。线1500示出了作为开关频率 f_{sw} 的函数的、从 $T_{LSR} = (4nH/4m\Omega) = 1\mu s = 1000ns$ 的提前时间 T_{LSR} 的线性近似的变化 ΔT 。线1502示出作为开关频率 f_{sw} 的函数的、从 $T_{LSR} = (8nH/4m\Omega) = 2\mu s = 2000ns$ 提前时间 T_{LSR} 的线性近似的变化 ΔT ,而线1504示出作为开关频率的函数的、从 $T_{LSR} = (16nH/4m\Omega) = 4\mu s = 4000ns$ 的提前时间 T_{LSR} 的线性近似的变化 ΔT 。

[0089] 图16A至图16C是信号定时图,该信号定时图图示了在适应性关断控制算法的上下文中,由开关频率 f_{sw} 从半周期 n 到下一半周期 $n+1$ 的改变所导致的提前时间 T_{LSR} 的变化 ΔT 如何导致电流反向。在图16A至图16C的示例中,开关变换器100经历高到低电流瞬变。如果提前时间 T_{LSR} 的变化量 ΔT 大于根据适应性关断算法的目标关断时间 T_{off} ,则延迟关断 T_{off} 引起的电流 I_{sr} 的电流反向可能发生,该延迟关断 T_{off} 由适应性关断控制算法提供。在图16A中,垂直轴线是 V_{dvs} 信号的电压,水平轴线是时间 t 。在图16B和16C中,垂直轴线是输出信号ZCD的电压,其指示晶体管SR(图6)的漏极到源极电压 V_{dvs} 的过零事件,并且水平轴线是时间 t 。

[0090] 图16A至图16C示出了针对第一半周期 n 的理想电压信号 $V_{dvs-ideal}$ 1600,以及针对该第一半周期 n 的真实或实际信号 V_{dvs} 1602。周期 n 是在负载瞬变发生之前的周期。类似地,在第二半周期 $n+1$ 中,示出了针对该第二半周期 $n+1$ 的理想电压信号 $V_{dvs-ideal}$ 1604和真实或实际信号 V_{dvs} 1606,其中负载瞬变发生在周期 n 与周期 $n+1$ 之间。理想信号 V_{dvs} 1600、1604不受杂散电感 L_{SR} 的影响,并且因此这些信号与电流 I_{sr} 直接成比例。相反,真实或实际信号 V_{dvs} 1602、1606受到杂散电感 L_{SR} 和提前时间 T_{LSR} 的变化 ΔT 的影响,变化 ΔT 是由于开关频率 f_{sw} 从半周期 n 到半周期 $n+1$ 的改变。

[0091] 图16A示出了在半周期 n 和 $n+1$ 期间的这些各种理想和实际信号DVS,其中沿水平轴线的的时间 t 在与图中信号相关联的负载电流 I_{load} 的过零处附近被扩展或放大。负载电流 I_{load} (图6)等于电流 $(I_{SR1}+I_{SR2})$,其中每个半周期SC内,这些电流 I_{SR1} 、 I_{SR2} 中的一个电流等于零,使得每个半周期内,负载电流 I_{load} 等于 I_{SR1} 或等于 I_{SR2} 。图16B和图16C图示了提前时间 T_{LSR} 的在负载瞬变之前的半周期 n 与负载瞬变之后的半周期 $n+1$ 之间的变化 ΔT 的影响。在图中,半周期 n 的提前时间 T_{LSR} 被指定为 $T_{LSR}[n]$,并且半周期 $n+1$ 的提前时间 T_{LSR} 被指定为 $T_{LSR}[n+1]$ 。

[0092] 如在图16A至图16C中所见的,由于开关频率 f_{sw} 的从周期 n 到周期 $n+1$ 的增加,所以提前时间 $T_{LSR}[n+1]$ (图16C)小于提前时间 $T_{LSR}[n]$ (图16B)。针对半周期 n 和 $n+1$ 的每个半周期,电压 V_{dvs} 的过零发生在时间 t_1 处。在半周期 n 中,由适应性关断控制算法提供的可编程延迟PD是从检测到在时间 t_1 处的电压 V_{dvs} 的过零开始,直到在时间 t_2 处的关断时间 T_{off} 的时间。在图中,该可编程延迟PD的持续时间也被指定为从时间 t_1 到 t_2 的时段 T_{DEL_OFF} 。如在图

16A和 16B中所见的,在半周期 n 中,在负载瞬变之前,由适应性关断控制算法提供的可编程延迟PD在图中的时间 $T_{off} = t_2$ 处关断晶体管SR,从而提供针对晶体管的体二极管 D_{br} 的理想导通时间 $T_{diode-ideal}$ 。

[0093] 参考图16C,在负载瞬变发生之后的半周期 $n+1$ 中,适应性关断控制算法再次提供可编程延迟PD以在 $T_{off} = t_2$ 处关断晶体管SR。当如此时,由于负载瞬变引起的开关频率 f_{sw} 的变化、以及由此导致的在提前时间 $T_{LSR}[n+1]$ 中的改变意味着理想信号 $V_{dvs-ideal}$ 的过零如图中所见到的较早地发生,并且晶体管SR应在 T'_{off} 处被较早关断, T'_{off} 在图16A至图16C中的时间 t_2' 处。提前时间 $T_{LSR}[n+1]$ 对应于从时间 t_1 到 t_2' 的时间。然而,适应性关断控制算法没有在 T'_{off} 处关断晶体管SR,而是再次在 T_{off} 处关断晶体管。作为结果,信号 V_{dvs} 的过零发生在半周期 $n+1$ 中的时间 t_2' 处,但是晶体管SR直到时间 t_2 才被关断,导致在晶体管被关断之前电流 I_{SR} 的电流反向(即, I_{SR} 变为负)。如前所述,这种电流反向是不被期望的。

[0094] 从参考图16A至图16C对适应性关断控制算法的描述可以见到,在半周期 n 期间所评估的可编程延迟PD被用于半周期 $n+1$ 。该可编程延迟PD仅在半周期 $n+1$ 的结束处更新,并且此更新的延迟随后用于下一个半周期 $n+2$ 。当提前时间 T_{LSR} 为常数时,适应性关断控制算法的该操作不会导致问题。然而,当由于参考图16A至图16C所述的高到低负载电流瞬变而存在提前时间 T_{LSR} 的变化时,由于开关频率 f_{sw} 的变化,如刚才所述地,电流反向可能发生。如图在16B和图16C中图示的,在这种情形中, $T_{LSR}[n+1] < T_{LSR}[n]$,并且提前时间 ΔT (即从 t_3 到 t_2')中的这种减少导致晶体管SR的延迟关断,从而导致电流 I_{SR} 的不期望的电流反向。

[0095] 图17A至图17F是信号定时和功能图,其图示了根据本公开的一个实施例的电流反向防止控制算法的操作,以用于控制图6的开关变换器100的整流器5的操作,以在即使在存在负载电流瞬变的情况下也防止电流反向。图17A是示出激活的晶体管SR1、SR2的漏极到源极电压信号 V_{dvs} 的信号定时图。更具体地,在其中晶体管SR1被激活(即,被接通)的第一半周期CYCLE $[n]$ 被示出。与晶体管SR1相关联的电流和电压分别标记为 I_{SR1} 和 V_{DVS1} 。在其中晶体管SR2被激活的第二半周期CYCLE $[n+1]$ 被示出,其中与晶体管SR2相关联的电流和电压分别被标记为 I_{SR2} 和 V_{DVS2} 。最后,在其中晶体管SR1再一次被激活的第三半周期CYCLE $[n+2]$ 被示出,并且针对该半周期,电流 I_{SR1} 和电压 V_{DVS1} 被示出。

[0096] 图17B和17C是信号定时图,其示出了栅极驱动信号GD1和GD2,该栅极驱动信号GD1和GD2被应用以分别控制如在图6中示出的晶体管SR1和SR2的激活和去激活(即接通和关断)。图17D示出了跨激活的晶体管SR1或SR2的电压 V_{dvs} 的幅度,该电压 V_{dvs} 的幅度与半周期CYCLE $[n]$ 、CYCLE $[n+1]$ 和CYCLE $[n+2]$ 中的每个半周期的阈值 $TH = (\alpha \cdot V_{dvs_PK})$ 相比较,该比较通过图17F中示出的比较器1700来表示,而这将在下面更详细地描述。参数 α 是阈值调整因子,其将在下面详细讨论。图17E示出了由比较器1700生成的输出信号COMP,其也将在下面更详细地描述。图17A至图17E的每个图都示出了沿垂直轴线的电压、或电压和电流,以及沿水平轴线的的时间 t 。

[0097] 图6的控制电路7被配置为执行该电流反向防止控制算法,其中该控制电路可以通过本领域技术人员将理解的适当电路系统形成,诸如在适当的处理电路系统上执行的硬件、软件或固件,或这些类型电路的组合。在操作中,电流反向防止控制算法检测晶体管SR的电压信号 V_{dvs} ,并且控制晶体管以避免在每半周期晶体管被关断之前的电流 I_{SR} 的电流反向,现在将参考图17A至图17F、以及图18至图 19更详细地解释这一点。如前文所提及的,在

本申请中,电流反向防止控制算法在适应性关断控制算法的上下文中被描述,或被描述为与适应性关断控制算法一起使用,但电流反向防止控制算法也可以与用于控制开关变换器的整流电路中的晶体管SR的其他控制算法一起使用。

[0098] 在操作中,电流反向防止控制算法将每个半周期SC检测到的实际电压信号Vdvs与峰值电压参考阈值TH进行比较,峰值电压参考阈值TH是从每个半周期中所感测的电压信号Vdvs逐周期地计算出的。逐周期意指每个半周期SC被激活的晶体管SR1、SR2的电压信号Vdvs被感测,并这些电压信号Vdvs在计算阈值TH中被利用。然后,如果发生高到低负载电流瞬变,则每个半周期SC,该比较的结果被使用,以防止电流 I_{SR} 的电流反转,其中该比较被表示为在图17F中的比较器1700,现在将更详细地解释该比较。如下面将参考图18更详细地描述的,峰值电压参考阈值TH实际上包括针对晶体管SR1的电压信号Vdvs的第一峰值电压参考阈值、以及针对晶体管SR2的第二峰值电压参考阈值。

[0099] 电流反向防止控制算法评估在晶体管SR的导通时间TSW期间,在N个先前的半周期SC中的电压信号 V_{DVS} 的平均电压 V_{DVS_AVG} 。该平均电压信号 V_{DVS_AVG} 不受杂散电感 L_{SR} 的影响,并且与负载电流 I_{load} 成比例。回想一下,负载电流 $I_{load} = I_{SR1} + I_{SR2}$ (见图6)。如果在开关半周期SC的最后部分期间,电流 I_{SR} 近似为具有近正弦的形状,则电压信号Vdvs的平均 V_{DVS_AVG} 和峰值 V_{DVS_PK} 通过以下等式而相关:

$$[0100] \quad V_{DVS_PK} = \frac{\pi}{2} \cdot V_{DVS_AVG} \quad \text{等式 6}$$

[0101] 这意味着能够从平均值 V_{DVS_AVG} 计算Vdvs信号的峰值 V_{DVS_PK} 。因此,电流反向预防控制算法基于峰值 V_{DVS_PK} 确定峰值电压参考阈值TH,其中阈值TH例如被设置为峰值 V_{DVS_PK} 的75%。因此,峰值电压参考阈值 $TH = (\alpha \cdot V_{DVS_PK})$,其中 α 是阈值调整因子,并且在所述示例中 $\alpha = 0.75$ 。然后,电流反向防止控制算法将该峰值电压参考阈值TH与晶体管SR的导通时间TSW期间的实际电压信号Vdvs进行比较。

[0102] 在操作中,在其中没有负载电流瞬变发生的半周期SC期间,比较器1700生成输出信号COMP,在该半周期SC期间,该输出信号COMP在晶体管SR的导通时间TSW的某个百分比内变为有效。在图17A至图17E的示例中,例如,在没有负载电流瞬变发生时,比较器1700在导通时间TSW的75%内激活COMP信号。导通时间TSW乘以导通时间调整因子 β 来定义导通时间的该某个百分比,其中在所述示例实施例中 $\beta = 0.75$ 。由比较器1700生成的COMP信号在图17E中示出。在第一半周期CYCLE[n]期间比较器1700将激活的晶体管SR1的电压信号 V_{DVS1} 与阈值 $TH = (\alpha \cdot V_{DVS_PK})$ 进行比较。该阈值TH涉及前文通过等式6描述的电压信号Vdvs的平均 V_{DVS_AVG} ,其中平均值 V_{DVS_AVG} 在图17D中示出。没有负载电流瞬变在CYCLE[n]中发生,并且因此在时间 t_1 处,比较器1700检测到电压 V_{DVS1} 已达到阈值TH并且激活COMP信号。同样的操作发生在所图示的第二半周期CYCLE[n+1]中,其中比较器1700将激活的晶体管SR2的电压信号 V_{DVS2} 与阈值 $TH = (\alpha \cdot V_{DVS_PK})$ 进行比较。在时间 t_2 处,比较器1700检测到电压信号 V_{DVS2} 已达到阈值TH并且激活COMP信号。

[0103] 比较器1700在CYCLE[n]和CYCLE[n+1]中生成COMP信号的这种操作说明在其中没有负载电流瞬变发生的半周期SC中,所感测的电压信号 V_{DVS1} 、 V_{DVS2} 在激活的晶体管SR1、SR2的传导时间TSW的某个百分比(由调整参数 β 定义)内达到阈值。相反,如现在将参考图17A至图17F中图示的CYCLE[n+2]来更详细地解释的,在发生负载电流瞬变的情况下,比较器

1700不在该传导时间TSW的某个百分比内激活COMP信号。在该示例中,如由图17A中的箭头1702所表示的,高到低负载电流瞬变(诸如从最大负载电流到零负载电流 I_{load})发生在CYCLE[n+1]与CYCLE[n+2]之间。作为该负载电流瞬变的结果,由比较器1700在CYCLE[n+2]中所感测到的电压 V_{DVS1} 没有在传导时间TSW的某个百分比内达到阈值 $TH = (\alpha \cdot V_{DVS_PK})$ 。事实上,在所图示的示例中,电压 V_{DVS1} 在CYCLE[n+2]中从没有达到阈值TH。如现在将更详细地解释的,比较器1700因此在CYCLE[n+2]中不激活COMP信号,这可以用于指示检测到负载电流瞬变、以及对开关变换器100(图6)的控制的对应调整,以防止电流 I_{SR} 的电流反向。

[0104] 在详细描述该操作之前,应指出的是,比较器1700在CYCLE[n+2]中通过COMP信号来检测负载电流瞬变的操作发生在CYCLE[n+2]的传导时间TSW结束之前。因此,该途径支持在其中发生负载电流瞬变的半周期SC中对负载电流瞬变的检测,其对应于负载电流 I_{load} 处于最大水平的的时间。这种通过比较器1700对负载电流瞬变的快速检测使得在其中负载电流瞬变被检测到的半周期SC中(即在图17A至图17F的示例中的CYCLE[n+2]中)能够防止电流反向。

[0105] 从上面关于CYCLE[n]、CYCLE[n+1]和CYCLE[n+2]的操作对比较器1700的描述可以看出,关于由比较器生成的输出信号COMP,出现了两种情形。第一情形是上文针对CYCLE[n]和CYCLE[n+1]来图示和描述的情形,即其中从一个半周期到下一个半周期没有负载电流瞬变发生。在这种情形中,比较器1700将在传导时间TSW的某个百分比内(即在 $\beta \cdot TSW$ 内)激活COMP信号。当这种情形发生时,无需采取任何措施来防止通过同步整流晶体管SR1、SR2的电流 I_{SR1} 、 I_{SR2} 的电流反转,并且这些晶体管可以继续通过适应性关断控制算法来控制、或用于控制图6的整流器5中的同步整流器晶体的任何其他合适的关断控制算法来控制。

[0106] 出现的第二种情形是上文针对CYCLE[n+2]来图示和描述的情形,即其中负载电流瞬变导致高负载电流 I_{load} 的减少,诸如最大或满负载电流到零负载电流瞬变。在这种情形中,比较器1700将不会在传导时间TSW的某个百分比内(即在 $\beta \cdot TSW$ 内)激活COMP信号。在使用适应性关断控制算法来控制晶体管SR1、SR2的情况下,对由COMP信号来指示的负载电流瞬变的检测(即,COMP信号在传导时间TSW的时间限制 $\beta \cdot TSW$ 内未被激活)、以及可编程延迟PD被重置为零,可编程延迟PD在图16B和图16C中也被指示为延迟 T_{DEL_OFF} 。该零延迟将导致响应于如先前在上文中参照图11A、11B所讨论的电压信号 V_{dvs} 的较早过零,晶体管SR被关断。晶体管的这种关断可能不会导致晶体管SR的体二极管 D_{br} 的理想导通时间 $T_{diode-ideal}$,但这将避免电流反向。此外,在可编程延迟PD响应于指示负载电流瞬变的COMP信号而被重置为零之后,适应性关断控制算法将如上面关于图11A和图11B所述的来操作,以再一次调整连续半周期SC中的可编程延迟,直到体二极管 D_{br} 的实际导通时间 T_{diode} 近似等于理想导通时间 $T_{diode-ideal}$ 。

[0107] 如上面描述中若干次提到的,本文所述的电流反向预防止控制算法不限于与适应性关断控制算法结合使用。用于控制整流电路(诸如图6中的整流器5)中同步整流晶体管的关断的其它控制方法可以与电流反向防止控制算法组合来利用。在另一实施例中,由COMP信号指示的对负载电流瞬变的检测被控制电路系统(诸如,图6中的控制电路7)使用,以将开关变换器100(图6)置于“安全状态”以用于关断晶体管SR1、SR2,由此避免电流反向。

[0108] 图18是图示根据本公开的一个实施例的电流反向防止控制算法的阈值计算电路1800的功能框图,其用于生成阈值TH。在该实施例中,平均计算电路1801感测来自开关变换

器100的N个先前的半周期SC的晶体管SR1、SR2的电压信号 V_{DVS1} 、 V_{DVS2} 。更具体地,平均计算电路1801感测在N个先前的半周期SC中的、在晶体管SR1、SR2中的每个晶体管的导通时间TSW期间的电压信号 V_{DVS1} 、 V_{DVS2} ,并且计算针对这些所感测的电压信号中的每个电压信号的平均电压信号 V_{DVS1_AVG} 、 V_{DVS2_AVG} 。因此,平均计算电路1801生成平均电压信号 V_{DVS1_AVG} ,其指示电压信号 V_{DVS1} 在N个先前的半周期SC中的平均,并且平均计算电路1801还生成平均电压信号 V_{DVS2_AVG} ,其指示电压信号 V_{DVS2} 在N个先前的半周期SC中的平均。

[0109] 峰值计算电路1802接收平均电压信号 V_{DVS1_AVG} 和 V_{DVS2_AVG} ,并从平均电压信号 V_{DVS1_AVG} 和 V_{DVS2_AVG} 生成阈值TH,该阈值TH包括如前文提及的针对晶体管SR1、SR2中的每个晶体管的单独峰值电压参考阈值。因此,峰值电压参考阈值TH包括第一峰值电压参考阈值 $TH1 = (\alpha \cdot V_{DVS1_PK})$ 和第二峰值电压参考阈值 $TH2 = (\alpha \cdot V_{DVS2_PK})$,其用于由比较器1700在感测电压信号 V_{DVS1} 和 V_{DVS2} 中使用。因此,尽管在图17F中未示出,比较器1700将电压信号 V_{DVS1} 与第一峰值电压参考阈值 $TH1 = (\alpha \cdot V_{DVS1_PK})$ 进行比较,并且将电压信号 V_{DVS2} 与第二峰值电压参考阈值 $TH2 = (\alpha \cdot V_{DVS2_PK})$ 进行比较,以用于由比较器1700在感测电压信号 V_{DVS1} 和 V_{DVS2} 中使用。

[0110] 图19是图17F的比较器1700的一个实施例的功能框图。在图19的实施例中,比较器1700包括第一比较器电路1900-1,第一比较器电路1900-1接收第一峰值电压参考阈值 $TH1 = (\alpha \cdot V_{DVS1_PK})$ 和晶体管SR1的电压信号 V_{DVS1} ,并且基于对这两个接收到的信号的比较,生成第一比较输出信号COMP1。比较器1700包括第二比较器电路1900-2,第二比较器电路1900-2接收第二峰值电压参考阈值 $TH2 = (\alpha \cdot V_{DVS2_PK})$ 和晶体管SR2的电压信号 V_{DVS2} ,并且基于对这两个接收到的信号的比较,生成第二比较输出信号COMP2。因此,第一比较器电路1900-1生成COMP1信号以指示是否检测到与晶体管SR1的开关相关的负载电流瞬变,第二比较器电路1900-2生成COMP2信号以指示是否检测到与晶体管SR2的开关相关的负载电流瞬变。图17F和图19的比较器1700以及图18的阈值计算电路1800是图6的控制电路7的一部分,并且如本领域技术人员所理解的,其可以通过包括硬件、软件、固件或其组合的适当电路系统来实现。

[0111] 本公开的上述实施例在谐振开关变换器的上下文中描述,谐振开关变换器包括同步整流电路系统,该同步整流电路系统包括第一同步整流器晶体管和第二同步整流器晶体管,第一同步整流器晶体管和第二同步整流器晶体管是MOSFET。本公开的实施例不限于这种特定类型的开关变换器、同步整流电路系统或同步整流器晶体管。在本公开的其他实施例中,同步整流电路系统包括至少一个同步整流器晶体管。此外,在本公开的其他实施例中,同步整流晶体管是双极晶体管或绝缘栅双极晶体管。

[0112] 可以组合上述各种实施例以提供另外的实施例。根据上述详细描述,可以对实施例进行这些和其他改变。一般而言,在权利要求中,所使用的术语不应被解释为将权利要求限制在说明书和权利要求中所公开的特定实施例中,而应被解释为包括所有可能的实施例以及这些权利要求有权享有的等同物的全部范围。因此,权利要求不受本公开的限制。

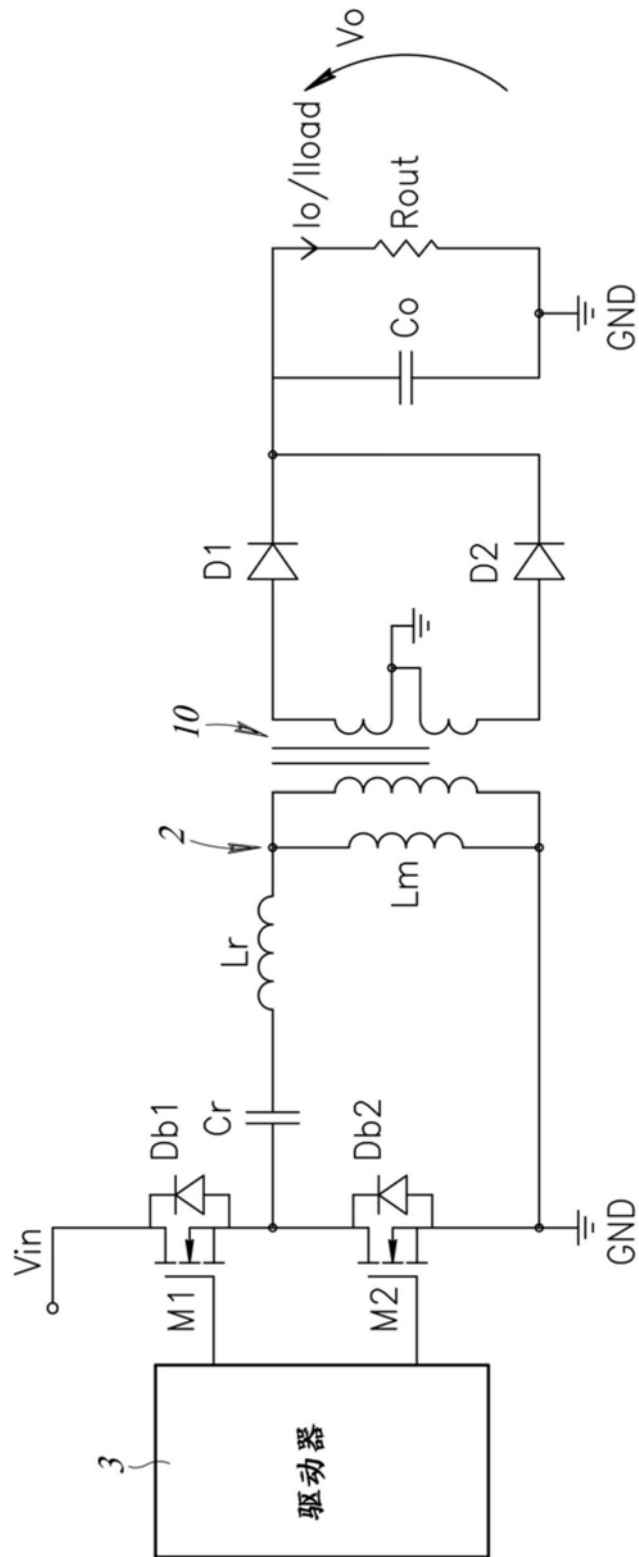


图1

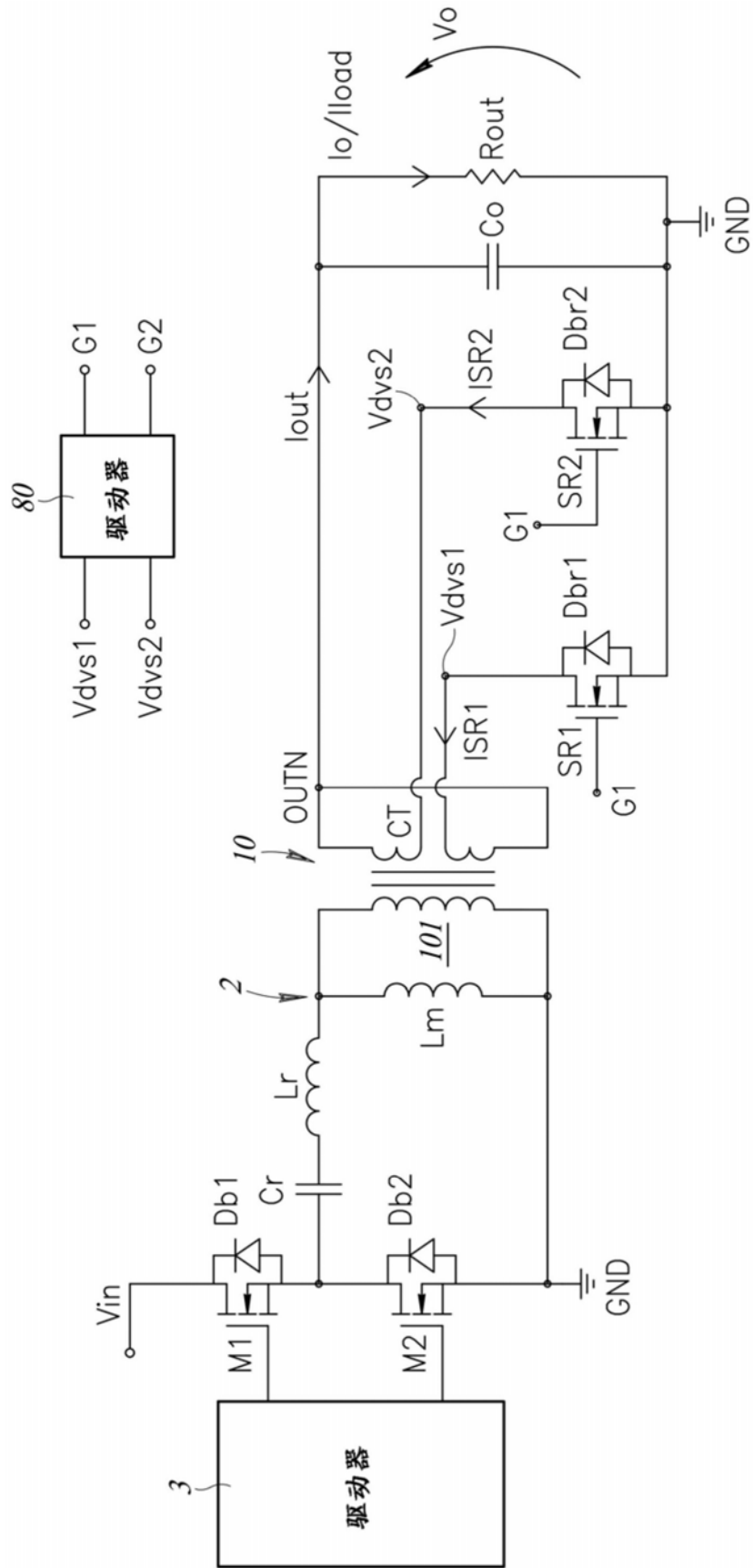


图2

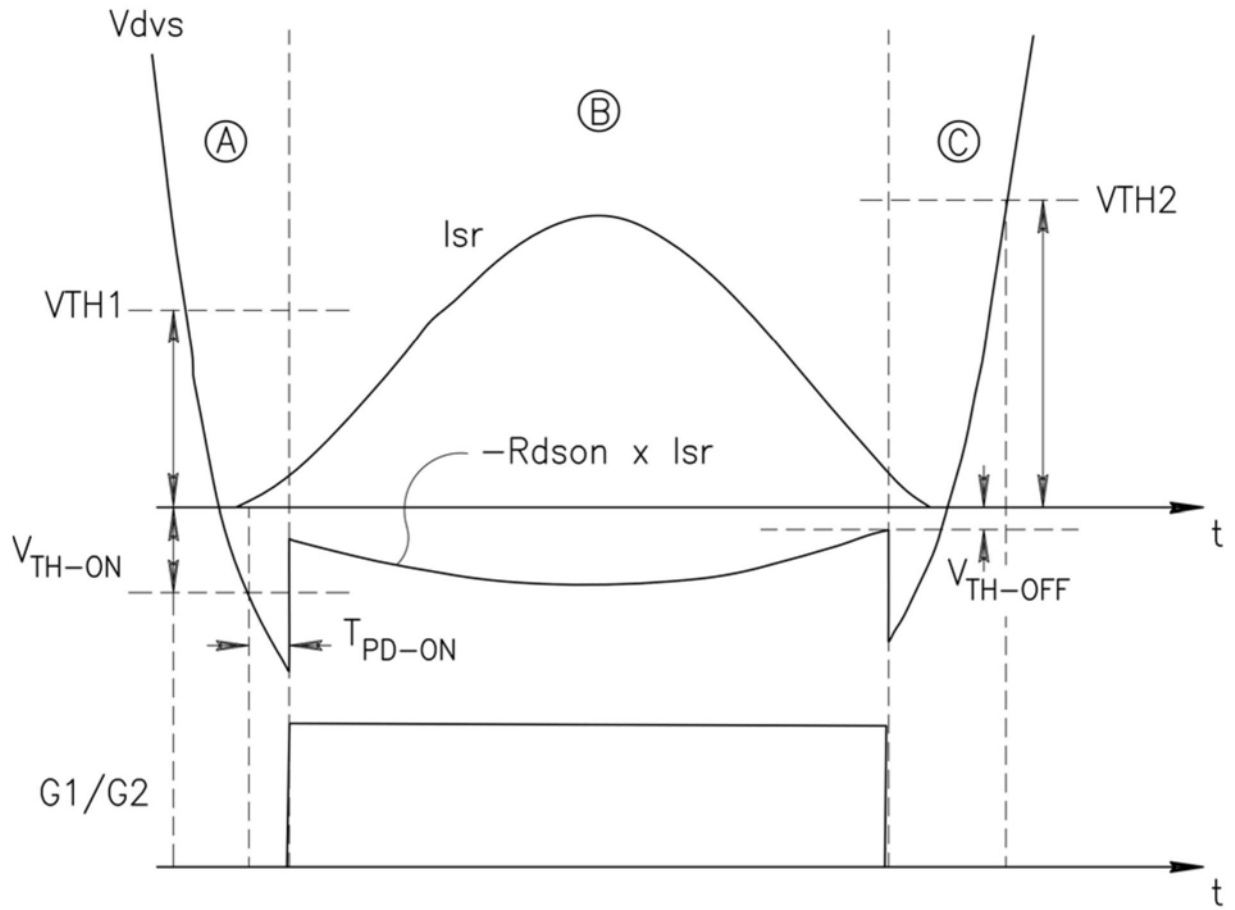


图3

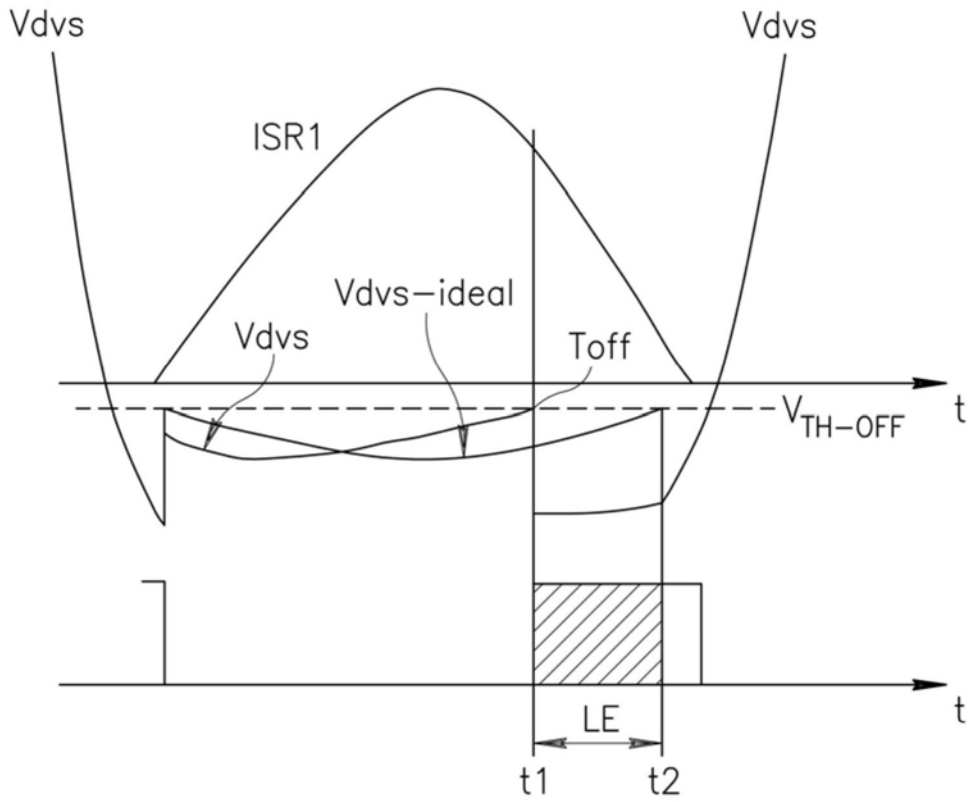


图4

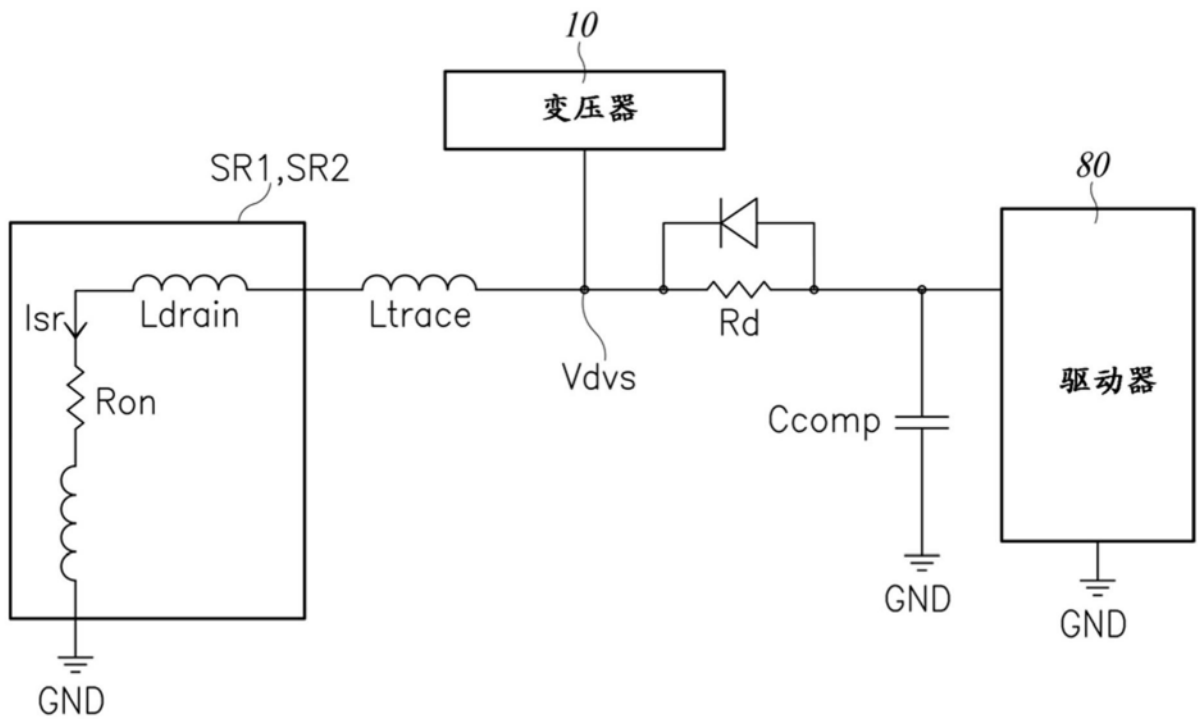


图5

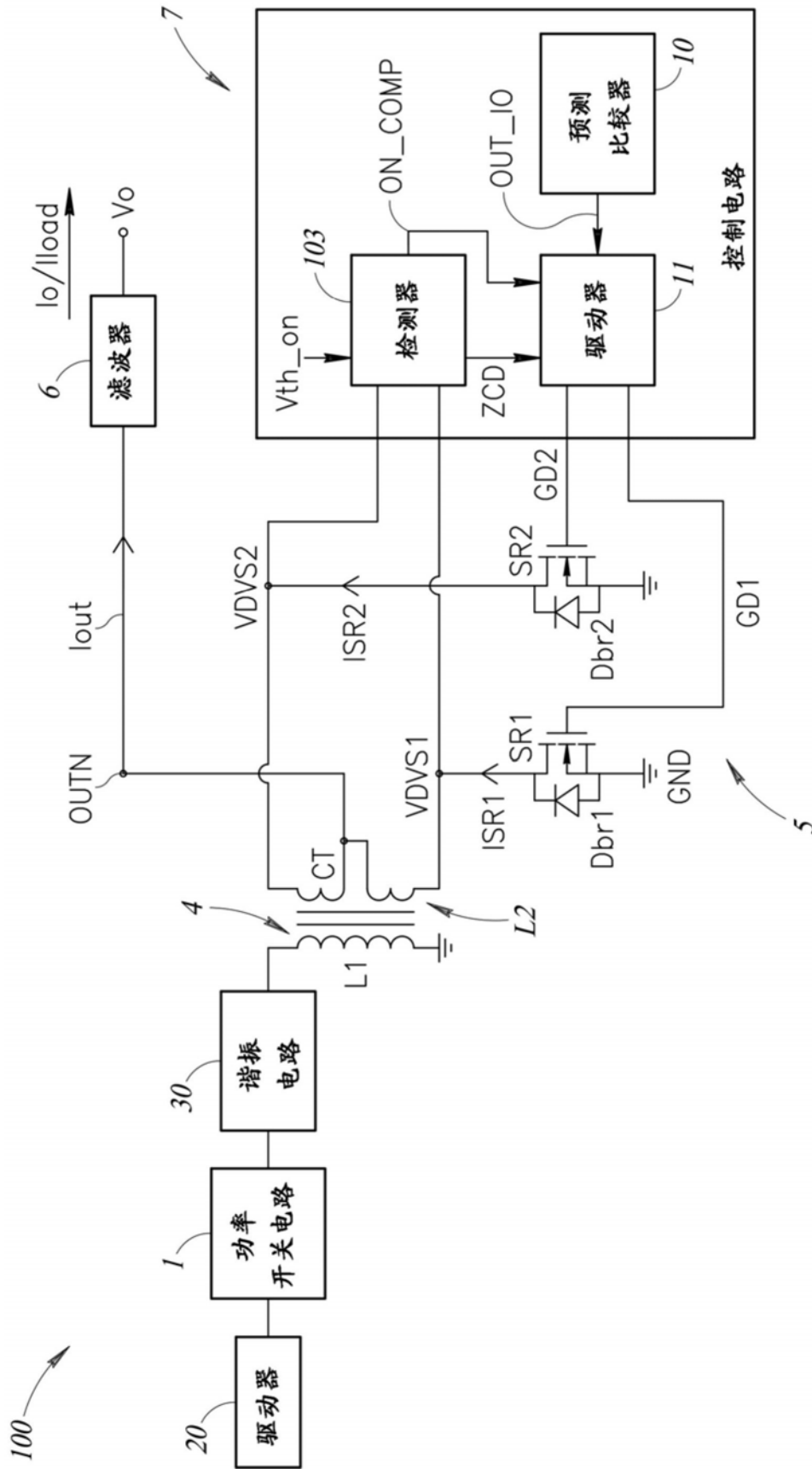


图6

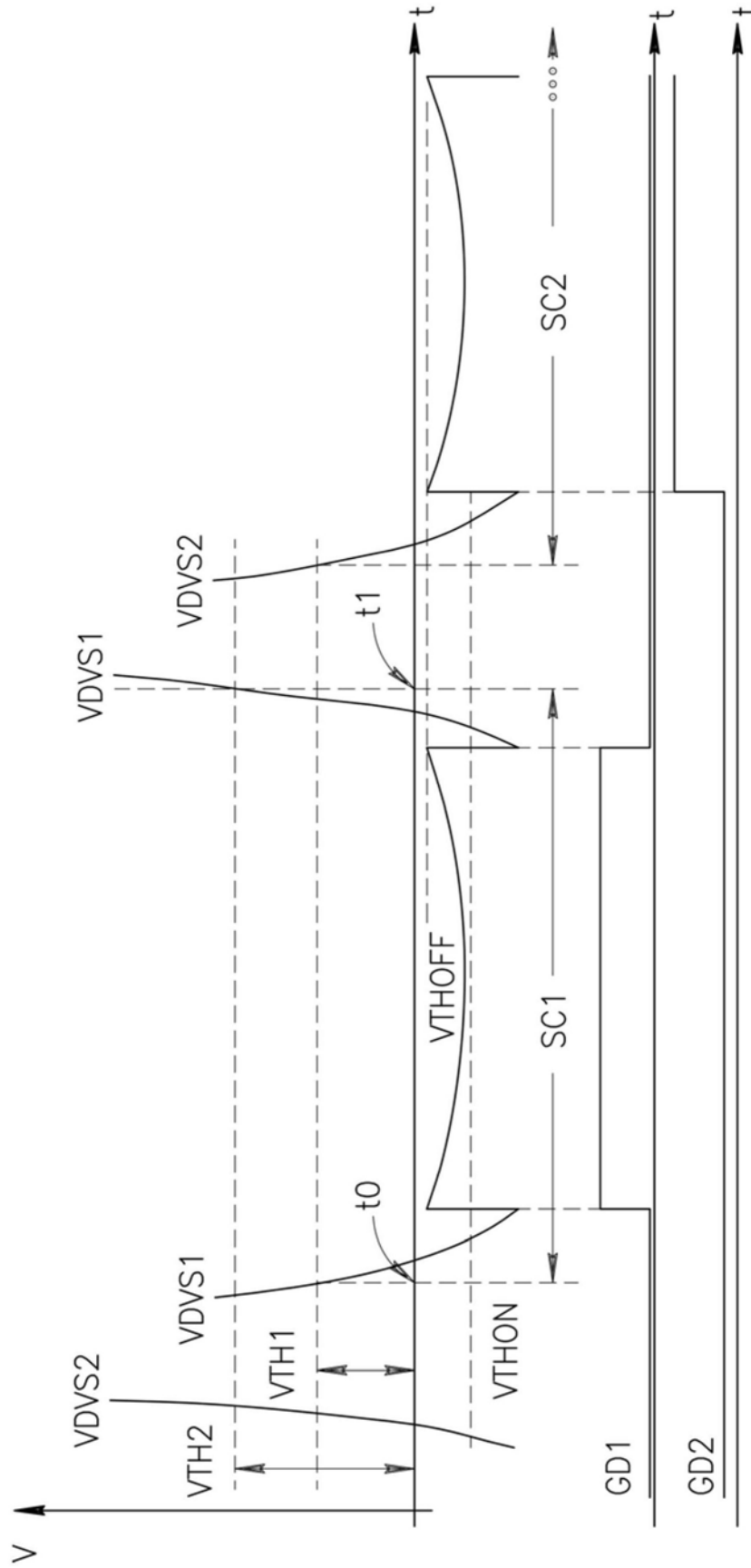


图7

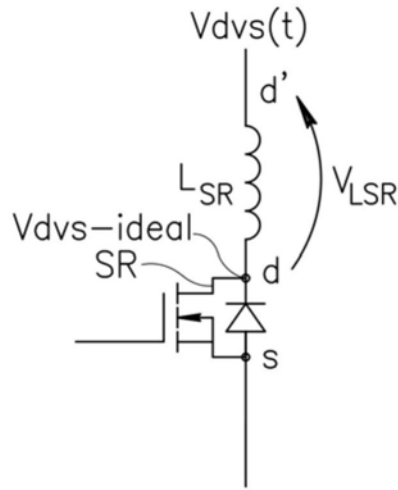


图8

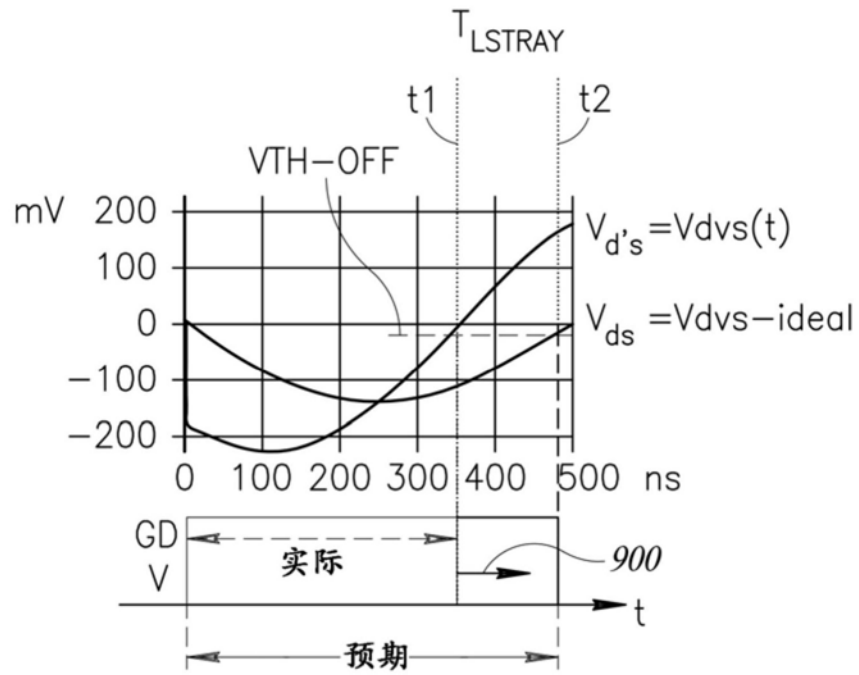


图9

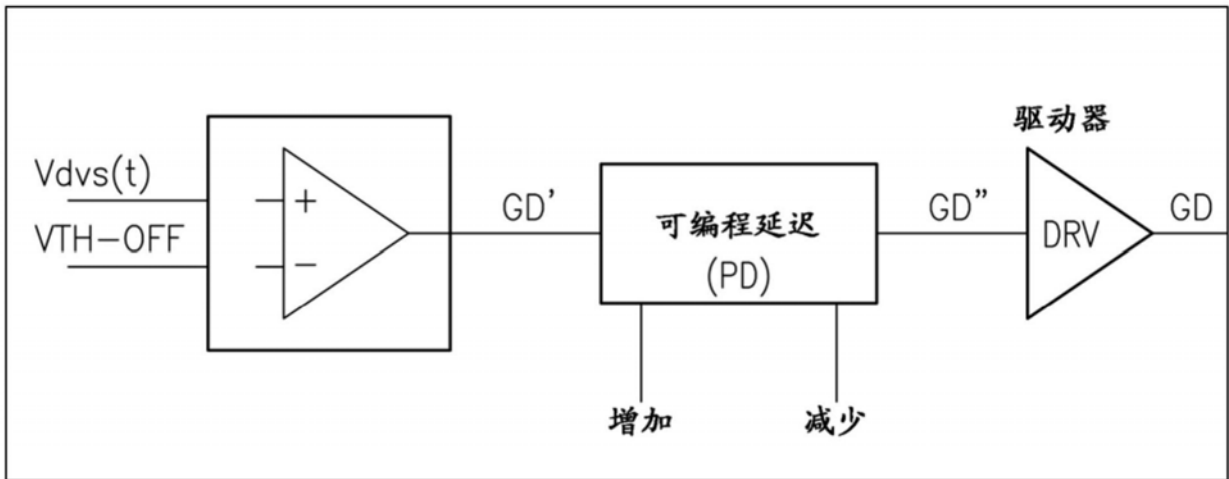


图10

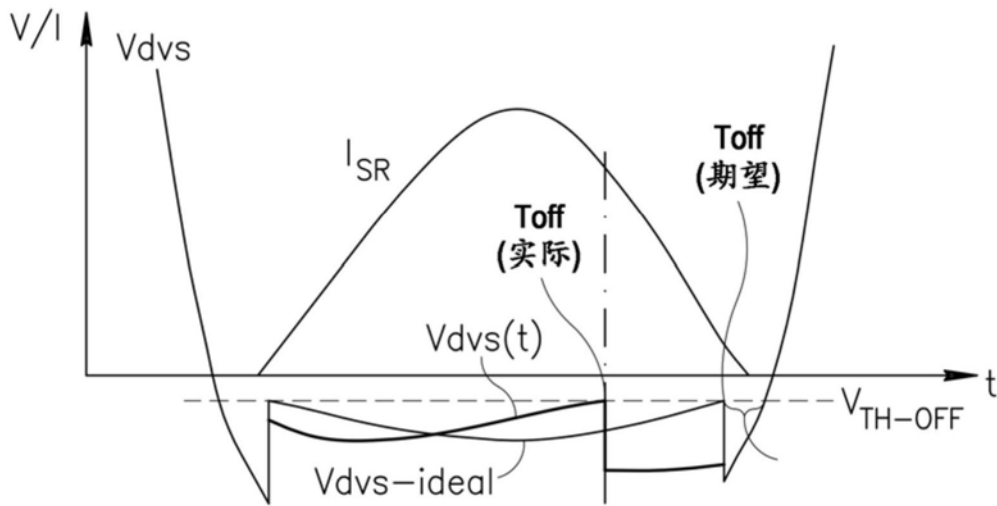


图11A

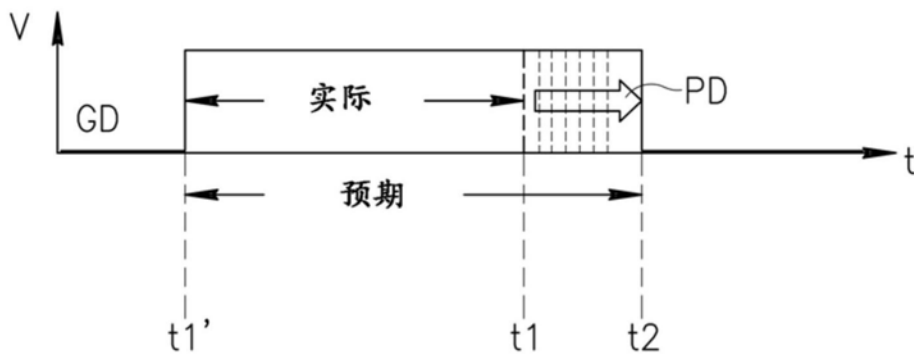


图11B

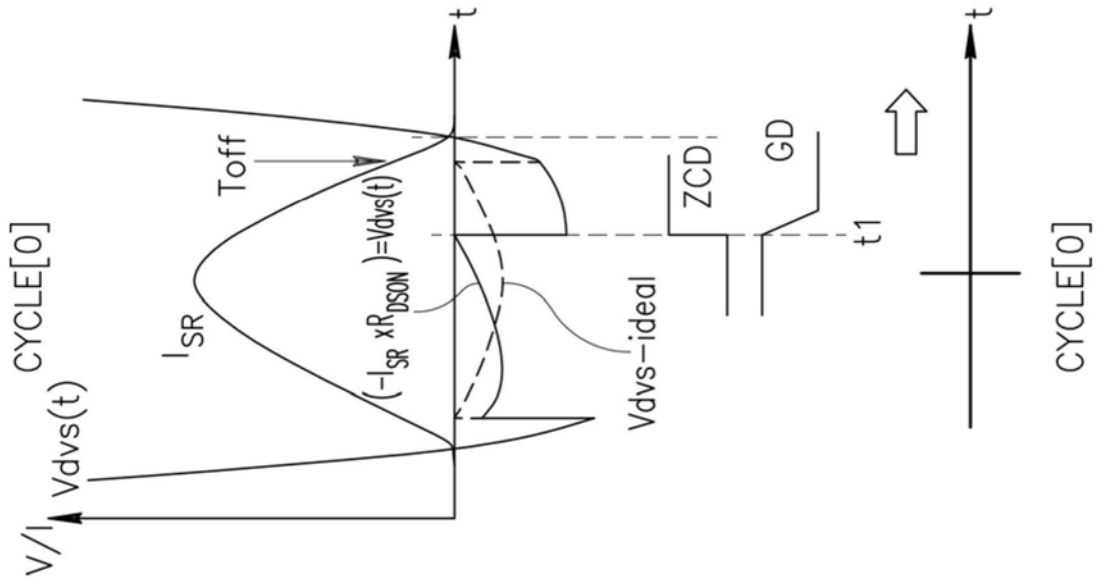


图12A

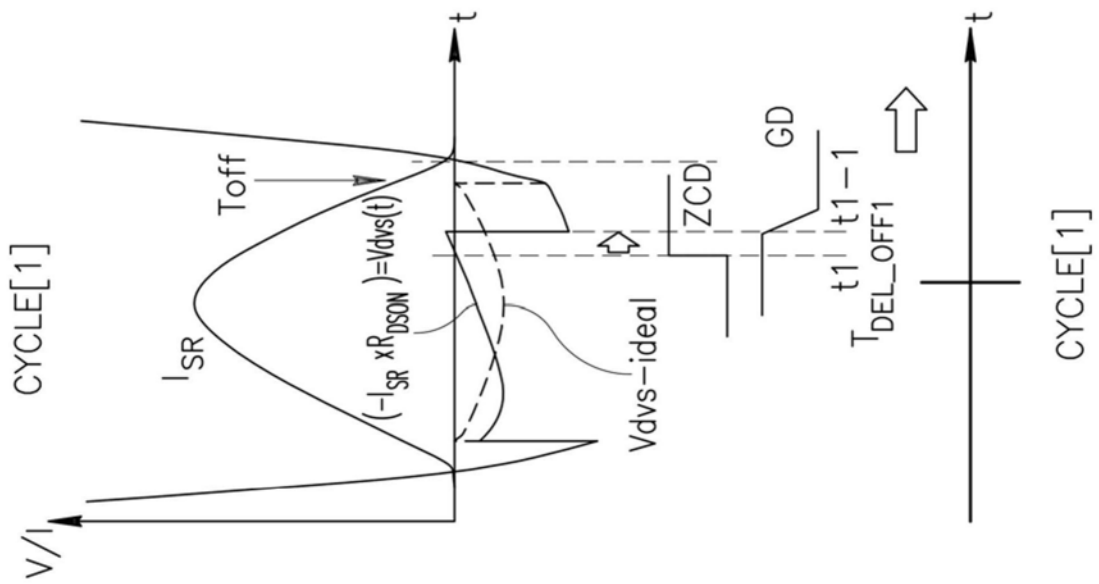


图12B

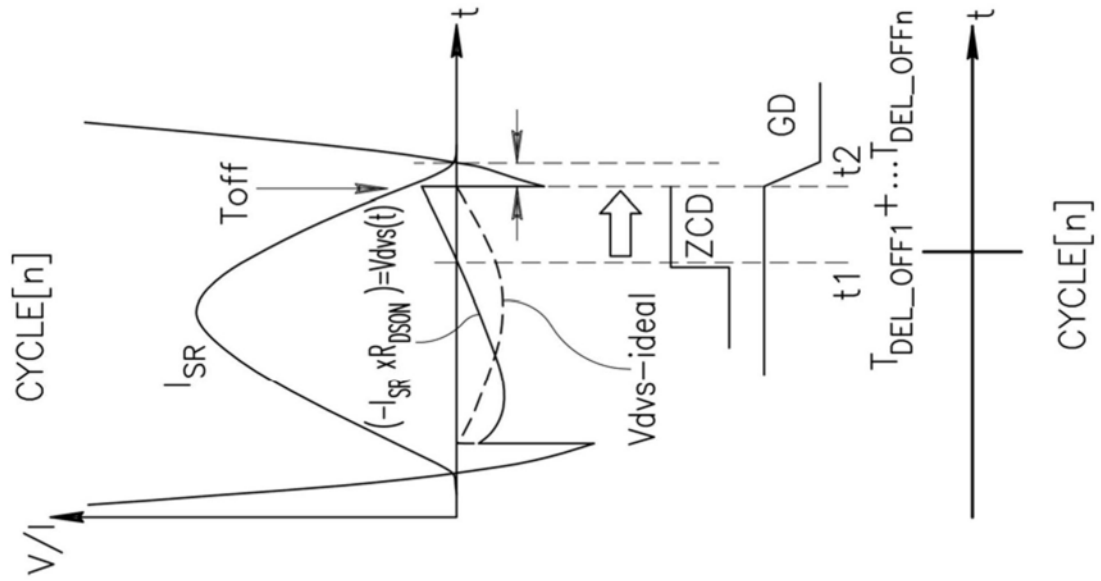


图12C

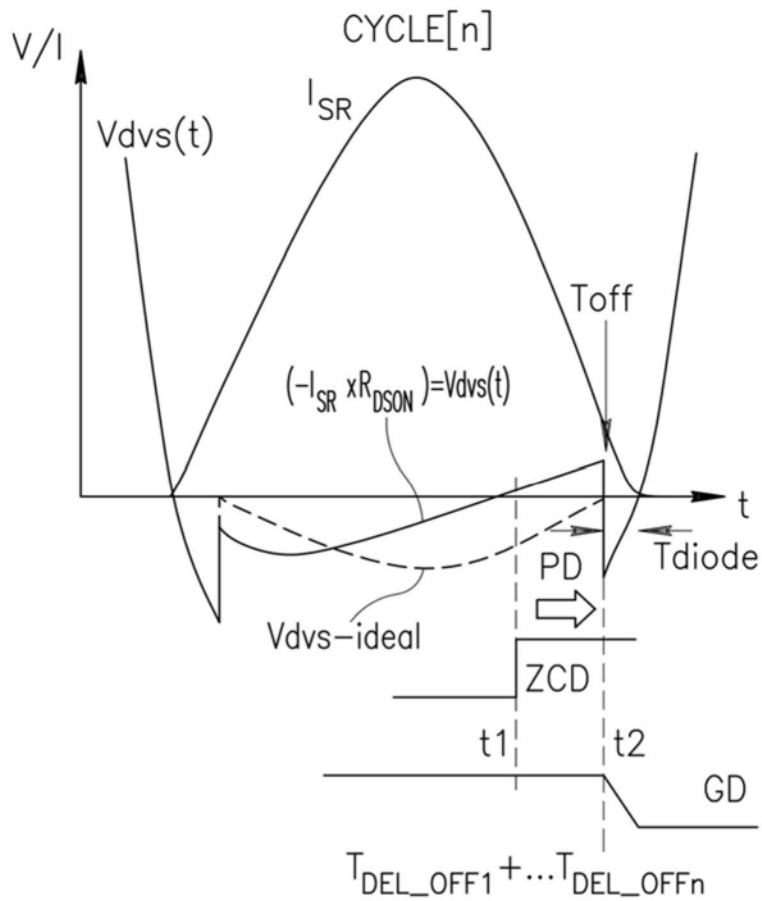


图13A

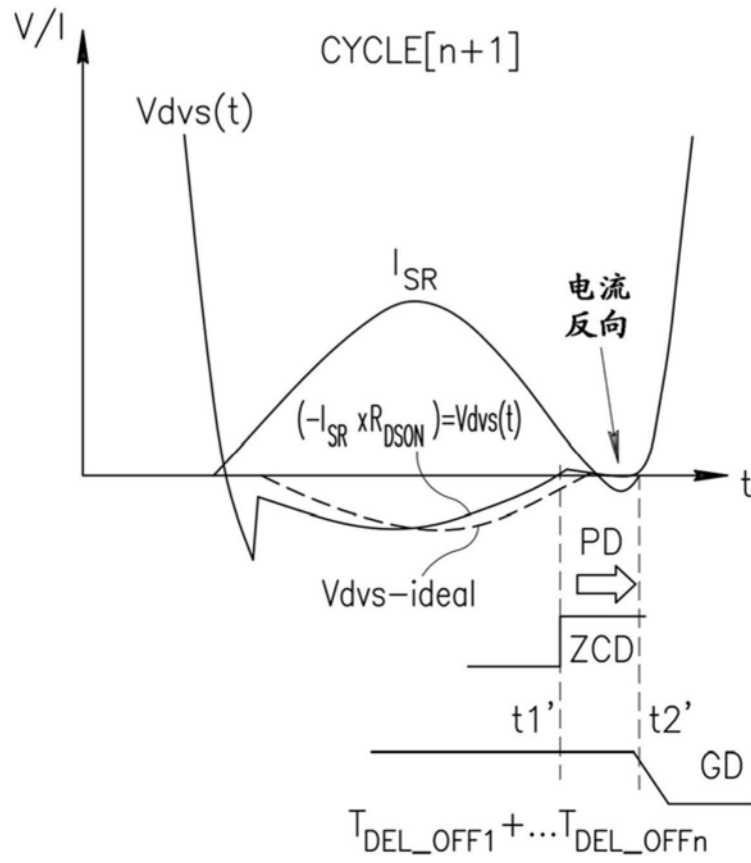


图13B

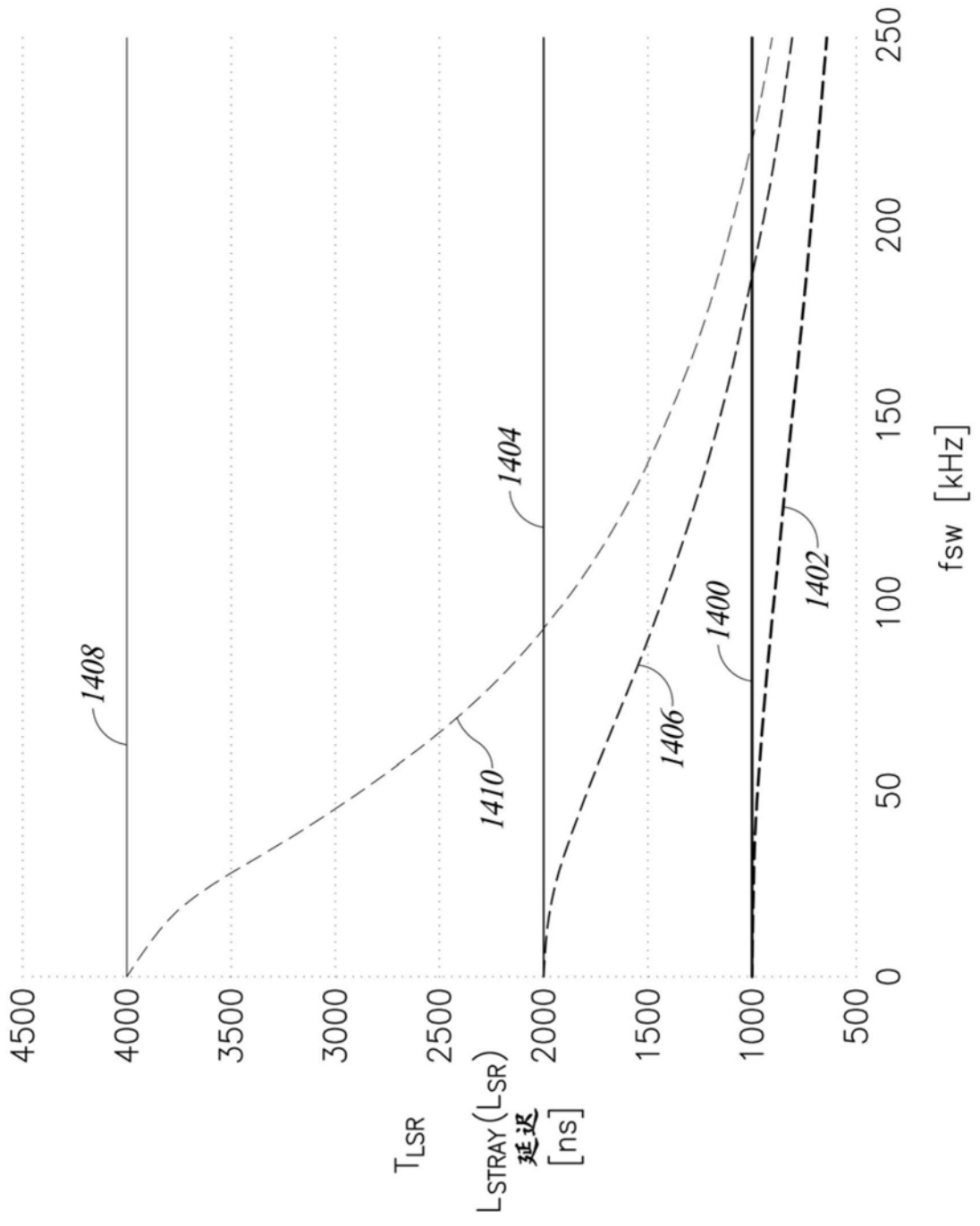


图14

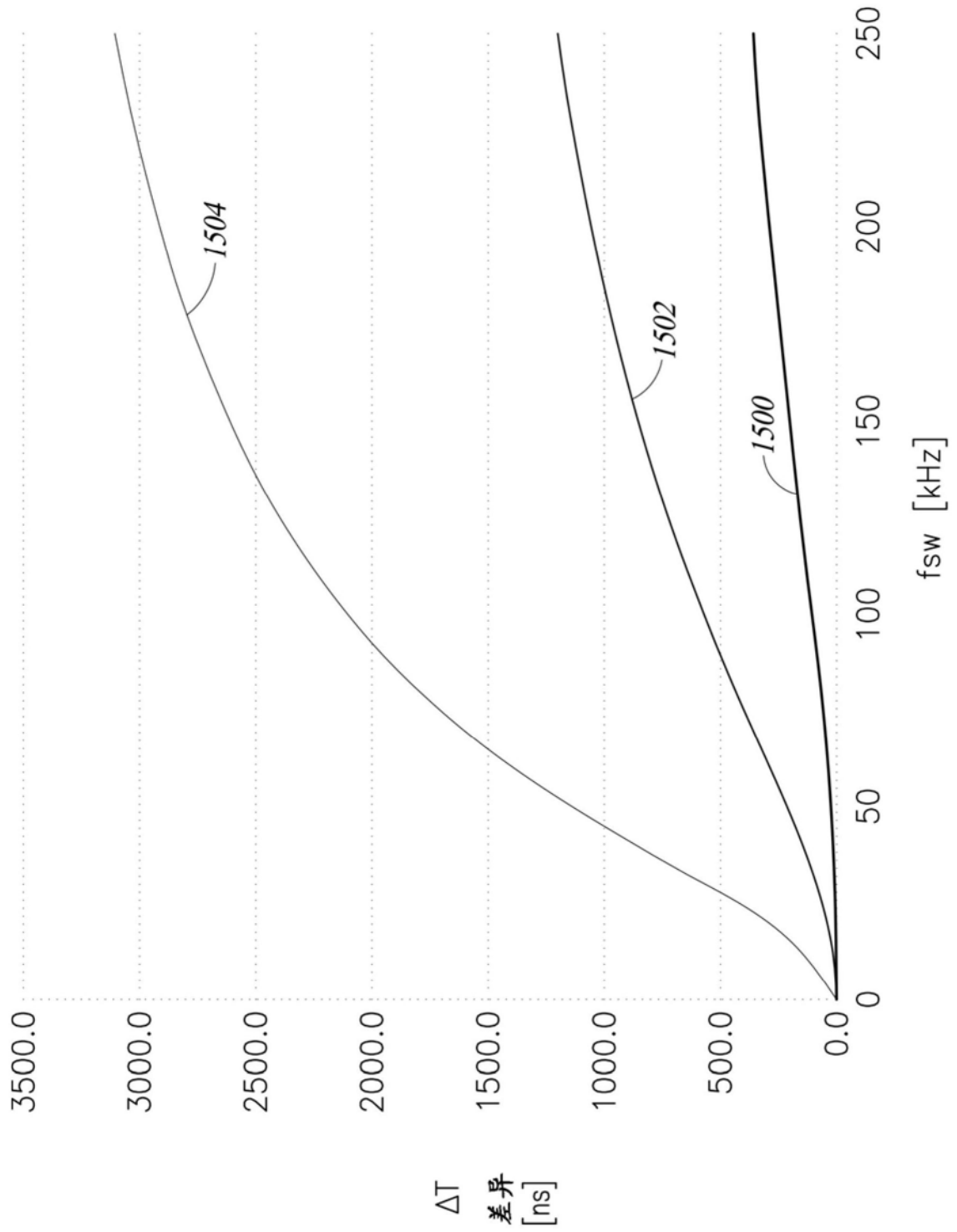


图15

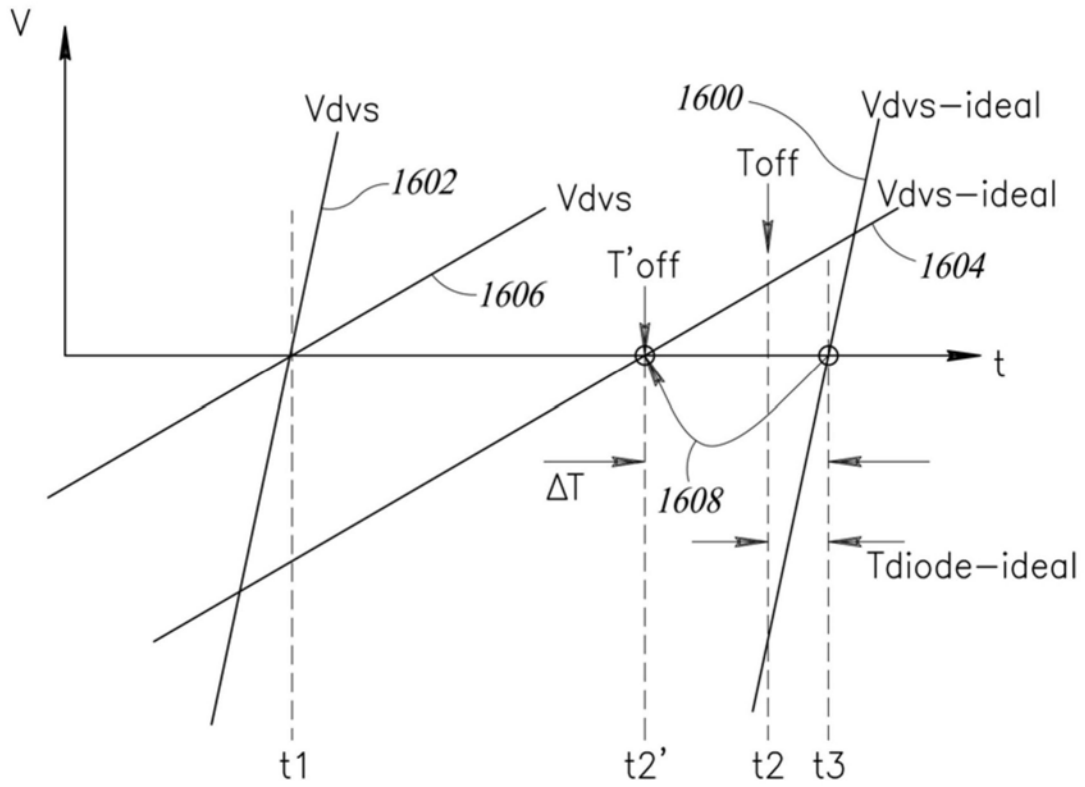


图16A

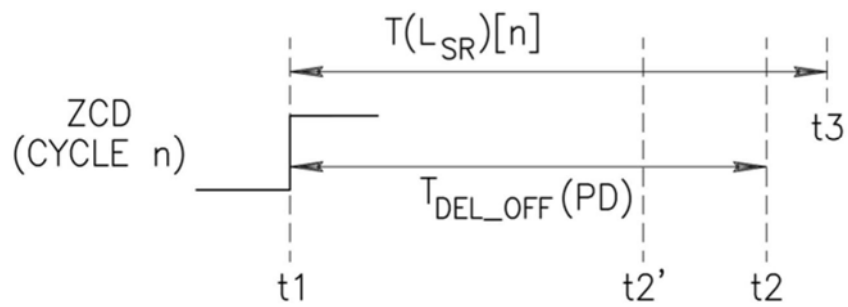


图16B

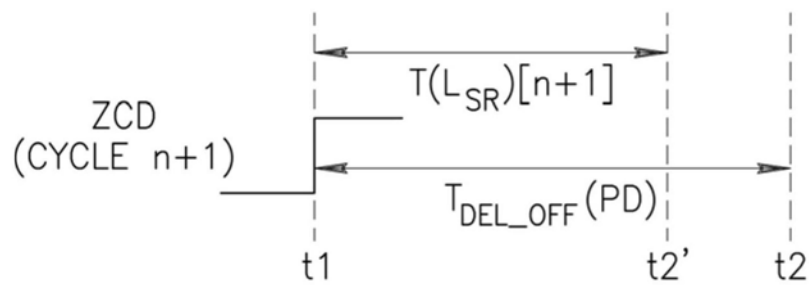


图16C

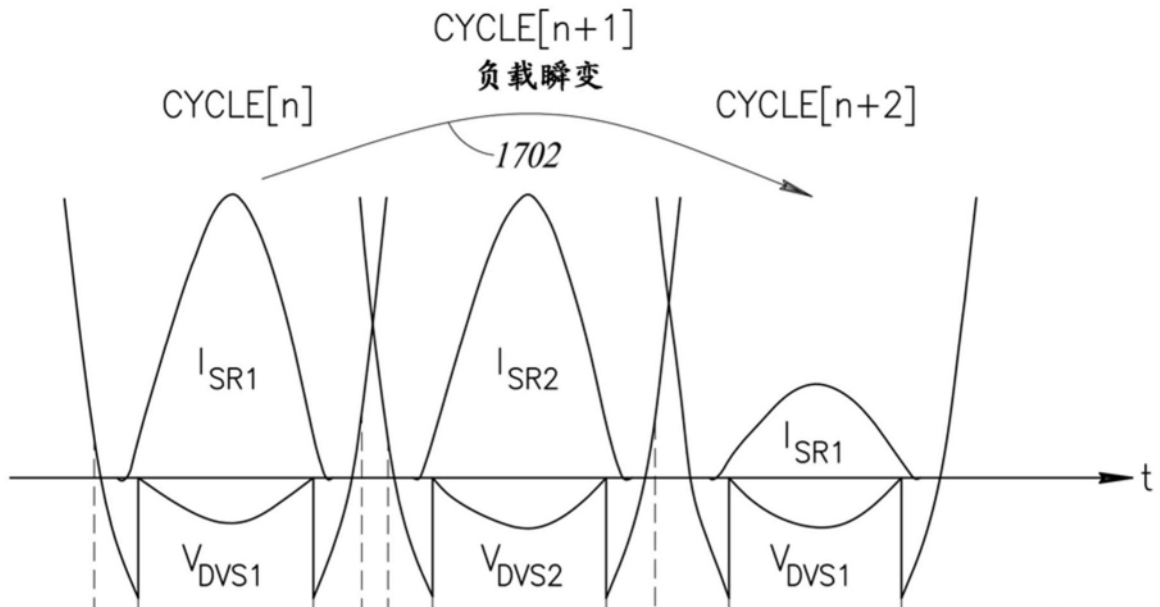


图17A

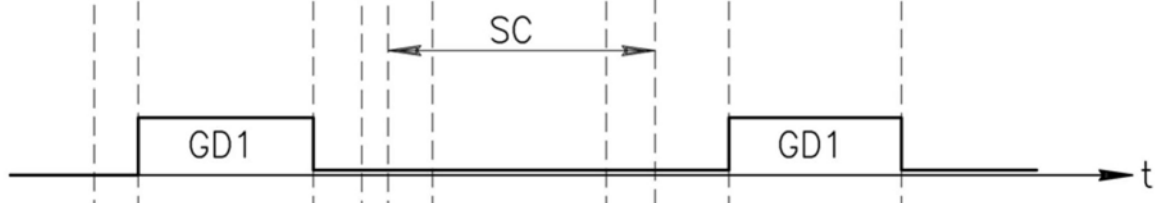


图17B

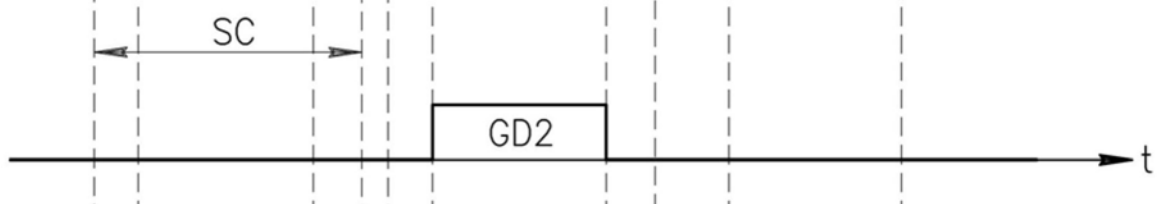


图17C

SC

SC



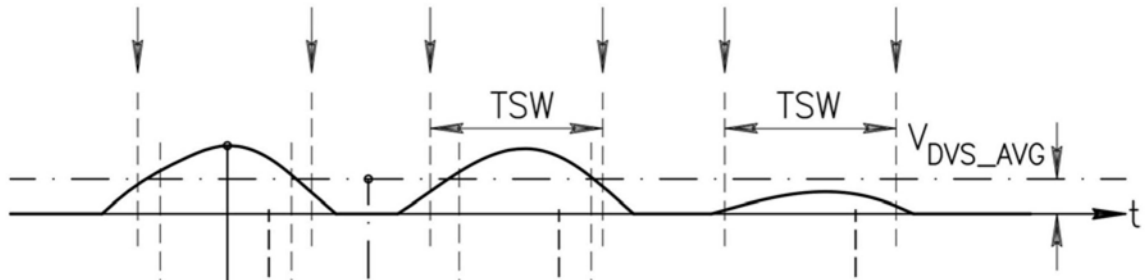


图17D

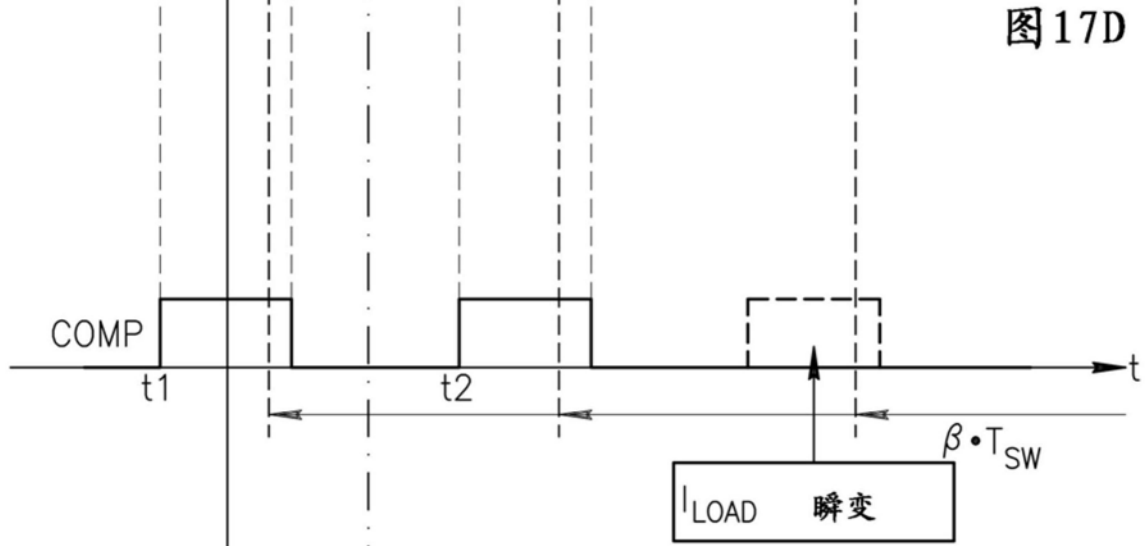


图17E

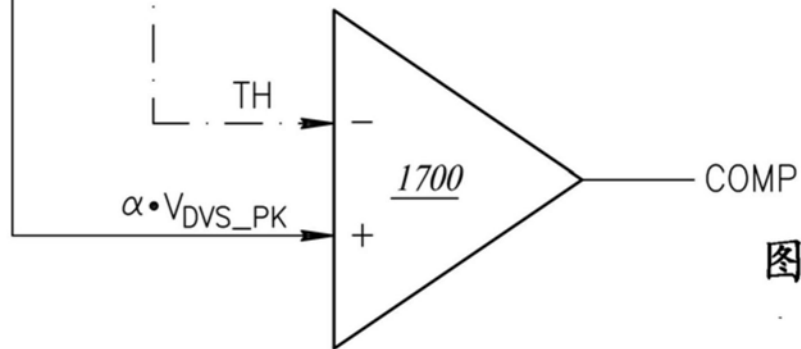


图17F

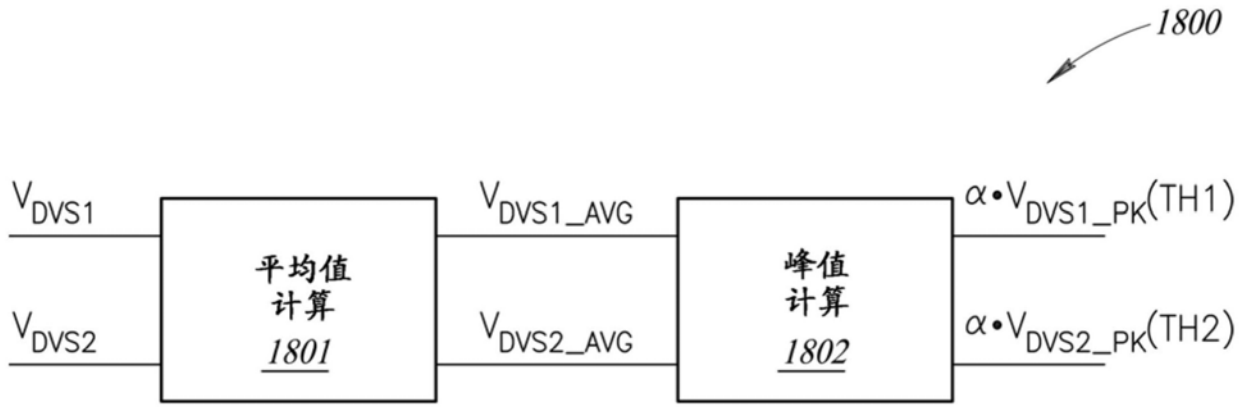


图18

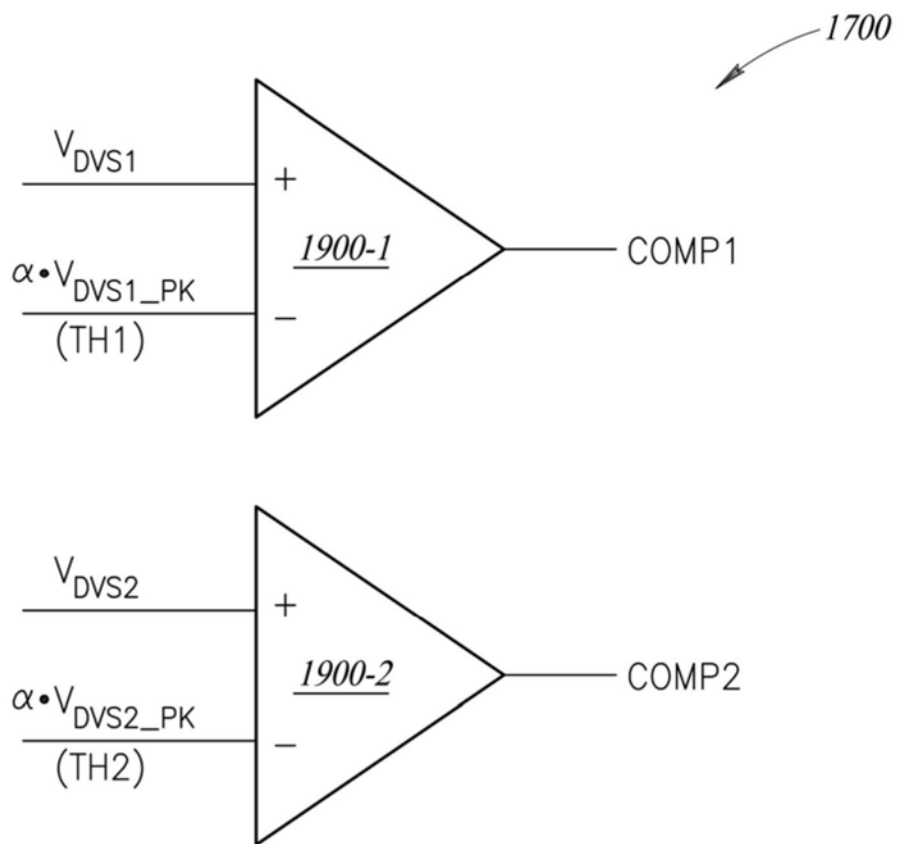


图19