

公告本

389982

申請日期	87.1.26
案號	87101057
類別	H01L 21/76

A4
C4

389982

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中文	淺溝渠隔離結構的製造方法
	英文	
二、發明 創作人	姓名	藍士明
	國籍	中華民國
	住、居所	彰化市中正路一段 56 號
三、申請人	姓名 (名稱)	聯嘉積體電路 聯華電子股份有限公司
	國籍	中華民國
	住、居所 (事務所)	新竹科學工業園區新竹市力行二路三號
	代表人 姓名	曹興誠

經濟部中央標準局員工消費合作社印製

裝
訂
線

五、發明說明(1)

本發明是有關於一種淺溝渠隔離(Shallow Trench Isolation, STI)結構的製造方法,且特別是有關於一種防止於淺溝渠隔離結構的邊緣產生場氧化物凹陷(Field Oxide Recess)的方法。

一般來說,完整的電路,比如積體電路,通常是由成千上萬個MOS電晶體所組成。為防止相鄰的電晶體之間發生短路,必須在相鄰的電晶體間加入一個用以隔離之用的絕緣層,例如場氧化層(Field Oxide, FOX),或是淺溝渠隔離(STI),用以定義出元件區(Active Area)。

習知淺溝渠隔離是一種普遍的元件隔離方法,一般會在半導體基底上形成氮化矽層,以作為蝕刻罩幕(Etching Mask),然後以非等向性蝕刻法(Anisotropic Etching)在半導體基底上定義出陡峭的淺溝渠。之後再於淺溝渠中填滿氧化物,而提供做為元件隔離結構,且此結構具有與原基底表面大約等高之上表面。但習知淺溝渠隔離結構製程會有場氧化物邊緣凹陷的現象產生之缺點。第1A~1G圖係繪示習知淺溝渠隔離結構之製造流程圖。

首先,請參照第1A圖,在半導體基底10上形成氧化層12,其中此氧化層12作為墊氧化層(Pad Oxide),用於保護基底10的表面,其會於最後開極氧化層形成之前移去。之後以化學氣相沈積法(CVD)形成氮化矽層14。然後,在氮化矽層14上形成光阻用以定義溝渠的圖案,接著經微影蝕刻製程而形成具溝渠圖案的光阻18。

接著請參照第1B圖,利用光阻18蝕刻氮化矽層14,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (>)

以形成一蝕刻罩幕 14a，接著依序蝕刻墊氧化層 12 及半導體基底 10，以在基底 10 內形成一溝渠 16。之後利用熱氧化法，在溝渠 16 內形成襯氧化層 (Linear Oxide) 52。

接著請參照第 1C 圖，移除光阻 18 後，將溝渠 16 填滿絕緣物質比如矽氧化物層，其方式例如以矽酸四乙酯 (TEOS) 為氣體源，再利用常壓化學氣相沈積法 (APCVD) 沈積一二氧化矽 (SiO_2) 氧化層 26，填入溝渠 16。接著，二氧化矽氧化層 26 需經密實化 (Densification) 步驟，比如在溫度 1000°C 下，進行時間約 10~30 分鐘。

接著請參照第 1D 圖，在密實化之後，則以化學機械研磨法 (CMP) 去除氮化矽層 14a 上之二氧化矽氧化層 26，而以氮化矽層 14a 為研磨終點，留下淺溝渠區中的氧化插塞 36 (Oxide Plug)。然而化學機械研磨法進行時，由於氧化插塞 36 較氮化矽層 14a 為軟，因此氮化矽層 14a 與氧化插塞 36 的接面處，會有氧化插塞 36 輕微的凹入現象，圖示中未繪出。

接著請參照第 1E 圖，再移去氮化矽層 14a，以暴露出墊氧化層 12，並留下於墊氧化物層 12 表面高度以上之氧化插塞 36a。由於在移除氮化矽層 14a 時，亦會移除些許氧化插塞 36a 所裸露出的部份，因此造成如圖示於裸露出之氧化插塞 36a 會往中央有部份被移去。

接著請參照第 1F 圖，隨後以氫氟酸 (HF) 浸蝕移除墊氧化物層 12，由於二氧化矽氧化插塞 36a 的蝕刻速率較墊氧化物層 12 快，因而造成移去墊氧化物層 12 時，氧化插

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (→)

塞 46 移除掉的厚度較墊氧化層 12 移除掉的為厚。氧化物蝕刻步驟的進行常常引起氧化插塞 46 的過度蝕刻 (Over Etching)，而使氧化插塞 46 表面鄰接著基底 10 的邊緣處凹入，使得鄰接著基底 10 邊緣處的氧化插塞 46 表面低於基底 10 的表面，造成場氧化物凹陷 46a。而場氧化物的凹陷 46a 會影響元件的品質，因而降低臨限電壓、產生不正常次的臨限電流及發生漏電的情形。

接著請參照第 1G 圖，隨後在基底 10 表面利用熱氧化法形成閘極氧化層 22。之後再進行傳統 MOS 電晶體的製程，在此不多做說明。

在習知技藝中，因過度蝕刻而在鄰接基底 10 表面之氧化插塞 46 所形成的凹槽 46a 處，造成後續製程生長之閘極氧化層 22 在此處較薄，而較薄的閘極氧化層 22 不僅降低閘極的可靠度，亦因在溝渠 46 頂端角落累積電荷，導致電場增加，進而降低元件通道開啓 (Turn-on) 的臨限電壓 (Threshold Voltage)，產生一不正常的次臨限電流 (Subthreshold Current)，此即為所謂的頸結效應 (Kink Effect)。此外，亦會在相對於主元件區的角落，形成寄生 (Corner Parasitic) MOS 電晶體，導致元件漏電的情況發生。而降低臨限電壓、不正常次臨限電流的產生及漏電的發生，將會降低元件的品質，並導致製程的良率 (Yield) 減少。

因此本發明的主要目的，就是在提供一種淺溝渠隔離結構的製造方法，以避免在淺溝渠隔離結構的邊緣會有場

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(4)

氧化物凹陷的現象產生之缺點。

為達成本發明之上述和其他目的，一種淺溝渠隔離結構的製造方法，包括：提供一半導體基底，其上已依序形成有氧化層和已定義出溝渠圖案的蝕刻罩幕；接著將溝渠圖案轉移至氧化層和基底，以形成一溝渠；再移除部份蝕刻罩幕，以暴露出部份的氧化層，使得蝕刻罩幕中的溝渠大致為 T 型；之後在溝渠與蝕刻罩幕上填滿一絕緣層，並研磨絕緣層表面，直到暴露出蝕刻罩幕；隨後剝除蝕刻罩幕和氧化層；最後進一步研磨絕緣層表面，以形成與半導體基底等高的一淺溝渠隔離結構。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1A 圖至第 1G 圖係顯示一種習知淺溝渠隔離結構的製造方法；以及

第 2A 圖至第 2H 圖係顯示根據本發明較佳實施例之一種淺溝渠隔離結構的製造方法。

其中，各圖標號與構件名稱之關係如下：

- | | |
|----------------------|-------|
| 10、100 | 半導體基底 |
| 12、102 | 墊氧化層 |
| 22、112 | 閘極氧化層 |
| 52、152 | 襯氧化層 |
| 14、14a、104、104a、104b | 氮化矽層 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

16、106、106a 溝渠

26、116 矽氧化物層

106b 開口

36、36a、126、126a 氧化插塞

46、136 淺溝渠隔離結構

46a 場氧化物凹陷

18、108 光阻

實施例

第 2A~2H 圖所示，為根據本發明一較佳實施例之一種淺溝渠隔離結構之製造流程圖。

首先請參照第 2A 圖，在半導體基底 100 上形成氧化層 102，其中此氧化層 102 比如利用熱氧化法形成，並作為墊氧化層，以用於保護基底 100 的表面，而於最後開極氧化層形成之前移去。之後以化學氣相沈積法形成氮化矽層 104，然後，在氮化矽層 104 上形成光阻用以定義溝渠的圖案，接著經微影蝕刻製程而形成具有溝渠圖案的光阻 108。

接著請參照第 2B 圖，利用光阻 108 蝕刻氮化矽層 104，以形成一蝕刻罩幕 104a，接著依序蝕刻墊氧化層 102 及半導體基底 100，以在基底 100 內形成一陡峭形的溝渠 106。之後，比如利用熱氧化法，於溝渠 106 內壁形成一襯氧化層 152。

接著請參照第 2C 圖，移除光阻 108 後，再移除部份的氮化矽層 104b，使暴露出部份的墊氧化層 102。其中移除部份氮化矽層 104b 的方法比如利用等向性蝕刻法，在溫度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(6)

約 25~250°C 的蝕刻液下進行濕式蝕刻，而蝕刻液的主要成份為磷酸 (H_3PO_4)，且 H_3PO_4 / H_2O 的體積比約為 5/1~50/1，氮化矽層 104b 所移除的厚度約為 50~2000Å。此處氮化矽層 104b 所暴露出的開口 106b 比下方淺溝渠 106a 大。

接著請參照第 2D 圖，將開口 106b 和溝渠 106a 填滿絕緣物質比如矽氧化物，其方法比如以矽酸四乙酯為氣體源，使用常壓化學氣相沈積法，沈積二氧化矽氧化層 116。之後二氧化矽氧化層 116 需經密實化步驟，比如在約 1000°C 的溫度下，進行時間約 10~30 分鐘。

接著請參照第 2E 圖，在密實化之後，則以化學機械研磨法去除氮化矽層 104b 上之二氧化矽氧化層 116，且以氮化矽層 104b 為研磨終點，留下溝渠區中的氧化插塞 126，氧化插塞 126 的形狀為似 T 型。其原因為當開口 106b 和溝渠 106a 填滿氧化物後，由於墊氧化層 102 上方高度的氧化物之水平寬度大於下方溝渠的寬度，使得所形成的氧化插塞大致為 T 形。

接著請參照第 2F 圖，再移去氮化矽層 104b，以暴露出墊氧化層 102，並留下於墊氧化物層 102 表面高度以上之氧化插塞 126a。其中移去氮化矽層 104b 的方法，包括利用熱磷酸進行濕式蝕刻製程。由於氧化插塞 126a 有多餘的部份位於墊氧化層 102 上方，使得當移除氮化矽層 104b 時，不會連帶蝕刻太多的氧化插塞 126a，避免造成後續的製程有場氧化層凹陷的情形發生。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(7)

接著請參照第 2G 圖，隨後進行氧化物蝕刻製程，比如以氫氟酸浸蝕移除墊氧化物層 102。因此本發明所提供的淺溝渠隔離結構的製造方法，不會有習知於氧化插塞表面鄰接著基底的邊緣處造成凹陷，而使緊鄰基底之氧化插塞部份低於基底的表面，產生場氧化物凹陷的現象，導致在後續 MOS 電晶體的製程中，發生不可預期之臨限電壓的降低、不正常次臨限電流的產生及漏電的情形發生。

接著請參照第 2H 圖，隨後在基底 100 表面利用熱氧化法形成閘極氧化層 112。之後再進行傳統 MOS 電晶體的製程，由於此部份非關本發明的權力範圍，在此不多做說明。

應用本發明所提出之淺溝渠隔離結構的製造方法，可以在淺溝渠的介面處生成品質較習知方法佳的閘極氧化層，因此可以提高閘極的可靠度。因於淺溝渠與閘極氧化層的介面處無累積電荷的區域，因此可以避免習知臨限電壓降低和不正常次臨限電流產生的問題；且於淺溝渠與閘極氧化層的介面處無寄生 MOS 電晶體，因此可以避免習知漏電的情形發生。因此本發明可以提高元件的品質，並提高製程的良率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要(發明之名稱： 淺溝渠隔離結構的製造方法)

本發明揭露一種淺溝渠隔離結構的製造方法，以避免在淺溝渠表面產生凹陷等不良情形。首先在氮化矽層、氧化層和基底形成一似 T 型的開口，使氮化矽層開口的水平尺寸大於下方氧化層和基底之開口的水平尺寸，之後將開口填滿絕緣物質。在剝除氮化矽層時，亦同時去除部份裸露在外的絕緣物質，而不會過度蝕刻絕緣物質，於是形成等高的淺溝渠隔離結構，可避免淺溝渠邊緣凹陷的情形發生。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：)

六、申請專利範圍

1. 一種淺溝渠隔離結構的製造方法，其包括：
提供一半導體基底，該半導體基底上已依序形成有一氧化層和一蝕刻罩幕，該蝕刻罩幕並已定義出一溝渠圖案；
將該溝渠圖案轉移至該氧化層和該基底，以形成一溝渠；
移除部份該蝕刻罩幕，以暴露出部份該氧化層，使得該蝕刻罩幕中的該溝渠大致為 T 型；
在該溝渠與該蝕刻罩幕上填滿一絕緣層，並研磨該絕緣層表面，直到暴露出該蝕刻罩幕；
剝除該蝕刻罩幕；以及
剝除該氧化層，以形成一淺溝渠隔離結構。
2. 如申請專利範圍第 1 項所述之製造方法，其中該蝕刻罩幕包括一氮化矽層。
3. 如申請專利範圍第 1 項所述之製造方法，其中移除部份該蝕刻罩幕的方法包括一等向性蝕刻法。
4. 如申請專利範圍第 3 項所述之製造方法，其中該等向性蝕刻法的蝕刻條件包括在約 25~250°C 的溫度下，以一蝕刻液進行濕蝕刻，該蝕刻液的主要成份為磷酸，其中 H_3PO_4 / H_2O 的體積比約為 5/1~50/1。
5. 如申請專利範圍第 1 項所述之製造方法，其中移除部份該蝕刻罩幕的製程中，所移除的厚度約為 50~2000Å。
6. 如申請專利範圍第 1 項所述之製造方法，其中研磨該絕緣層表面，直到暴露出該蝕刻罩幕的方法，包括化學

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

機械研磨法，並以該蝕刻罩幕為研磨終點。

7. 如申請專利範圍第 1 項所述之製造方法，其中將該溝渠填滿該絕緣層的方法，包括利用常壓化學氣相沈積法。

8. 如申請專利範圍第 7 項所述之製造方法，其中將該溝渠填滿該絕緣層的方法，包括以矽酸四乙酯為氣體源，在約 1000°C 的溫度下，進行約 10~30 分鐘。

9. 如申請專利範圍第 2 項所述之製造方法，其中剝除該氮化矽層之方法，包括利用熱磷酸進行濕蝕刻。

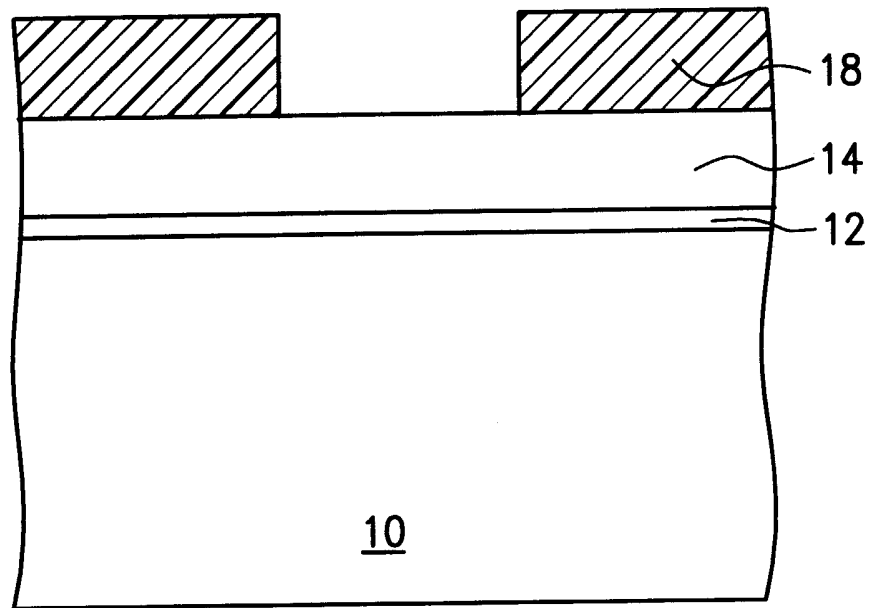
10. 如申請專利範圍第 1 項所述之製造方法，其中剝除該氧化層的方法包括利用氫氟酸浸泡。

(請先閱讀背面之注意事項再填寫本頁)

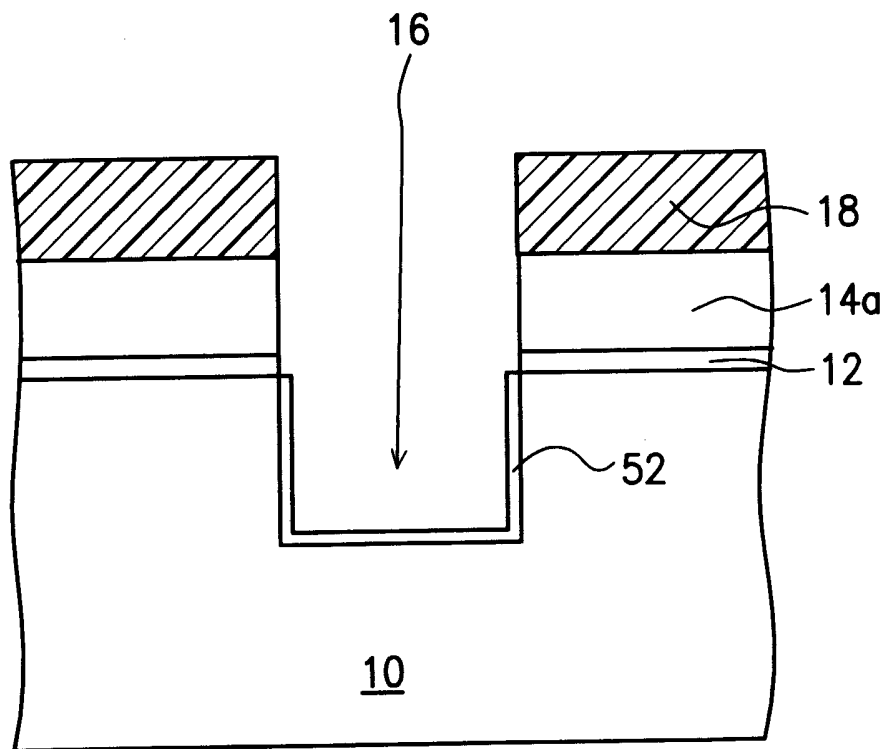
裝

訂

象



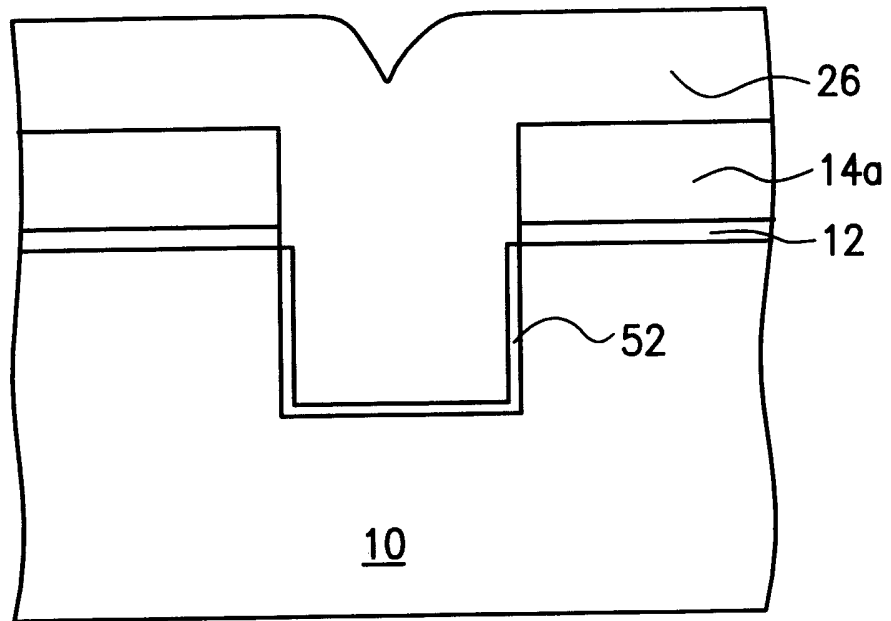
第 1A 圖



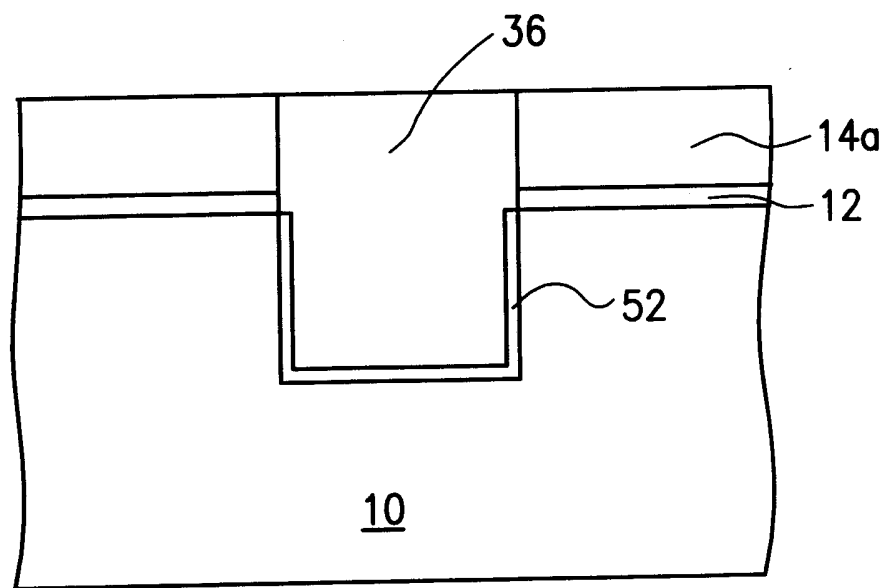
第 1B 圖

389982

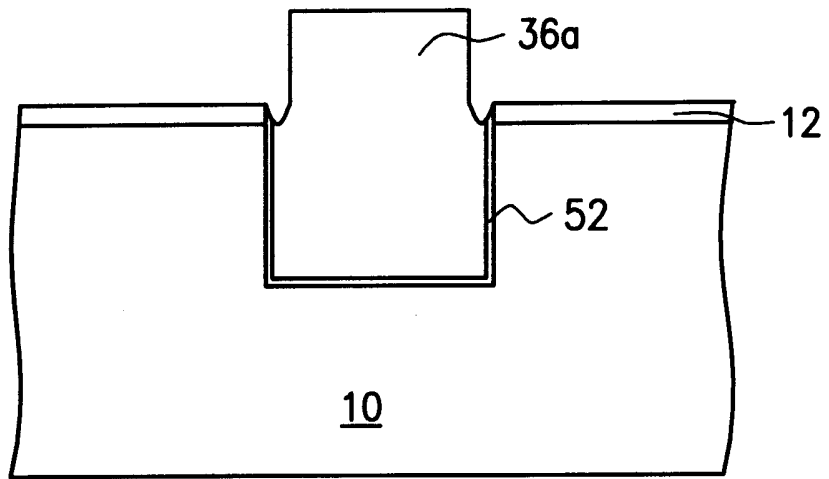
2424TW



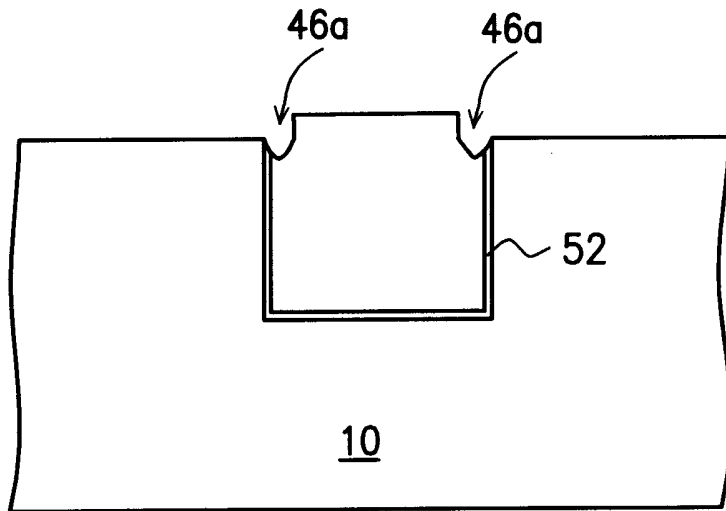
第 1C 圖



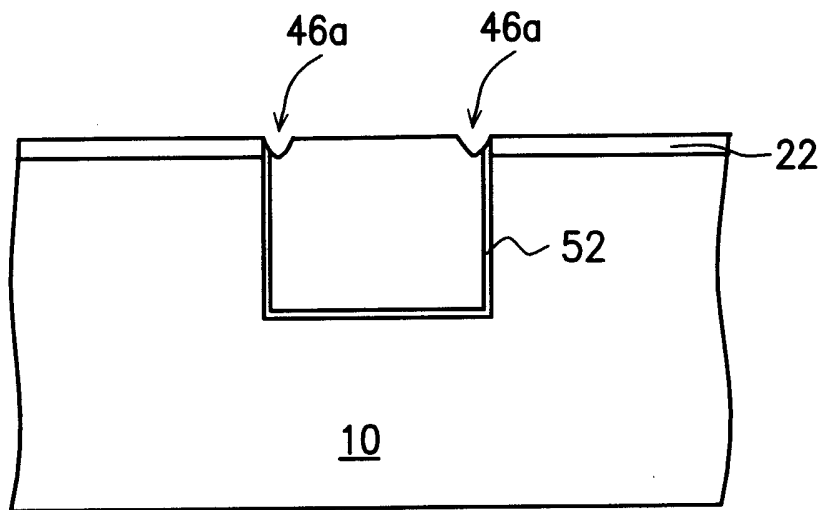
第 1D 圖



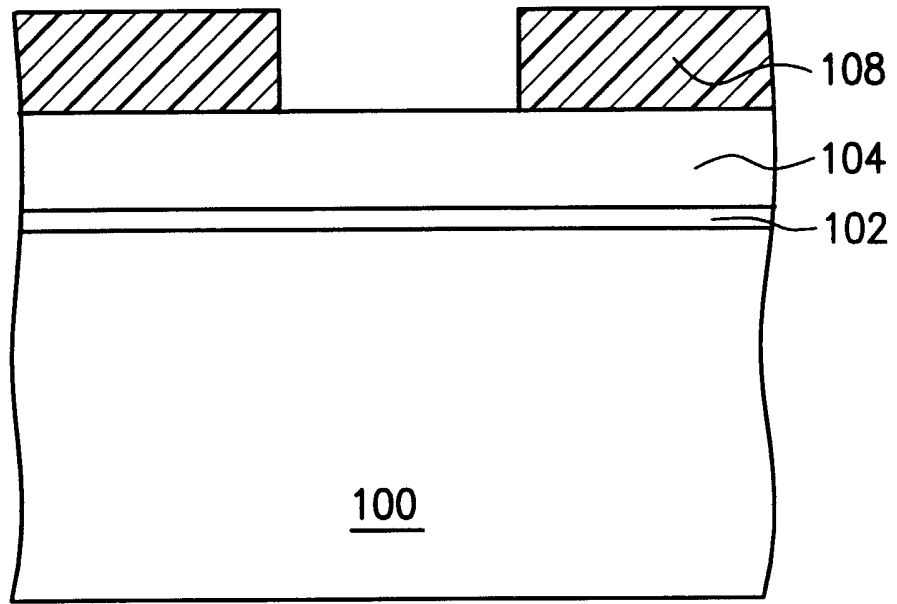
第 1E 圖



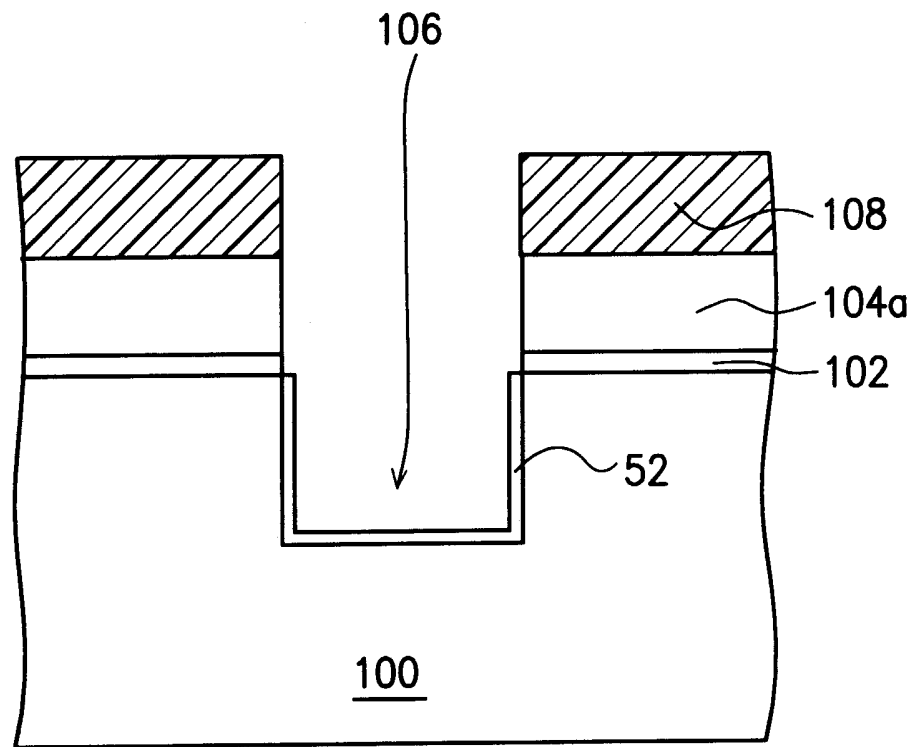
第 1F 圖



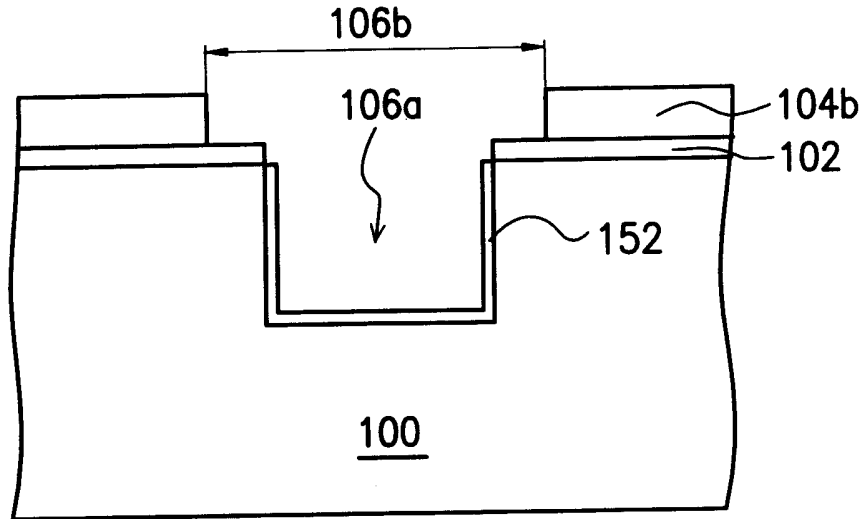
第 1G 圖



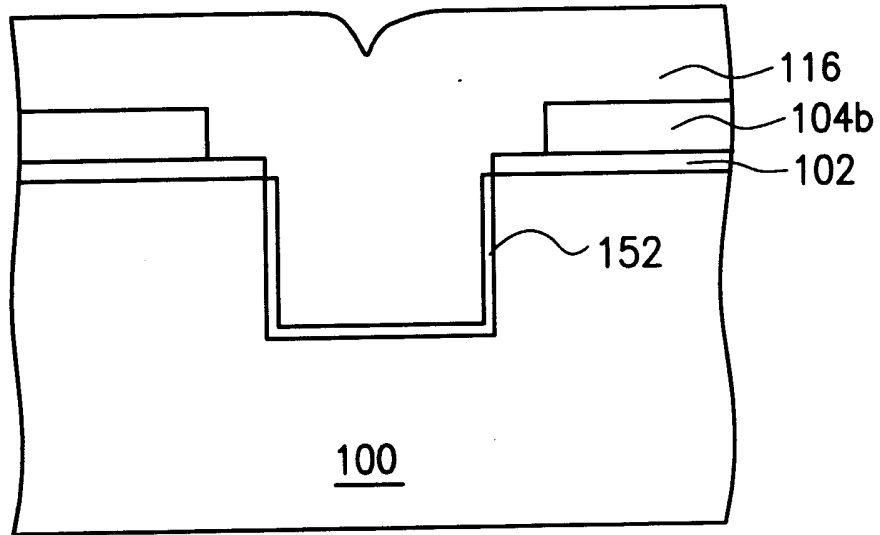
第 2A 圖



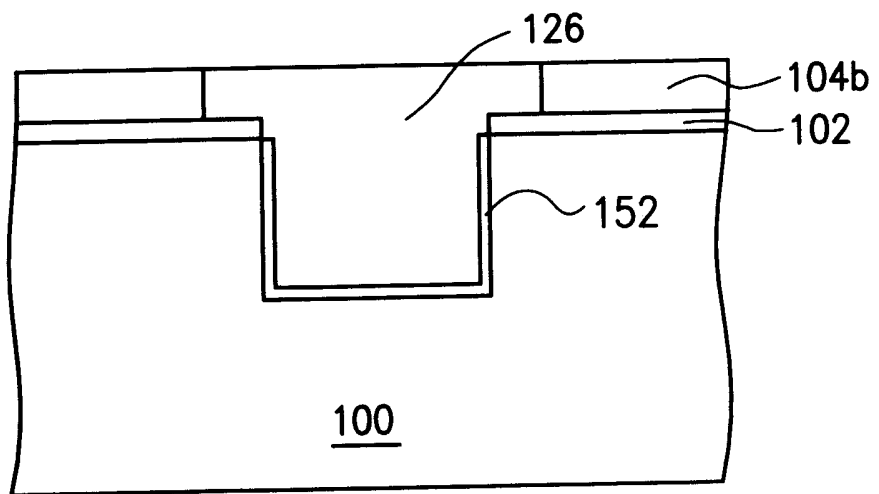
第 2B 圖



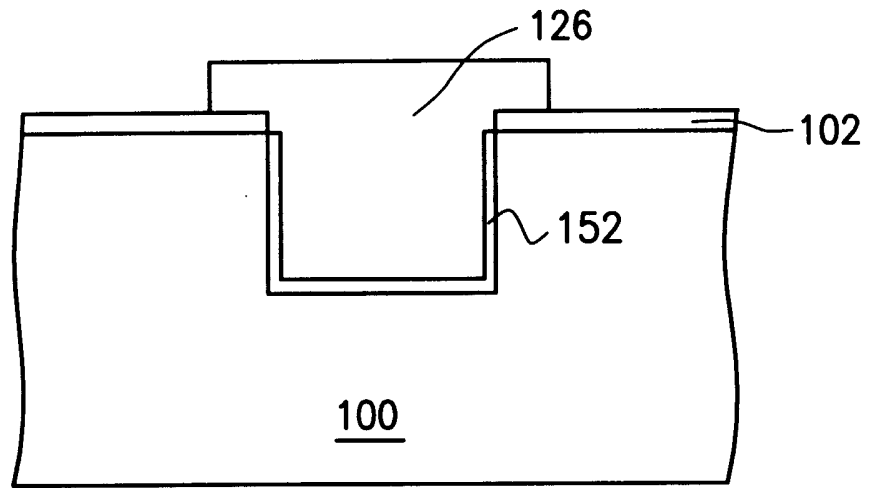
第 2C 圖



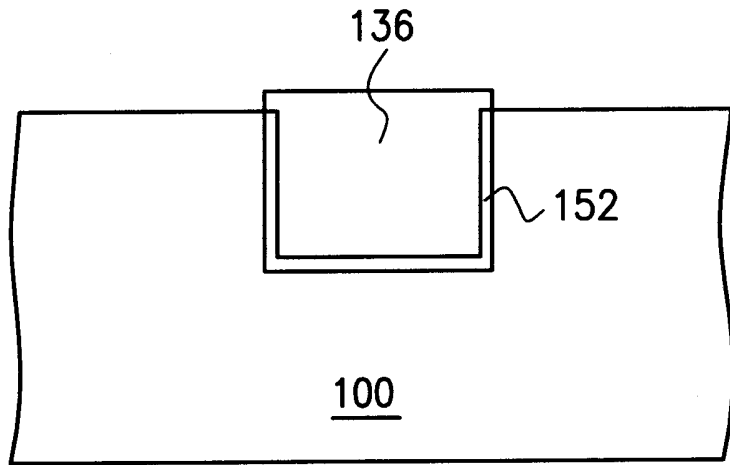
第 2D 圖



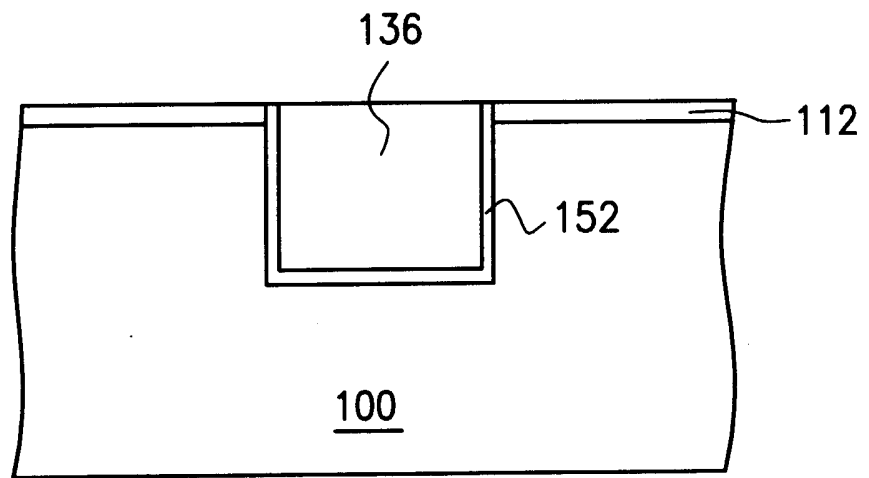
第 2E 圖



第 2F 圖



第 2G 圖



第 2H 圖