

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-273919

(P2007-273919A)

(43) 公開日 平成19年10月18日(2007.10.18)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 2 6 C	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 0 1 R	5 F 1 1 0
HO 1 L 21/283 (2006.01)	HO 1 L 21/283 B	

審査請求 未請求 請求項の数 16 O L (全 15 頁)

(21) 出願番号	特願2006-101140 (P2006-101140)	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成18年3月31日 (2006.3.31)	(71) 出願人	303018827 NEC液晶テクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
		(74) 代理人	100099830 弁理士 西村 征生
		(72) 発明者	森 茂 東京都港区芝五丁目7番1号 日本電気株式会社内
		Fターム(参考)	4M104 AA01 AA08 AA09 AA10 BB01 BB02 BB13 BB16 BB18 BB40 DD16 DD17 EE12 FF13 GG08 GG09 HH20

最終頁に続く

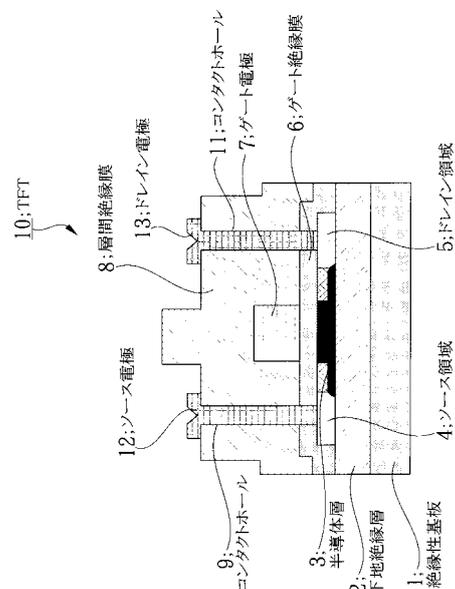
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 絶縁性基板上に下地絶縁層を介して半導体層が形成された半導体装置において、絶縁性基板に含まれている不純物が半導体層に作用するのを防止して、半導体装置の信頼性を向上させる。

【解決手段】 開示される TFT10 は、下地絶縁層2に、絶縁性基板1表面から略100nm以内の領域に、絶縁性基板1表面から半導体層3に向かってボロン濃度が平均的に1nmあたり略1/1000倍以下の割合で減少するようにボロンが含まれている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

絶縁性基板上に下地絶縁層を介して半導体層を形成する半導体装置であって、前記下地絶縁層に含まれる不純物が、絶縁性基板表面から半導体層に向かって不純物濃度が平均的に1nmあたり略1/1000倍以下の割合で減少するように含まれている、ことを特徴とする半導体装置。

## 【請求項 2】

前記不純物濃度が前記のように減少している前記下地絶縁層の領域が、前記絶縁性基板表面から略100nm以内の領域であることを特徴とする請求項1記載の半導体装置。

## 【請求項 3】

前記絶縁性基板表面から略100nm以上離れた前記下地絶縁層の領域の前記不純物濃度が、略 $10^{19}$  (原子/cm<sup>3</sup>)以下であることを特徴とする請求項2記載の半導体装置。

10

## 【請求項 4】

前記不純物濃度が前記のように減少している前記下地絶縁層の領域が、少なくともゲート電極の下に位置するように形成されていることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

## 【請求項 5】

前記不純物がボロン、もしくはアルミニウム、もしくはボロンを含む物質、もしくはアルミニウムを含む物質であることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

20

## 【請求項 6】

前記不純物がボロン、もしくはボロンを含む物質であり、前記下地絶縁層にボロン濃度が平均的に1nmあたり略1/10000～1/1000倍の割合で減少するように含まれていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

## 【請求項 7】

前記不純物がアルミニウム、もしくはアルミニウムを含む物質であり、前記下地絶縁層にアルミニウム濃度が平均的に1nmあたり略1/10000～1/1000倍の割合で減少するように含まれていることを特徴とする請求項1～4のいずれか1項に記載の半導体装置。

30

## 【請求項 8】

前記ボロン濃度あるいは前記アルミニウム濃度を、二次イオン質量分析法で得ることを特徴とする請求項5～7のいずれか1項に記載の半導体装置。

## 【請求項 9】

絶縁性基板上に下地絶縁層を介して半導体層を形成する半導体装置の製造方法であって、

前記絶縁性基板上に、該絶縁性基板表面から前記半導体層に向かって不純物濃度が平均的に1nmあたり略1/1000倍以下の割合で減少する前記下地絶縁層を形成する工程を有する、

ことを特徴とする半導体装置の製造方法。

40

## 【請求項 10】

前記不純物濃度が前記のように減少している前記下地絶縁層の領域を、前記絶縁性基板表面から略100nm以内の領域に形成することを特徴とする請求項9記載の半導体装置の製造方法。

## 【請求項 11】

前記絶縁性基板表面から略100nm以上離れた前記下地絶縁層の領域の前記不純物濃度を、略 $10^{19}$  (原子/cm<sup>3</sup>)以下に制御することを特徴とする請求項10記載の半導体装置の製造方法。

## 【請求項 12】

前記不純物濃度が前記のように減少している前記下地絶縁層の領域を、少なくともゲ

50

ト電極の下に位置するように形成することを特徴とする請求項 9 ~ 11 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 13】

前記不純物がボロン、もしくはアルミニウム、もしくはボロンを含む物質、もしくはアルミニウムを含む物質であることを特徴とする請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置。

【請求項 14】

前記不純物としてボロン、もしくはボロンを含む物質を用いて、前記下地絶縁層にボロン濃度が平均的に 1nm あたり略 1 / 10000 ~ 1 / 1000 倍の割合で減少するように含ませることを特徴とする請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法。 10

【請求項 15】

前記不純物としてアルミニウム、もしくはアルミニウムを含む物質を用いて、前記下地絶縁層にアルミニウム濃度が平均的に 1nm あたり略 1 / 10000 ~ 1 / 1000 倍の割合で減少するように含ませることを特徴とする請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法。

【請求項 16】

前記ボロン濃度あるいは前記アルミニウム濃度を、二次イオン質量分析法で得ることを特徴とする請求項 13 ~ 15 のいずれか 1 項に記載の半導体装置の製造方法。

【発明の詳細な説明】 20

【技術分野】

【0001】

この発明は、半導体装置及びその製造方法に係り、詳しくは、絶縁性基板上に下地絶縁層を介して半導体層を形成した半導体装置及びその製造方法に関する。

【背景技術】

【0002】

例えば、表示装置の代表として知られている液晶表示装置 (Liquid Crystal Device: LCD) においては、液晶素子の駆動用デバイスとして薄膜トランジスタ (Thin Film Transistor: TFT) を形成したアクティブマトリクス基板が用いられている。TFT は、絶縁性基板上に形成されたアモルファスシリコン膜やポリシリコン膜等の半導体層を活性層として、ソース領域及びドレイン領域等の活性領域が形成されている。近年、LCD における用途の多様化により、TFT の多機能化及び微細化が求められ、さらに高い信頼性、あるいは高い耐久性を備えた TFT が要望されている。 30

【0003】

ここで、TFT に用いられる絶縁性基板としては製造コストの点で有利なガラス基板が用いられるが、このガラス基板には製造、加工を容易にするために、製造段階である種の不純物の混入が避けられない。そして、これらの不純物は、TFT の活性領域となる半導体層に作用して、TFT の特性上重要なしきい値を変動させる等の影響を及ぼすので、TFT の信頼性を低下させる。そのような不純物として、特にボロンあるいはアルミニウムが含まれている場合は、微量であっても影響が大きい。このために、ガラス基板上に半導体層を形成するに先立って、ガラス基板に洗浄処理が施されるが、そのような不純物を完全に除去することは困難である。 40

【0004】

そのようにガラス基板上に含まれている不純物の影響から半導体層を保護するようにした TFT が、特許文献 1 あるいは特許文献 2 に開示されている。図 9 は、例えば、特許文献 1 に開示された従来の TFT の構成を示す断面図である。同 TFT 100 は、絶縁性基板 101 と、この絶縁性基板 101 上に形成された下地絶縁層 102 と、この下地絶縁層 102 上に形成された半導体層 103 と、この半導体層 103 の両端領域にそれぞれ形成されたソース領域 104 及びドレイン領域 105 と、半導体層 103 上に形成されたゲート絶縁膜 106 と、このゲート絶縁膜 106 上に形成されたゲート電極 107 と、ゲート 50

電極 107 を含む全面に形成された層間絶縁膜 108 と、この層間絶縁膜 108 にそれぞれ開孔されたコンタクトホール 109、110 を通じて両領域 104、105 にコンタクトするように形成されたソース電極 111 及びドレイン電極 112 とを備えている。

【0005】

上述したような構成の従来の TFT 100 によれば、絶縁性基板 101 上には下地絶縁層 102 を介して半導体層 103 が形成されているので、絶縁性基板 100 に含まれている不純物は、下地絶縁層 3 により遮蔽されて半導体層 103 に作用するのが抑制されるようになる。したがって、TFT のしきい値が変動するのを防止することが可能となる。

【特許文献 1】特開平 05 - 203982 号公報

【特許文献 2】特開 2005 - 340280 号公報

10

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、特許文献 1 に記載されているような従来の TFT では、絶縁性基板と半導体層との間に下地絶縁層が介在されていても、TFT の製造段階で各種の熱処理が施されると、この熱処理によって絶縁性基板に含まれている不純物が下地絶縁層内に拡散して半導体層に作用する、という問題がある。

すなわち、TFT の製造段階では、例えばソース領域及びドレイン領域を形成するために半導体層にリン (N 型不純物) やボロン (P 型不純物) 等の不純物が導入されるが、この後にそれらの不純物を活性化させるための活性化工程のように、300 以上の比較的高い温度での熱処理を伴う工程が繰り返される。この結果、このような熱処理が長時間にわたって、下地絶縁層を介して半導体層が形成された絶縁性基板が晒されると、絶縁性基板に含まれている前記したようなボロンあるいはアルミニウムが、絶縁性基板から下地絶縁層に拡散するようになる。

20

【0007】

そして、ボロンあるいはアルミニウムが下地絶縁層に拡散して半導体層の付近に至ると TFT 特性が変動する。この現象はボロンあるいはアルミニウムが下地絶縁層中の固定電荷として作用していることに起因している可能性がある。また、下地絶縁層を通過して半導体層まで到達するようになると、ボロンあるいはアルミニウムはアクセプタとして作用するので、TFT のしきい値を変動させるように働く。このような現象は不純物が特にゲート電極直下の半導体層付近もしくは半導体層まで、あるいは低濃度ドレイン (Lightly Doped Drain: LDD) 領域の半導体層付近もしくは半導体層まで到達した場合に著しくなる。

30

【0008】

このため、上述したような活性化工程等の熱処理を伴う工程の熱処理温度を下げることによって、絶縁性基板から下地絶縁層へのボロンあるいはアルミニウムの拡散を抑制させることが考えられる。しかしながら、このように活性化工程等の熱処理温度を下げることは、熱処理の本来の目的が達成できないようになるので、活性化率の低下やゲート絶縁膜等の絶縁耐圧の低下等のマイナス要因をかえって招いてしまうことになる。したがって、特許文献 1 や特許文献 2 に開示された TFT のように絶縁性基板上に下地絶縁層を設けたとしても、TFT の信頼性の低下を避けることは困難である。

40

【0009】

この発明は、上述の事情に鑑みてなされたもので、絶縁性基板上に下地絶縁層を介して半導体層が形成された半導体装置において、絶縁性基板に含まれている不純物が半導体層に作用するのを防止して、半導体装置の信頼性を向上させることができるようにした半導体装置及びその製造方法を提供することを目的としている。

【課題を解決するための手段】

【0010】

上記課題を解決するために、請求項 1 記載の発明は、絶縁性基板上に下地絶縁層を介して半導体層を形成する半導体装置であって、前記下地絶縁層に含まれる不純物が、絶縁性

50

基板表面から半導体層に向かって不純物濃度が平均的に1nmあたり略1/1000倍以下の割合で減少するように含まれていることを特徴としている。

【0011】

また、請求項2記載の発明は、請求項1記載の半導体装置に係り、前記不純物濃度が前記のように減少している前記下地絶縁層の領域が、前記絶縁性基板表面から略100nm以内の領域であることを特徴としている。

【0012】

また、請求項3記載の発明は、請求項2記載の半導体装置に係り、前記絶縁性基板表面から略100nm以上離れた前記下地絶縁層の領域の前記不純物濃度が、略 $10^{19}$ （原子/cm<sup>3</sup>）以下であることを特徴としている。

10

【0013】

また、請求項4記載の発明は、請求項1～3のいずれか1項に記載の半導体装置に係り、前記不純物濃度が前記のように減少している前記下地絶縁層の領域が、少なくともゲート電極の下に位置するように形成されていることを特徴としている。

【0014】

また、請求項5記載の発明は、請求項1～4のいずれか1項に記載の半導体装置に係り、前記不純物がボロン、もしくはアルミニウム、もしくはボロンを含む物質、もしくはアルミニウムを含む物質であることを特徴としている。

【0015】

また、請求項6記載の発明は、請求項1～4のいずれか1項に記載の半導体装置に係り、前記不純物がボロン、もしくはボロンを含む物質であり、前記下地絶縁層にボロン濃度が平均的に1nmあたり略1/10000～1/1000倍の割合で減少するように含まれていることを特徴としている。

20

【0016】

また、請求項7記載の発明は、請求項1～4のいずれか1項に記載の半導体装置に係り、前記不純物がアルミニウム、もしくはアルミニウムを含む物質であり、前記下地絶縁層にアルミニウム濃度が平均的に1nmあたり略1/10000～1/1000倍の割合で減少するように含まれていることを特徴としている。

【0017】

また、請求項8記載の発明は、請求項5～7のいずれか1項に記載の半導体装置に係り、前記ボロン濃度あるいは前記アルミニウム濃度を、二次イオン質量分析法で得ることを特徴としている。

30

【0018】

また、請求項9記載の発明は、絶縁性基板上に下地絶縁層を介して半導体層を形成する半導体装置の製造方法に係り、前記絶縁性基板上に、該絶縁性基板表面から前記半導体層に向かって不純物濃度が平均的に1nmあたり略1/1000倍以下の割合で減少する前記下地絶縁層を形成する工程を有することを特徴としている。

【0019】

また、請求項10記載の発明は、請求項9記載の半導体装置の製造方法に係り、前記不純物濃度が前記のように減少している前記下地絶縁層の領域を、前記絶縁性基板表面から略100nm以内の領域に形成することを特徴としている。

40

【0020】

また、請求項11記載の発明は、請求項10記載の半導体装置の製造方法に係り、前記絶縁性基板表面から略100nm以上離れた前記下地絶縁層の領域の前記不純物濃度を、略 $10^{19}$ （原子/cm<sup>3</sup>）以下に制御することを特徴としている。

【0021】

また、請求項12記載の発明は、請求項9～11のいずれか1項に記載の半導体装置の製造方法に係り、前記不純物濃度が前記のように減少している前記下地絶縁層の領域を、少なくともゲート電極の下に位置するように形成することを特徴としている。

【0022】

50

また、請求項 13 記載の発明は、請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法に係り、前記不純物がボロン、もしくはアルミニウム、もしくはボロンを含む物質、もしくはアルミニウムを含む物質であることを特徴としている。

【0023】

また、請求項 14 記載の発明は、請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法に係り、前記不純物としてボロン、もしくはボロンを含む物質を用いて、前記下地絶縁層にボロン濃度が平均的に 1nm あたり略  $1/10000 \sim 1/1000$  倍の割合で減少するように含ませることを特徴としている。

【0024】

また、請求項 15 記載の発明は、請求項 9 ~ 12 のいずれか 1 項に記載の半導体装置の製造方法に係り、前記不純物としてアルミニウム、もしくはアルミニウムを含む物質を用いて、前記下地絶縁層にアルミニウム濃度が平均的に 1nm あたり略  $1/10000 \sim 1/1000$  倍の割合で減少するように含ませることを特徴としている。

10

【0025】

また、請求項 16 記載の発明は、請求項 13 ~ 15 のいずれか 1 項に記載の半導体装置の製造方法に係り、前記ボロン濃度あるいは前記アルミニウム濃度を、二次イオン質量分析法で得ることを特徴としている。

【発明の効果】

【0026】

この発明の半導体装置によれば、下地絶縁層 2 にこの上の半導体層 3 に対して影響を及ぼさない程度の不純物濃度でボロンあるいはアルミニウムが含まれているので、絶縁性基板に含まれているボロンあるいはアルミニウムが半導体層に作用するのを防止でき、半導体装置の信頼性を向上させることができる。

20

【発明を実施するための最良の形態】

【0027】

絶縁性基板上に下地絶縁層を介して半導体層を形成する半導体装置において、絶縁性基板表面から略 100nm 以内の領域に、絶縁性基板表面から半導体層に向かってボロン濃度が平均的に 1nm あたり略  $1/10000 \sim 1/1000$  倍の割合で減少するようにボロンが含まれている。

〔発明の原理〕

30

【0028】

この発明の発明者らは鋭意研究を重ねた結果、絶縁性基板上に形成された下地絶縁層中にボロンあるいはアルミニウムを含ませ、これらの不純物をその濃度が絶縁性基板から半導体層に向かって特定の平均的な割合で減少するように制御すると、ボロンあるいはアルミニウムが下地絶縁層に含まれていても TFT のしきい値に影響を及ぼさないことを見出した。

【0029】

図 6 は、絶縁性基板上に形成した、チャネル長及びチャネル幅がともに  $5\mu\text{m}$ 、LDD 長が  $1.2\mu\text{m}$  の P チャネル型の TFT を用いて、温度が  $60^\circ\text{C}$ 、湿度が 90% の高温高湿の雰囲気中に晒した状態で、ゲート・ソース間電圧  $V_{gs} = -18\text{V}$  を印加することにより負ゲートストレスを加えた条件で得られた、 $V_{th}$  (しきい値) 変化率 (縦軸) とボロン濃度の平均的な減少の割合 ( $/\text{nm}$ ) (横軸) との関係を示している。すなわち、横軸は下地絶縁層に含ませたボロンの濃度の絶縁性基板表面から半導体層に向かっての平均的な減少の割合を示し、この平均的な減少の割合が 1nm あたり  $1/100$  倍より多く減少させると、 $V_{th}$  変化率がどのように変化するかを示している。

40

【0030】

ここで、上記の割合とは、下地絶縁層のある位置でのボロンあるいはアルミニウム (後述する) の濃度をボロンあるいはアルミニウムのガラス基板 (絶縁性基板) 表面の濃度で割った値を示している。また、平均的な減少の割合とはボロンあるいはアルミニウムの濃度の減少した割合を膜厚あたりに換算したもので、2 つ以上の異なる絶縁膜から下地絶縁

50

層が構成されている場合には、1層の絶縁層とみなして換算する。例えば、100nmの下地絶縁層を介して1/100000倍の濃度となっている場合、平均的な減少の割合は、1nmあたりで1/1000倍である。

#### 【0031】

一方、図7は、絶縁性基板上に形成した、上記と同一規格のTFTを用いて、上記と同一条件で得られた、Vth変化率(縦軸)とアルミニウム濃度の平均的な減少の割合(/nm)(横軸)との関係を示し、この平均的な減少の割合を1nmあたり1/100倍より多く減少させると、Vth変化率がどのように変化するかを示している。

#### 【0032】

ボロン濃度あるいはアルミニウム濃度の算出は、図8に示したような、二次イオン質量分析法において検出した不純物濃度分布を用いて算出すると容易である。同図は、不純物濃度(縦軸)と深さ(縦軸)との関係を示している。図6におけるボロン濃度は、二次イオン質量分析法で一次イオンとして酸素プラスイオンを用い、一次イオンの加速電圧を5keVとして検出した。検出されるイオン濃度は下地絶縁層中のボロン単体、あるいはボロンを含む物質(化合物等)に由来している。同様にして、図7におけるアルミニウム濃度は、二次イオン質量分析法で一次イオンとして酸素プラスイオンを用い、一次イオンの加速電圧を5keVとして検出した。検出されるイオン濃度は下地絶縁層中のアルミニウム単体、あるいはアルミニウムを含む物質(化合物等)に由来している。

#### 【0033】

図6から明らかなように、Vth変化率(縦軸)とボロン濃度の平均的な減少の割合(/nm)(横軸)との関係は、下地絶縁層におけるボロン濃度の平均的な減少の割合が1nmあたり略1/1000倍の領域で、Vth変化率は急激に減少し、さらにボロン濃度の平均的な減少の割合が1nmあたり略1/10000倍に達するまでそのVth変化率は十分に小さく維持されている。ただし、下地絶縁層の形成時に多量のボロンが混入して、下地絶縁層の絶縁性基板表面から略100nm以上離れた領域で、ボロン濃度が略 $1 \times 10^{19} / \text{cm}^3$ より大きくなった場合には、半導体層付近においてボロンの影響を受けるので、下地絶縁層の絶縁性基板表面から略100nm以上離れたその領域のボロン濃度は略 $1 \times 10^{19}$ (原子/ $\text{cm}^3$ )以下であることが望ましい。もちろん、このボロン濃度は少なければ少ないほど良い。このように、下地絶縁層の絶縁性基板表面から略100nm以内の領域に、絶縁性基板表面から半導体層に向かってボロン濃度が平均的に1nmあたり略1/1000倍以下の割合で減少するように設定することにより、TFTのしきい値の変動を抑えることができることを示している。とくに1nmあたり略1/10000~1/1000倍の割合で減少するようにボロン濃度を設定することが望ましい。すなわち、下地絶縁層にこの上の半導体層に対して影響を及ぼさない程度の不純物濃度でボロンを含ませることで、絶縁性基板に含まれているボロンが半導体層に作用するのを防止でき、半導体装置の信頼性を向上させることができる。

#### 【0034】

同様にして、図7から明らかなように、Vth変化率(縦軸)とアルミニウム濃度の平均的な減少の割合(/nm)(横軸)との関係は、アルミニウム濃度の平均的な減少の割合が1nmあたり略1/1000倍の領域で、Vth変化率は急激に減少し、さらにアルミニウム濃度の平均的な減少の割合が1nmあたり略1/10000倍に達するまでそのVth変化率は十分に小さく維持されている。ただし、図6の場合と同様に、下地絶縁層の形成時に多量のアルミニウムが混入して、下地絶縁層の絶縁性基板表面から略100nm以上離れた領域で、アルミニウム濃度が略 $1 \times 10^{19}$ (原子/ $\text{cm}^3$ )より大きくなった場合には、半導体層付近においてアルミニウムの影響を受けるので、下地絶縁層の絶縁性基板表面から略100nm以上離れた領域のアルミニウム濃度は略 $1 \times 10^{19}$ (原子/ $\text{cm}^3$ )以下であることが望ましい。もちろん、このアルミニウム濃度は少なければ少ないほど良い。このように、下地絶縁層の絶縁性基板表面から略100nm以内の領域に、絶縁性基板表面から半導体層に向かってアルミニウム濃度が平均的に1nmあたり略1/1000倍以下の割合で減少するように設定することにより、TFTのしきい値の変動

10

20

30

40

50

を抑えることができることを示している。とくに1nmあたり略1/10000~1/100000倍の割合で減少するようにアルミニウム濃度を設定することが望ましい。

【実施例1】

【0035】

以下、上述の原理を基に、図面を参照して、この発明の実施例1について説明する。

図1は、この発明の実施例1である半導体装置の構成を示す断面図、図2(a)~図4(j)は同半導体装置の製造方法を工程順に示す工程図である。以下、図1を参照して同半導体装置の構成を説明する。なお、この例では半導体装置としてはTFTに適用した例で説明する。

この例のTFT(半導体装置)10は、図1に示すように、ガラスから成る絶縁性基板1と、この絶縁性基板1上に形成された膜厚が100~1000nmのシリコン酸化膜から成る下地絶縁層2と、この下地絶縁層2上に形成された膜厚が30~100nmのアモルファスシリコン層、あるいはポリシリコン層から成る半導体層3と、この半導体層3の両端領域にそれぞれ形成されたソース領域4及びドレイン領域5と、半導体層3上に形成された膜厚が50~300nmのシリコン酸化膜から成るゲート絶縁膜6と、このゲート絶縁膜6上に形成された膜厚が50~1000nmのクロム膜から成るゲート電極7とを備えている。この例では、後述するように、ソース領域4はP型高濃度領域4A及びP型低濃度領域4Bから成り、一方ドレイン領域5はP型高濃度領域5A及びP型低濃度領域5Bから成り、ともにLDD構造を有している。

【0036】

さらに、このTFT10は、図1に示すように、ゲート電極7を含む全面に形成された膜厚が10~500nmのシリコン酸化膜から成る層間絶縁膜8と、この層間絶縁膜8にそれぞれ開孔されたコンタクトホール9、11を通じてソース領域4及びドレイン領域5にコンタクトするように形成された膜厚が30~500nmのアルミニウム膜から成るソース電極12及びドレイン電極13とを備えている。

【0037】

ここで、下地絶縁層2には、上述の発明の原理に基づいて、絶縁性基板1表面から略100nm以内の領域に、絶縁性基板1表面から半導体層3に向かってボロン濃度が平均的に1nmあたり略1/10000~1/100000倍の割合で減少するようにボロンが含まれている。また、絶縁性基板1表面に存在しているボロンの濃度は、略 $1 \times 10^{22}$  (原子/cm<sup>3</sup>)以下であることが望ましい。

【0038】

上述したようにこの例のTFT10によれば、下地絶縁層2には、前述の発明の原理に基づいて、絶縁性基板1表面から略100nm以内の領域に、絶縁性基板1表面から半導体層3に向かってボロン濃度が平均的に1nmあたり略1/10000~1/100000倍の割合で減少するようにボロンが含まれているので、下地絶縁層2におけるボロン濃度の平均的な減少の割合が1nmあたり略1/100000倍の領域で、Vth変化率は急激に減少し、さらにボロン濃度の平均的な減少の割合が1nmあたり略1/100000倍に達するまでそのVth変化率は十分に小さく維持されている。

したがって、TFT10のしきい値の変動を抑えることができるので、TFTの信頼性を向上させることができる。

【0039】

次に、図2(a)乃至図4(j)を参照して、この例のTFT10の製造方法(第1の製造方法)を工程順に説明する。

まず、図2(a)に示すように、ガラス等の絶縁性基板1を用意して、この絶縁性基板1上に、プラズマCVD(Cheical Vapor Deposition: 化学的気相成長)法により、TEOS(テトラエトキシシラン)もしくはSiH<sub>4</sub>(モノシラン)を原料ガスとして、膜厚が100~1000nmのシリコン酸化膜から成る下地絶縁層2を形成する。この下地絶縁層2上には、後述のように半導体層3が形成される。このとき、下地絶縁層2の絶縁性基板1表面から略100nm以内の領域に、絶縁性基板1表面から半導体層3に向かっ

10

20

30

40

50

てボロン濃度が平均的に1nmあたり略1/10000~1/1000倍の割合で減少するようにボロンを含ませる。これは、上述のプラズマCVD法により下地絶縁層2となるシリコン酸化膜を形成する際に、原料ガスの流量、ガス圧力、高周波印加電力量、電極と基板との距離、成膜温度等を適宜制御することにより可能となる。また、これらの制御要素はプラズマCVD装置によって異なるが、生産コストを考慮してできるだけ形成時間が少なくなるように設定する。

#### 【0040】

次に、図2(b)に示すように、プラズマCVD法によりSiH<sub>4</sub>ガスを原料ガスとして、下地絶縁層2上に膜厚が30~100nmのアモルファスシリコン膜から成る半導体層3を形成する。このとき、アモルファスシリコン膜の成膜と同時にしきい値の制御を目的に、微量のボロン、リン等の不純物を半導体層3にドーピングさせる。あるいはこれらの不純物のドーピングはアモルファスシリコン膜の成膜後に行ってもよい。次に、必要に応じて、アモルファスシリコン膜にエキシマレーザ等を照射してポリシリコン膜に変えて、ポリシリコン膜から成る半導体層3を形成するようにしてもよい。ポリシリコン膜はアモルファスシリコン膜よりも移動度が大きいので、動作速度の高いTFTを得ることができる。

10

#### 【0041】

次に、図2(c)に示すように、フォトリソグラフィ法及びフォトエッチング法により、半導体層3を選択的にエッチングして所望の形状にパターニングした後、プラズマCVD法により半導体層3上に膜厚が50~300nmのシリコン酸化膜から成るゲート絶縁膜6を形成する。このゲート絶縁膜6は、シリコン酸化膜に代えてシリコン窒化膜を用いてもよく、あるいはシリコン酸化膜とシリコン窒化膜との積層膜を用いてもよい。また、プラズマCVD法に限らず、PVD(Physical Vapor Deposition:物理的気相成長)法、プラズマ酸化法、高圧下での水蒸気による酸化法、あるいはこれらを組み合わせた方法等を用いることができるが、加熱時の絶縁性基板1の変形を防止するために略600以下で実施することが望ましい。

20

#### 【0042】

次に、図2(d)に示すように、スパッタリング法により、ゲート絶縁膜6上に膜厚が50~1000nmのクロム膜から成るゲート電極膜を形成する。このゲート電極膜は、クロム膜に代えてCVD法により形成したボロン、リン等の不純物をドーピングしたシリコン膜を用いてもよく、あるいはクロム膜とシリコン膜との積層膜を用いてもよい。次に、フォトリソグラフィ法及びフォトエッチング法により、ゲート電極膜を選択的にエッチングして所望の形状にパターニングすることによりゲート電極7を形成する。

30

#### 【0043】

次に、ゲート電極7上にレジストパターンを形成した後、図3(e)に示すように、このレジストパターンをマスクとしてP型不純物をゲート絶縁膜7を通じて半導体層3に導入してP型高濃度領域4A、5Aを形成する。このP型高濃度領域4A、5Aの形成はゲート電極7を形成する前に実施してもよいが、不純物の導入によるゲート絶縁膜6の劣化を抑制するためにゲート絶縁膜6の形成前に実施することが望ましい。次に、ゲート電極7上に改めてレジストパターンを形成した後、このレジストパターンをマスクとしてP型不純物をゲート絶縁膜7を通じて半導体層3に導入してP型低濃度領域4B、5Bを形成する。以上により、P型高濃度領域4A及びP型低濃度領域4Bから成るP型ソース領域4、P型高濃度領域5A及びP型低濃度領域5Bから成るP型ドレイン領域5を形成する。

40

#### 【0044】

次に、図3(f)に示すように、プラズマCVD法により、TEOS及びO<sub>2</sub>ガスを原料ガスとして、全面に膜厚が10~500nmのシリコン酸化膜、あるいはシリコン窒化膜、もしくはシリコン酸化膜とシリコン窒化膜との積層膜から成る層間絶縁膜11を形成する。この層間絶縁膜11は、この後の段階でLDD構造のソース領域4及びドレイン領域5内の不純物を活性化するために比較的高い温度である300~700で熱処理を施す

50

際に、ゲート電極 5 として用いている材料（この例では前記したようにクロム）が熱によって剥離してしまうのを抑制し、さらにゲート電極 5 とこの後の段階で形成されるソース電極及びドレイン電極とゲート電極 5 との絶縁性を確保するためのものである。

【0045】

次に、図 3 (g) に示すように、熱処理炉内で 300 ~ 700 で熱処理を施して、ソース領域 4 及びドレイン領域 5 内の不純物を活性化する。この熱処理は、熱処理炉に代えてエキシマレーザ等を照射して活性化するようにしてもよい。

【0046】

次に、図 4 (h) に示すように、半導体層 3 及び半導体層 3 とゲート絶縁膜 6 との界面のダングリングボンドを終端させるために、水素プラズマ中で熱処理を行って水素終端処理を施す。これは、上記のダングリングボンドが終端されていない場合に生ずる T F T の電気的特性の劣化を防止するために行う。

【0047】

次に、図 4 (i) に示すように、フォトリソグラフィ法及びフォトエッチング法、あるいはウエットかつエッチング法、もしくは両エッチング法により、層間絶縁膜 11 及びゲート絶縁膜 7 を選択的にエッチングしてそれぞれソース領域 4 及びドレイン領域 5 を露出させるコンタクトホール 9、11 を開孔する。

【0048】

次に、図 4 (j) に示すように、スパッタリング法によりアルミニウム薄膜を全面に形成した後、フォトリソグラフィ法及びフォトエッチング法、あるいはウエットつエッチング法、もしくは両エッチング法により、アルミニウムをエッチングしてソース領域 4 及びドレイン領域 5 に接触するようにソース電極 12 及びドレイン電極 13 を形成する。次に、そのレジストマスクを除去することにより、図 1 に示したような T F T 10 を完成させる。この後は、必要に応じて、別の電極膜、パッシベーション膜、層間絶縁膜、平坦化膜、容量絶縁膜等を適宜形成する。

このような T F T 10 の製造方法によれば、周知の製造プロセスを組み合わせることにより、特別な製造プロセスを用いることなく、この例の T F T 10 を製造することができるので、製造コストをアップすることなく T F T 10 を得ることができる。

【実施例 2】

【0049】

図 5 は、この発明の実施例 2 である T F T の構成を示す断面図である。この例の T F T の構成が、上述した実施例 1 の構成と大きく異なるところは、下地絶縁層として積層構造を採用するようにした点である。

この例の T F T 20 は、図 5 に示すように、下地絶縁層 2 が、膜厚が 50 ~ 100 nm のシリコン窒化膜から成る下層膜 2A と、膜厚が 50 ~ 1000 nm のシリコン酸化膜から成る上層膜 2B との積層層から構成されている。ここで、シリコン窒化膜は不純物イオンのブロッキング効果が高いというメリットを有する一方、内部応力が大きいというデメリットを有している。このため、シリコン窒化膜上に直接に半導体層 3 を形成すると半導体層 3 に歪みを与えてしきい値に影響するので、シリコン窒化膜上にはシリコン酸化膜を形成して積層構造にしている。この下地絶縁層 2 の膜厚は、絶縁性基板 1 と下地絶縁層 2 との界面に存在する電荷が半導体層 3 に及ぼす影響を抑制するために略 100 nm 以上を選ぶことが望ましい。

【0050】

この例の T F T 20 において、下地絶縁層 2 にボロンを含ませた場合には、図 6 に示したような関係と略同様な結果が得られ、またアルミニウムを含ませた場合には、図 7 に示したような関係と略同様な結果が得られる。

これ以外は、上述した実施例 1 の構成と略同じであるので、図 5 において、図 1 の構成部分と対応する各部には、同一の番号を付してその説明を省略する。

【0051】

このようにこの例の T F T 20 によれば、下地絶縁層 2 が積層構造から構成された点が

10

20

30

40

50

実施例 1 と異なるだけで、実施例 1 と略同様な効果を得ることができる。

【0052】

次に、実施例 2 の T F T 2 0 の製造方法（第 2 の製造方法）について説明する。

この第 2 の製造方法では、前述した第 1 の製造方法における図 2（a）の工程において、プラズマ C V D 法により、 $\text{SiH}_4$ 、 $\text{NH}_3$ （アンモニア）及び  $\text{N}_2$  を原料ガスとして、膜厚が 50 ~ 100 nm のシリコン窒化膜から成る下層膜 2 A を形成する。次に、プラズマ C V D 法により、T E O S もしくは  $\text{SiH}_4$  を原料ガスとして、下層膜 2 A 上に膜厚が 50 ~ 1000 nm のシリコン酸化膜から成る上層膜 2 B を形成する。

【0053】

このとき、下地絶縁層 2 の絶縁性基板 1 表面から略 100 nm 以内の領域に、絶縁性基板 1 表面から半導体層 3 に向かってボロン濃度が平均的に 1 nm あたり略 1 / 10000 ~ 1 / 1000 倍の割合で減少するようにボロンを含ませる。あるいは、下地絶縁層 2 の絶縁性基板 1 表面から略 100 nm 以内の領域に、絶縁性基板 1 表面から半導体層 3 に向かってアルミニウム濃度が平均的に 1 nm あたり略 1 / 10000 ~ 1 / 1000 倍の割合で減少するようにアルミニウムを含ませる。これは、上述のプラズマ C V D 法により下地絶縁層 2 となるシリコン窒化膜及びシリコン酸化膜を形成する際に、原料ガスの流量、ガス圧力、高周波印加電力量、電極と基板との距離、成膜温度等を適宜制御することにより可能となる。また、これらの制御要素はプラズマ C V D 装置によって異なるが、生産コストを考慮してできるだけ形成時間が少なくなるように設定する。

これ以外は、上述した第 1 の製造方法の構成と略同じであるので、その説明を省略する。

【0054】

このような T F T 2 0 の製造方法によれば、T F T 1 0 の製造方法と同様に周知の製造プロセスを組み合わせることにより、特別な製造プロセスを用いることなく、この例の T F T 2 0 を製造することができるので、同様な効果を得ることができる。

【0055】

以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、実施例では、T F T のソース領域及びドレイン領域が L D D 構造を有する例で説明したが、これに限ることはない。またソース領域及びドレイン領域を N 型導電型、ゲート絶縁膜はシリコン酸化膜を用いて構成した例で説明したが、これに限らずシリコン酸化膜とシリコン窒化膜との積層膜により構成することもできる。また、ゲート電極としてはクロム薄膜を用いる例で説明したが、クロムに代えてアルミニウム、モリブデン、タングステン、ニオブ、あるいはこれらの合金等の他の金属を使用することもできる。

【図面の簡単な説明】

【0056】

【図 1】この発明の実施例 1 である半導体装置の構成を示す断面図である。

【図 2】同半導体装置の製造方法を工程順に示す工程図である。

【図 3】同半導体装置の製造方法を工程順に示す工程図である。

【図 4】同半導体装置の製造方法を工程順に示す工程図である。

【図 5】この発明の実施例 2 である半導体装置の構成を示す断面図である。

【図 6】この発明の原理を示すもので、V t h（しきい値）変化率（縦軸）とボロン濃度の平均的な減少の割合（/ nm）（横軸）との関係を示す図である。

【図 7】この発明の原理を示すもので、V t h 変化率（縦軸）とアルミニウム濃度の平均的な減少の割合（/ nm）（横軸）との関係を示す図である。

【図 8】この発明の原理において二次イオン質量分析法において検出した不純物濃度分布を示し、不純物濃度（縦軸）と深さ（縦軸）との関係を示す図である。

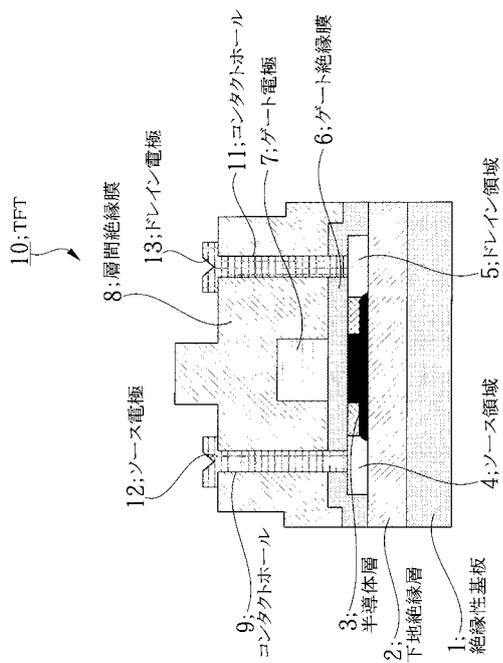
【図 9】従来半導体装置の構成を示す断面図である。

【符号の説明】

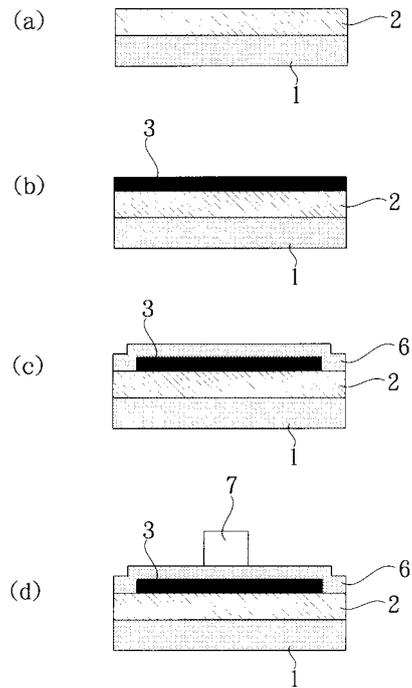
【 0 0 5 7 】

- 1 絶縁性基板
- 2 下地絶縁層
- 2 A 下層膜
- 2 B 上層膜
- 3 半導体層
- 4 ソース領域
- 5 ドレイン領域
- 4 A、5 A P型高濃度領域
- 4 B、5 B P型低濃度領域
- 6 ゲート絶縁膜
- 7 ゲート電極
- 8 層間絶縁膜
- 9, 11 コンタクトホール
- 10、20 TFT (半導体装置)
- 12 ソース電極
- 13 ドレイン電極

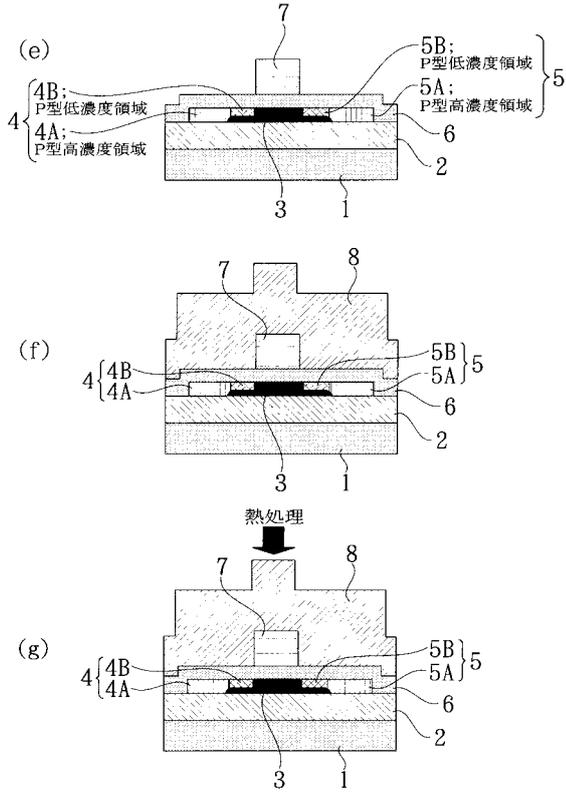
【 図 1 】



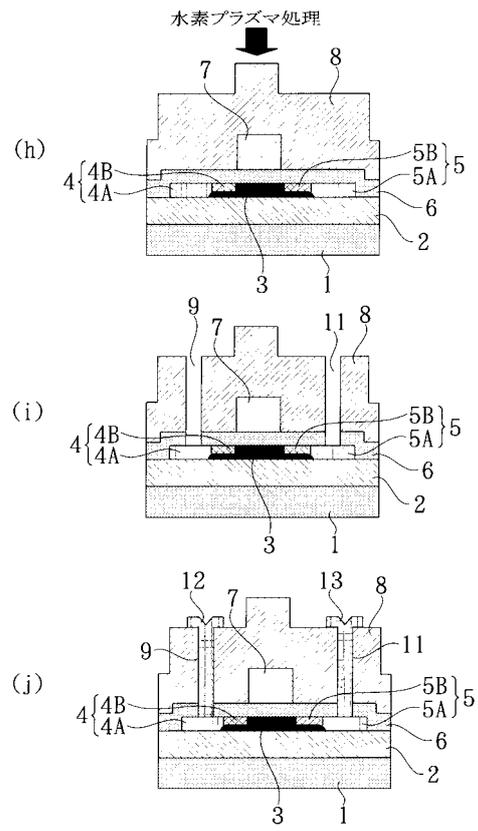
【 図 2 】



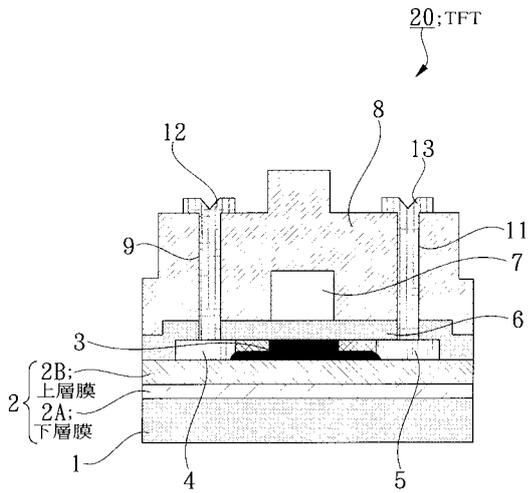
【 図 3 】



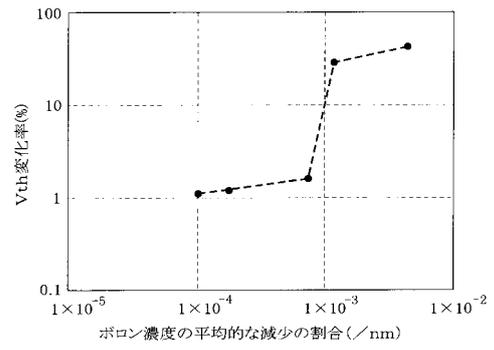
【 図 4 】



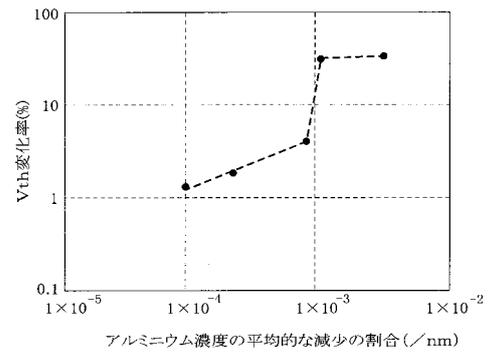
【 図 5 】



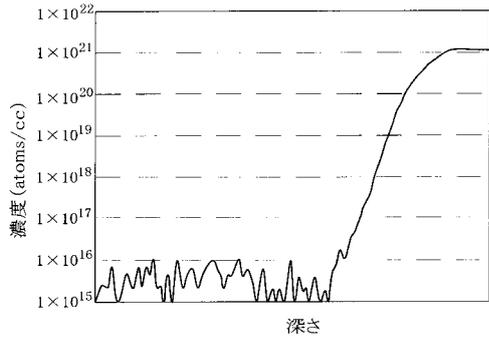
【 図 6 】



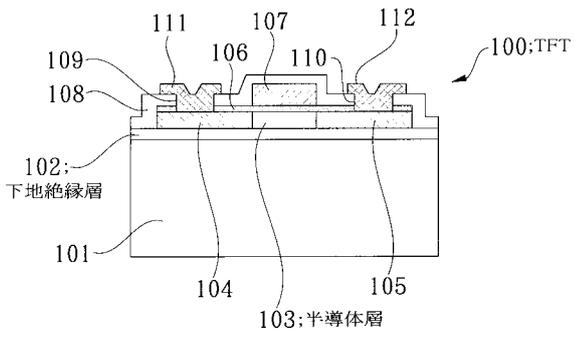
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

F ターム(参考) 5F110 AA08 AA30 BB01 CC02 DD02 DD13 DD14 DD17 EE03 EE04  
EE06 EE09 EE14 EE44 EE45 FF02 FF03 FF09 FF23 FF25  
FF27 FF30 GG02 GG13 GG15 GG25 GG32 GG45 HJ23 HL03  
HL23 HM15 NN03 NN04 NN23 NN24 NN35 PP03 QQ25