



(12) 发明专利

(10) 授权公告号 CN 114823550 B

(45) 授权公告日 2022. 11. 11

(21) 申请号 202210736592.8

US 2006292741 A1, 2006. 12. 28

(22) 申请日 2022. 06. 27

CN 103715150 A, 2014. 04. 09

(65) 同一申请的已公布的文献号

CN 103715150 A, 2014. 04. 09

申请公布号 CN 114823550 A

CN 210224006 U, 2020. 03. 31

CN 210224006 U, 2020. 03. 31

(43) 申请公布日 2022. 07. 29

US 2004251538 A1, 2004. 12. 16

(73) 专利权人 北京升宇科技有限公司

US 2004251538 A1, 2004. 12. 16

地址 100083 北京市海淀区逸城东苑3号楼
1层全部

CN 104465548 A, 2015. 03. 25

CN 101878527 A, 2010. 11. 03

CN 111341741 A, 2020. 06. 26

(72) 发明人 李健

CN 113302757 A, 2021. 08. 24

(51) Int. Cl.

WO 9919832 A1, 1999. 04. 22

H01L 23/057 (2006. 01)

US 6215180 B1, 2001. 04. 10

H01L 23/06 (2006. 01)

US 2001019181 A1, 2001. 09. 06

H01L 23/24 (2006. 01)

US 2006043577 A1, 2006. 03. 02

H01L 21/52 (2006. 01)

CN 101110397 A, 2008. 01. 23

H01L 21/54 (2006. 01)

审查员 齐梦宇

(56) 对比文件

US 2006292741 A1, 2006. 12. 28

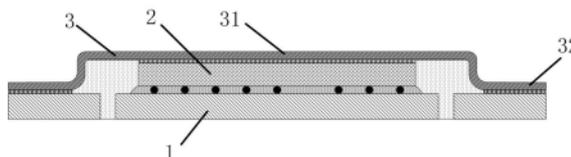
权利要求书2页 说明书8页 附图7页

(54) 发明名称

一种适于批量生产的芯片封装结构及封装方法

(57) 摘要

本发明公开了一种适于批量生产的芯片封装结构和封装方法。所述结构包括基板、芯片和壳体，芯片与所述基板固定连接，所述壳体为开口向下的半封闭结构，且自其中心向四周延伸出中心段和台阶段，台阶段的底平面在竖直方向上低于中心段的底平面；在所述中心段与所述台阶段之间由过渡段连接；所述芯片的顶面与所述中心段的底面固定连接。本发明的封装结构能够提高向壳体上方散热的效率，且具有结构的整体性和稳固性，且能够耐受高温及高热冲击。



1. 一种适于批量生产的芯片封装结构,包括基板、芯片和壳体,所述芯片与所述基板固定连接,其特征在于:

所述壳体为开口向下的半封闭结构且由一体化金属材料构成,且自其中心向四周延伸出中心段和台阶段,台阶段的底平面在竖直方向上低于中心段的底平面;

在所述中心段与所述台阶段之间由过渡段连接;

所述芯片的顶面与所述中心段的底面固定连接;

所述基板的位于所述芯片四周的上表面与所述台阶段的下表面顶抵;

所述基板为BT树脂,其与壳体在水平方向的CTE值之差小于或等于 $5\text{ppm}/^{\circ}\text{C}$;

所述基板与芯片在水平方向的CTE值之差小于或等于 $15\text{ppm}/^{\circ}\text{C}$;

所述封装结构能够通过 $-65^{\circ}\text{C}\sim 150^{\circ}\text{C}$ 的500次以上的温度循环测试。

2. 如权利要求1所述的芯片封装结构,其特征在于,所述基板与芯片之间采用金-金互连的方式电性连接。

3. 如权利要求1所述的芯片封装结构,其特征在于,所述芯片在竖直方向上的外侧面与所述过渡段之间具有间隙。

4. 如权利要求3所述的芯片封装结构,其特征在于,所述间隙在水平方向上的宽度 0.3 至 0.5 毫米。

5. 如权利要求3所述的芯片封装结构,其特征在于,所述间隙内填充有密封胶。

6. 如权利要求5所述的芯片封装结构,其特征在于,在所述基板的朝向所述间隙处开设有至少两个通孔,所述通孔用于灌注所述密封胶。

7. 如权利要求1所述的芯片封装结构,其特征在于,所述过渡段为倾斜段。

8. 如权利要求1至7中任一项所述的芯片封装结构,其特征在于,所述台阶段的顶面与所述中心段齐平。

9. 一种芯片封装方法,其特征在于包括如下步骤:

在基板上电性连接多个芯片,所述多个芯片相互间隔设置,其中所述基板为BT树脂,其与芯片在水平方向的CTE值之差小于或等于 $15\text{ppm}/^{\circ}\text{C}$;

将壳体覆盖于连接有所述芯片的基板上,该壳体由一体化金属材料构成且具有多个半封闭单元,每个半封闭单元自其中心向四周延伸出中心段和台阶段,在所述中心段与所述台阶段之间由过渡段连接,其中,所述基板与壳体在水平方向的CTE值之差小于或等于 $5\text{ppm}/^{\circ}\text{C}$;

将所述芯片的半封闭单元的顶面与所述壳体的半封闭单元的中心段的底面固定连接,同时将所述基板的位于所述芯片四周的上表面与所述台阶段的下表面顶抵,以形成整板封装结构;

切割所述整板封装结构,从而得到多个芯片封装结构,所述封装结构能够通过 $-65^{\circ}\text{C}\sim 150^{\circ}\text{C}$ 的500次以上的温度循环测试。

10. 如权利要求9所述的芯片封装方法,其特征在于,在基板上固定连接多个芯片包括:采用金-金互连的方式将所述基板与多个芯片电性连接。

11. 如权利要求10所述的芯片封装方法,其特征在于,采用无焊料的低温超声焊接方式将所述芯片与基板进行焊接。

12. 如权利要求9所述的芯片封装方法,其特征在于,还包括:在间隙中填充密封胶,所述间隙位于所述芯片在竖直方向上的外侧面与所述过渡段之间。

13. 如权利要求12所述的芯片封装方法,其特征在于,在所述基板的朝向所述间隙处开设有至少两个通孔,所述通孔用于灌注所述密封胶。

14. 如权利要求9所述的芯片封装方法,其特征在于,还包括:通过对金属板材进行一体化冲压成形工艺形成所述壳体。

15. 一种芯片封装结构,其特征在于,由权利要求9至14中的任一项的芯片封装方法制造而成。

一种适于批量生产的芯片封装结构及封装方法

技术领域

[0001] 本发明涉及集成电路封装技术领域,具体为一种适于批量生产的芯片封装结构及封装方法。

背景技术

[0002] 集成电路的封装结构可以定义为集成电路结构的一部分,该部分用于为集成电路芯片提供对外部的电连接,以及机械和环境的保护。环境保护是指使集成电路芯片不受环境和其他电子器件的干扰。因此,集成电路的封装结构通常不仅仅用于机械地支撑芯片,更重要的是用作容纳和保护芯片的一个容器。除此之外,集成电路的封装结构还具有将芯片或系统产生的热清除扩散,允许电信号进出芯片以在电子系统的芯片间提供互连的功能。

[0003] 现有的采用模塑封装的芯片封装结构因材料本身存在固有缺陷,无法达到特殊应用环境下对耐高温及耐高温冲击等高可靠性芯片指标,无法满足特殊场景的应用。为了提高芯片封装结构的散热性能,公开号为 CN111341741A的中国专利申请提出一种改进散热性能的功率器件封装结构。图1示它的基本结构。如图1所示,该结构包括有基板1、芯片2和外壳3,还包括于芯片上的散热板4。然而,该结构虽然增加了散热板结构,但散热板4不与外壳3接触,热量无法高效地通过芯片上方进行散热,因此其通过芯片上方散热的效率有限。而且,该结构的基板为铜基板,仍是以基板散热方式为主,基板上的热量容易对基板本身的结构和线路产生不良影响。另一方面,由于该结构的外壳3是常规的结构,在芯片封装工艺过程中需要逐一将外壳3覆盖于芯片结构上方,这种逐一的放置方式需要复杂的机械动作,使得封装工艺无法大规模批量生产。

[0004] 而采用陶瓷盖板封装的结构由于陶瓷材料脆性较大、烧结困难,陶瓷基板尺寸只能做到120mm x 120mm,因此无法进行基于大尺寸基板的批量封装,具有组装密度低、生产效率差、良率一致性偏低的问题。因此,业界极需一种既适合高效、低成本的规模化生产,同时又能满足特殊应用环境下高可靠性要求的芯片封装结构和相应的芯片封装方法。

[0005] 特别的,对于应用于航空、航天、勘探、军用等特殊用途的芯片来说,通常要求其具有耐高温及耐温度冲击等。例如,在某些应用场合,需要芯片封装置结构能够在-65摄氏度至150摄氏度范围温度循环500次以上的环境下保持其结构完整和性能完好。而在例如图1所示的现有的芯片封装结构中,由于外壳3与基板1之间的结合处由于接触面积小,材料热膨胀系统不匹配等原因,在较为苛刻的应用环境下容易产生结构破坏或裂纹。

发明内容

[0006] (一)要解决的技术问题

[0007] 本发明一方面旨在解决现有的芯片封装结构在高温及高温冲击易于损坏的问题;本发明另一方面旨在解决现有的芯片封装结构工艺过程复杂,不利于工业化规模生产的问题。

[0008] (二)技术方案

[0009] 为解决上述技术问题,本发明一方面提出一种适于批量生产的芯片封装结构,包括基板、芯片和壳体,所述芯片与所述基板固定连接,所述壳体为开口向下的半封闭结构,且自其中心向四周延伸出中心段和台阶段,台阶段的底平面在竖直方向上低于中心段的底平面;在所述中心段与所述台阶段之间由过渡段连接;所述芯片的顶面与所述中心段的底面固定连接。

[0010] 根据本发明的优选实施方式,所述基板的位于所述芯片四周的上表面与所述台阶段的下表面顶抵。

[0011] 根据本发明的优选实施方式,所述基板的位于所述芯片四周的上表面与所述台阶段的下表面相距50~200微米。

[0012] 根据本发明的优选实施方式,所述基板的位于所述芯片四周的上表面与所述台阶段的下表面固定连接。

[0013] 根据本发明的优选实施方式,所述芯片在竖直方向上的外侧面与所述过渡段之间具有间隙。

[0014] 根据本发明的优选实施方式,所述间隙在水平方向上的宽度0.3至0.5毫米。

[0015] 根据本发明的优选实施方式,所述间隙内填充有密封胶。

[0016] 根据本发明的优选实施方式,在所述基板的朝向所述间隙处开设有至少两个通孔,所述通孔用于灌注所述密封胶。

[0017] 根据本发明的优选实施方式,所述过渡段为倾斜段。

[0018] 根据本发明的优选实施方式,所述壳体为一体化金属材料构成。

[0019] 根据本发明的优选实施方式,所述台阶段的顶面与所述中心段齐平。

[0020] 根据本发明的优选实施方式,所述基板与壳体在水平方向的CTE值之差小于或等于5ppm/°C。

[0021] 根据本发明的优选实施方式,所述基板与芯片在水平方向的CTE值之差小于或等于15ppm/°C。

[0022] 根据本发明的优选实施方式,所述基板与芯片之间采用金-金互连的方式电性连接。

[0023] 本发明另一方面提出一种芯片封装方法,包括如下步骤:在基板上固定连接多个芯片,所述多个芯片相互间隔设置;将壳体覆盖于连接有所述芯片的基板上,该壳体具有多个半封闭单元,每个半封闭单元自其中心向四周延伸出中心段和台阶段,在所述中心段与所述台阶段之间由过渡段连接;将所述芯片的半封闭单元的顶面与所述壳体的半封闭单元的中心段的底面固定连接,以形成整板封装结构;切割所述整板封装结构,从而得到多个芯片封装结构。

[0024] 根据本发明的优选实施方式,在基板上固定连接多个芯片包括:采用金-金互连的方式将所述基板与多个芯片电性连接。

[0025] 根据本发明的优选实施方式,采用无焊料的低温超声焊接方式将所述芯片与基板进行焊接。

[0026] 根据本发明的优选实施方式,在将所述芯片的顶面与所述壳体的半封闭单元的中心段的底面固定连接的同时,将所述基板的位于所述芯片四周的上表面与所述台阶段的下表面固定连接。

[0027] 根据本发明的优选实施方式,方法还包括:在间隙中填充密封胶,所述间隙位于所述芯片在垂直方向上的外侧面与所述过渡段之间。

[0028] 根据本发明的优选实施方式,在所述基板的朝向所述间隙处开设有至少两个通孔,所述通孔用于灌注所述密封胶。

[0029] 根据本发明的优选实施方式,方法还包括:通过对金属板材进行一体化冲压成形工艺形成所述壳体。

[0030] 本发明再一方面还提出一种芯片封装结构,其由上述任一项的芯片封装方法制造而成。

[0031] (三)有益效果

[0032] 本发明的封装结构的壳体为一体化台阶结构,能够有效的卸除热膨胀产生的应用,配合选择壳体材料与芯片材料的CTE差值,能够耐受高温及高热冲击性。

[0033] 本发明的封装结构的壳体为开口向下的、半封闭的一体化台阶结构,芯片与壳体可通过导热性强的焊料直接散执,因此提高芯片封装结构向壳体上方散热的效率。并且由于壳体下方的空间被充分利用,减少了填充物的体积,降低了生产成本。

[0034] 本发明的封装结构的基板和壳体均可以采用大尺寸的整板材料,易于工艺实现,成本低廉,适合大规模工业化生产。

附图说明

[0035] 图1是现有技术的一种芯片封装结构的结构示意图。

[0036] 图2是本发明的芯片封装结构的第一实施例的结构示意图。

[0037] 图3是图2所示的第一实施例的俯视图。

[0038] 图4是本发明的芯片封装结构的第二实施例的结构示意图。

[0039] 图5是图4所示的第二实施例的俯视图。

[0040] 图6是本发明的芯片封装结构的第三实施例的结构示意图。

[0041] 图7是本发明的芯片封装结构的第四实施例的结构示意图。

[0042] 图8A至图13B是本发明的芯片封装方法的一个实施例工艺过程示意图。

[0043] 图14和图15显示了用于对本发明的整板芯片封装结构进行规模化筛选的一体化测试装置的结构示意图。

[0044] 图16显示了一体化测试装置对整板芯片封装结构进行测试的示意图。

具体实施方式

[0045] 为使本发明的目的、技术方案和优点更加清楚明白,以下结合具体实施例,并参照附图,对本发明作进一步的详细说明。

[0046] 如前所述,现有的芯片封装结构和相应的工艺无法获得能够应用于特殊环境的芯片封装结构,例如对于某些应用环境,其要求在-65摄氏度至150摄氏度范围内温度循环500次以上而结构完整、功能良好。这就要求芯片封装结构具有超优良的耐高温和耐热冲击性。由此,本发明提出一种壳体为开口向下的、半封闭的一体化台阶结构的芯片封装结构,和相应的封装方法。

[0047] 图2是本发明的芯片封装结构的第一实施例的结构示意图。如图2所示,所述封装

结构包括基板1、芯片2和壳体3。图中的基板1放置于PCB板上,所述芯片2固定于所述基板1的上方,即相对于PCB板的另一侧。在芯片2的上方,壳体3置于其上,且形成一开口向下的半封闭结构。

[0048] 图3是图2所示的第一实施例的俯视图。壳体3在俯视方向上的形状可以是正方形、矩形或圆形等,在该实施例中,壳体3在俯视方向上的形状是矩形。但是,应当理解,在本发明中不论是对壳体的形状还是对基板或芯片的形状均没有特定的限制,且壳体的形状可以根据芯片自身的形状而选择合适的形状。优选的,壳体3在俯视方向上的形状与芯片或基板一致,但尺寸应略大于基板1,以便壳体3倒扣于基板和芯片上时,能够完全覆盖基板1。

[0049] 在该实施例中,所述基板1的上下表面覆有金属导电层,并通过基板1中的预留线路互连(图中未示出)。芯片2下方的接合点通过焊球焊接的方式与基板上的接线点固定连接。在焊接之前对芯片2或基板进行植球工艺,在焊接之后对基板1和芯片2之间的焊接区域进行下填充工艺,优选为采用导热性和密封性能良好的填充料。相对于传统芯片陶瓷封装内部采用键合丝的方式,该实施例的封装体积能够减小2~3倍。

[0050] 在该实施例中,壳体为金属材料且采用一体化台阶结构,金属的延展性及台阶部分的几何特性使得壳体在受到热冲击里会吸收热膨胀导致的壳体形变产生的内部应力,因此具有优良的抗热冲击性能。而且作为优选实施方式,所述基板与芯片2在水平方向的CTE值之差小于或等于15ppm/°C。对于某些特殊应用环境,其要求在-65摄氏度至150摄氏度范围内温度循环500次以上而结构完整、功能良好,这就要求封装结构具有在高温和高热冲击下具有超优良结构稳固性。发明人经理论计算和实验验证发现,所述基板1与壳体3在水平方向的CTE值之差小于或等于5ppm/°C且当基板与芯片的CTE值的差保持在15(ppm/°C)以内时,配合本发明的一体化台阶式壳体的封装结构,该实施例的封装结构能够通过-65°C~150°C的500次以上的温度循环测试而保持结构完整且功能良好。

[0051] 在该实施例中,作为优选实施方式,所述基板与芯片2之间采用金-金互连的方式电性连接。通过无焊料的低温超声焊接方式将芯片2的引脚与基板上的焊盘进行焊接。由于采用了金-金互连的方式,能够克服常规的铝制焊盘与金球之间焊接时产生的柯肯达尔效应而使得焊接失效,防止了焊接点的开裂,进一步提高芯片封装环境下的结构稳定性和耐热冲击性能。并且,采用低温无焊料焊接技术,一方面不会因高温焊导致的基板热变形,另一方面,与常规的再流焊接技术相比,不会产生焊料熔化的再流淌,防止了由此可能产生的芯片管脚之间产生异物,增加了器件的良率。

[0052] 再参见图2,本发明提出采用一体式壳体结构,也就是说,壳体具有一个开口向下的半封闭结构,且该半封闭结构的顶面和四周侧面形成一个连续的结构。更进一步来说,该壳体形成一个一体化台阶结构。即,该自壳体3的中心向四周延伸出中心段31、台阶段32,台阶段32在竖直方向上低于中心段31。一体化台阶结构使得壳体3的顶面三维形状与芯片、基板整体构成的顶面三维形状相契合,减小了壳体下方多余的空间部分,能够提高芯片的封装结构向壳体上方散热的效率。同时,由于壳体下方的空间被充分利用,减少了填充物的体积,降低了生产成本。

[0053] 在该实施例中,所述芯片2的顶面与所述壳体3的中心段31的底面固定连接,且优选为焊接固定连接;通过使芯片2与壳体3相固定,增加了器件的结构稳定性,并且,当采用焊接连接时,芯片2在工作中产生的热量可能经由焊料直接传导至壳体3,增加了散热的效

率,有利于封装结构在高温状态下保持正常工作。更优选的是,所述壳体3采用导热率高的金属,例如钨铜,以便进一步提高散热效率。

[0054] 再参见图2,在该实施例中,作为优选实施方式,所述基板1的位于所述芯片2四周的上表面与所述壳体3的台阶段32的下表面顶抵。由此,壳体3的台阶段32由基板1直接支承但不进行固定,使得封装结构在竖直方向上更加具有结构的整体性和稳固性。并且,由于基板1和壳体3之间不进行焊接固定,壳体3相当于是“漂浮”于基板1上,由此,壳体和基板之间不会由于热膨胀系统的差异而导致结构变形,因此,能更加提升其在水平方向的结构稳固性。

[0055] 作为该实施例的一种实施方式,所述基板1的位于芯片2的四周的上表面与所述壳体3台阶段32的下表面固定连接。这种实施方式是为了加强竖直方向上的结构稳固性。为了防止水平方向上因热冲击产生的翘曲,在这种实施方式中,优选为所述基板1和所述壳体之间的热膨胀系数(CTE)接近,例如不高于5 ppm/°C。此外,所述固定连接优选为焊接方式固定连接,并优选为导热率好的焊料,以便基板更有效地通过壳体进行散热,提高封装结构的整体散热效率。

[0056] 图4是本发明的第二实施例的封装结构的示意图。在该实施例中,所述基板1的位于芯片2的四周的上表面与所述壳体3台阶段32的下表面不相互顶抵,而是相距一个很小的间距,例如50至200微米,优先为100微米。由于二者有间距,因此壳体3在水平和竖直方向上的限制作用将更加的小,从而避免了基板在热冲击条件下发生翘曲。同时,由于二者的间距极小,基板1仍能够在一定程度上限制壳体3在竖直方向上的活动,使封装结构在竖直方向上也能保持一定的结构整体性和稳固性。

[0057] 再参见图2和图3,我们将中心段与台阶段之间,以及台阶段与第二台阶段之间的部分分别称为过渡段和第二过渡段。在第一和第二实施例中,作为优选实施方式,所述芯片2在竖直方向上的外侧面与所述过渡段之间具有一定的距离,在此称为间隙。由于存在间隙,使得芯片2在水平方向上的热膨胀不会顶抵壳体的过渡段,这样,芯片2的在热冲击下的机械应力能够得到有效释放,防止了封装结构的整体结构被破坏。

[0058] 为了对芯片2进行密封,所述间隙中填充有密封胶,密封胶通常是具有良好柔性和密封性能的树脂材料,例如硅酮胶或环氧胶。同时,为了在工艺上灌注密封胶,在所述基板1的朝向所述间隙处开设有至少两个通孔,其中至少一个通孔用于注入密封胶,至少一个通孔在注入密封胶时用作出气孔。密封胶通常在注入完成后进行固化。当注入了密封胶之后,在封装结构经受热冲击后时,由芯片2的热膨胀产生的机械应力被传递到密封胶,由于通孔的存在,密封胶的形变在通孔处不受阻碍,因此,密封胶的形变能够一定程度上卸除芯片2的热膨胀产生的机械应力,使得封装结构的整体结构不会因热冲击而造成损坏。综合考虑封装结构的整体尺寸以及应力卸除效果,间隙在水平方向上的宽度优选为0.3至0.5毫米。

[0059] 图5是本发明的第三实施例的封装结构的示意图。在该实施例中,与第二实施例不同的是,所述过渡段为一个倾斜段33。图6是该实施例的俯视图,图中深色区域即为倾斜的过渡段。该倾斜段不但有利于水平方向应用的卸除,而且有利于竖直方向的应用卸除。例如在水平方向上,当间隙中填充有密封胶时,来自芯片的热膨胀产生的水平方向上的应力未由密封胶完全卸除时,该倾斜段仍能对应力做进一步的卸除。进一步来说,该倾斜段与水平面的夹角优选为45至90度。

[0060] 图7是本发明的芯片封装结构的第五实施例的结构示意图。该第五实施例与第一实施例不同的是，台阶段32的顶面与中心段31齐平。也就是说，该台阶段32的内侧面仍为一体台阶结构，但其外侧表面简化为单台阶连续结构。该实施例中，由于壳体外表面结构更加简单，使得封装结构外形更加规整，同时，对于壳体的制造来说，由于壳体少了一次弯折，因此工艺上更加简单。

[0061] 图8A至图13B是本发明的芯片封装方法的一个实施例工艺过程示意图。

[0062] S1、在基板上固定连接芯片，所述多个芯片相互间隔设置；

[0063] 图8A示出了基板1的截面图，图8B是基板的顶视图。从图8A和图8B可看出，基板上预留有成对的小孔，每对小孔之间作为芯片固定的位置。图9A和图9B是在基板上固定连接了芯片后的示意图。图9A是截面图，示意性地示出了两个芯片的情况；图9B是顶视图，示出了4*3矩阵排列的多个芯片的情况。但应理解，为了提高批量生产的效率，在工艺允许的条件下，在一个基板上可以设置更多的芯片。

[0064] 如图9A所示，在该实施例中，基板1为BT树脂基板，优选为所述BT基板1和芯片2之间的热膨胀系数接近，例如不高于15 ppm/°C，芯片2的下方的源极和漏极的接合点通过焊球焊接的方式与基板上的接线点固定连接。基板1的上下表面覆有金属导电层，并通过基板中的预留线路互连。在焊接之前对芯片2或基板进行植球工艺，在焊接之后对基板1和芯片2之间的在倒装焊接之后对基板1和芯片2之间的焊接区域进行下填充工艺，优选为采用导热性和密封性能良好的填充料。相对于传统芯片陶瓷封装内部采用键合丝的方式，该实施例的封装体积能够减小2~3倍。焊球焊接方式相对于键合方式，因为取消了键合丝，极大减小了器件漏极和源极电极至PCB板的导通阻抗，并且极大减小了键合丝带来的寄生影响。

[0065] 优选的，当芯片数量较多时，由于基板很薄，将所述基板吸附固定于一个载舟上，由此载舟可以较好地支撑基板，以利于后续在所述基板上固定所述多个芯片。

[0066] 如图9B所示，各芯片均固定于小孔对的中间。

[0067] S2、将壳体覆盖于连接有所述芯片的基板上。

[0068] 在该实施例中，壳体具有一个一体化台阶结构。为此，该步骤S2之前还可以包括一个形成壳体的步骤。该实施例中通过对金属板材进行一体化冲压成形工艺形成所述壳体。一体冲压成形对于延展性强的金属材料来说是一种工艺过程简单，成品率高且成本低廉的方法，通过采用不同的冲压模具，可以生成不同尺寸或造型的壳体。

[0069] 如前所述，冲压形成的壳体具有多个半封闭单元，每个半封闭单元自壳体的中心向四周延伸出中心段31和台阶段32，台阶段32在竖直方向上低于中心段31。一体化台阶结构使得壳体3的顶面三维形状与芯片、基板整体构成的顶面三维形状相契合，减小了壳体下方多余的空间部分，能够提高芯片的封装结构向壳体上方散热的效率。同时，由于壳体下方的空间被充分利用，减少了填充物的体积，降低了生产成本。

[0070] S3、将芯片的顶面与所述壳体的半封闭单元的中心段的底面固定连接，同时，将所述基板的位于芯片四周的上表面与所述台阶段的下表面固定连接。

[0071] 所述固定连接优选为焊接方式固定连接，并优选为导热率好的焊料，以便基板更有效地通过壳体进行散热，提高封装结构的整体散热效率。所述为了防止水平方向上因热冲击产生的翘曲，在这种实施方式中，优选为所述基板1和所述壳体之间的热膨胀系数接近，例如不高于5 ppm/°C。

[0072] 图10A显示了在芯片2表面及基板的位于芯片四周的上表面涂覆焊料的步骤的截面,图10B是顶视图。如图10B所示,焊料设置于芯片2上,并且离形芯片及基板上的小孔一段距离后涂覆于基板上其余部分。

[0073] 在其他的实施例中,该步骤S3可以只将芯片2的顶面与所述壳体的半封闭单元的中心段的底面固定连接,但不将芯片2的基板1上所述基板的位于芯片四周的上表面与所述台阶段的下表面固定连接,此时,可只在芯片2上涂覆焊料。一种实施方式是基板1的位于所述芯片2四周的上表面与所述壳体3的台阶段32的下表面顶抵,另一种方式是二者之间相距一个很小的间距,例如50至200微米,优选为100微米。对于后一种情况,由于二者有间距,因此壳体3在水平和竖直方向上的限制作用将更加的小,从而避免了基板在热冲击条件下发生翘曲。并且,由于基板1和壳体3之间不进行焊接固定,壳体3相当于是“漂浮”于基板1上,由此,壳体和基板之间不会由于热膨胀系统的差异而导致结构变形,因此,能更加提升其在水平方向的结构稳固性。同时,由于二者的间距极小,基板1仍能够在一定程度上限制壳体3在竖直方向上的活动,使封装结构在竖直方向上也能保持一定的结构整体性和稳固性。

[0074] 图11显示了在涂覆有焊料的芯片或基板上覆盖上壳体后的示图。从图10可看出,壳体结合于芯片或基板上后形成一个整板的结构。优选的,当芯片数量较多时,由于壳体很薄,也可以将所述壳体吸附固定于一个载舟上,由此载舟可以较好地支撑壳体,以利于后续覆盖于基板上。

[0075] S4、在间隙中填充密封胶。

[0076] 如图12A所示,所述的间隙是指位于所述芯片在竖直方向上的外侧面与过渡段之间的间隙。

[0077] 为了对芯片2进行密封,所述间隙中填充有密封胶,密封胶通常是具有良好柔性和密封性能的树脂材料,例如硅酮胶或环氧胶。同时,为了在工艺上灌注密封胶,在所述基板1的朝向所述间隙处开设有至少两个通孔,其中至少一个通孔用于注入密封胶,至少一个通孔在注入密封胶时用作出气孔。密封胶通常在注入完成后进行固化,得到图12A和图12B所示的结构,其中图12B是顶视图。当注入了密封胶之后,在封装结构经受热冲击后时,由芯片2的热膨胀产生的机械应力被传递到密封胶,由于通孔的存在,密封胶的形变在通孔处不受阻碍,因此,密封胶的形变能够一定程度上卸除芯片2的热膨胀产生的机械应力,使得封装结构的整体结构不会因热冲击而造成损坏。综合考虑封装结构的整体尺寸以及应力卸除效果,间隙在水平方向上的宽度优选为0.3至0.5毫米。

[0078] 需要说明的是,灌注密封胶的工艺需要在真空环境下进行。

[0079] S5、切割所述整板封装结构,从而得到多个芯片封装结构。

[0080] 如图13A和图13B所示,在该步骤中,将已经完成封装的芯片封装结构进行切割,得到成品的芯片封装结构。

[0081] 需要说明的是,在该步骤S5之前,可以规模化地对整板芯片封装结构)进行筛选,并根据筛选结果对器件成品进行判据。为了满足高可靠性要求,特别是耐热冲击性能的要求,在测试过程中包括有老化的过程。

[0082] 图14和图15显示了用于对本发明的整板芯片封装结构进行规模化筛选的一体化测试装置的结构示意图。图14是顶视图,图15是截面图。如图14、15所示,该一体化测试装置10包括主板101和位于主板上的与整板芯片封装结构的位置对应的多个限位框102和限位

框103内的可伸缩探针103。所述探针103的位置与基板背面的管脚位置相对应。

[0083] 图16显示了一体化测试装置对整板芯片封装结构进行测试的示意图。如图16所示,进行测试时,测试装置的限位框顶抵基板1的背面,使探针103对准各基板背面的管脚并回弹,测试装置上的测试电路(未画出)完成测试。

[0084] 相比于现有技术必须对芯片封装结构的成品器件进行逐一放入测试装置中,本发明无需进行逐一转移、放置等程序,极大地提高了测试的效率。

[0085] 此外,在老化时,可以将集成有多个测试探针的一体化老化背夹装置连接于整板芯片封装结构的基板背面的引脚进行,无需对器件进行逐一的转移和放置即可以完成整板芯片封装结构的老化,极大地提高了测试效率。特别是对于本发明的高可靠性芯片封装结构的测试来说,由于测试的次数很多,而采用本发明的整板芯片封装结构的测试装置和测试方法,能够使几乎所有的测试(除了最后一次在切割完成后进行)在整板上进行,这极大地提高了封装后测试和筛选的效率。

[0086] 以上所述的具体实施例,对本发明的目的、技术方案和有益效果进行了进一步详细说明,应理解的是,以上所述仅为本发明的具体实施例而已,并不用于限制本发明,凡在本发明的精神和原则之内,所做的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

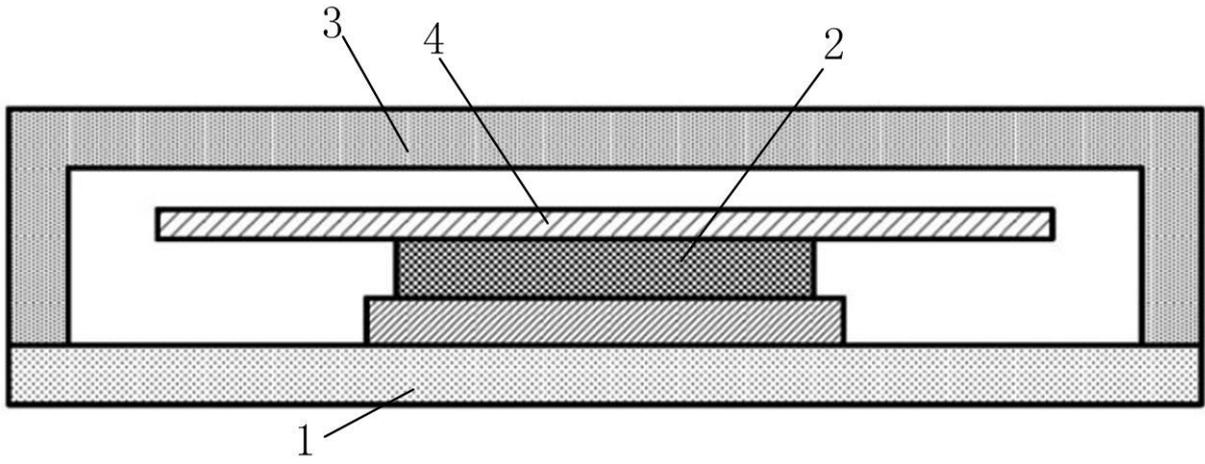


图 1

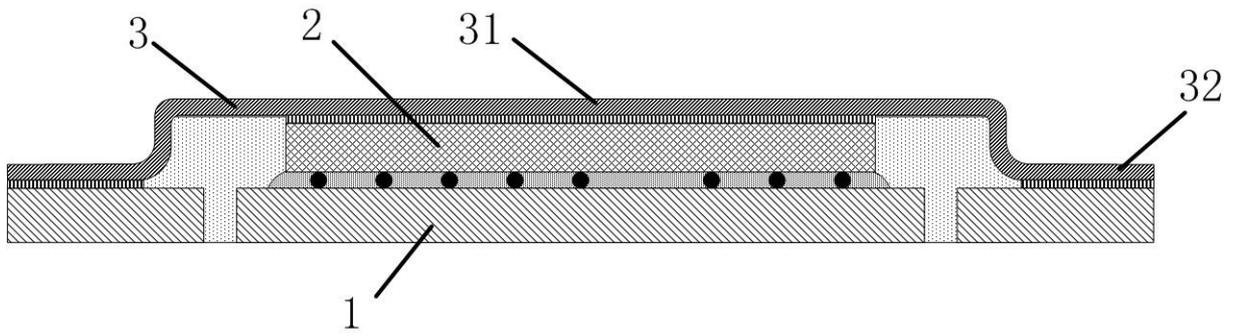


图 2

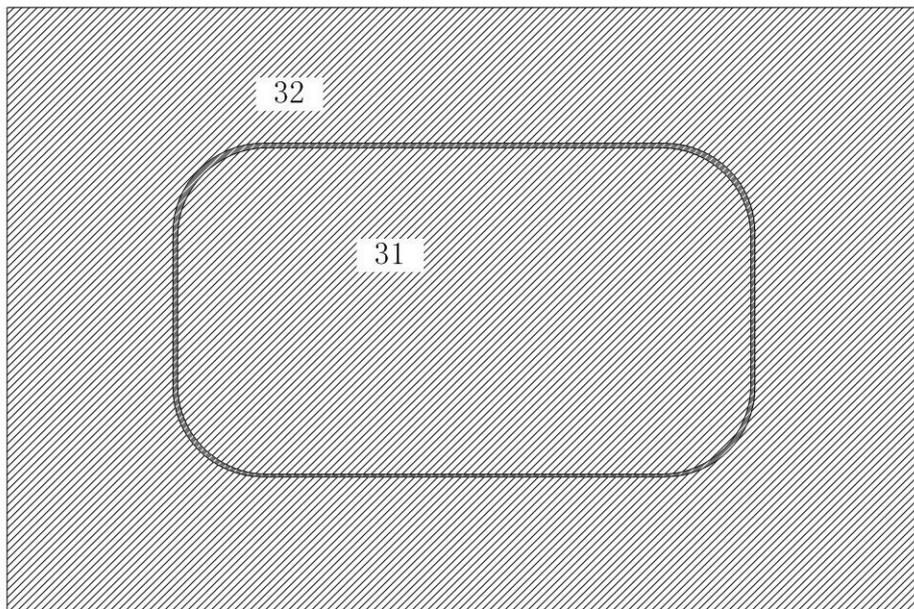


图 3

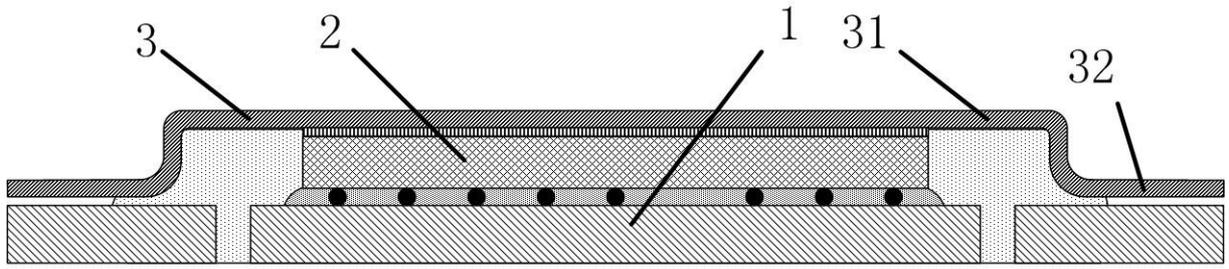


图 4

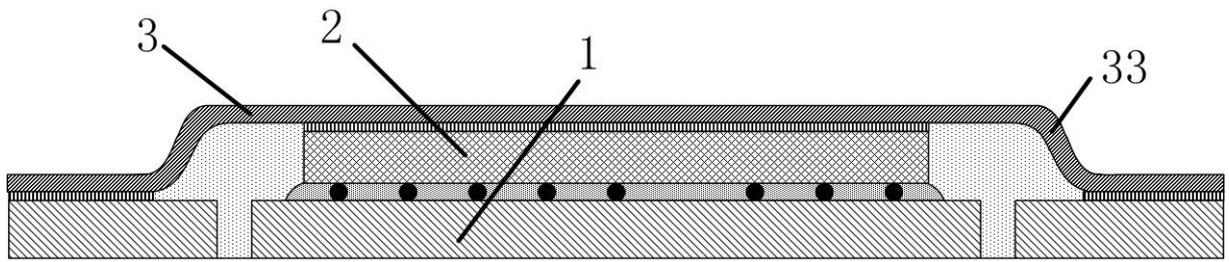


图 5

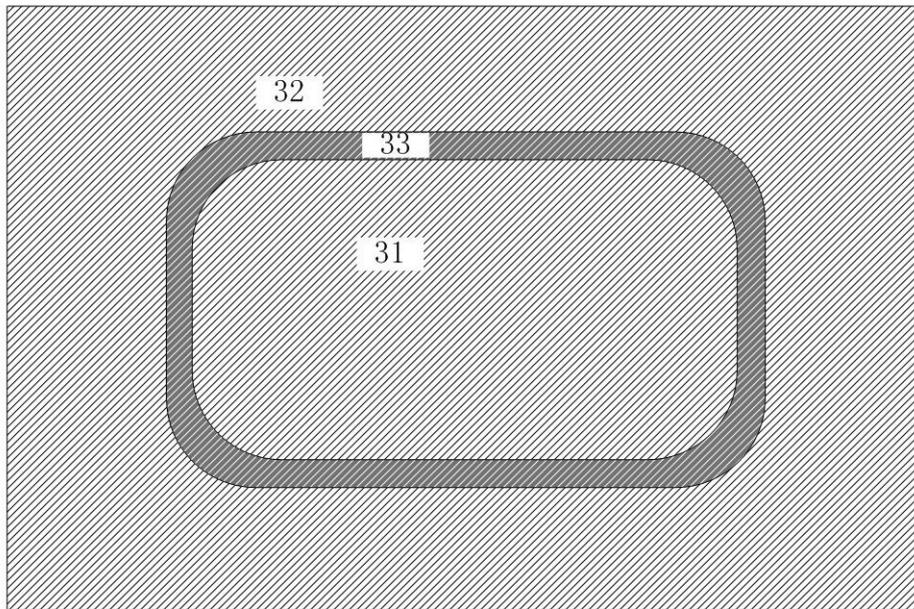


图 6

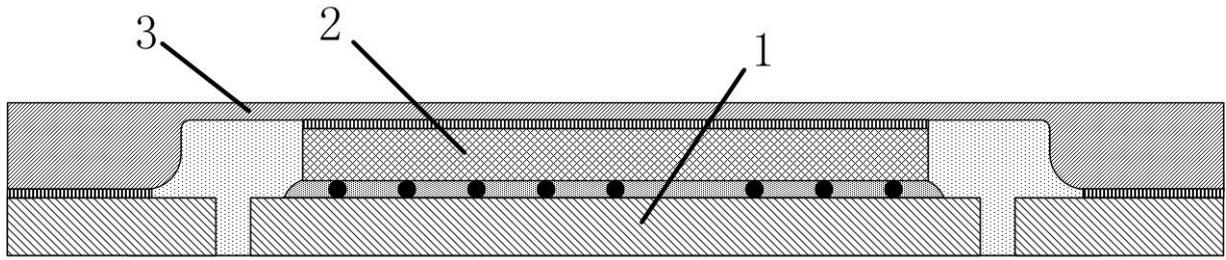


图 7

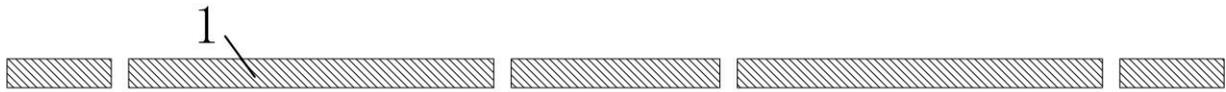


图 8A

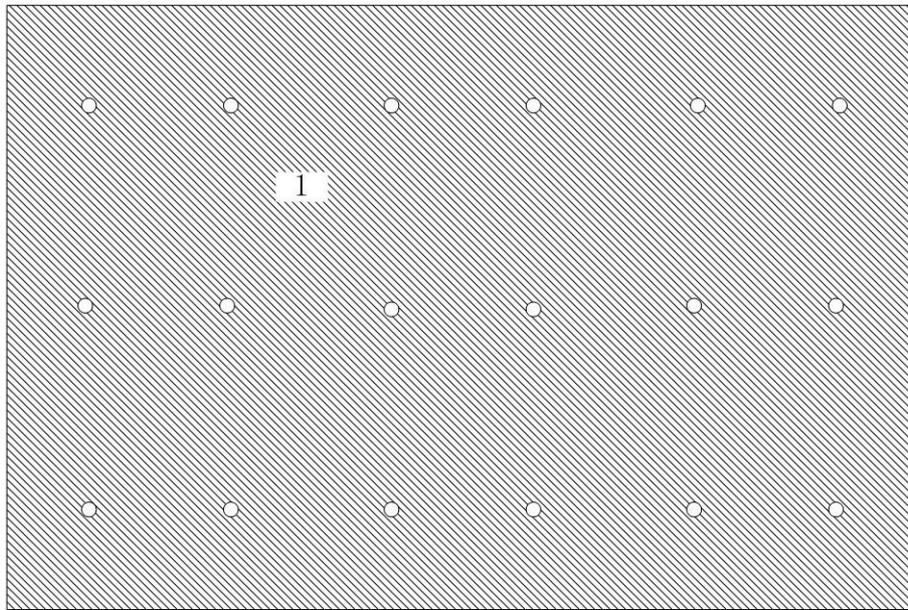


图 8B

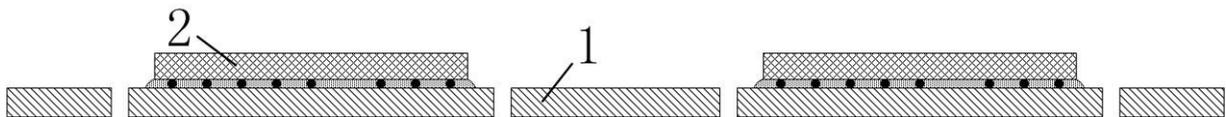


图 9A

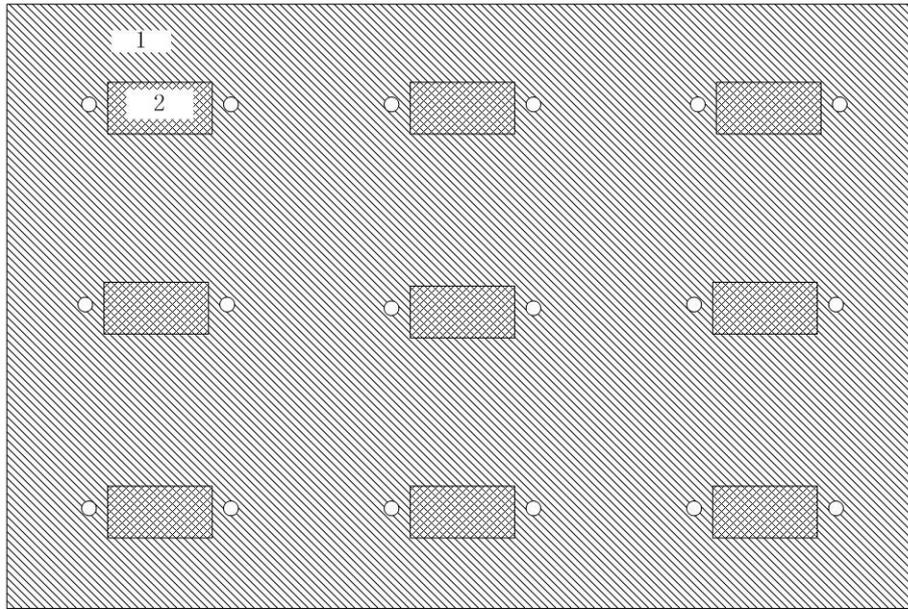


图 9B

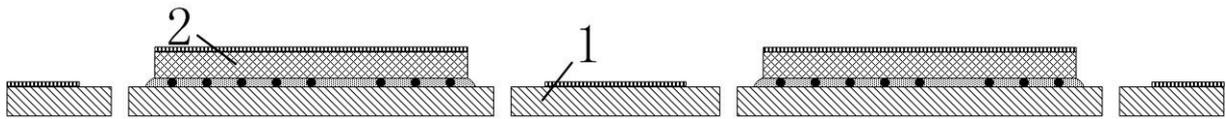


图 10A

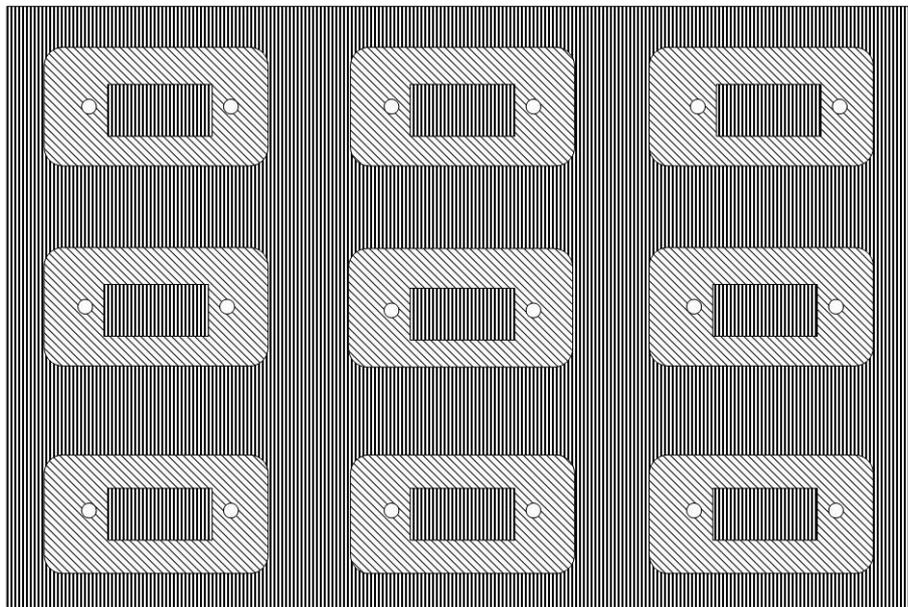


图 10B

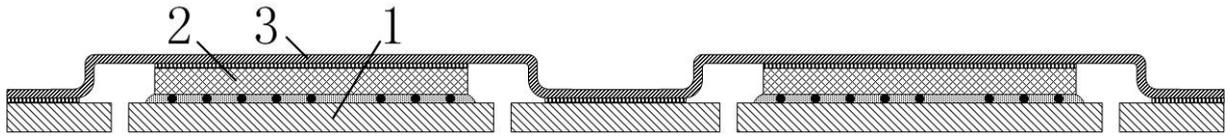


图 11

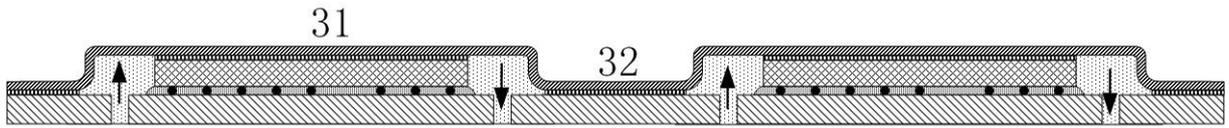


图 12A

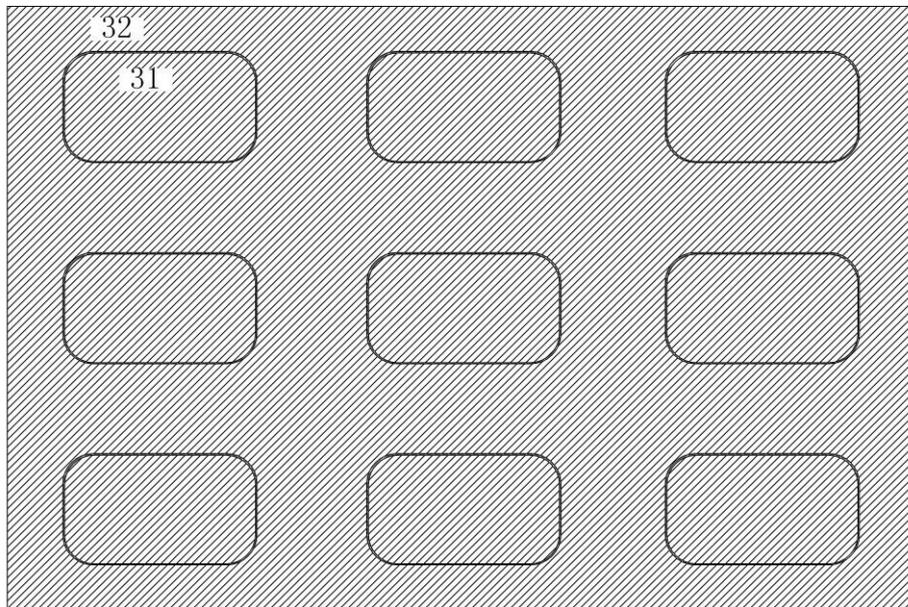


图 12B

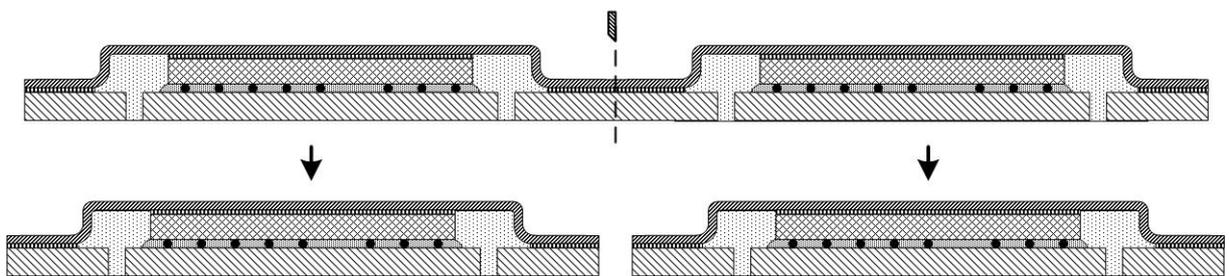


图 13A

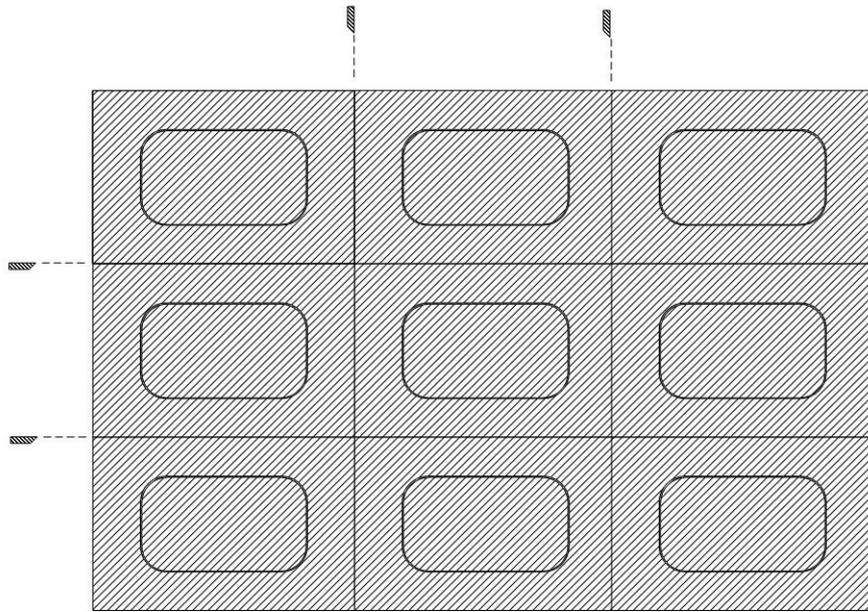


图 13B

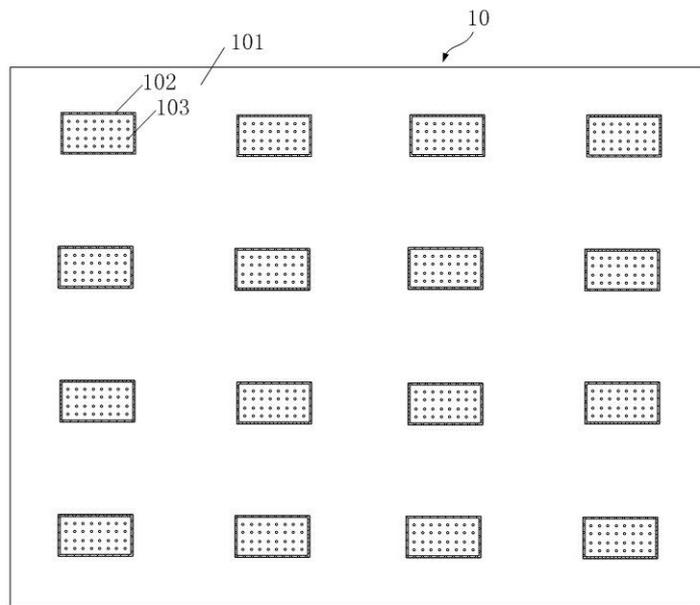


图 14

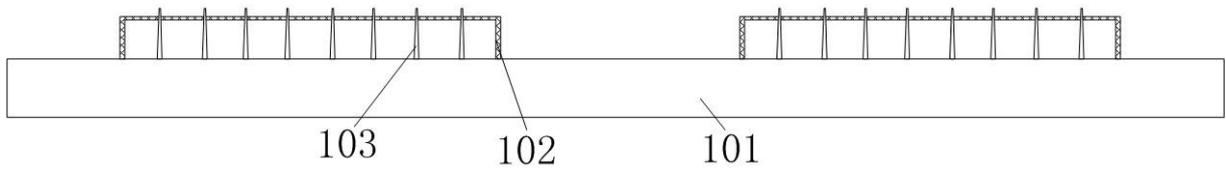


图 15

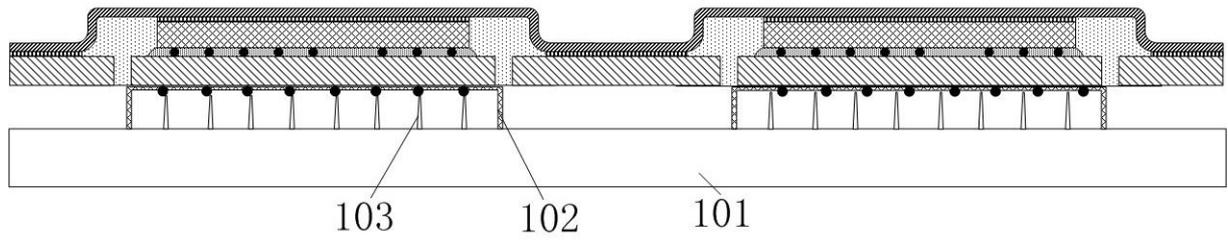


图 16