



(12) 发明专利

(10) 授权公告号 CN 102117834 B

(45) 授权公告日 2012. 12. 19

(21) 申请号 201110021486. 3

CN 1450655 A, 2003. 10. 22,

(22) 申请日 2011. 01. 19

A. Kinoshita et al. 《Solution for High-Performance Schottky-Source/Drain MOSFETs:Schottky Barrier Height Engineering with Dopant Segregation Technique 》. 《2004 Symposium on VLSI Technology Digest of Technical Papers》. 2004,

(73) 专利权人 北京大学

地址 100871 北京市海淀区颐和园路 5 号

(72) 发明人 黄如 黄芊芊 詹瞻 王阳元

(74) 专利代理机构 北京万象新悦知识产权代理  
事务所(普通合伙) 11360

审查员 田书凤

代理人 贾晓玲

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 29/423(2006. 01)

H01L 29/08(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

US 2005/0023608 A1, 2005. 02. 03,

CN 101719517 A, 2010. 06. 02,

US 5920093 A, 1999. 07. 06,

权利要求书 2 页 说明书 4 页 附图 4 页

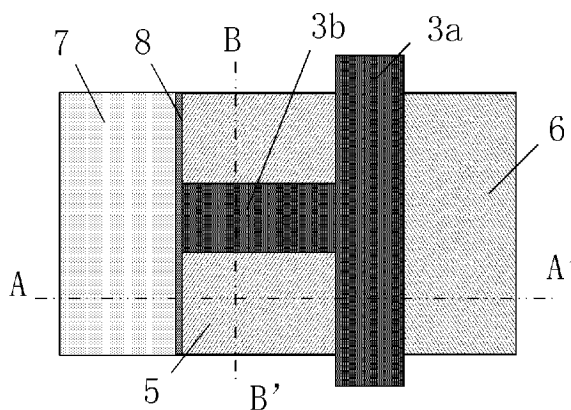
(54) 发明名称

一种带杂质分凝的复合源 MOS 晶体管及其制备方法

(57) 摘要

本发明提供了一种结合杂质分凝肖特基和带带隧穿的复合源 MOS 晶体管及其制备方法, 该复合源 MOS 晶体管包括一个控制栅电极层、一个栅介质层、一个半导体衬底、一个高掺杂源区和一个高掺杂漏区, 控制栅的一端向高掺杂源区延展成 T 型, 延展出来的栅区为延展栅, 原控制栅区为主栅, 高掺杂源区由半导体高掺杂形成, 位于延展栅的沿有源区宽度方向的两侧, 在高掺杂源区远离沟道方向的一侧连接一个带杂质分凝的肖特基源区。本发明与现有的 MOSFET 相比, 在同样的工艺条件, 同样的有源区尺寸下可以得到更高的导通电流、更低的泄漏电流以及更陡直的亚阈值斜率。

CN 102117834 B



1. 一种复合源 MOS 晶体管,其特征在於,包括一个控制栅、一个栅介质层、一个半导体衬底、一个高掺杂源区和一个高掺杂漏区,控制栅的一端向高掺杂源区延展成 T 型,延展出来的栅区为延展栅,原控制栅区为主栅,在延展栅覆盖下的有源区同样是沟道区,材料为衬底材料,所述高掺杂源区由半导体高掺杂形成且位于延展栅的沿有源区宽度方向的两侧,所述高掺杂源区的远离主栅的一侧和延展栅下的沟道区共同连接一个肖特基源区,所述肖特基源区在与高掺杂源区和延展栅下的沟道区的界面处分凝出杂质,所述肖特基源区和延展栅下的沟道区的界面处形成一个高掺杂的超浅结,所述高掺杂漏区由半导体高掺杂形成,且掺杂类型与高掺杂源区相反,位于控制栅未延展的一侧。

2. 如权利要求 1 所述的复合源 MOS 晶体管,其特征在於,所述延展栅的宽度为 1—2  $\mu\text{m}$ ,延展栅的长度占有源区长度的 1/10—5/10。

3. 如权利要求 1 所述的复合源 MOS 晶体管,其特征在於,带杂质分凝的所述肖特基源区由注入了杂质的金属硅化物形成。

4. 如权利要求 1 所述的复合源 MOS 晶体管,其特征在於,主栅与高掺杂漏区之间留有 0.5—2  $\mu\text{m}$  的余量。

5. 如权利要求 3 所述的复合源 MOS 晶体管,其特征在於,所述带杂质分凝的肖特基源区采取 Post-Silicide 技术,先形成硅化物然后向硅化物中注入杂质,对于 n 型器件,注入杂质为磷,对于 p 型器件,注入杂质为硼,注入剂量在  $5e14$ — $5e15$  之间。

6. 一种复合源 MOS 晶体管的制备方法,包括以下步骤:

(1) 在半导体衬底上通过浅槽隔离定义有源区;

(2) 生长栅介质层;

(3) 淀积栅电极层,接着光刻和刻蚀栅电极层形成主栅和延展栅图形;

(4) 光刻暴露出源掺杂区,以光刻胶及主栅和延展栅为掩膜,离子注入形成高掺杂源区,然后去胶;

(5) 光刻暴露出漏掺杂区,以光刻胶及主栅为掩膜,离子注入形成高掺杂漏区,然后去胶,快速高温热退火激活掺杂杂质;

(6) 光刻暴露出源金属区,以光刻胶为掩膜溅射一层金属,经过低温退火形成金属与半导体的化合物,接着去除未反应的金属,形成肖特基源区;

(7) 以步骤(6)的光刻胶为掩膜进行离子注入杂质,经过低温长时间退火工艺后形成带杂质分凝的肖特基源区;

(8) 最后进入常规 CMOS 后道工序,包括淀积钝化层、开接触孔以及金属化,即可制得权利要求 1 所述的 MOS 晶体管。

7. 如权利要求 6 所述的制备方法,其特征在於,所述步骤(1)中的半导体衬底材料选自 Si、Ge、SiGe、GaAs 或其他 II-VI, III-V 和 IV-IV 族的二元或三元化合物半导体、绝缘体上的硅或绝缘体上的锗。

8. 如权利要求 6 所述的制备方法,其特征在於,所述步骤(2)中生长栅介质层的方法选自下列方法之一:常规热氧化、掺氮热氧化、化学气相淀积和物理气相淀积。

9. 如权利要求 6 所述的制备方法,其特征在於,所述步骤(3)中的栅电极层材料选自掺杂多晶硅、金属钴、镍以及其他金属或金属硅化物。

10. 如权利要求 6 所述的制备方法,其特征在於,所述步骤(6)中的金属材料选自 Pt、

Er、Co、Ni 以及其他可与衬底半导体材料通过退火形成化合物的金属。

11. 如权利要求 6 所述的制备方法,其特征在于,栅介质层材料选自二氧化硅、二氧化铪、氮化铪。

## 一种带杂质分凝的复合源 MOS 晶体管及其制备方法

### 技术领域

[0001] 本发明属于 CMOS 超大集成电路 (ULSI) 中的场效应晶体管逻辑器件与电路领域, 具体涉及一种结合杂质分凝肖特基 (Dopant-Segregated Schottky) 和带带隧穿 (Band-to-Band Tunneling) 的复合源 MOS 晶体管及其制备方法。

### 背景技术

[0002] 随着金属-氧化物-硅场效应晶体管 (MOSFET) 的特征尺寸进入到纳米尺度, 器件的短沟道效应等负面影响也愈加严重。漏致势垒降低 (DIBL) 等效应使得器件关态漏泄电流不断增大, 伴随着器件阈值电压降低, 增大了集成电路的静态功耗。不仅如此, 传统 MOSFET 器件的亚阈值斜率由于受到  $KT/q$  的理论限制而无法随着器件尺寸的缩小而同步减小, 亚阈值漏泄电流也在随着阈值电压的降低成指数关系升高。为了克服纳米尺度下 MOSFET 面临的越来越多的挑战, 新型器件结构和工艺制备方法已经成为小尺寸器件下大家关注的焦点。

[0003] 早在 20 世纪 60 年代末, 由 Lepselter 和 Sze 就提出了肖特基势垒 MOS 场效应晶体管 (Schottky Barrier MOSFET) 结构。将源漏利用金属或硅化物来代替传统的掺杂, 利用源端的载流子的直接隧穿势垒来实现导通, 肖特基势垒 MOSFET 大大降低了器件的源漏寄生电阻, 实现了源漏超浅结, 改善了晶体管的短沟性能, 并且工艺制备过程简单。然而界面势垒钉扎、材料功函数等因素使得肖特基势垒较高, 驱动电流小和关态电流大成了传统肖特基势垒 MOSFET 器件的固有缺点。利用杂质分凝技术能在金属半导体表面形成一个高掺杂的超浅结, 是最有效最有发展前途的调节势垒的办法。这种方法最先由 R. L. Thornton 在 20 世纪 80 年代初提出, 利用杂质在固体-固体界面上的分凝作用, 使得界面处的势垒能带弯曲程度加强, 等效势垒降低, 大大提高了载流子隧穿几率, 提高了开态电流, 同时使得泄漏路径上的势垒高度变大, 降低了漏电流。

[0004] 而针对 MOSFET 亚阈值斜率存在  $60\text{mv}/\text{dec}$  的理论极限的问题, 近些年来研究者们提出了一种可能的解决方案, 就是采用隧穿场效应晶体管 (TFET)。TFET 利用栅极控制反向偏置的 P-I-N 结的带带隧穿实现导通, 且漏电流非常小。TFET 具有低漏电流、低亚阈值斜率、低工作电压和低功耗等诸多优异特性, 但由于受源结隧穿几率和隧穿面积的限制, TFET 面临着低开态电流的问题。专利 (CN 101719517A) 提出了一种肖特基隧穿晶体管, 它利用肖特基结在源漏的使用解决了 TFET 器件的源漏自对准问题, 但它仍然面临开态电流小的难题。如何在保证器件具有较低亚阈值斜率和泄漏电流的基础上又能提高器件的开态电流, 成了目前研究者们研究的热点。

### 发明内容

[0005] 本发明的目的在于一种结合杂质分凝肖特基结和带带隧穿机制的复合源 MOS 晶体管及其制备方法。在与现有的 CMOS 工艺相兼容和与 MOSFET 有相同的有源区面积的条件, 该结构能在保证器件具有较低亚阈值斜率和泄漏电流的基础上又能显著地提升器件的

导通电流,且具有较小的寄生电阻,适合于低功耗应用。

[0006] 本发明的技术方案如下:

[0007] 一种带杂质分凝的复合源 MOS 晶体管,其特征在于,包括一个控制栅电极层、一个栅介质层、一个半导体衬底、一个高掺杂源区和一个高掺杂漏区,在高掺杂源区远离沟道方向的一侧连接一个带杂质分凝的肖特基源区,控制栅的一端向高掺杂源区延展成 T 型,延展出来的栅区为延展栅,原控制栅区为主栅,在延展栅覆盖下的有源区同样是沟道区,材料为衬底材料,所述高掺杂源区由半导体高掺杂形成,位于延展栅的沿有源区宽度方向的两侧,所述带杂质分凝的肖特基源区由注入了杂质的金属硅化物形成,带杂质分凝的肖特基源区和延展栅下的界面处形成一个高掺杂的超浅结。所述高掺杂漏区由半导体高掺杂形成,且掺杂类型与高掺杂源区相反,位于控制栅未延展的一侧。

[0008] 所述延展栅的宽度必须小于源区有源区的注入宽度,以保证源区半包围延展栅,保证大的隧穿面积。且延展栅的宽度也可以适当减小,使得延展栅极两侧源结的内建势可以耗尽延展栅以下的沟道区,这样可以减小器件静态漏泄电流(根据沟道以及源区掺杂浓度的不同,这个值取 1-2 $\mu\text{m}$  之间)。

[0009] 所述延展栅的长度占有源区长度的 1/10-5/10,具体长度视需要电流的提升量而定,但不超过源端有源区的边缘。

[0010] 主栅与高掺杂漏区之间可以留有 0.5-2 $\mu\text{m}$  的余量,以抑制该结构的双极导通特性,使得主栅区失去控制力,以得到更好的亚阈值斜率。

[0011] 所述的带杂质分凝的肖特基源区采取 Post-Silicide 技术,即先形成硅化物然后向硅化物中注入杂质,对于 n 型器件,注入杂质为磷,对于 p 型器件,注入杂质为硼,注入剂量在  $5\text{e}14$ - $5\text{e}15$  之间。

[0012] 上述结合杂质分凝肖特基结和带带隧穿的复合源 MOS 晶体管的制备方法,包括以下步骤:

[0013] (1) 在半导体衬底上通过浅槽隔离定义有源区;

[0014] (2) 生长栅介质层;

[0015] (3) 淀积栅电极层,接着光刻和刻蚀栅电极层形成主栅和延展栅图形;

[0016] (4) 光刻源掺杂区,以光刻胶及栅为掩膜,离子注入形成高掺杂源区,然后去胶;

[0017] (5) 光刻漏掺杂区,以光刻胶及栅为掩膜,离子注入形成高掺杂漏区,然后去胶,快速高温热退火激活掺杂杂质;

[0018] (6) 光刻源金属区,溅射一层金属,经过低温退火形成金属与半导体的化合物,接着去除未反应的金属,形成肖特基源区,再带胶离子注入杂质,经过低温长时间退火工艺(退火温度由杂质激活温度确定)后形成带杂质分凝的肖特基源区;

[0019] (7) 最后进入常规 CMOS 后道工序,包括淀积钝化层、开接触孔以及金属化等,即可制得所述的 MOS 晶体管。

[0020] 上述的制备方法中,所述步骤(1)中的半导体衬底材料选自 Si、Ge、SiGe、GaAs 或其他 II-VI, III-V 和 IV-IV 族的二元或三元化合物半导体、绝缘体上的硅(SOI)或绝缘体上的锗(GOD)。

[0021] 上述的制备方法中,所述步骤(2)中的栅介质层材料选自二氧化硅、二氧化锆、氮化锆等。





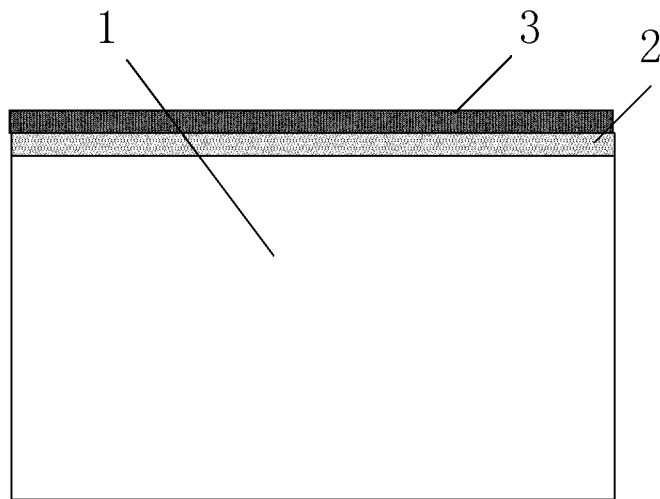


图 1

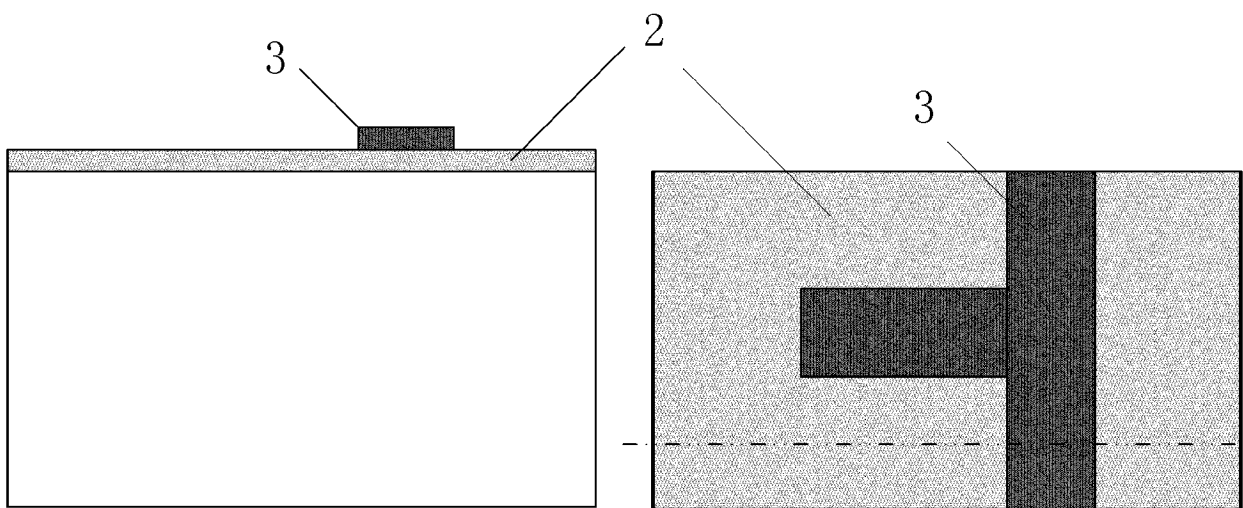


图 2a

图 2b



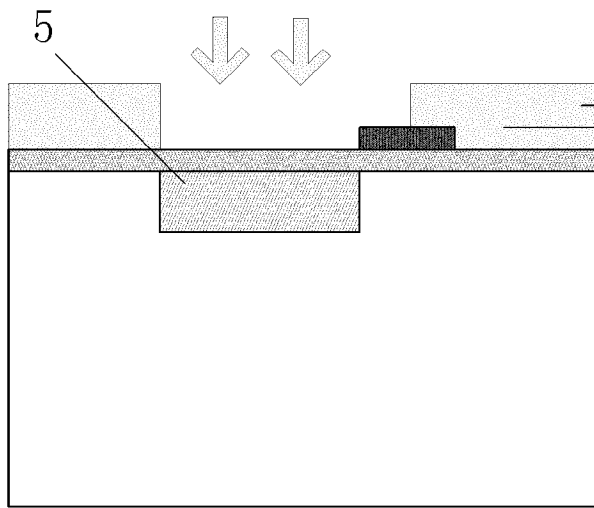


图 3a

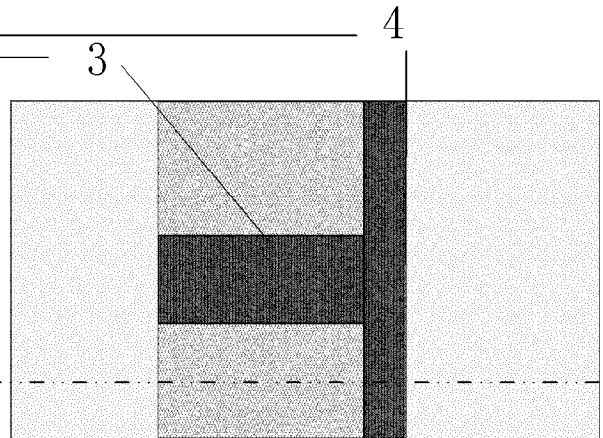


图 3b

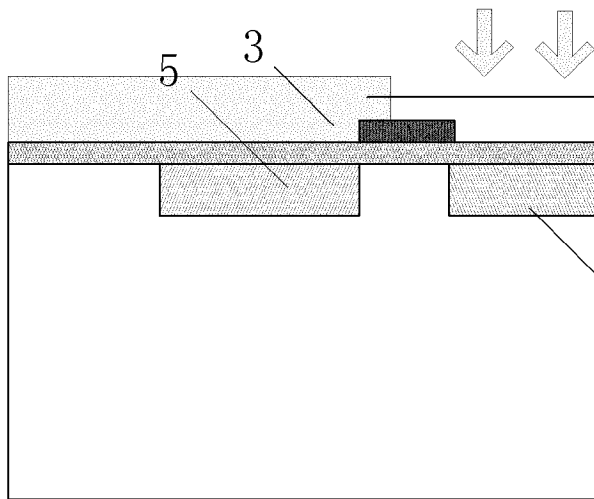


图 4a

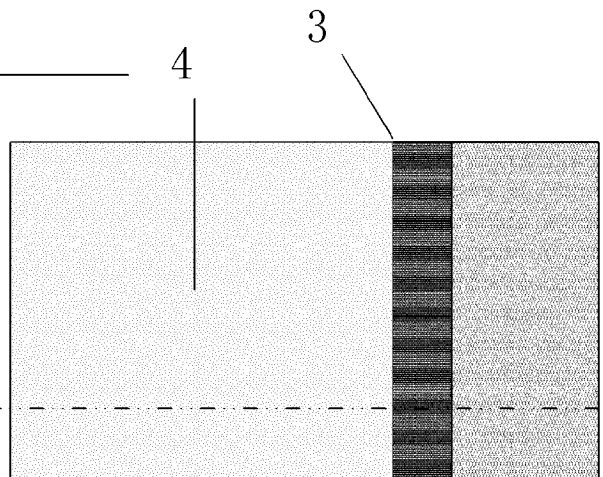


图 4b

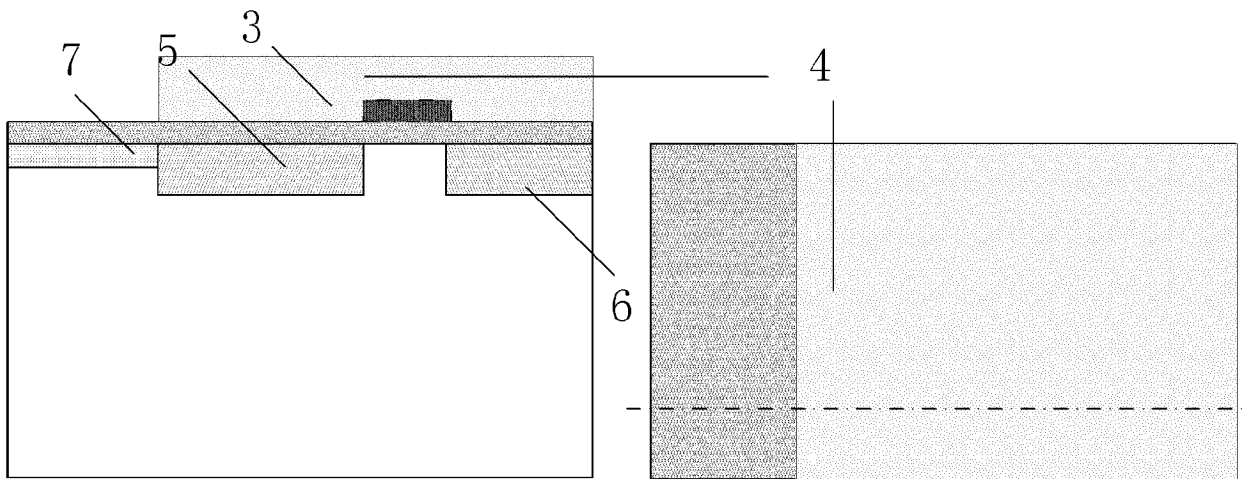


图 5a

图 5b

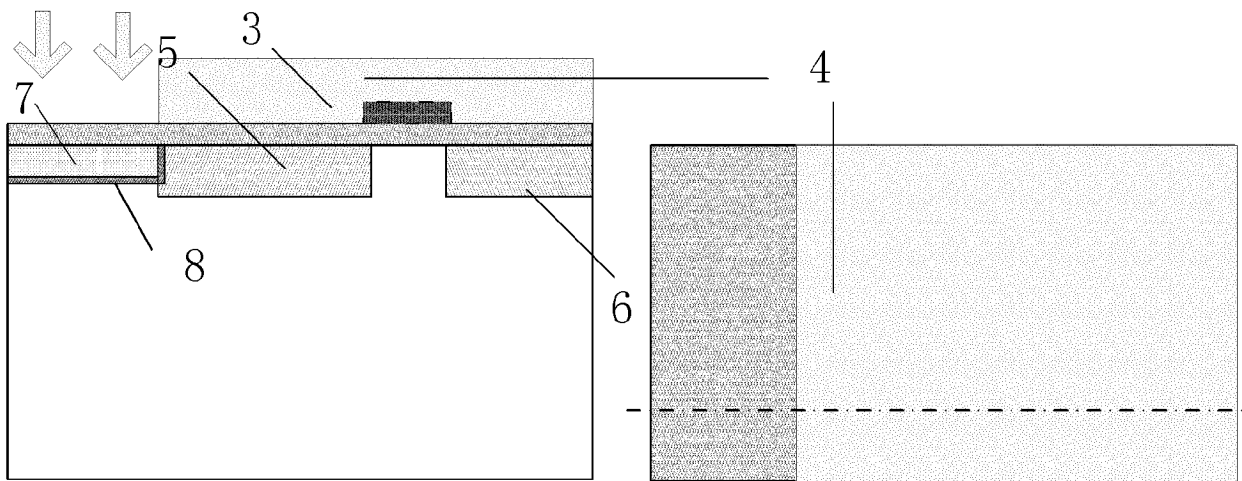


图 6a

图 6b

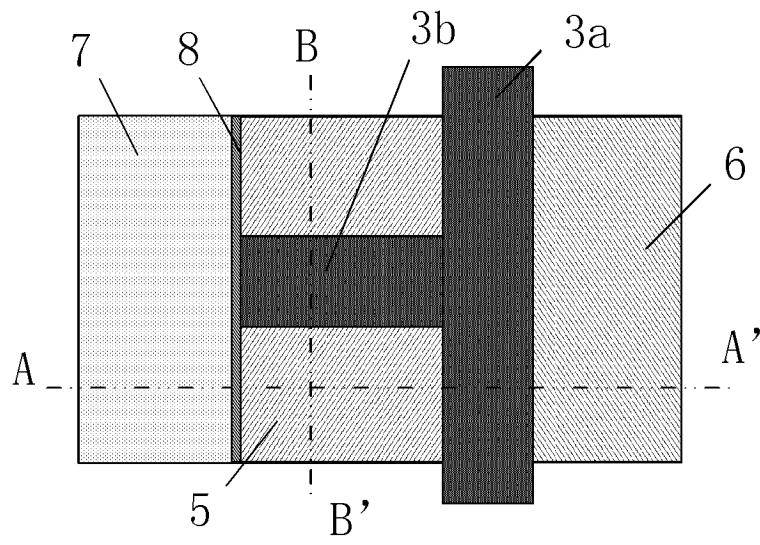


图 7

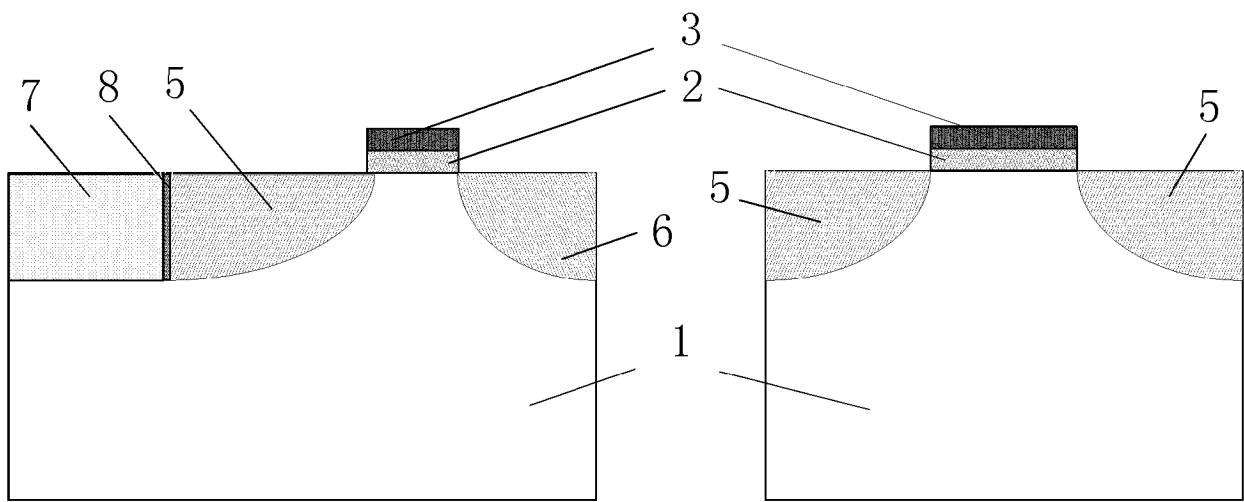


图 8a

图 8b