

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5792701号  
(P5792701)

(45) 発行日 平成27年10月14日(2015.10.14)

(24) 登録日 平成27年8月14日(2015.8.14)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L 29/78	6 5 2 M			
HO 1 L 29/12 (2006.01)	HO 1 L 29/78	6 5 2 T			
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 5 2 D			
HO 1 L 21/28 (2006.01)	HO 1 L 29/78	6 5 8 F			
HO 1 L 29/417 (2006.01)	HO 1 L 21/28	3 0 1 S			
請求項の数 21 (全 24 頁) 最終頁に続く					

(21) 出願番号 特願2012-210036 (P2012-210036)  
 (22) 出願日 平成24年9月24日 (2012.9.24)  
 (65) 公開番号 特開2014-67754 (P2014-67754A)  
 (43) 公開日 平成26年4月17日 (2014.4.17)  
 審査請求日 平成26年2月19日 (2014.2.19)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100108062  
 弁理士 日向寺 雅彦  
 (72) 発明者 土屋 義規  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 (72) 発明者 四戸 孝  
 東京都港区芝浦一丁目1番1号 株式会社  
 東芝内  
 審査官 平野 崇

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

第1導電形の第1半導体領域と、  
 前記第1半導体領域の上に設けられた第2導電形の第2半導体領域と、  
 前記第2半導体領域の上に設けられた第1導電形の第3半導体領域と、  
 前記第3半導体領域の下端よりも下に下端を有する第1部分と、前記第1部分と接し前記第3半導体領域の上に設けられた第2部分と、を有する第1電極と、  
 前記第1部分と前記第2半導体領域との間に設けられ前記第1電極と前記第2半導体領域とを電氣的に接続する第1コンタクト領域と、  
 前記第2部分と前記第3半導体領域との間に設けられ前記第1電極と前記第3半導体領域とを電氣的に接続しシリサイドを含む第2コンタクト領域と、  
 を備えた半導体装置。

【請求項2】

前記第1電極と前記第2コンタクト領域との間に設けられ、前記第2コンタクト領域の仕事関数よりも大きな仕事関数を有する中間層をさらに備えた請求項1記載の半導体装置。

【請求項3】

前記第1電極と前記第1コンタクト領域との間に設けられ、前記第2コンタクト領域の仕事関数よりも大きな仕事関数を有する中間層をさらに備えた請求項1記載の半導体装置。

## 【請求項 4】

第 1 導電形の第 1 半導体領域と、  
 前記第 1 半導体領域の上に設けられた第 2 導電形の第 2 半導体領域と、  
 前記第 2 半導体領域の上に設けられた第 1 導電形の第 3 半導体領域と、  
 前記第 3 半導体領域の下端よりも下に下端を有する第 1 部分と、前記第 1 部分と接し前記第 3 半導体領域の上に設けられた第 2 部分と、を有する第 1 電極と、  
 前記第 1 部分と前記第 2 半導体領域との間に設けられ前記第 1 電極と前記第 2 半導体領域とを電氣的に接続する第 1 コンタクト領域と、  
 前記第 2 部分と前記第 3 半導体領域との間に設けられ前記第 1 電極と前記第 3 半導体領域とを電氣的に接続する第 2 コンタクト領域と、  
 前記第 1 電極と前記第 2 コンタクト領域との間に設けられ前記第 2 コンタクト領域の仕事関数よりも大きな仕事関数を有する中間層と、  
 を備えた半導体装置。

10

## 【請求項 5】

前記第 1 コンタクト領域の下端は、前記第 3 半導体領域の下端よりも下である請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

## 【請求項 6】

前記第 1 コンタクト領域の下端は、前記第 2 半導体領域の下端よりも上である請求項 1 ~ 5 のいずれか 1 つに記載の半導体装置。

20

## 【請求項 7】

前記第 1 コンタクト領域の下端は、前記第 2 半導体領域の下端よりも下である請求項 1 ~ 4 のいずれか 1 つに記載の半導体装置。

## 【請求項 8】

前記第 1 コンタクト領域は、前記第 1 半導体領域から前記第 2 半導体領域に向かう第 1 方向において前記第 2 半導体領域と前記第 3 半導体領域との間に設けられた請求項 1 ~ 7 のいずれか 1 つに記載の半導体装置。

## 【請求項 9】

前記第 1 コンタクト領域は、前記第 3 半導体領域の下面と接する請求項 8 記載の半導体装置。

30

## 【請求項 10】

第 1 導電形の第 1 半導体領域と、  
 前記第 1 半導体領域の上に設けられた第 2 導電形の第 2 半導体領域と、  
 前記第 2 半導体領域の上に設けられた第 1 導電形の第 3 半導体領域と、  
 前記第 3 半導体領域の下端よりも下に下端を有する第 1 部分と、前記第 1 部分と接し前記第 3 半導体領域の上に設けられた第 2 部分と、を有する第 1 電極と、  
 前記第 1 部分と前記第 2 半導体領域との間に設けられ前記第 1 電極と前記第 2 半導体領域とを電氣的に接続する第 1 コンタクト領域と、  
 前記第 2 部分と前記第 3 半導体領域との間に設けられ前記第 1 電極と前記第 3 半導体領域とを電氣的に接続する第 2 コンタクト領域と、  
 を備え、  
 前記第 1 コンタクト領域の下端は、前記第 2 半導体領域の下端よりも下である半導体装置。

40

## 【請求項 11】

前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域は、それぞれ炭化珪素を含む請求項 1 ~ 10 のいずれか 1 つに記載の半導体装置。

## 【請求項 12】

前記第 1 コンタクト領域の不純物濃度は、前記第 2 半導体領域の不純物濃度よりも高い請求項 1 ~ 11 のいずれか 1 つに記載の半導体装置。

## 【請求項 13】

前記第 2 コンタクト領域の厚さは、5 ナノメートル以上 200 ナノメートル以下である

50

請求項 1 ~ 1 2 のいずれか 1 つに記載の半導体装置。

【請求項 1 4】

基板の上に第 1 導電形の第 1 半導体領域を形成する工程と、  
 前記第 1 半導体領域の上に第 2 導電形の第 2 半導体領域を形成する工程と、  
 前記第 2 半導体領域の上に第 1 導電形の第 3 半導体領域を形成する工程と、  
 前記第 1 半導体領域から前記第 2 半導体領域に向かう第 1 方向に、前記第 3 半導体領域の上面から前記第 2 半導体領域の途中まで第 1 コンタクト領域を形成する工程と、  
 前記第 3 半導体領域の上に第 2 コンタクト領域を形成する工程と、  
 前記第 2 コンタクト領域の上面から第 1 コンタクト領域の途中までトレンチを形成する工程と、  
 前記トレンチ内及び前記第 2 コンタクト領域の上に導電性材料を形成し、前記導電性材料のうち前記トレンチ内に設けられ前記第 1 コンタクト領域と電氣的に接続された第 1 部分と、前記導電性材料のうち前記第 1 部分と接し前記第 3 半導体領域と電氣的に接続された第 2 部分と、を有する第 1 電極を形成する工程と、  
 を備えた半導体装置の製造方法。

10

【請求項 1 5】

基板の上に第 1 導電形の第 1 半導体領域を形成する工程と、  
 前記第 1 半導体領域の上に第 2 導電形の第 2 半導体領域を形成する工程と、  
 前記第 2 半導体領域の上に開口を有するマスクを形成し、前記マスクを介して前記第 2 半導体領域の上に第 1 コンタクト領域を形成する工程と、  
 前記マスクを介して前記第 1 コンタクト領域の上に第 1 導電形の第 3 半導体領域を形成する工程と、  
 前記第 3 半導体領域の上に第 2 コンタクト領域を形成する工程と、  
 前記第 2 コンタクト領域の上面から前記第 1 コンタクト領域の途中までトレンチを形成する工程と、  
 前記トレンチ内及び前記第 2 コンタクト領域の上に導電性材料を形成し、前記導電性材料のうち前記トレンチ内に設けられ前記第 1 コンタクト領域と電氣的に接続された第 1 部分と、前記導電性材料のうち前記第 1 部分と接し前記第 3 半導体領域と電氣的に接続された第 2 部分と、を有する第 1 電極を形成する工程と、  
 を備えた半導体装置の製造方法。

20

30

【請求項 1 6】

前記第 1 コンタクト領域を形成する工程は、前記第 1 コンタクト領域の下端を、前記第 3 半導体領域の下端よりも下にすることを含む請求項 1 4 または 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】

前記第 1 コンタクト領域を形成する工程は、前記第 1 コンタクト領域の下端を、前記第 2 半導体領域の下端よりも上にすることを含む請求項 1 4 ~ 1 6 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 1 8】

前記トレンチを形成する工程は、前記トレンチの下端を、前記第 3 半導体領域の下端よりも下にすることを含む請求項 1 4 ~ 1 7 のいずれか 1 つに記載の半導体装置の製造方法。

40

【請求項 1 9】

前記第 1 半導体領域、前記第 2 半導体領域及び前記第 3 半導体領域は、それぞれ炭化珪素を含む請求項 1 4 ~ 1 8 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 2 0】

前記第 1 コンタクト領域を形成する工程は、前記第 1 コンタクト領域の不純物濃度を、前記第 2 半導体領域の不純物濃度よりも高くすることを含む請求項 1 4 ~ 1 9 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 2 1】

50

前記第2コンタクト領域は、シリサイドを含む請求項14~20のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

低損失かつ高温動作可能な半導体装置として、例えば炭化珪素(SiC)を用いたデバイスが注目されている。炭化珪素(SiC)は、シリコン(Si)と比較して、バンドギャップが3倍、破壊電界強度が約10倍、熱伝導率が約3倍と優れた物性を有する。このような半導体装置においては、電気回路等と接続するための電極をオーミック接触させることが望まれる。電極を良好にオーミック接触させることで、低いオン抵抗、優れたウェル電位制御による高いアバランシェ耐圧が得られる。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2010-171417号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0004】

本発明の実施形態は、低いオン抵抗及び高いアバランシェ耐圧を図る半導体装置及びその製造方法を提供する。

【課題を解決するための手段】

【0005】

実施形態に係る半導体装置は、第1半導体領域、第2半導体領域、第3半導体領域、第1電極、第1コンタクト領域及び第2コンタクト領域を含む。前記第1半導体領域の導電形は、第1導電形である。前記第2半導体領域の導電形は、第2導電形である。前記第2半導体領域は、前記第1半導体領域の上に設けられる。前記第3半導体領域の導電形は、第1導電形である。前記第3半導体領域は、前記第2半導体領域の上に設けられる。前記第1電極は、第1部分と、第2部分と、を有する。前記第1部分は、前記第3半導体領域の下端よりも下に下端を有する。前記第2部分は、前記第1部分と接し前記第3半導体領域の上に設けられる。前記第1コンタクト領域は、前記第1部分と前記第2半導体領域との間に設けられる。前記第1コンタクト領域は、前記第1電極と前記第2半導体領域とを電氣的に接続する。前記第2コンタクト領域は、前記第2部分と前記第3半導体領域との間に設けられ前記第1電極と前記第3半導体領域とを電氣的に接続しシリサイドを含む。

30

実施形態に係る別の半導体装置は、第1半導体領域、第2半導体領域、第3半導体領域、第1電極、第1コンタクト領域、第2コンタクト領域及び中間層を含む。前記第1半導体領域の導電形は、第1導電形である。前記第2半導体領域の導電形は、第2導電形である。前記第2半導体領域は、前記第1半導体領域の上に設けられる。前記第3半導体領域の導電形は、第1導電形である。前記第3半導体領域は、前記第2半導体領域の上に設けられる。前記第1電極は、第1部分と、第2部分と、を有する。前記第1部分は、前記第3半導体領域の下端よりも下に下端を有する。前記第2部分は、前記第1部分と接し前記第3半導体領域の上に設けられる。前記第1コンタクト領域は、前記第1部分と前記第2半導体領域との間に設けられる。前記第1コンタクト領域は、前記第1電極と前記第2半導体領域とを電氣的に接続する。前記第2コンタクト領域は、前記第2部分と前記第3半導体領域との間に設けられ前記第1電極と前記第3半導体領域とを電氣的に接続する。前記中間層は、前記第1電極と前記第2コンタクト領域との間に設けられ前記第2コンタクト領域の仕事関数よりも大きな仕事関数を有する。

40

実施形態に係る別の半導体装置は、第1半導体領域、第2半導体領域、第3半導体領域

50

、第1電極、第1コンタクト領域、及び、第2コンタクト領域中間層を含む。前記第1半導体領域の導電形は、第1導電形である。前記第2半導体領域の導電形は、第2導電形である。前記第2半導体領域は、前記第1半導体領域の上に設けられる。前記第3半導体領域の導電形は、第1導電形である。前記第3半導体領域は、前記第2半導体領域の上に設けられる。前記第1電極は、第1部分と、第2部分と、を有する。前記第1部分は、前記第3半導体領域の下端よりも下に下端を有する。前記第2部分は、前記第1部分と接し前記第3半導体領域の上に設けられる。前記第1コンタクト領域は、前記第1部分と前記第2半導体領域との間に設けられる。前記第1コンタクト領域は、前記第1電極と前記第2半導体領域とを電気的に接続する。前記第2コンタクト領域は、前記第2部分と前記第3半導体領域との間に設けられ前記第1電極と前記第3半導体領域とを電気的に接続する。前記第1コンタクト領域の下端は、前記第2半導体領域の下端よりも下である。

10

実施形態によれば、基板の上に第1導電形の第1半導体領域を形成する工程と、前記第1半導体領域の上に第2導電形の第2半導体領域を形成する工程と、前記第2半導体領域の上に第1導電形の第3半導体領域を形成する工程と、前記第1半導体領域から前記第2半導体領域に向かう第1方向に、前記第3半導体領域の上面から前記第2半導体領域の途中まで第1コンタクト領域を形成する工程と、前記第3半導体領域の上に第2コンタクト領域を形成する工程と、前記第2コンタクト領域の上面から第1コンタクト領域の途中までトレンチを形成する工程と、前記トレンチ内及び前記第2コンタクト領域の上に導電性材料を形成し、前記導電性材料のうち前記トレンチ内に設けられ前記第1コンタクト領域と電気的に接続された第1部分と、前記導電性材料のうち前記第1部分と接し前記第3半導体領域と電気的に接続された第2部分と、を有する第1電極を形成する工程と、を備えた半導体装置の製造方法が提供される。

20

実施形態によれば、基板の上に第1導電形の第1半導体領域を形成する工程と、前記第1半導体領域の上に第2導電形の第2半導体領域を形成する工程と、前記第2半導体領域の上に開口を有するマスクを形成し、前記マスクを介して前記第2半導体領域の上に第1コンタクト領域を形成する工程と、前記マスクを介して前記第1コンタクト領域の上に第1導電形の第3半導体領域を形成する工程と、前記第3半導体領域の上に第2コンタクト領域を形成する工程と、前記第2コンタクト領域の上面から前記第1コンタクト領域の途中までトレンチを形成する工程と、前記トレンチ内及び前記第2コンタクト領域の上に導電性材料を形成し、前記導電性材料のうち前記トレンチ内に設けられ前記第1コンタクト領域と電気的に接続された第1部分と、前記導電性材料のうち前記第1部分と接し前記第3半導体領域と電気的に接続された第2部分と、を有する第1電極を形成する工程と、を備えた半導体装置の製造方法が提供される。

30

【図面の簡単な説明】

【0006】

【図1】第1の実施形態に係る半導体装置の構成を例示する模式図である。

【図2】半導体装置の製造方法の手順を例示するフローチャートである。

【図3】半導体装置の製造方法について例示する模式的断面図である。

【図4】半導体装置の製造方法について例示する模式的断面図である。

【図5】半導体装置の製造方法について例示する模式的断面図である。

40

【図6】半導体装置の製造方法について例示する模式的断面図である。

【図7】半導体装置の製造方法について例示する模式的断面図である。

【図8】第2の実施形態に係る半導体装置の構成を例示する模式図である。

【図9】第3の実施形態に係る半導体装置の構成を例示する模式図である。

【図10】第4の実施形態に係る半導体装置の構成を例示する模式図である。

【図11】半導体装置の製造方法の手順を例示するフローチャートである。

【図12】半導体装置の製造方法について例示する模式的断面図である。

【図13】半導体装置の製造方法について例示する模式的断面図である。

【図14】半導体装置の製造方法について例示する模式的断面図である。

【図15】半導体装置の製造方法について例示する模式的断面図である。

50

【図16】半導体装置の製造方法について例示する模式的断面図である。

【図17】第5の実施形態に係る半導体装置の構成を例示する模式図である。

【図18】第6の実施形態に係る半導体装置の構成を例示する模式図である。

【発明を実施するための形態】

【0007】

以下、本発明の実施形態を図に基づき説明する。以下の説明では、同一の部材には同一の符号を付し、一度説明した部材については適宜その説明を省略する。

また、以下の説明において、 $n^+$ 、 $n$ 、 $n^-$ 及び $p^+$ 、 $p$ 、 $p^-$ の表記は、各導電形における不純物濃度の相対的な高低を表す。すなわち、 $n^+$ は $n$ よりも $n$ 形の不純物濃度が相対的に高く、 $n^-$ は $n$ よりも $n$ 形の不純物濃度が相対的に低いことを示す。また、 $p^+$ は $p$ よりも $p$ 形の不純物濃度が相対的に高く、 $p^-$ は $p$ よりも $p$ 形の不純物濃度が相対的に低いことを示す。

10

以下の説明では、一例として、第1導電形を $n$ 形、第2導電形を $p$ 形とした具体例を挙げる。

【0008】

(第1の実施形態)

図1は、第1の実施形態に係る半導体装置の構成を例示する模式図である。

図1に表したように、第1の実施形態に係る半導体装置110は、第1半導体領域1と、第2半導体領域2と、第3半導体領域3と、第1電極D1と、第1コンタクト領域4と、第2コンタクト領域5と、を備える。半導体装置110は、例えばDIMS FET (Double Implantation MOSFET) である。本実施形態では、第1半導体領域1、第2半導体領域2及び第3半導体領域3として、SiCを用いる場合を例として説明する。

20

【0009】

第1半導体領域1は、第1導電形の半導体領域である。第1半導体領域1は、DIMS FETのドリフト領域である。

【0010】

第2半導体領域2は、第1半導体領域1の上に設けられる。第2半導体領域2は、第2導電形の半導体領域である。第2半導体領域2は、DIMS FETの $p$ ウェル領域である。

【0011】

本実施形態では、第1半導体領域1から第2半導体領域2に向かう方向をZ方向(第1方向)、Z方向に直交する方向の1つをX方向(第2方向)、Z方向及びX方向に直交する方向をY方向(第3方向)とする。また、Z方向において第1半導体領域1から第2半導体領域2に向かう方向を上(上側)、その反対を下(下側)ということにする。

30

【0012】

第3半導体領域3は、第2半導体領域2の上に設けられる。第3半導体領域3は、第1導電形の半導体領域である。第3半導体領域3は、DIMS FETの例えばソース領域である。

【0013】

構造体STは、第1半導体領域1、第2半導体領域2及び第3半導体領域3によって構成される領域である。

40

【0014】

構造体STは、Z方向に第1半導体領域1、第2半導体領域2及び第3半導体領域3がこの順で配置される部分を含む。構造体STの上側の部分では、X方向に第1半導体領域1、第2半導体領域2及び第3半導体領域3がこの順で配置される。構造体STの上側の部分では、第1半導体領域1と第3半導体領域3との間に第2半導体領域2が配置される。

【0015】

第1電極D1は、第1部分11と、第2部分12と、を有する。第1部分11は、Z方向に延在した部分である。第2部分12は、第1部分11と接し第3半導体領域3の上に

50

設けられる。第 1 部分 1 1 は、構造体 S T の上面から下側に延在する。第 2 部分 1 2 は、構造体 S T の上面から上側に設けられる。

【 0 0 1 6 】

第 2 部分 1 2 の X 方向の幅は、第 1 部分 1 1 の X 方向の幅よりも広い。第 1 部分 1 1 は、第 2 部分 1 2 の下面から下側に向けて突出する。第 1 部分 1 1 の下端 1 1 b は、第 3 半導体領域 3 の下端 3 b よりも下に位置する。第 1 部分 1 1 の下端 1 1 b は、第 2 半導体領域 2 の下端 2 b よりも上に位置する。

【 0 0 1 7 】

第 1 コンタクト領域 4 は、第 1 部分 1 1 と第 2 半導体領域 2 との間に設けられる。第 1 コンタクト領域 4 は、第 1 電極 D 1 と第 2 半導体領域 2 とを電氣的に接続する。本実施形態では、構造体 S T に、上面から第 2 半導体領域 2 の途中まで第 1 コンタクト領域 4 が形成されている。

10

【 0 0 1 8 】

第 1 コンタクト領域 4 にはトレンチ T が設けられる。第 1 コンタクト領域 4 は、X Z 平面の断面において U 字型に設けられる。第 1 電極 D 1 の第 1 部分 1 1 は、トレンチ T に埋め込まれている。第 1 部分 1 1 は、第 1 コンタクト領域 4 を介して第 2 半導体領域 2 とオーミック接触する。

【 0 0 1 9 】

半導体装置 1 1 0 は、第 2 コンタクト領域 5 をさらに備える。第 2 コンタクト領域 5 は、第 2 部分 1 2 と第 3 半導体領域 3 との間に設けられる。第 2 コンタクト領域 5 は、第 1 電極 D 1 と第 3 半導体領域 3 とを電氣的に接続する。第 2 コンタクト領域 5 は、構造体 S T の上面側の一部と一体的に設けられていても、別体に設けられていてもよい。

20

【 0 0 2 0 】

第 1 電極 D 1 の第 2 部分 1 2 は、第 2 コンタクト領域 5 の上に設けられ、第 2 コンタクト領域 5 と接する。第 2 部分 1 2 は、第 2 コンタクト領域 5 を介して第 3 半導体領域 3 とオーミック接触する。

【 0 0 2 1 】

半導体装置 1 1 0 は、絶縁膜 8 と、制御電極 9 と、第 2 電極 D 2 と、をさらに備える。絶縁膜 8 は、第 1 半導体領域 1、第 2 半導体領域 2 及び第 3 半導体領域 3 の上に設けられる。

30

【 0 0 2 2 】

絶縁膜 8 は、第 1 半導体領域 1、第 2 半導体領域 2 及び第 3 半導体領域 3 の上に設けられる。絶縁膜 8 は、D I M O S F E T の例えばゲート絶縁膜である。制御電極 9 は、絶縁膜 8 の上に設けられる。制御電極 9 は、D I M O S F E T のゲート電極である。第 2 電極 D 2 は、基板 S の下側に設けられる。第 2 電極 D 2 は、D I M O S F E T の例えばドレイン電極である。

【 0 0 2 3 】

ここで、半導体装置 1 1 0 の動作について説明する。

第 2 電極 D 2 に、第 1 電極 D 1 に対して正の電圧が印加された状態で、制御電極 9 に閾値以上の電圧が印加されると、第 2 半導体領域 2 における絶縁膜 8 との界面付近に反転層（チャンネル）が形成される。これにより、半導体装置 1 1 0 はオン状態になり、第 2 電極 D 2 から第 1 電極 D 1 へ電流が流れる。

40

【 0 0 2 4 】

一方、制御電極 9 に印加される電圧が閾値よりも小さいと、チャンネルが消失する。これにより、半導体装置 1 1 0 はオフ状態になって、第 2 電極 D 2 から第 1 電極 D 1 へ流れる電流が遮断される。また、半導体装置 1 1 0 がオフ状態のときに、第 2 半導体領域 2 内のホール（正孔）が第 1 コンタクト領域 4 から第 1 電極 D 1 に流れる。これにより、半導体装置 1 1 0 のアバランシェ耐量が向上する。

【 0 0 2 5 】

本実施形態に係る半導体装置 1 1 0 において、第 1 コンタクト領域 4 は、第 1 電極 D 1

50

と第2半導体領域2との良好なオーミック接触を得るための領域である。また、第2コンタクト領域5は、第1電極D1と第3半導体領域3との良好なオーミック接触を得るための領域である。第1コンタクト領域4及び第2コンタクト領域5によって、半導体装置110では、第1電極D1と第2半導体領域2との間、及び第1電極D1と第3半導体領域3との間、の良好なオーミック接触が得られる。

【0026】

また、第1コンタクト領域4は、X方向、Y方向及びZ方向で第2半導体領域2と接する。したがって、第1電極D1が平面で第2半導体領域2と接する場合に比べて、第1電極D1と第2半導体領域2との接触面積が増加する。これにより、オフ状態のときに第2半導体領域2内で発生したホールが、第1コンタクト領域4から第1電極D1に効率良く排出される。半導体装置110では、第1コンタクト領域4を備えていない半導体装置に比べてアバランシェ耐量が向上する。

10

【0027】

次に、半導体装置110の具体例について説明する。

第1半導体領域1は、n形の4H-SiCを含む。第1半導体領域1は、例えば基板Sの上に設けられる。基板Sは、例えば六方晶4H-SiCを含む。基板Sは、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{19} \text{ cm}^{-3}$ 以下程度のn形不純物を含む。

【0028】

第1半導体領域1は、n<sup>-</sup>形の4H-SiCを含む。第1半導体領域1は、不純物濃度 $1 \times 10^{15} \text{ cm}^{-3}$ 以上 $1 \times 10^{17} \text{ cm}^{-3}$ 以下程度のn形不純物を含む。n形不純物には、例えば窒素(N)やリン(P)が用いられる。第1半導体領域1の厚さは、5マイクロメートル( $\mu\text{m}$ )以上 $15 \mu\text{m}$ 以下程度である。

20

【0029】

基板Sの下面には、第2電極D2が設けられる。第2電極D2には、例えばニッケル(Ni)シリサイドが用いられる。

【0030】

第2半導体領域2は、p形の4H-SiCを含む。第2半導体領域2は、不純物濃度 $5 \times 10^{16} \text{ cm}^{-3}$ 以上 $2 \times 10^{18} \text{ cm}^{-3}$ 以下程度のp形不純物を含む。第2半導体領域2の厚さは、 $0.1 \mu\text{m}$ 以上 $1.5 \mu\text{m}$ 以下程度が好ましい。

【0031】

第3半導体領域3は、n<sup>+</sup>形の4H-SiCを含む。第3半導体領域3に含まれる不純物は、例えば窒素(N)及び燐(P)の少なくともいずれかである。第3半導体領域3の不純物濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以上 $3 \times 10^{21} \text{ cm}^{-3}$ 以下が好ましい。

30

【0032】

第1コンタクト領域4は、第3半導体領域3及び第2半導体領域2と接する。第1コンタクト領域4の下側部分は第2半導体領域2に覆われ、第2半導体領域2と接する。第1コンタクト領域4の上側部分は第3半導体領域3と接する。第1コンタクト領域4の厚さは、 $0.05 \mu\text{m}$ 以上 $1.0 \mu\text{m}$ 以下である。第1コンタクト領域4の下端4bは、第2半導体領域2の下端よりも上である。

【0033】

第1コンタクト領域4に含まれる不純物は、例えばボロン(B)及びアルミニウム(Al)の少なくともいずれかである。第1コンタクト領域4の不純物濃度は、第2半導体領域2の不純物濃度よりも高い。第1コンタクト領域4の不純物濃度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 以上 $3 \times 10^{21} \text{ cm}^{-3}$ 以下が好ましい。

40

【0034】

第2コンタクト領域5は、例えばNiシリサイドを含む。第2コンタクト領域5の厚さは、例えば、5ナノメートル(nm)以上 $200 \text{ nm}$ 以下程度である。第2コンタクト領域5の下端は、第3半導体領域3の下端よりも上である。

【0035】

第2コンタクト領域5の厚さを厚くし、第3半導体領域3の厚さを薄くすると、第2コ

50

ンタクト領域 5 の下方の第 3 半導体領域 3 のシート抵抗が増大し、デバイスの特性が劣化しやすい。第 2 コンタクト領域 5 の厚さが薄いと、熱的安定性の低下によって均一な膜構造を安定的に形成しにくくなる。したがって、第 2 コンタクト領域 5 の厚さは、10 nm 以上が好ましく、より好ましくは 20 nm 以上である。

【0036】

第 2 コンタクト領域 5 の厚さが 10 nm よりも薄いと、シリサイド化を行う際の 600 以上の熱処理工程において Ni シリサイド膜の凝集が生じやすい。これによる歩留まりの低下、シート抵抗値の上昇に伴うデバイス性能の劣化が発生しやすい。

【0037】

第 2 コンタクト領域 5 は、高濃度の炭素 (C) を含む。第 2 コンタクト領域 5 の最表面の C 組成は約 20 パーセント (%) 以下が好ましい。これにより、第 2 コンタクト領域 5 と第 1 電極 D 1 との密着性が確保される。また、後工程及び高温でのデバイス動作中における膜剥がれが抑制される。また、良好なデバイス特性が確保される。

10

【0038】

第 2 コンタクト領域 5 に含まれる C の組成を調整するには、例えば、第 2 コンタクト領域 5 になる例えば Ni シリサイドを形成する際、チタン (Ti) 等の C を吸収する層を積層する。その他の調整法としては、第 2 コンタクト領域 5 になる例えば Ni シリサイドの層の表面に析出した C の層をアルゴン (Ar) エッチングなどの方法により物理的に除去してもよい。

【0039】

20

第 1 コンタクト領域 4 及び第 2 コンタクト領域 5 には Z 方向にトレンチ T が形成される。トレンチ T の下端 T b は、第 1 コンタクト領域 4 の下端 4 b よりも上である。トレンチ T の下端 T b (第 1 部分 1 1 の下端) と、第 1 コンタクト領域 4 の下端 4 b との Z 方向の距離は、例えば 50 nm 以上である。トレンチ T が深くなると、第 1 電極 D 1 の材料である例えば A 1 のスパイクが第 2 半導体領域 2 に達する可能性がある。A 1 のスパイクが第 2 半導体領域 2 に達すると、第 2 半導体領域 2 と第 1 半導体領域 1 との短絡によって所望のデバイス動作が困難になる。

【0040】

トレンチ T 内には第 1 電極 D 1 の材料が埋め込まれている。第 1 電極 D 1 のうちトレンチ T 内の部分は第 1 部分 1 1 である。第 1 部分 1 1 は、トレンチ T 内の下側で第 1 コンタクト領域 4 と接する。

30

【0041】

第 1 部分 1 1 は、トレンチ T 内の上側で第 2 コンタクト領域 5 と接する。第 1 部分 1 1 と第 1 コンタクト領域 4 との間には第 2 コンタクト領域 5 は設けられていない。トレンチ T 内で第 1 部分 1 1 と第 1 コンタクト領域 4 とが接することにより、第 1 電極 D 1 は第 2 半導体領域 2 と良好なオーミック接触を得る。

【0042】

第 1 電極 D 1 は、例えば A 1 を含む。第 1 電極 D 1 の第 2 部分は、第 2 コンタクト領域 5 の上面で第 2 コンタクト領域 5 と接する。第 2 部分と第 2 コンタクト領域 5 とが接することにより、第 1 電極 D 1 は第 3 半導体領域 3 と良好なオーミック接触を得る。

40

【0043】

第 1 電極 D 1 と第 2 コンタクト領域 5 との間に中間層が設けられていてもよい。中間層には、Ti や TiN が用いられる。中間層を設けることで、第 1 電極 D 1 と第 2 コンタクト領域 5 との密着性が高まる。

【0044】

中間層は、第 1 電極 D 1 と第 1 コンタクト領域 4 との間に設けられていてもよい。この場合、中間層はトレンチ T の内壁に設けられる。トレンチ T 内には、例えば Ti と A 1 との積層構造、TiN と A 1 との積層構造が設けられる。中間層を設けることで、第 1 電極 D 1 と第 1 コンタクト領域 4 との密着性が高まる。

【0045】

50

絶縁膜 8 は、第 1 半導体領域 1、第 2 半導体領域 2 及び第 3 半導体領域 3 の上に設けられる。絶縁膜 8 は、例えば酸化シリコン ( $\text{SiO}_2$ ) である。絶縁膜 8 の厚さは、10 nm 以上 160 nm 以下であることが好ましい。

【0046】

制御電極 9 は、絶縁膜 8 の上に設けられる。制御電極 9 は、例えば不純物が高濃度に添加された多結晶シリコンを含む。不純物濃度は、例えば  $1 \times 10^{19} \text{ cm}^{-3}$  であることが好ましい。不純物は、n 形または p 形の不純物元素である。制御電極 9 には、半導体装置 110 の閾値電圧に応じて n 形または p 形の不純物が添加される。制御電極 9 は、素子分離絶縁領域 7 で覆われる。

【0047】

第 1 電極 D 1 と素子分離絶縁領域 7 との間には、他の中間層が設けられていてもよい。他の中間層には、例えば TiN や TaC が用いられる。TiN 及び TaC は、熱的に安定な金属的性質を有する。他の中間層を設けることで、第 1 電極 D 1 の材料 (例えば、AlI) が第 1 電極 D 1 から素子分離絶縁領域 7 へ拡散することが抑制される。これにより、デバイスの特に高温動作中の信頼性が向上する。

【0048】

他の中間層の材料は、Al や銅 (Cu) の拡散を抑制する金属的性質を有する金属、または金属間化合物であればよい。他の中間層の厚さは、デバイス作製の後工程での熱処理やデバイスの実動作中のデバイス温度に鑑みて、第 1 電極 D 1 の材料の拡散を十分に抑制する膜厚を確保すればよい。

【0049】

他の中間層の材料は、シリコン窒化膜 (SiN) でもよい。SiN は、 $\text{SiO}_2$  と比較してフッ化水素に対する耐性を有する。他の中間層の材料として SiN を用いることで、製造工程中の処理でコンタクトホールが大きさがずれることを抑制する。例えば、製造工程中で希フッ酸等を用いた処理でコンタクトホールの大さのずれが抑制される。

【0050】

また、第 1 電極 D 1 を形成する際に、第 2 コンタクト領域 5 である例えば Ni シリサイドの表面に形成された酸化膜を除去する際に希フッ酸による処理が行われる。他の中間層の材料として SiN を用いることで、この処理の際に、コンタクトホールの大さのずれが抑制される。

【0051】

他の中間層の材料として SiN を用いる場合、他の中間層の厚さは、例えば 5 nm 以上であることが好ましい。他の中間層の最大の厚さは、コンタクトホールの内径に対して十分に小さい厚さであればよい。また、製造方法の容易性の観点から、他の中間層の厚さは例えば 50 nm 以下であることが好ましい。

【0052】

$\text{SiO}_2$  以外の絶縁膜 8 の材料としては、 $\text{Si}_3\text{N}_4$ 、 $\text{Al}_2\text{O}_3$ 、 $\text{Ta}_2\text{O}_5$ 、 $\text{TiO}_2$ 、 $\text{La}_2\text{O}_5$ 、 $\text{CeO}_2$ 、 $\text{ZrO}_2$ 、 $\text{HfO}_2$ 、 $\text{SrTiO}_3$ 、 $\text{Pr}_2\text{O}_3$  等の高誘電体材料が用いられてもよい。絶縁膜 8 の材料としては、シリコン酸化物に金属イオンを混入した材料であるシリケートが用いられてもよい。また、絶縁膜 8 の材料は、LaAl 酸化物であってもよい。また、絶縁膜 8 は、上記の材料を組み合わせた積層構造を有していてもよい。

【0053】

また、絶縁膜 8 を上記積層構造にした場合、上記積層構造の膜中及び界面に固定電荷及び界面双極子を形成してもよい。固定電荷及び界面双極子は、閾値調整のために用いられる。また、絶縁膜 8 の中や、絶縁膜 8 の上側及び下側の界面付近に窒素や水素等を導入してもよい。これにより、デバイスの特性を劣化させる原因となる固定電荷及び界面トラップ密度が低減する。絶縁膜 8 に窒素や水素等を導入するには、 $\text{NH}_3$ 、 $\text{N}_2\text{O}$  ガス及びプラズマ化された窒素を、デバイスに要求される絶縁膜 8 の性能や膜厚に応じて、必要な位置に、適切な濃度で導入すればよい。

10

20

30

40

50

## 【0054】

ここで、一般的に用いられる六方晶単結晶のSiC基板は、積層周期が4である4H-SiC構造を有する。SiCのエネルギーバンドギャップは3.26 eV (Siの3倍)である。このため、SiCと電極金属との間でオーミックコンタクトを形成することが難しい。さらに、nチャネル型MOSFETの場合には、ソース電極及びドレイン電極のn<sup>+</sup>形半導体領域に対するオーミック接触とともに、p形ウェル領域に接続するp<sup>+</sup>形半導体領域に対するオーミック接触を、ソースコンタクト領域に隣接して設ける必要がある。ソース領域に対する良好なオーミックコンタクト特性は、MOSFETの寄生抵抗を小さくし、特性オン抵抗の改善に繋がる。

## 【0055】

オーミック接触によるコンタクト抵抗の低減には、金属と半導体との界面に形成されるショットキー障壁の高さ(以下、単に「SBH」という。)を低減することが本質的である。電子に対するSBHと、正孔に対するSBHとは、二律背反の関係にある。したがって、単一の金属材料を用いて同時に低いコンタクト抵抗率を実現することは困難である。

## 【0056】

また、電力用トランジスタなどのパワーデバイスにおいては、コンタクト面積は、パワー密度向上の観点から、素子特性に影響のない範囲において小さくすることが望まれる。このため、オーミック接触によるコンタクト抵抗の低減のために、むやみに大きくすることはできない。

## 【0057】

本実施形態に係る半導体装置110では、第1コンタクト領域4によって第1電極D1と第2半導体領域2との良好なオーミック接触が得られ、第2コンタクト領域5によって第1電極D1と第3半導体領域3との良好なオーミック接触が得られる。したがって、半導体装置110の寄生抵抗が小さくなり、特性オン抵抗が改善される。

## 【0058】

また、p形ウェル領域に対する良好なオーミック接触は、p形ウェル領域の電位の安定化に繋がる。さらに、このことは、アバランシェ破壊に対して、サージ電流を効果的に流し、破壊に対して強いデバイスの実現に寄与する。

## 【0059】

本実施形態に係る半導体装置110では、第1コンタクト領域4が、X方向、Y方向及びZ方向の3次元的に第2半導体領域2と接する。したがって、オフ状態のときに第2半導体領域2内で発生したホールが、第1コンタクト領域4から第1電極D1に効率良く排出される。これにより、第1コンタクト領域4を備えていない半導体装置に比べて、半導体装置110のアバランシェ耐量が向上する。

## 【0060】

なお、本実施形態では、第2コンタクト領域5の材料としてNiシリサイドを用いる例を説明したが、他の材料であってもよい。第2コンタクト領域5の材料としては、熱処理に伴いSiCと固相反応によりシリサイドを形成する金属材料を用いればよい。

## 【0061】

第2コンタクト領域5には、例えば、Ni及びTiの積層構造や、Ni及びTiの合金など、SiCとの反応でCと優先的に反応する金属材料の積層構造及び合金を用いてもよい。

## 【0062】

ここで、SiCと金属との反応温度は、Siと金属との反応温度よりも高い。これにより、デバイス特性の劣化を招く可能性がある。そこで、第2コンタクト領域5の材料として用いる金属に、Siやゲルマニウム(Ge)などを含有させて、反応温度を低下させるようにしてもよい。また、第2コンタクト領域5の材料として用いる金属と、この金属に含有させたSi等との組成は、デバイスに必要とされる電極の仕事関数に併せて熱処理の温度や処理時間等を制御することで調整すればよい。第2コンタクト領域5の材料には、Niのほか、パラジウム(Pd)、白金(Pt)、コバルト(Co)、タンタル(Ta)

10

20

30

40

50

、ハフニウム（Hf）及びジルコニウム（Zr）が挙げられる。

【0063】

次に、第1の実施形態に係る半導体装置110の製造方法について説明する。

図2は、第1の実施形態に係る半導体装置の製造方法の手順を例示するフローチャートである。

図3～図7は、第1の実施形態に係る半導体装置の製造方法について例示する模式的断面図である。

【0064】

図2に表したように、本実施形態に係る半導体装置の製造方法は、第1半導体領域を形成する工程（ステップS101）と、第2半導体領域を形成する工程（ステップS102）と、第3半導体領域を形成する工程（ステップS103）と、第1コンタクト領域を形成する工程（ステップS104）と、第2コンタクト領域を形成する工程（ステップS105）と、トレンチを形成する工程（ステップS106）と、第1電極を形成する工程（ステップS107）と、を備える。

10

【0065】

次に、上記各工程での処理を図3～図7に沿って説明する。

まず、図3に表したように、基板Sを用意する。基板Sは、例えばn<sup>+</sup>形の4H-SiC基板である。次に、基板Sの上面上に第1半導体領域1を形成する。第1半導体領域1は、例えばn<sup>-</sup>形の4H-SiCを含む。第1半導体領域の厚さは、10μm程度である。第1半導体領域1は、例えばエピタキシャル成長によって形成される。

20

【0066】

次に、第1半導体領域1にイオン注入及び不純物の活性化アニールを施すことで、第2半導体領域2、第3半導体領域3及び第1コンタクト領域4をそれぞれ形成する。

【0067】

第2半導体領域2の導電形は、例えばp形である。第2半導体領域2を形成するには、第1半導体領域1の所定範囲にp形不純物（例えば、B及びAlの少なくともいずれか）をイオン注入した後、不純物の活性化アニールを行う。

【0068】

第3半導体領域3の導電形は、例えばn<sup>+</sup>形である。第3半導体領域3を形成するには、第2半導体領域2の所定範囲にn形不純物（例えば、N及びPの少なくともいずれか）をイオン注入した後、不純物の活性化アニールを行う。

30

【0069】

第1コンタクト領域4の導電形は、例えばp<sup>+</sup>形である。第1コンタクト領域4を形成するには、構造体STの上面の所定範囲にp形不純物（例えば、B及びAlの少なくともいずれか）をイオン注入する。p形不純物のイオンは、構造体STの上面から第2半導体領域2の途中まで注入される。イオン注入を行った後、不純物の活性化アニールを行う。

【0070】

ここで、第2半導体領域2、第3半導体領域3及び第1コンタクト領域4のそれぞれの領域を定義するためには、フォトリソグラフィ及び等方性または異方性エッチングを組み合わせ、イオン注入のマスクパターンを形成すればよい。イオン注入時の物理的なダメージによるSiC結晶性劣化を抑制するために、イオン注入時に基板Sの温度を高温にすることが有効である。この場合、基板Sの温度は、400以上650以下程度が好ましい。

40

【0071】

次に、図4に表したように、絶縁膜材料8A及び制御電極材料9Aを成膜し、フォトリソグラフィと異方性若しくは等方性エッチングを組み合わせ、絶縁膜8及び制御電極材料9Aによるゲートスタック構造を形成する。絶縁膜材料8Aには、例えばSiO<sub>2</sub>が用いられる。制御電極材料9Aには、例えばn<sup>+</sup>形の多結晶シリコンが用いられる。

【0072】

その後、制御電極材料9Aの上に絶縁材料7Aを形成する。絶縁材料7Aには、例えばS

50

$iO_2$  が用いられる。絶縁材料 7 A は、例えば C V D (Chemical Vapor Deposition) によって形成される。次に、絶縁材料 7 A 及び絶縁膜材料 8 A の一部を除去し、コンタクトホール H を形成する。

【 0 0 7 3 】

コンタクトホール H は、第 3 半導体領域 3 の上に形成される。コンタクトホール H は、例えば、絶縁材料 7 A 及び絶縁膜材料 8 A を、フォトリソグラフィ及び異方性エッチングすることによって形成される。コンタクトホール H の中央部分には第 1 コンタクト領域 4 の上面 4 a が露出する。コンタクトホール H の形成によって、絶縁膜材料 8 A は絶縁膜 8 になる。

【 0 0 7 4 】

その後、図 5 に表したように、第 2 コンタクト領域 5 を形成する。第 2 コンタクト領域 5 は、コンタクトホール H を介して自己整合的に形成される。例えば、第 2 コンタクト領域 5 が Ni シリサイドの場合、コンタクトホール H を介して Ni 膜を形成する。Ni 膜は、例えばスパッタ法によって成膜される。

【 0 0 7 5 】

次に、熱処理によって Ni 膜と第 3 半導体領域 3 である Si C との界面部分に Ni シリサイド (第 2 コンタクト領域 5) を形成する。その後、酸溶液処理によって素子分離絶縁領域 7 上の未反応の Ni 膜を除去する。

【 0 0 7 6 】

次に、フォトレジスト工程により、第 1 コンタクト領域 4 の内側に開口を有するレジストを形成し、この開口を介して第 2 コンタクト領域 5 及び第 1 コンタクト領域 4 の一部をエッチングによって除去する。このエッチングによって、図 6 に表したように、トレンチ T が形成される。

【 0 0 7 7 】

このエッチングに際しては、第 2 コンタクト領域 5 と、その下の第 1 コンタクト領域 4 と、のそれぞれにおいて最適なエッチング方法やエッチング条件が選択される。

【 0 0 7 8 】

例えば、第 2 コンタクト領域 5 が Ni シリサイドである場合、Ni シリサイドが可溶性酸溶液による等方性エッチングを行う。例えば、第 1 コンタクト領域 4 が Si C である場合、 $CF_4$  及び  $O_2$  ガスによる異方性エッチング (例えば、R I E : Reactive Ion Etching) を行う。また、Ar イオンを照射するなどの方法によって、Ni シリサイドの第 2 コンタクト領域 5 を物理的にエッチングしてもよい。

【 0 0 7 9 】

ここで、Si C のエッチングに際して、レジスト耐性が十分でない場合には、メタル層をマスク材として用いてもよい。Si C のエッチングに対して高い選択比を有する金属としては、Ni、Ni シリサイド、Cr、ITO (Indium Tin Oxide)、Al などが挙げられる。これらのうち、適宜最適なものを用いればよい。

【 0 0 8 0 】

Si C を R I E によって除去する際に使用するガスとしては、 $CF_4$  及び  $O_2$  のほかに、例えば、 $SF_6$ 、 $CHF_3$ 、 $NF_3$ 、Cl、IBr、 $PF_3$ 、 $NF_3$ 、 $BF_3$  のうち、最適なものを適宜選択すればよい。Si C に対して物理的な Ar エッチングを行ってもよい。なお、トレンチ T の底部の平坦性の観点から、Ar エッチングに比べて R I E を用いる方が好ましい。平坦性を高めると、Al スパイクの形成が抑制される。

【 0 0 8 1 】

次に、図 7 に表したように、基板 S の下面に第 2 電極 D 2 を形成する。本実施形態では、第 2 電極 D 2 として、基板 S 側から Ni 及び Ti の順に積層された積層膜が用いられる。Ni 膜の厚さは、シリサイド表面に C が析出することを抑制する厚さであればよい。Ni 膜の厚さは、例えば 100 nm 以上であることが好ましい。基板 S の表面に形成するシリサイドと同様の金属種を選べばよい。

【 0 0 8 2 】

10

20

30

40

50

また、Ti膜の厚さは、Ti膜の表面にCが析出することを十分に抑制する厚さであればよい。

【0083】

基板Sの下面のシリサイドの形成方法としては、その界面特性がオーミック抵抗となるような条件で行なうことが必要とされる。典型的には800以上の熱処理が好ましいが、その他低温でオーミック特性の金属種を用いた場合や、不純物偏析技術等の低温オーミック電極技術を用いた場合には、上記に限定されるものではなく、それぞれの電極材料の特性に併せて、最適な熱処理条件を用いればよい。

【0084】

なお、第2コンタクト領域5としてNiシリサイドを用いる場合、プロセス温度等の観点から、第2電極D2を第2コンタクト領域5よりも先に形成してもよい。

【0085】

その後、上部の第1電極D1を形成する。第1電極D1の材料には、例えばAlが用いられる。まず、第1電極D1の材料は、トレンチT内、コンタクトホールH内、及び素子分離絶縁領域7の上に形成される。その後、フォトリソグラフィ工程及びエッチング工程のよって第1電極D1の材料の不要な部分を除去する。これにより、第1電極D1が形成される。第1電極D1のトレンチT内の部分は第1部分11であり、第1電極D1のコンタクトホールH内の部分は第2部分12である。

これによって、半導体装置110が完成する。

【0086】

(第2の実施形態)

次に、第2の実施形態に係る半導体装置について説明する。

図8は、第2の実施形態に係る半導体装置の構成を例示する模式図である。

図8に表したように、本実施形態に係る半導体装置120は、第1の実施形態に係る半導体装置110の構成に加え、第1中間層21を備える。

【0087】

第1中間層21は、少なくとも、第1電極D1と、第2コンタクト領域5との間に設けられる。第1中間層21は、第1電極D1と、第1コンタクト領域4との間に設けられていてもよい。第1中間層21は、第1電極D1と、素子分離絶縁領域7との間に設けられていてもよい。第1中間層21は、例えば白金(Pt)を含む。

【0088】

半導体装置120を製造するには、図6に表したトレンチTを形成する工程の後でって、図7に表した第1電極D1を形成する工程の前に、第1中間層21になる材料を成膜すればよい。

【0089】

第1中間層21の厚さは、例えば3nm以上50nm以下が好ましい。3nm以下の膜厚の場合には、連続した膜構造が得にくい。特に第1コンタクト領域4に形成されたトレンチTの側壁部分において、第1中間層21が不連続になる可能性がある。不連続部分では、第1電極D1とSiCとの界面抵抗が十分に下がらない領域が形成される。これにより、p形ウェル構造での電位が安定化し難い。

【0090】

Ptの仕事関数は、金属元素の中で最も大きい。したがって、第1コンタクト領域4と第1中間層21との界面において、正孔に対するショットキー障壁が低減される。その結果、第1部分11と第1コンタクト領域4とのコンタクト抵抗が低減される。

【0091】

また、第2部分12と第2コンタクト領域5との間に第1中間層21が設けられていることで、第2部分12と第2コンタクト領域5とのコンタクト抵抗が低減される。

【0092】

さらに、第1電極D1と素子分離絶縁領域7との間に第1中間層21が設けられていることで、第1電極D1の材料の素子分離絶縁領域7への侵入が抑制される。例えば、第1

10

20

30

40

50

電極 D 1 の材料として A 1 が用いられた場合、第 1 電極 D 1 から素子分離絶縁領域 7 へスパイク状の A 1 が侵入する可能性がある。このスパイク状の A 1 は、第 1 電極 D 1 と制御電極 9 との間の電氣的な絶縁性に影響を与える。

【 0 0 9 3 】

第 1 中間層 2 1 は、このようなスパイク状の A 1 に対するバリアとして機能する。したがって、半導体装置 1 2 0 の信頼性が向上する。

【 0 0 9 4 】

半導体装置 1 2 0 では、第 1 中間層 2 1 を備えることで、低いオン抵抗を維持しつつ、第 2 半導体領域 2 に対して良好なオーミックコンタクト特性が実現される。これにより、第 2 半導体領域 2 ( p 形ウェル領域 ) の電位が安定化する。また、半導体装置 1 2 0 では、サージ電流が効果的に流れてアバランシェ破壊の耐性が高まる。また、寄生 P i N をインバータの並列 P i N ダイオードとして用いることで、モジュールサイズのスケールアップ、高性能化が達成される。

【 0 0 9 5 】

なお、第 1 中間層 2 1 の厚さは、3 nm 以上 20 nm 以下がより好ましい。この範囲で制御することで、第 1 部分 1 1 と第 1 コンタクト領域 4 とのコンタクト抵抗は、さらに低下する。これは、第 1 電極 D 1 の A 1 が P t の結晶粒界を介して S i C の半導体領域との界面に拡散し、P t との接触界面の近傍における第 1 コンタクト領域 4 のドーパント濃度が高くなるためである。その結果、第 1 中間層 2 1 の高仕事関数、コンタクト電極及び高 S i C アクセプタ濃度が両立され、さらなるコンタクト抵抗の低減が達成される。

【 0 0 9 6 】

本実施形態では、第 1 中間層 2 1 の材料として P t を用いる例を説明したが、P t 以外の金属であってもよい。第 1 中間層 2 1 の材料は、第 2 コンタクト領域 5 の材料の仕事関数よりも大きな仕事関数を有する金属材料または金属合金材料を用いればよい。例えば、第 1 中間層 2 1 の材料には、R e、タングステン ( W )、モリブデン ( M o )、ルテニウム ( R u )、イリジウム ( I r ) などの金属若しくは合金、またはこれらの窒化物若しくは炭化物を用いればよい。

【 0 0 9 7 】

( 第 3 の実施形態 )

次に、第 3 の実施形態に係る半導体装置について説明する。

図 9 は、第 3 の実施形態に係る半導体装置の構成を例示する模式図である。

図 9 に表したように、本実施形態に係る半導体装置 1 3 0 では、第 1 コンタクト領域 4 及び第 1 部分 1 1 が第 1 の実施形態に係る半導体装置 1 1 0 とは相違する。

【 0 0 9 8 】

半導体装置 1 3 0 の第 1 コンタクト領域 4 の下端 4 b は、第 2 半導体領域 2 の下端 2 b よりも下である。第 1 コンタクト領域 4 は、構造体 S T の上面から第 1 半導体領域 1 の途中まで設けられる。

【 0 0 9 9 】

第 1 コンタクト領域 4 にはトレンチ T が設けられる。第 1 部分 1 1 は、トレンチ T 内に埋め込まれる。半導体装置 1 3 0 では、半導体装置 1 1 0 に比べて、Z 方向における第 1 2 コンタクト領域 4 と第 2 半導体領域 2 との接触面積が増加する。これにより、半導体装置 1 3 0 は、半導体装置 1 1 0 に比べてオフ動作時のホールの排出効果が高まり、より高いアバランシェ耐性が得られる。

【 0 1 0 0 】

( 第 4 の実施形態 )

次に、第 4 の実施形態に係る半導体装置について説明する。

図 10 は、第 4 の実施形態に係る半導体装置の構成を例示する模式図である。

図 10 に表したように、本実施形態に係る半導体装置 1 4 0 は、半導体装置 1 1 0 の第 1 コンタクト領域 4 とは異なる第 1 コンタクト領域 4 1 を備える。

【 0 1 0 1 】

10

20

30

40

50

第1コンタクト領域41は、第1部分11と第2半導体領域2との間、及び第3半導体領域3と第2半導体領域2との間、に設けられる。第1コンタクト領域41は、第3半導体領域3の下側に設けられる。第1コンタクト領域41は、Z方向において第2半導体領域2と第3半導体領域3との間に設けられる。

【0102】

第1コンタクト領域41は、第3半導体領域3の下面3dと接する。第1コンタクト領域41は、XY面において第3半導体領域3と接する。第1コンタクト領域41のZ方向にみた面積は、第3半導体領域3のZ方向にみた面積と実質的に等しい。

【0103】

トレンチTは、構造体STの上面から第1コンタクト領域41の途中まで設けられる。第1電極D1の第1部分は、トレンチTに埋め込まれた部分である。

10

【0104】

半導体装置140では、半導体装置110に比べて第1コンタクト領域41の下端41bと第2半導体領域2との接触面積が増加する。したがって、第1コンタクト領域41と第2半導体領域2とのオーミック接触の面積が増加し、特性オン抵抗がより改善される。これにより、半導体装置140では、アバランシェ耐性が向上する。

【0105】

次に、第4の実施形態に係る半導体装置140の製造方法について説明する。

図11は、第1の実施形態に係る半導体装置の製造方法の手順を例示するフローチャートである。

20

図12～図16は、第4の実施形態に係る半導体装置の製造方法について例示する模式的断面図である。

【0106】

図11に表したように、本実施形態に係る半導体装置の製造方法は、第1半導体領域を形成する工程(ステップS201)と、第2半導体領域を形成する工程(ステップS202)と、第1コンタクト領域を形成する工程(ステップS203)と、第3半導体領域を形成する工程(ステップS204)と、第2コンタクト領域を形成する工程(ステップS205)と、トレンチを形成する工程(ステップS206)と、第1電極を形成する工程(ステップS207)と、を備える。

【0107】

次に、上記各工程での処理を図12～図16に沿って説明する。

まず、図12に表したように、基板Sを用意する。基板Sは、例えば $n^+$ 形の4H-SiC基板である。次に、基板Sの上面に第1半導体領域1を形成する。第1半導体領域1は、例えば $n^-$ 形の4H-SiCを含む。第1半導体領域の厚さは、10 $\mu$ m程度である。第1半導体領域1は、例えばエピタキシャル成長によって形成される。

30

【0108】

次に、第1半導体領域1にイオン注入及び不純物の活性化アニールを施すことで、第2半導体領域2及び第1コンタクト領域4をそれぞれ形成する。

【0109】

第2半導体領域2の導電形は、例えばp形である。第2半導体領域2を形成するには、第1半導体領域1の所定範囲にp形不純物(例えば、B及びAlの少なくともいずれか)をイオン注入した後、不純物の活性化アニールを行う。

40

【0110】

第1コンタクト領域4の導電形は、例えば $p^+$ 形である。第1コンタクト領域4を形成するには、第2半導体領域2の上面の所定範囲にp形不純物(例えば、B及びAlの少なくともいずれか)をイオン注入する。p形不純物のイオンは、第2半導体領域2の上面から第2半導体領域2の途中まで注入される。イオン注入を行った後、不純物の活性化アニールを行う。

【0111】

ここで、第2半導体領域2及び第1コンタクト領域4のそれぞれの領域を定義するには

50

、フォトリソグラフィ及び等方性または異方性エッチングを組み合わせ、イオン注入のマスクパターンを形成すればよい。図12には、第1コンタクト領域4を形成する際のマスクパターンMが表されている。

【0112】

次に、図13に表したように、第1コンタクト領域4の上に第3半導体領域3を形成する。第3半導体領域3の導電形は、例えば $n^+$ 形である。第3半導体領域3を形成するには、第1コンタクト領域4の所定範囲に $n$ 形不純物（例えば、N及びPの少なくともいずれか）をイオン注入した後、不純物の活性化アニールを行う。

【0113】

第3半導体領域3のZ方向にみた面積は、第1コンタクト領域4のZ方向にみた面積と実質的に同じである。したがって、第3半導体領域3を形成する際のマスクパターンとしては、第1コンタクト領域4を形成する際に用いたマスクパターンMと同じものを使用する。

10

【0114】

次に、図14に表したように、構造体STの上に絶縁膜8、制御電極9、コンタクトホールH及び素子分離絶縁領域7を形成する。さらに、コンタクトホールHを介して構造体STの上に第2コンタクト領域5を形成する。これらの形成方法は、図4及び図5に表した半導体装置110の製造方法と同様である。

【0115】

次に、図15に表したように、トレンチTを形成する。トレンチTの形成方法は、図6に表した半導体装置110の製造方法と同様である。トレンチTは、第2コンタクト領域5をZ方向に貫通し、第1コンタクト領域4の途中まで形成される。

20

【0116】

次に、図16に表したように、第1電極D1及び第2電極D2を形成する。第1電極D1及び第2電極D2の形成方法は、図7に表したように半導体装置110の製造方法と同様である。

これによって、半導体装置140が完成する。

【0117】

このような半導体装置140の製造方法では、第1コンタクト領域4と第3半導体領域3とが同じマスクパターンMを用いて形成される。したがって、これらの領域を別々のマスクパターンで形成する場合に比べて製造工程が簡素化される。

30

【0118】

(第5の実施形態)

次に、第5の実施形態に係る半導体装置について説明する。

図17は、第5の実施形態に係る半導体装置の構成を例示する模式図である。

図17に表したように、本実施形態に係る半導体装置150は、第4の実施形態に係る半導体装置140の構成に加え、第2中間層22を備える。

【0119】

第2中間層22は、少なくとも、第1電極D1と、第1コンタクト領域4との間に設けられる。第2中間層22は、第1電極D1と、第3半導体領域3との間に設けられていてもよい。第2中間層22は、第1電極D1と、第2コンタクト領域5との間に設けられていてもよい。第2中間層22は、第1電極D1と、素子分離絶縁領域7との間に設けられていてもよい。第2中間層21は、例えば白金(Pt)を含む。

40

【0120】

第1部分11と第1コンタクト領域4との間に第2中間層22が設けられることで、第1部分11と第1コンタクト領域4とのコンタクト抵抗が低減される。また、第2部分12と第2コンタクト領域5との間に第2中間層22が設けられていることで、第2部分12と第2コンタクト領域5とのコンタクト抵抗が低減される。さらに、第1電極D1と素子分離絶縁領域7との間に第2中間層22が設けられていることで、第1電極D1の材料の素子分離絶縁領域7への侵入が抑制される。これにより、半導体装置150の信頼性が

50

向上する。

【 0 1 2 1 】

第 2 中間層 2 2 の材料は、第 2 コンタクト領域 5 の材料の仕事関数よりも大きな仕事関数を有する金属材料または金属合金材料を用いればよい。例えば、第 2 中間層 2 1 の材料には、Re、W、Mo、Ru、Ir などの金属若しくは合金、またはこれらの窒化物若しくは炭化物を用いればよい。

【 0 1 2 2 】

(第 6 の実施形態)

次に、第 6 の実施形態に係る半導体装置について説明する。

図 1 8 は、第 6 の実施形態に係る半導体装置の構成を例示する模式図である。

図 1 8 に表したように、本実施形態に係る半導体装置 1 6 0 は、トレンチゲート構造を有する。半導体装置 1 6 0 の制御電極 9 は、構造体 S T の上面から下方に向けて延在する。制御電極 9 と第 2 半導体領域 2 との間には絶縁膜 8 が設けられる。制御電極 9 及び絶縁膜 8 は、構造体 S T に設けられたゲートトレンチ G T 内に設けられる。

【 0 1 2 3 】

ゲートトレンチ G T は、構造体 S T の上面から第 1 半導体領域 1 の途中まで設けられる。絶縁膜 8 は、ゲートトレンチ G T の内壁に沿って設けられる。制御電極 9 と絶縁膜 8 を介して対向する第 2 半導体領域 2 には、半導体装置 1 6 0 の動作時にチャネルが形成される。

【 0 1 2 4 】

半導体装置 1 6 0 のようなトレンチゲート構造であっても、第 1 コンタクト領域 4 及び第 2 コンタクト領域 5 を備えることで、第 1 電極 D 1 と第 2 半導体領域 2 との良好なオーミック接触、及び第 1 電極 D 1 と第 3 半導体領域 3 との良好なオーミック接触が得られる。

【 0 1 2 5 】

以上説明したように、実施形態に係る半導体装置及びその製造方法によれば、低いオン抵抗及び高いアバランシェ耐圧を図ることができる。

【 0 1 2 6 】

なお、上記に本実施形態及びその変形例を説明したが、本発明はこれらの例に限定されるものではない。例えば、半導体として S i C を用いる例を説明したが、S i C のほか、S i を用いてもよい。また、半導体は、窒化ガリウム等の化合物半導体、またはダイヤモンド等の他のワイドバンドキャップ半導体を用いてもよい。

【 0 1 2 7 】

また、前述の各実施の形態および各変形例においては、M O S F E T である例を示したが、M O S F E T 以外の各種デバイスにも適用可能である。M O S F E T 以外のデバイスとしては、I G B T ( Insulated Gate Bipolar Transistor ) などが挙げられる。

【 0 1 2 8 】

さらにまた、前述の各実施形態またはその変形例に対して、当業者が適宜、構成要素の追加、削除、設計変更を行ったものや、各実施の形態の特徴を適宜組み合わせたものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

【 0 1 2 9 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 3 0 】

1 ... 第 1 半導体領域、 2 ... 第 2 半導体領域、 3 ... 第 3 半導体領域、 4 ... 第 1 コンタクト領

10

20

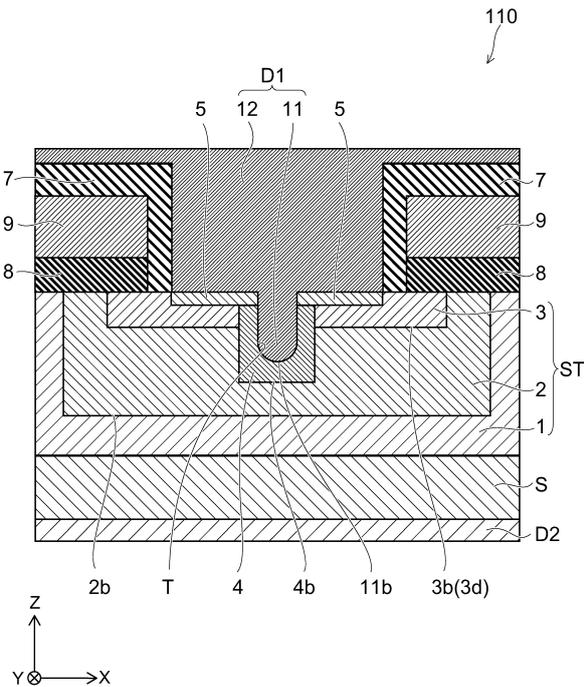
30

40

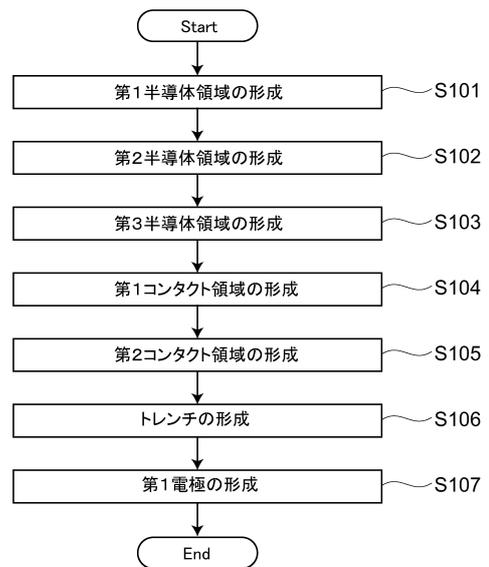
50

域、5...第2コンタクト領域、7...素子分離絶縁領域、8...絶縁膜、9...制御電極、11...第1部分、12...第2部分、21...第1中間層、22...第2中間層、41...コンタクト領域、110, 120, 130, 140, 150, 160...半導体装置、D1...第1電極、D2...第2電極

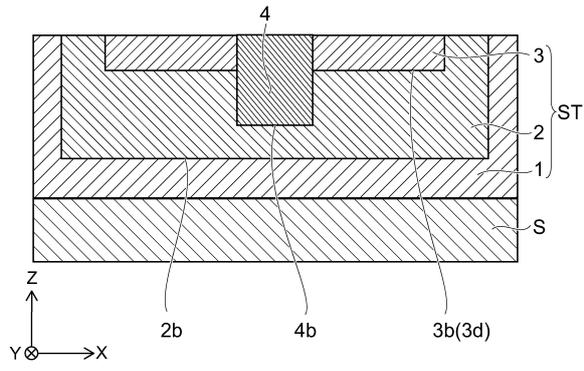
【図1】



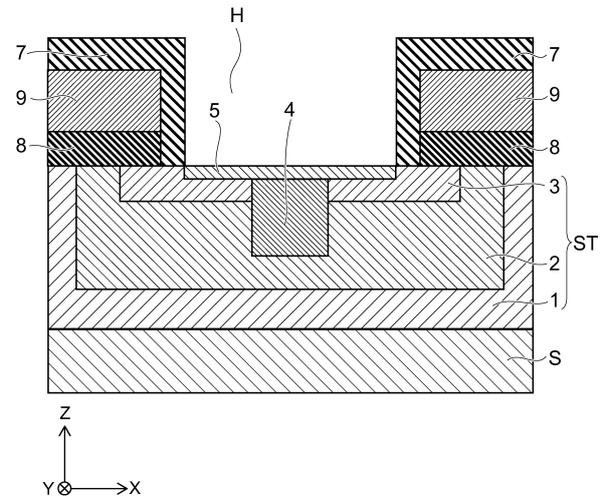
【図2】



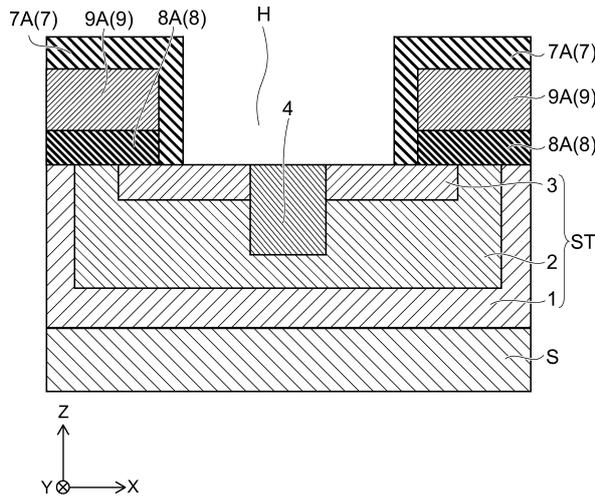
【 図 3 】



【 図 5 】

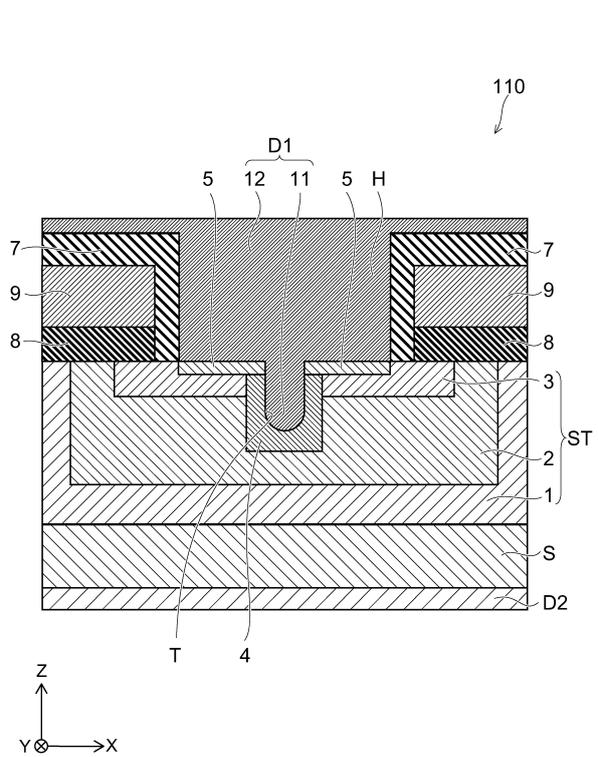
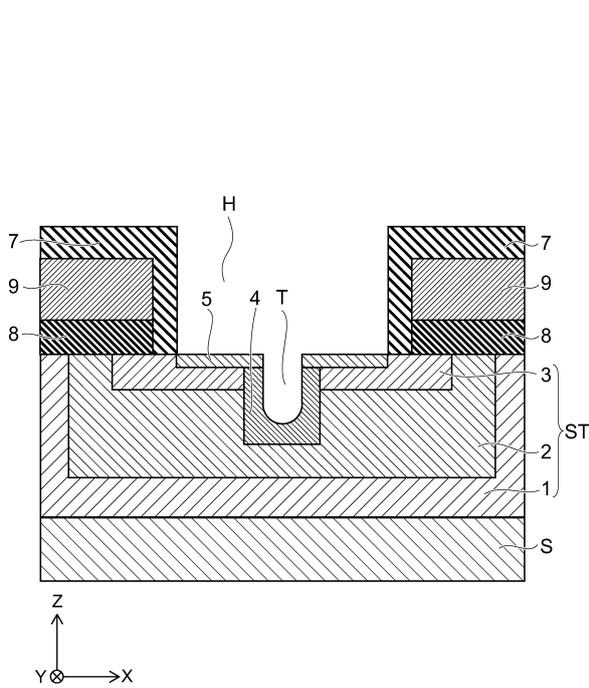


【 図 4 】

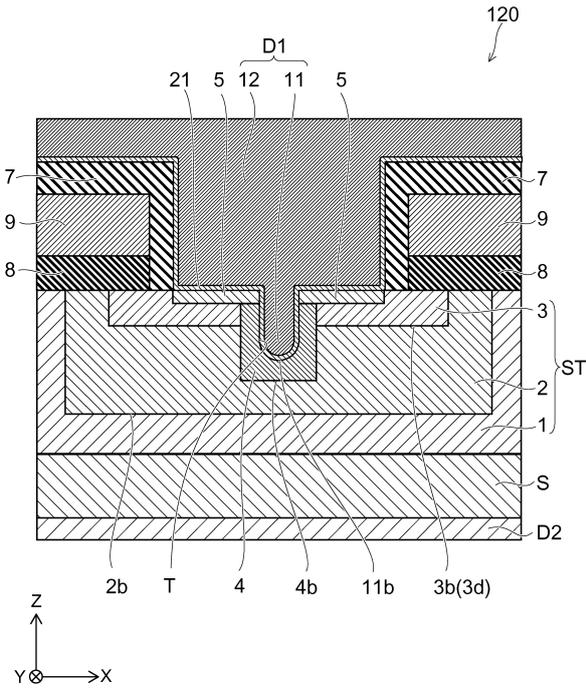


【 図 7 】

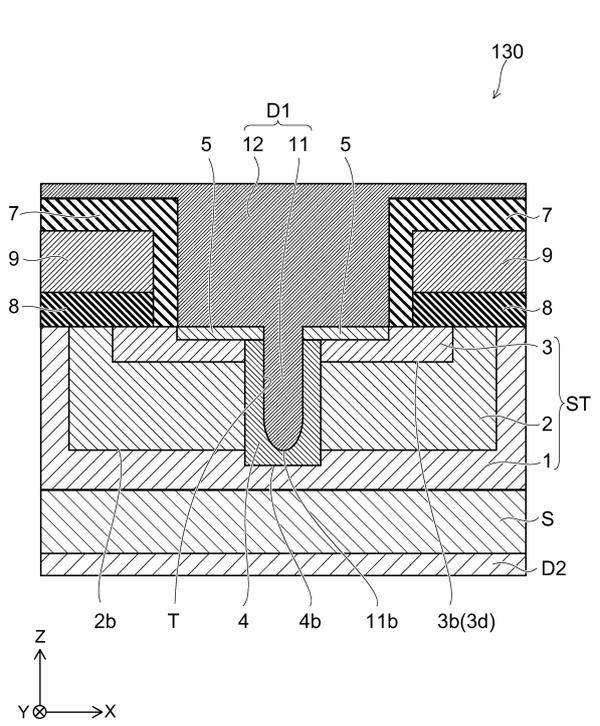
【 図 6 】



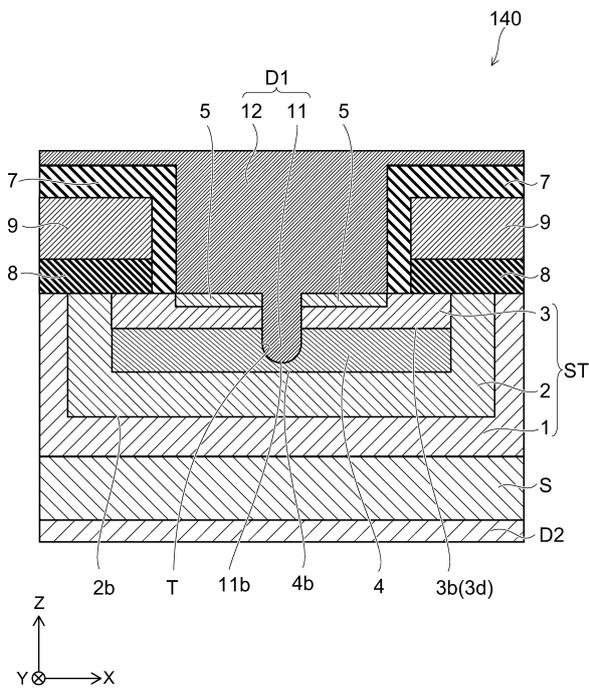
【図8】



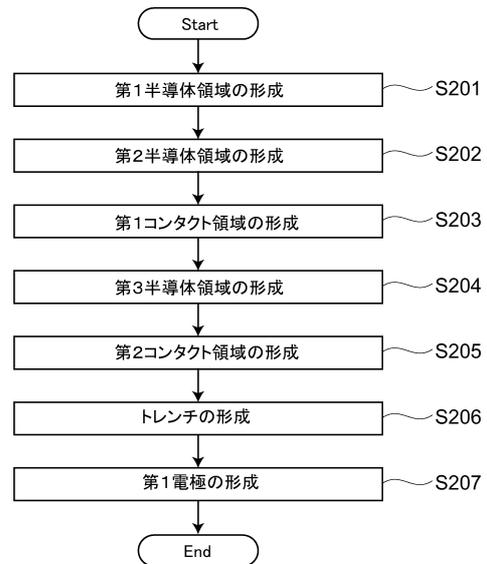
【図9】



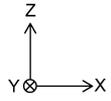
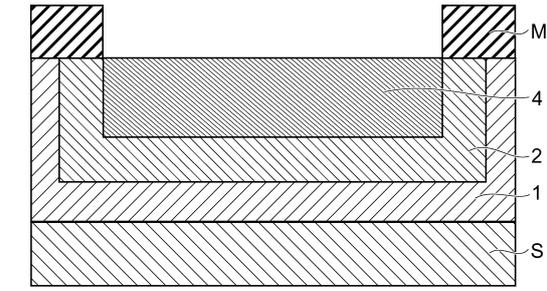
【図10】



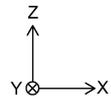
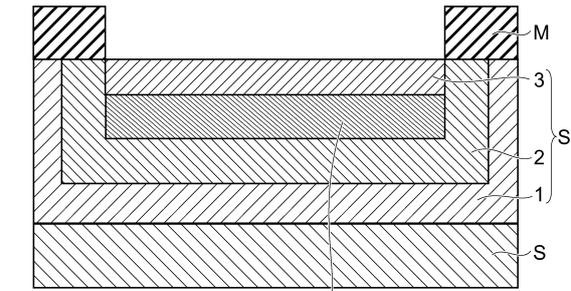
【図11】



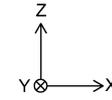
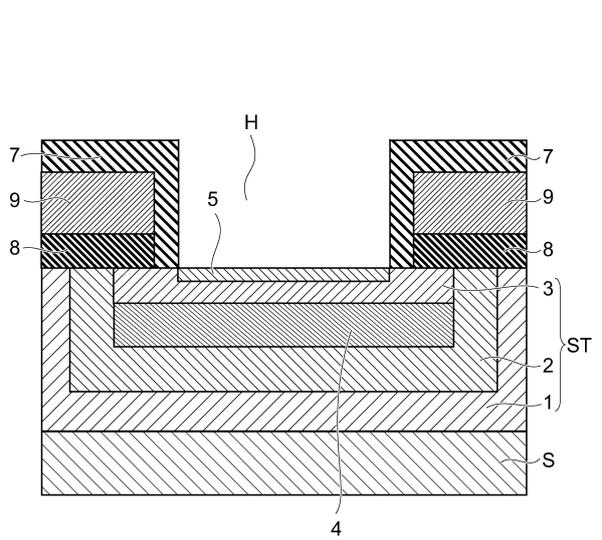
【図 1 2】



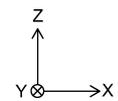
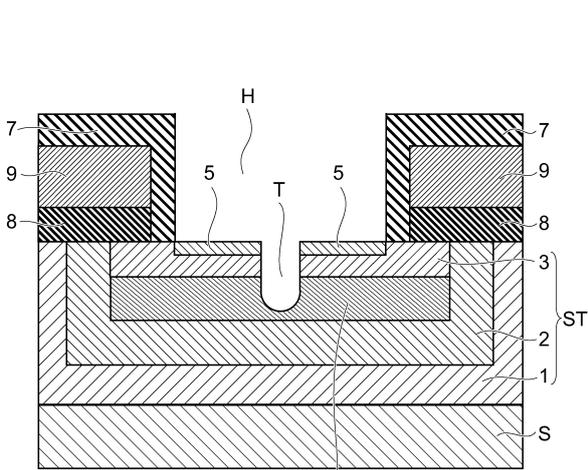
【図 1 3】



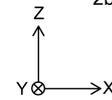
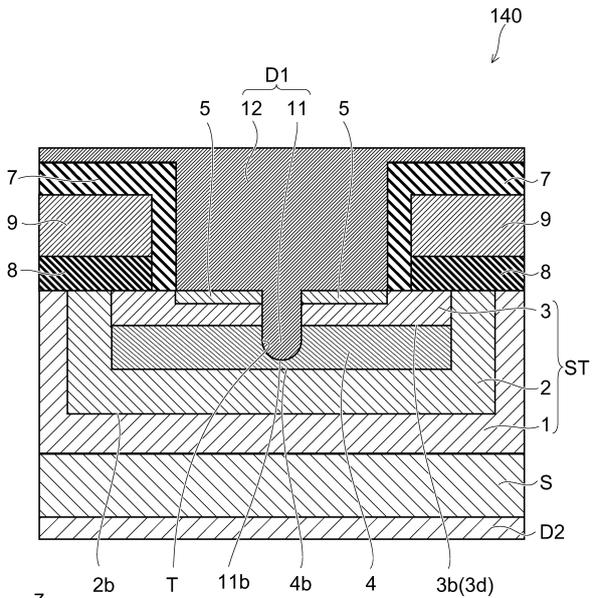
【図 1 4】



【図 1 5】



【図 1 6】



140

D1

5

12

11

5

ST

ST

S

D2

2b

T

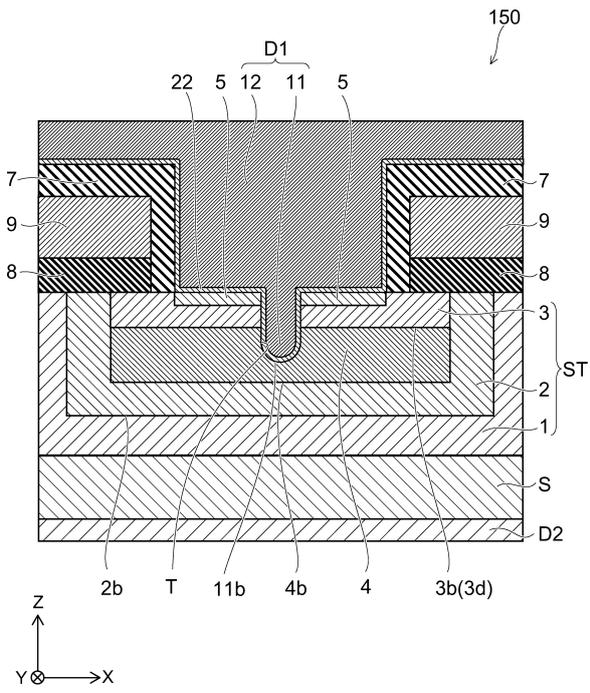
11b

4b

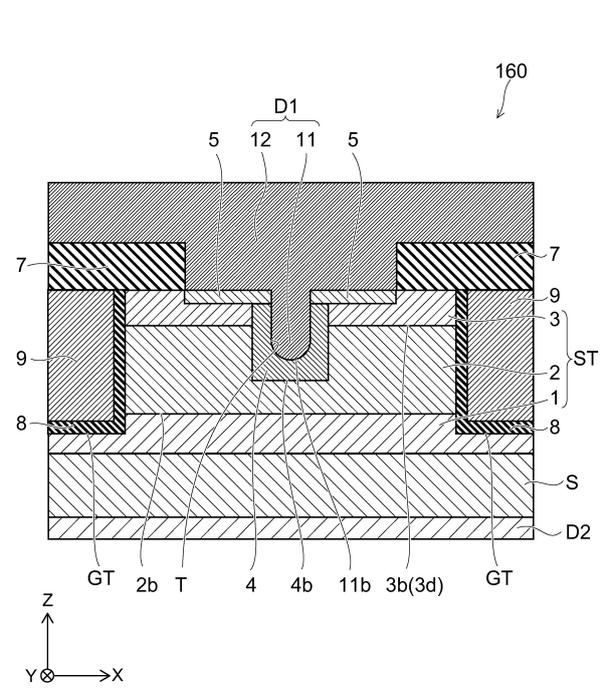
4

3b(3d)

【図 17】



【図 18】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 29/41 (2006.01) H 0 1 L 29/50 M  
H 0 1 L 29/44 S

(56)参考文献 国際公開第2011/048800(WO,A1)  
特開平07-235672(JP,A)  
特開平03-024737(JP,A)

(58)調査した分野(Int.Cl.,DB名)  
H 0 1 L 2 9 / 7 8  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 3 3 6  
H 0 1 L 2 9 / 1 2  
H 0 1 L 2 9 / 4 1  
H 0 1 L 2 9 / 4 1 7