



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I744157 B

(45)公告日：中華民國 110 (2021) 年 10 月 21 日

(21)申請案號：109147159

(22)申請日：中華民國 109 (2020) 年 12 月 31 日

(51)Int. Cl. : **G11C29/08 (2006.01)****G11C29/52 (2006.01)****G06F11/26 (2006.01)**

(71)申請人：瑞昱半導體股份有限公司 (中華民國) REALTEK SEMICONDUCTOR CORPORATION (TW)

新竹市東區新竹科學園區創新二路二號

(72)發明人：陳衍彬 CHEN, YEN-PIN (TW)

(74)代理人：林昱初

(56)參考文獻：

US 7289543B2

US 10352995B1

US 2002/0118018A1

US 2004/0260975A1

US 2019/0319729A1

審查人員：劉耀允

申請專利範圍項數：10 項 圖式數：4 共 20 頁

(54)名稱

內嵌式記憶體系統與記憶體測試方法

(57)摘要

內嵌式記憶體系統包含內嵌式記憶體電路以及主控端電路。內嵌式記憶體電路用以儲存查找表。主控端電路用以利用具有複數個相位的一測試時脈訊號以及內嵌式記憶體電路之一程式的複數個指令對內嵌式記憶體電路進行測試，並記錄該些指令中每一者與該些相位之間的一對應關係，以產生查找表。

An embedded memory system includes an embedded memory circuit and a host circuit. The embedded memory circuit is configured to store a lookup table. The host circuit is configured to utilize a testing clock signal having multiple phases and multiple instructions in a program of the embedded memory circuit to test the embedded memory circuit, in order to store a corresponding relation between the phases and each of the instruction to generate the lookup table.

指定代表圖：

符號簡單說明：

100:內嵌式記憶體系統

120:內嵌式記憶體電路

140:主控端電路

142:處理器電路

144:記憶體電路

146:時脈產生器電路

CLK:測試時脈訊號

LT:查找表

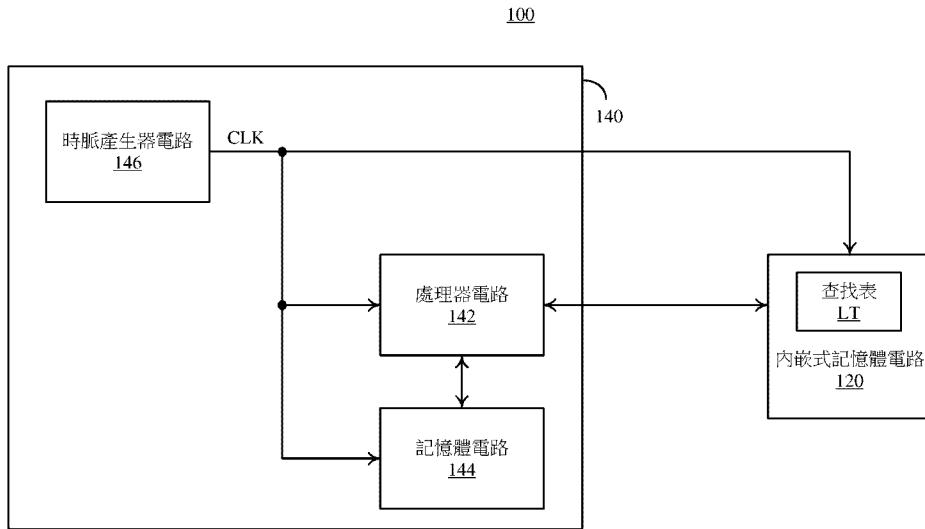


圖 1



I744157

## 【發明摘要】

【中文發明名稱】 內嵌式記憶體系統與記憶體測試方法

【英文發明名稱】 EMBEDDED MEMORY SYSTEM AND MEMORY

## TESTING METHOD

## 【中文】

內嵌式記憶體系統包含內嵌式記憶體電路以及主控端電路。內嵌式記憶體電路用以儲存查找表。主控端電路用以利用具有複數個相位的一測試時脈訊號以及內嵌式記憶體電路之一程式的複數個指令對內嵌式記憶體電路進行測試，並記錄該些指令中每一者與該些相位之間的一對應關係，以產生查找表。

## 【英文】

An embedded memory system includes an embedded memory circuit and a host circuit. The embedded memory circuit is configured to store a lookup table. The host circuit is configured to utilize a testing clock signal having multiple phases and multiple instructions in a program of the embedded memory circuit to test the embedded memory circuit, in order to store a corresponding relation between the phases and each of the instruction to generate the lookup table.

## 【指定代表圖】 圖1

## 【代表圖之符號簡單說明】

100:內嵌式記憶體系統

120:內嵌式記憶體電路

140:主控端電路

142:處理器電路

144:記憶體電路

146:時脈產生器電路

CLK:測試時脈訊號

LT:查找表

## 【發明說明書】

【中文發明名稱】 內嵌式記憶體系統與記憶體測試方法

【英文發明名稱】 EMBEDDED MEMORY SYSTEM AND MEMORY

TESTING METHOD

### 【技術領域】

【0001】 本案是關於內嵌式記憶體系統，尤其是關於利用啟動程式（boot loader）來進行時序測試的內嵌式記憶體系統以及記憶體測試方法。

### 【先前技術】

【0002】 在現有技術中，特定的訊號式樣（signal pattern）或是額外的測試程式被用來測試記憶體電路的時序。然而，由於這些特定訊號式樣也非記憶體電路後續會實際寫入/讀取的資料，且這些測試程式並非記憶體電路後續會實際執行的程式，故經由這些訊號式樣或測試程式所產生的時序測試結果可能不適合用來設定記憶體電路的實際操作。換言之，現有技術所得到的時序掃描（timing scan）範圍與記憶體電路實際使用的時序範圍有所差異。如此一來，記憶體電路可能在實際應用中無法使用到合適的時序。

### 【發明內容】

【0003】 於一些實施例中，內嵌式記憶體系統包含內嵌式記憶體電路以及主控端電路。內嵌式記憶體電路用以儲存一查找表。主控端電路用以利用具有複數個相位的一測試時脈訊號以及該內嵌式記憶體電路之一程式的複數個指

令對該內嵌式記憶體電路進行測試，並記錄該些指令中每一者與該些相位之間的一對應關係，以產生該查找表。

**【0004】** 於一些實施例中，記憶體測試方法包含下列操作：利用具有複數個相位的測試時脈訊號以及程式的複數個指令對內嵌式記憶體電路進行測試；以及記錄該些指令中每一者與該些相位之間的一對應關係，以產生一查找表，其中該內嵌式記憶體電路用以根據該查找表選擇該些相位中對應於該些指令中之一第一指令的一特定相位，以執行該第一指令。

**【0005】** 有關本案的特徵、實作與功效，茲配合圖式作較佳實施例詳細說明如下。

#### **【圖式簡單說明】**

##### **【0006】**

〔圖1〕為根據本案一些實施例繪製一種內嵌式記憶體系統的示意圖；

〔圖2〕為根據本案一些實施例繪製一種時序掃描測試方法的流程圖；

〔圖3〕為根據本案一些實施例繪製一種記憶體測試方法的流程圖；以及

〔圖4〕為根據本案一些實施例繪製時序掃描測試結果之示意圖。

#### **【實施方式】**

**【0007】** 本文所使用的所有詞彙具有其通常的意涵。上述之詞彙在普遍常用之字典中之定義，在本案的內容中包含任一於此討論的詞彙之使用例子僅為示例，不應限制到本案之範圍與意涵。同樣地，本案亦不僅以於此說明書所示出的各種實施例為限。

【0008】 關於本文中所使用之『耦接』或『連接』，均可指二或多個元件相互直接作實體或電性接觸，或是相互間接作實體或電性接觸，亦可指二或多個元件相互操作或動作。如本文所用，用語『電路』可為由至少一個電晶體與/或至少一個主被動元件按一定方式連接以處理訊號的裝置。

【0009】 如本文所用，用語『與/或』包含了列出的關聯項目中的一個或多個的任何組合。在本文中，使用第一、第二與第三等等之詞彙，是用於描述並辨別各個元件。因此，在本文中的第一元件也可被稱為第二元件，而不脫離本案的本意。為易於理解，於各圖式中的類似元件將被指定為相同標號。

【0010】 圖1為根據本案一些實施例繪製一種內嵌式記憶體系統100的示意圖。內嵌式記憶體系統100包含內嵌式記憶體電路120以及主控端（host）電路140。於一些實施例中，內嵌式記憶體電路120可為（但不限於）內嵌式多媒體卡（embedded multimedia card, eMMC）晶片，其包含用於儲存資料的記憶體陣列（未示出）以及控制該記憶體陣列的控制器電路（未示出）。於一些實施例中，前述的記憶體陣列可為快閃式記憶體。

【0011】 於一些實施例中，主控端電路140可用以對內嵌式記憶體電路120進行時序掃描（timing scan）測試，以產生查找表LT。於一些實施例中，主控端電路140包含處理器電路142、記憶體電路144以及時脈產生器電路146。處理器電路142可用以執行圖3的多個操作，以對內嵌式記憶體電路120進行時序掃描測試來產生查找表LT。記憶體電路144可用以暫時儲存時序掃描測試的多個結果，並在測試完成時將該些結果輸出為查找表LT。時脈產生器電路146用以產生一測試時脈訊號CLK至內嵌式記憶體電路120，且內嵌式記憶體電路120

可利用測試時脈訊號CLK執行程式中的多個指令（例如為圖4中的多個讀寫指令等等）以進行時序掃描測試。

【0012】 於一些實施例中，測試時脈訊號CLK具有多個相位（例如為圖4中的相位0~相位31），且查找表LT用於記錄該些指令中每一者與該些相位之間的對應關係。於一些實施例中，在時序掃描測試完成後，主控端電路140可將查找表LT儲存至內嵌式記憶體電路120。如此，內嵌式記憶體電路120可根據查找表LT選擇具有合適相位的時脈訊號，以執行對應的指令。於一些實施例中，前述的程式可以是一啟動程式（boot loader），且啟動程式為藉由內嵌式記憶體電路120運行的內核（kernel）或作業系統於開機時執行之一程式。換言之，主控端電路140是利用內嵌式記憶體電路120實際會執行的程式來對內嵌式記憶體電路120進行時序掃描測試。相較於使用額外的測試程式（或額外的測試訊號）所得到的測試結果，藉由啟動程式所得到的測試結果可以更為準確。如此一來，內嵌式記憶體電路120可利用查找表LT選擇合適的相位來執行對應指令。

【0013】 於一些實施例中，主控端電路140可為特殊應用積體電路（Application-specific integrated circuit）。於一些實施例中，處理器電路142可為（但不限於）中央處理單元（CPU）、多處理器、管線式處理器、分散式處理系統等等。於一些實施例中，記憶體電路144可為（但不限於）非暫態電腦可讀取儲存媒介。於一些實施例中，電腦可讀取儲存媒介為電性、磁性、光學、紅外線與/或半導體裝置。例如，電腦可讀取儲存媒介包含（但不限於）半導體或固態記憶體、磁帶、可移除式電腦磁碟、隨機存取記憶體（RAM）、唯



讀記憶體（ROM）、硬磁碟與/或光學磁碟。上述關於處理器電路142以及記憶體電路144的種類用於示例，且本案並不以此為限。

【0014】 圖2為根據本案一些實施例繪製一種時序掃描測試方法200的流程圖。於一些實施例中，時序掃描測試方法200可由（但不限於）圖1的內嵌式記憶體系統100執行。

【0015】 於操作S210，內嵌式記憶體系統（例如為內嵌式記憶體系統100）開機。於操作S220，利用具有複數個相位的測試時脈訊號以及啟動程式的複數個指令對內嵌式記憶體電路進行測試。例如，主控端電路140可執行後述圖3的多個操作，以測試內嵌式記憶體電路120。於操作S230，記錄時序掃描測試的結果。例如，處理器電路142可將時序掃描測試的多個測試結果（如圖4所示）暫存於圖1中的記憶體電路144。於操作S240，輸出時序掃描測試的結果為查找表。例如，在時序掃描測試完成後，處理器電路142可根據儲存於記憶體電路144的多個測試結果輸出為查找表LT，並寫入查找表LT至內嵌式記憶體電路120。

【0016】 圖3為根據本案一些實施例繪製一種記憶體測試方法300的流程圖。於一些實施例中，記憶體測試方法300中的操作S310、操作S320、操作S330、操作S340以及操作S350可視為圖2中的操作S220對應的多個具體步驟。於操作S310，開始進行時序掃描測試，並設定初始時序為第一個相位（例如為圖4中的相位0）。於操作S320，執行啟動程式。於操作S230，記錄啟動程式的測試結果。於操作S330，確認當前時序是否為最後一個相位（例如為圖4中的相位31）。若當前時序為最後一個相位，執行圖2的操作S240。或者，若當前時序不為最後一個相位，執行操作S340。於操作S340，重置先前的測試結果。

於操作S350，切換至次一時序（例如為將圖4中的相位0切換至相位1），並再次執行操作S320。

**【0017】** 圖4為根據本案一些實施例繪製時序掃描測試結果之示意圖。於一些實施例中，啟動程式包含多個以不同時脈頻率執行的寫入指令與/或讀取指令。例如，如圖4所示，啟動程式可包含（但不限於）以具有頻率為250千赫茲（kHz）的時脈訊號（標示為250k）執行之命令讀取指令（後簡稱之『第一命令讀取指令』）、以具有頻率為250kHz的時脈訊號執行之命令寫入指令、以具有頻率為25百萬赫茲（MHz）的時脈訊號（標示為25M）執行之讀取指令、以具有頻率為25MHz的時脈訊號執行之寫入指令、以具有頻率為50MHz的時脈訊號執行之命令讀取指令、以具有頻率為50MHz的時脈訊號執行之命令寫入指令、以具有50MHz頻率的時脈訊號執行之資料寫入指令、以HS200模式執行之資料寫入指令、以HS200模式執行之命令寫入指令、以HS400模式執行之寫入指令以及以HS400模式執行之讀取指令。

**【0018】** 於此例中，圖4的測試時脈訊號CLK具有32個相位（即相位0至相位31）。首先，主控端電路140將測試時脈訊號CLK之相位設定為相位0，並控制內嵌式記憶體電路120依序執行啟動程式中的多個指令（即操作S310）。內嵌式記憶體電路120利用具有相位0的測試時脈訊號CLK依序執行該些指令，並產生相對應的測試結果。

**【0019】** 舉例來說，內嵌式記憶體電路120利用具有相位0以及頻率為250kHz的測試時脈訊號CLK執行第一命令讀取指令。若此第一命令讀取指令可正確被執行（標示為○），內嵌式記憶體電路120可讀取到一預設資料（即讀取到的資料為一預設值）。反之，若此讀取指令無法正確地被執行（標示為

x)，內嵌式記憶體電路120讀取的資料非為預設資料（即讀取到的資料並非預設值）。因此，處理器電路142可依據此指令所對應的測試結果（即讀取到的資料是否為預設值）判斷內嵌式記憶體電路120是否有正確地利用具有相位0的測試時脈訊號CLK執行第一命令讀取指令。依此類推，內嵌式記憶體電路120可利用具有相位0與對應頻率的測試時脈訊號CLK依序執行多個指令，且處理器電路142可根據各指令對應的測試結果確認內嵌式記憶體電路120是否可利用具有相位0的測試時脈訊號CLK正確地執行該些指令。例如，如圖4所示，處理器電路142可得知內嵌式記憶體電路120無法利用具有相位0的測試時脈訊號CLK正確執行HS400模式下的寫入指令與讀取指令。

**【0020】** 接著，在取得全部指令對應於相位0的測試結果（即操作S230）後，主控端電路142可重置內嵌式記憶體電路120（即操作S340）並切換相位0至相位1（即操作S350），以再次控制內嵌式記憶體電路120依序執行啟動程式中的多個指令（即操作S320）。內嵌式記憶體電路120利用具有相位1的測試時脈訊號CLK依序執行該些指令，並產生相對應的測試結果。依此類推，處理器電路142可獲得該些指令中每一者與多個相位0~31之間的對應關係（如圖4所示）。於一些實施例中，如圖4所示的多個測試結果可暫存於記憶體電路144。於一些實施例中，根據圖4的多個測試結果，主控端電路140可以確認內嵌式記憶體電路120可根據相位0至相位31中之至少一第一相位（例如為相位0至相位16）正確地執行第一命令讀取指令。

**【0021】** 在取得所有指令與多個相位0~31之間的對應關係後，處理器電路142可產生查找表LT。於一些實施例中，查找表LT可表示為下表一：

掃描項目	測試結果	標準要求	中心設定	建立時間 餘量	保持時間 餘量
250k 命令讀取	通過	8個相位	相位8	7個相位	7個相位
250k 命令寫入	通過	2個相位	相位18	17個相位	13個相位
25M 讀取	通過	8個相位	相位8	7個相位	7個相位
25M 寫入	通過	6個相位	相位18	15個相位	12個相位
50M 命令讀取	通過	8個相位	相位8	7個相位	7個相位
50M 命令寫入	通過	10個相位	相位18	17個相位	13個相位
50M 資料寫入	通過	10個相位	相位18	13個相位	12個相位
HS200資料寫入	通過	14個相位	相位13	9個相位	13個相位
HS200命令寫入	通過	14個相位	相位18	12個相位	13個相位
HS400 寫入	通過	7個相位	相位10	4個相位	3個相位
HS400 讀取	通過	7個相位	相位12	6個相位	5個相位

【0022】 於一些實施例中，預設記憶體標準可為（但不限於）JEDEC（Joint Electron Device Engineering Council，JEDEC）記憶體標準（例如為JESD84-B51或其後續版本）。於一些實施例中，主控端電路140可用以根據該預設記憶體標準自該至少一第一相位排除至少一第二相位。於一些實施例中，主控端電路140可根據預設記憶體標準自至少一第一相位選擇一特定相位，以產生查找表LT。

【0023】 例如，依據預設記憶體標準與/或使用者的輸入，主控端電路140可自相位0至相位16中排除至少一第二相位（例如為相位0與相位16）。上述的至少一第二相位可為預設記憶體標準中不建議使用的時序（或稱為死區（dead zone）），也可以是其他內嵌式記憶體電路中測試失敗（或實際運作失

敗)的時序。如此一來，主控端電路140可得知內嵌式記憶體電路120可根據相位1至相位15中任一者挑選一特定相位(例如為相位8，即上表所示的中心設定)，以產生查找表LT。於一些實施例中，上述的特定相位可為(但不限於)該至少一第一相位內的一中間相位。

【0024】於一些實施例中，前述的中心設定可依據實際應用與/或其他設計考量調整，故上表中的中心設定並不限於至少一第一相位內的中間相位。於一些實施例中，針對特定指令(例如為(但不限於)對應於頻率200M的讀取指令)，內嵌式記憶體電路120可執行一自動調整(auto-tune)機制而選擇合適的相位，而非根據查找表LT中的中心設定使用對應的相位。

【0025】於一些實施例中，主控端電路140更用以根據預設記憶體標準確認內嵌式記憶體電路120響應於多個指令中每一者所產生的一特定訊號之建立時間(setup time)與多個相位(例如為相位0至相位31)之間的一對應關係，以產生查找表LT。類似地，於一些實施例中，主控端電路140用以根據預設記憶體標準確認內嵌式記憶體電路120響應於多個指令中每一者所產生的一特定訊號之保持時間(hold time)與多個相位0~相位31之間的一對應關係，以產生查找表LT。於一些實施例中，建立時間為該特定訊號在具有對應相位的時脈訊號之轉態邊緣出現前保持固定的期間，且保持時間為該特定訊號在具有對應相位的時脈訊號之轉態邊緣出現前保持固定的期間。

【0026】以在HS400模式執行的寫入指令為例，前述的特定訊號可為內嵌式記憶體電路120響應於此指令所寫入的資料訊號。由於HS400模式下的時脈頻率為200MHz(資料速率可為400MB/s)，故根據時脈訊號的週期(即1/200M)可得知多個相位0~相位31中連續兩者之間的時間隔約為0.156奈秒

(nanosecond, ns)。根據預設記憶體標準中對於建立時間以及保持時間之要求(例如至少為0.4ns)，主控端電路140可得知建立時間與保持時間之總和最少需要相同於7個相位中的多個間隔之總時間(即表一中的標準要求)。再者，根據圖4的測試結果，內嵌式記憶體電路120可利用具有相位6至相位13中任一者的測試時脈訊號CLK執行此寫入指令。因此，主控端電路140可選擇相位為相位6至相位13之間的中間相位10(即表一中的中心設定)為執行此寫入指令時所使用的特定相位，以使建立時間餘量(margin)盡量相同於保持時間餘量。例如，建立時間餘量為相位6至相位9(即表一中的4個相位)中的多個間隔之總時間，且保持時間餘量為相位11至相位13(即表一中的3個相位)的多個間隔之總時間。如此一來，在後續應用中，內嵌式記憶體電路120可利用具有相位10的時脈訊號執行此寫入指令。

**【0027】** 上述的例子是以單一內嵌式記憶體電路120之測試結果為例說明。應當理解，於一些實施例中，主控端電路140可根據多個內嵌式記憶體電路120之多個測試結果的交集產生查找表LT。如此一來，查找表LT所記錄之時序設定可適用於不同製造商生產的記憶體。

**【0028】** 上述時序掃描測試方法200(或記憶體測試方法300)的多個操作之說明可參考前述多個實施例，故於此不再贅述。上述多個操作僅為示例，並非限定需依照此示例中的順序執行。在不違背本案的各實施例的操作方式與範圍下，在時序掃描測試方法200(或記憶體測試方法300)下的各種操作當可適當地增加、替換、省略或以不同順序執行。或者，在時序掃描測試方法200(或記憶體測試方法300)下的一或多個操作可以是同時或部分同時執行。

【0029】 綜上所述，本案一些實施例中之內嵌式記憶體系統與記憶體測試方法可利用藉由內嵌式記憶體電路運作的內核或作業系統中之一程式來對內嵌式記憶體電路進行時序掃描測試，以決定適合內嵌式記憶體電路實際運作的相位。如此一來，在後續應用中，內嵌式記憶體電路可利用合適的相位來進行操作。

【0030】 雖然本案之實施例如上所述，然而該些實施例並非用來限定本案，本技術領域具有通常知識者可依據本案之明示或隱含之內容對本案之技術特徵施以變化，凡此種種變化均可能屬於本案所尋求之專利保護範疇，換言之，本案之專利保護範圍須視本說明書之申請專利範圍所界定者為準。

#### 【符號說明】

#### 【0031】

100:內嵌式記憶體系統

120:內嵌式記憶體電路

140:主控端電路

142:處理器電路

144:記憶體電路

146:時脈產生器電路

200:時序掃描測試方法

300:記憶體測試方法

CLK:測試時脈訊號

LT:查找表

S210, S220, S230, S240:操作

S310, S320, S330, S340, S350:操作



## 【發明申請專利範圍】

【請求項1】 一種內嵌式記憶體系統，包含：

一內嵌式記憶體電路，用以儲存一查找表；以及

一主控端電路，用以利用具有複數個相位的一測試時脈訊號以及該內嵌式記憶體電路之一程式的複數個指令對該內嵌式記憶體電路進行測試，並記錄該些指令中每一者與該些相位之間的一對應關係，以產生該查找表，

其中該程式為一啟動程式（boot loader），該啟動程式為藉由該內嵌式記憶體電路運行之一內核（kernel）或一作業系統在開機時所執行的程式。

【請求項2】 如請求項1之內嵌式記憶體系統，其中該主控端電路為依據 JEDEC（Joint Electron Device Engineering Council）記憶體標準產生該查找表。

【請求項3】 如請求項1之內嵌式記憶體系統，其中該些指令包含複數個以不同時脈頻率執行的讀取指令或寫入指令。

【請求項4】 如請求項1之內嵌式記憶體系統，其中該內嵌式記憶體電路用以依序使用該些相位執行該些指令中之一第一指令以產生一測試結果，且該主控端電路用以根據該測試結果確認該內嵌式記憶體電路有利用該些相位中之至少一第一相位正確地執行該第一指令。

【請求項5】 如請求項4之內嵌式記憶體系統，其中該主控端電路更用以根據一預設記憶體標準自該至少一第一相位選擇一特定相位，以產生該查找表。

【請求項6】 如請求項5之內嵌式記憶體系統，其中該主控端電路更用以根據該預設記憶體標準自該至少一第一相位排除至少一第二相位。

【請求項7】 如請求項5之內嵌式記憶體系統，其中該主控端電路更用以根據該預設記憶體標準確認該內嵌式記憶體電路響應於該第一指令所產生的一訊

號之一建立時間（setup time）與該些相位之間的一對應關係，以產生該查找表。

【請求項8】如請求項5之內嵌式記憶體系統，其中該主控端電路更用以根據該預設記憶體標準確認該內嵌式記憶體電路響應於該第一指令所產生的一訊號之一保持時間（hold time）與該些相位之間的一對應關係，以產生該查找表。

【請求項9】如請求項5之內嵌式記憶體系統，其中該特定相位為該至少一第一相位中之一中間相位。

【請求項10】一種記憶體測試方法，包含：  
利用具有複數個相位的一測試時脈訊號以及一程式的複數個指令對一內嵌式記憶體電路進行測試，其中該程式為一啟動程式，該啟動程式為藉由該內嵌式記憶體電路運行之一內核或一作業系統在開機時所執行的程式；以及  
記錄該些指令中每一者與該些相位之間的一對應關係，以產生一查找表，  
其中該內嵌式記憶體電路用以根據該查找表選擇該些相位中對應於該些指令中之一第一指令的一特定相位，以執行該第一指令。

【發明圖式】

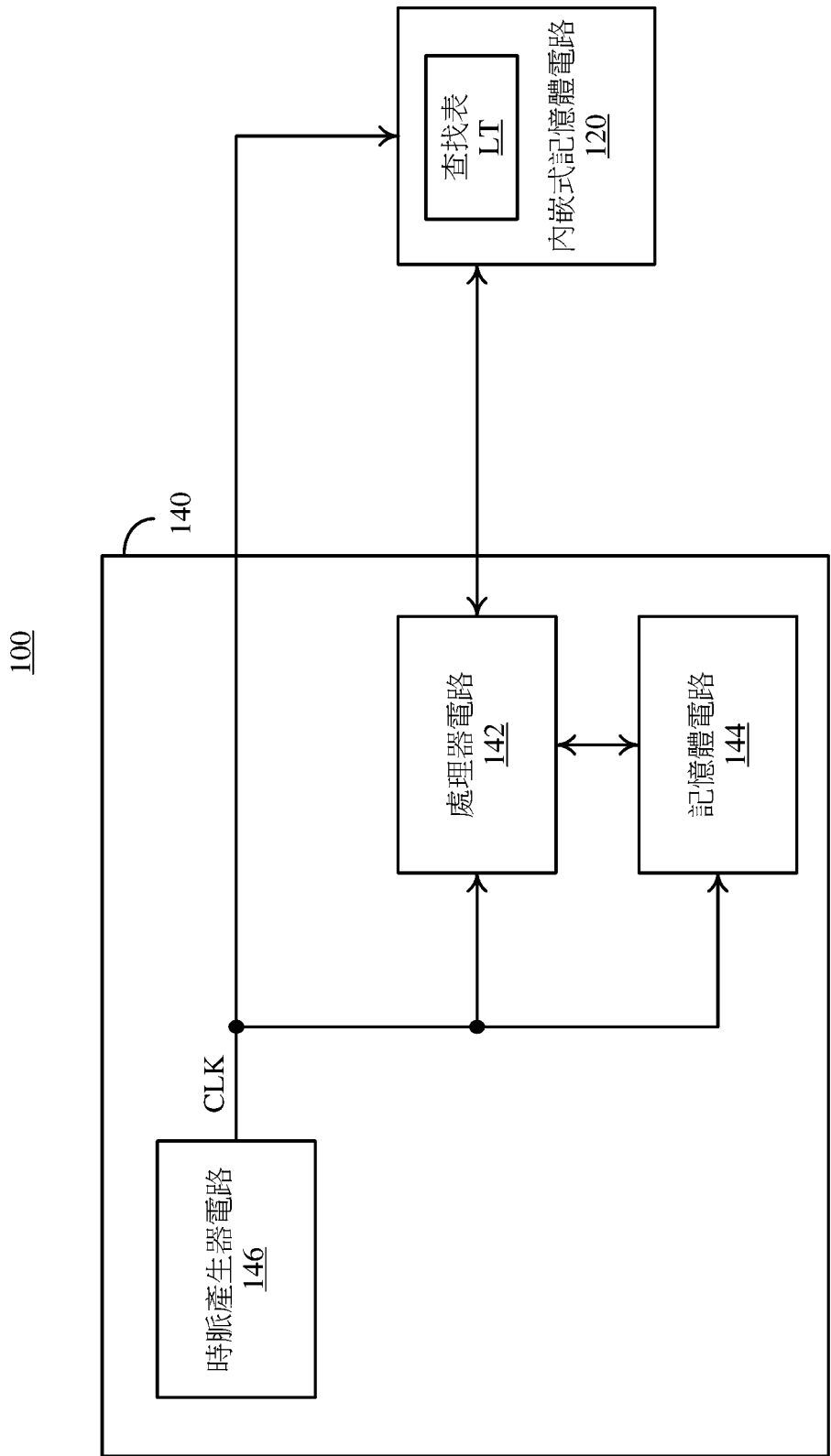
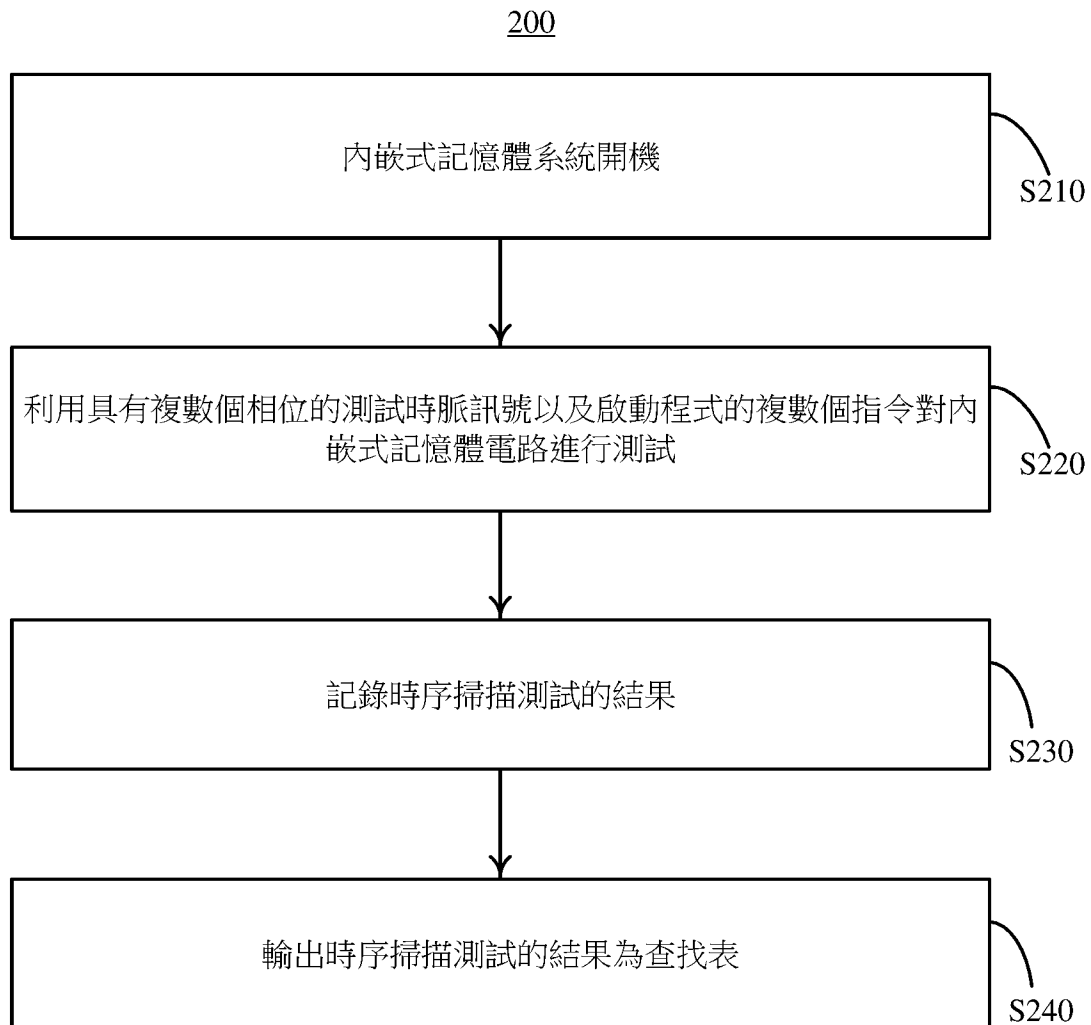


圖 1



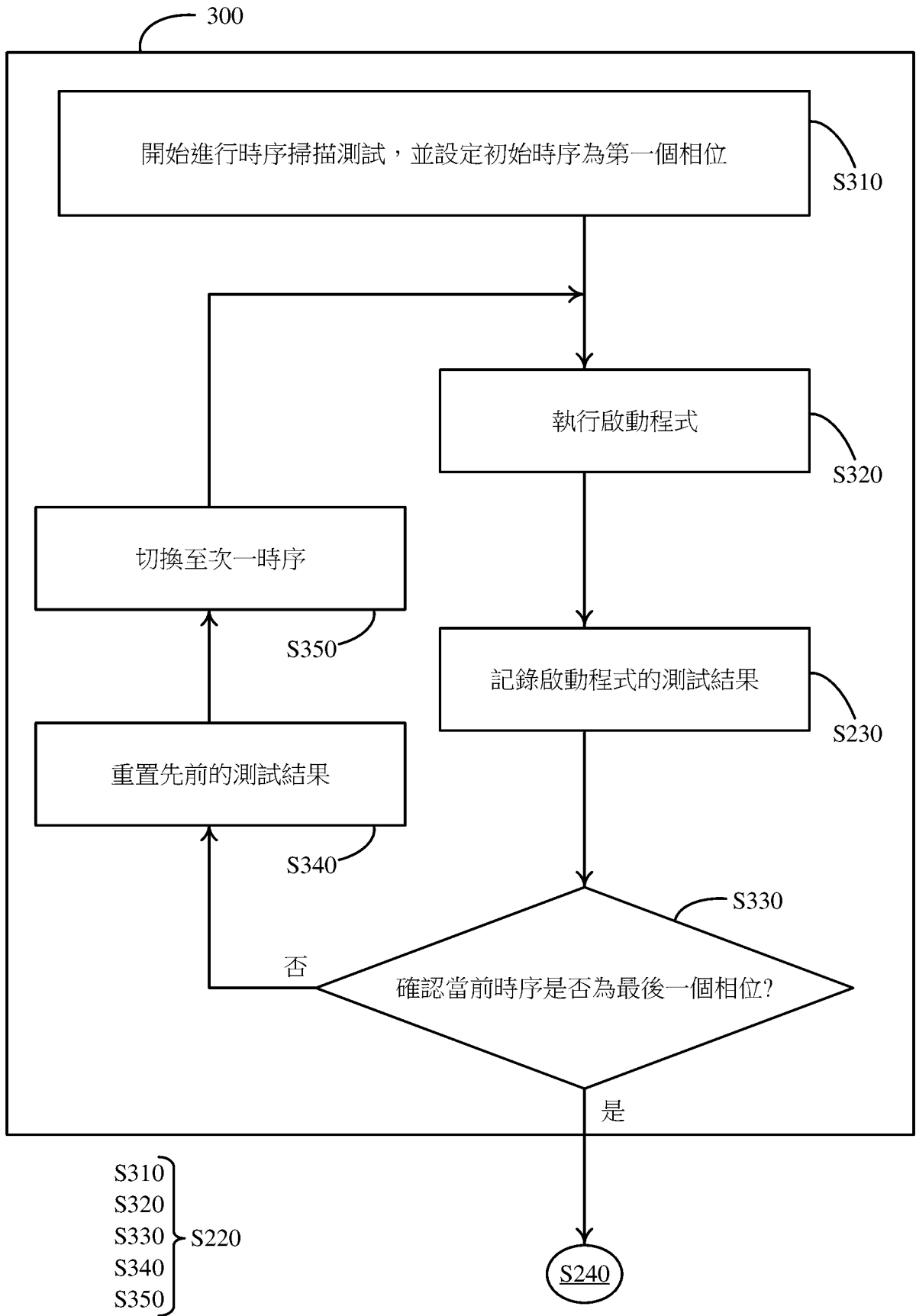


圖 3

指令項目	相位 0	相位 1	相位 2	相位 3	相位 4	相位 5	相位 6	相位 7	相位 8
250k 命令讀取	○	○	○	○	○	○	○	○	○
250k 命令寫入	○	○	○	○	○	○	○	○	○
25M 讀取	○	○	○	○	○	○	○	○	○
25M 寫入	○	×	○	○	○	○	○	○	○
50M 命令讀取	○	○	○	○	○	○	○	○	○
50M 命令寫入	○	○	○	○	○	○	○	○	○
50M 資料寫入	×	○	○	○	×	○	○	○	○
HS200 資料寫入	○	○	○	×	○	○	○	○	○
HS200 命令寫入	○	○	×	×	×	○	○	×	○
HS400 寫入	×	×	×	×	×	○	○	○	○
HS400 讀取	×	×	×	×	×	○	○	○	○

相位 14	相位 15	相位 16	相位 17
○	○	○	×
○	○	○	○
○	○	○	×
○	○	○	○
○	○	○	○
○	○	○	○
○	○	○	○
○	○	○	○
○	○	○	○
○	○	○	○

相位 30	相位 31
×	×
○	○
×	×
○	○
○	○
○	○
○	○
○	○
○	○
×	×
×	×

○:測試通過      ×:測試失敗

□:死區

圖 4