



(12) 发明专利申请

(10) 申请公布号 CN 115527588 A

(43) 申请公布日 2022. 12. 27

(21) 申请号 202210151162.X

(22) 申请日 2022.02.14

(30) 优先权数据

17/358,516 2021.06.25 US

(71) 申请人 桑迪士克科技有限责任公司

地址 美国德克萨斯州

(72) 发明人 王彦杰 梁癸容 村井翔太

车潇雨

(74) 专利代理机构 北京市柳沈律师事务所

11105

专利代理师 邱军

(51) Int. Cl.

G11C 16/10 (2006.01)

G11C 16/08 (2006.01)

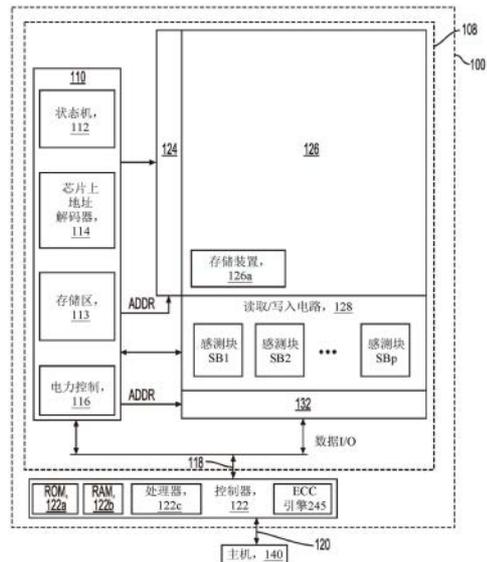
权利要求书3页 说明书19页 附图31页

(54) 发明名称

使用选择性跳过的验证脉冲进行存储器编程以用于性能改进

(57) 摘要

一种非易失性存储器包含以通信方式耦合到布置在多个字线中的存储器单元阵列的控制电路系统。所述控制电路系统配置成在多遍次编程操作中将所述多个字线的所述存储器单元编程为多个数据状态。所述多遍次编程操作的稍后编程遍次包含具有递增地增加的编程脉冲的多个编程循环。对于至少一个数据状态，所述稍后编程遍次包含维持所述稍后编程遍次的所述编程循环的计数。所述稍后编程遍次还包含在预定编程计数验证(PCV)编程循环和PCV-1编程循环期间禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的编程，以及在PCV+1编程循环之前，跳过所有编程循环的验证操作。



1. 一种编程存储器设备的方法,其包括以下步骤:

在多遍次编程操作的第一编程遍次中,将选定字线的存储器单元编程为多个数据状态;

在稍后编程遍次中,将所述选定字线的所述存储器单元编程为所述多个数据状态,所述稍后编程遍次包含多个编程循环,对于至少一个数据状态,所述稍后编程遍次包含:

维持所述稍后编程遍次的所述编程循环的计数,所述编程循环包含递增地增加的编程脉冲;

在编程计数验证(PCV)编程循环或PCV-1编程循环期间,禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的编程;以及

在PCV+1编程循环之前,跳过所有编程循环的验证操作。

2. 根据权利要求1所述的方法,其中在预定PCV编程循环和PCV-1编程循环期间禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的所述编程的所述步骤包含在将编程脉冲施加到所述选定字线的同时将非零电压施加到耦合到至少一个存储器单元的至少一个位线。

3. 根据权利要求2所述的方法,其中禁止或减缓正编程的所述存储器单元的所述编程的所述步骤进一步定义为在所述PCV编程循环和所述PCV-1编程循环期间禁止正编程为所述数据状态中的所述一个的所述存储器单元的编程。

4. 根据权利要求3所述的方法,其中禁止或减缓正编程的所述存储器单元的所述编程的所述步骤进一步定义为在所述PCV+1编程循环之前的所有编程循环期间禁止正编程为所述数据状态中的所述一个的所述存储器单元的编程。

5. 根据权利要求2所述的方法,其中禁止或减缓正编程的所述存储器单元的所述编程的所述步骤进一步定义为在所述PCV编程循环和所述PCV-1编程循环期间减缓正编程为所述数据状态中的所述一个的所述存储器单元的编程。

6. 根据权利要求1所述的方法,其中所述多个数据状态包含第一编程数据状态和具有比所述第一编程数据状态更高的电压阈值的至少一个稍后编程数据状态。

7. 根据权利要求6所述的方法,其中在所述第一编程数据状态的编程期间,对于所述存储器单元的任何编程循环,不禁止或减缓编程,且不跳过所述验证操作。

8. 根据权利要求7所述的方法,其中对于所有所述稍后编程数据状态,在所述PCV编程循环和所述PCV-1编程循环期间禁止或减缓编程。

9. 一种存储装置,其包括:

非易失性存储器,其包含以通信方式耦合到布置在多个字线中的存储器单元阵列的控制电路系统,其中所述控制电路系统配置成在多遍次编程操作中将所述多个字线的所述存储器单元编程为多个数据状态,所述控制电路系统进一步配置成:

在所述多遍次编程操作的第一编程遍次中,将选定字线的所述存储器单元编程为所述多个数据状态;

在稍后编程遍次中,将所述选定字线的所述存储器单元编程为所述多个数据状态,所述稍后编程遍次包含包括递增地增加的编程脉冲的多个编程循环,且对于至少一个数据状态,所述稍后编程遍次包含:

维持所述稍后编程遍次的所述编程循环的计数;

在预定编程计数验证 (PCV) 编程循环和PCV-1编程循环期间,禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的编程;以及

在PCV+1编程循环之前,跳过所有编程循环的验证操作。

10. 根据权利要求9所述的存储装置,其中所述在所述PCV编程循环和所述PCV-1编程循环期间禁止或减缓所述存储器单元的编程进一步定义为在所述PCV编程循环和所述PCV-1编程循环期间禁止所述存储器单元的编程。

11. 根据权利要求10所述的存储装置,其中所述在所述PCV编程循环和所述PCV-1编程循环期间禁止或减缓所述存储器单元的所述编程进一步定义为在所述PCV+1编程循环之前的所有编程循环期间禁止正编程为所述数据状态中的所述一个的所述存储器单元的编程。

12. 根据权利要求10所述的存储装置,其中所述禁止或减缓正编程的所述存储器单元的所述编程进一步定义为在所述PCV编程循环和所述PCV-1编程循环期间减缓正编程为所述数据状态中的所述一个的所述存储器单元的编程。

13. 根据权利要求9所述的存储装置,其中所述多个数据状态包含第一编程数据状态和具有比所述第一编程数据状态更高的电压阈值的至少一个稍后编程数据状态。

14. 根据权利要求13所述的存储装置,其中在所述第一编程数据状态的编程期间,对于任何编程循环,不禁止或减缓编程,且不跳过所述验证操作。

15. 根据权利要求14所述的存储装置,其中所述控制器配置成在所述PCV编程循环和所述PCV-1编程循环期间,在所有所述稍后编程数据状态的编程期间禁止或减缓编程。

16. 一种设备,其包括:

非易失性存储器,其包含以通信方式耦合到布置在多个字线中的存储器单元阵列的控制电路系统,其中所述控制电路系统配置成在多遍次编程操作中通过递增地增加的编程脉冲将所述多个字线的所述存储器单元编程为多个数据状态,所述控制电路系统进一步配置成:

在所述多遍次编程操作的第一编程遍次中,将选定字线的所述存储器单元编程为所述多个数据状态;

在包含一系列递增地增加的编程脉冲的稍后编程遍次中,将所述选定字线的所述存储器单元编程为所述多个数据状态,所述稍后编程遍次包含多个编程循环,且对于至少一个数据状态,所述稍后编程遍次包含:

维持所述稍后编程遍次的所述编程循环的计数;

在预定编程计数验证 (PCV) 编程循环和PCV-1编程循环期间,禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的编程;以及

在PCV+1编程循环之前,跳过所有编程循环的验证操作。

17. 根据权利要求16所述的设备,其中在所述第一编程数据状态的编程期间,对于任何编程循环,不禁止或减缓编程,且不跳过所述验证操作。

18. 根据权利要求17所述的设备,其中所述控制器配置成在所述PCV编程循环和所述PCV-1编程循环期间,在所有所述稍后编程数据状态的编程期间禁止或减缓编程。

19. 根据权利要求16所述的存储装置,其中所述控制电路系统配置成在所述将编程脉冲施加到所述选定字线时将非零电压施加到耦合到至少一个存储器单元的至少一个位线,以在所述PCV编程循环和所述PCV-1编程循环期间禁止或减缓正编程为所述数据状态

中的一个的所述存储器单元的所述编程。

20. 根据权利要求1所述的存储装置,其中所述控制电路系统配置成在所述将编程脉冲施加到所述选定字线的同时将非零电压施加到耦合到至少一个存储器单元的至少一个位线,以在所述PCV编程循环和所述PCV-1编程循环期间禁止或减缓正编程为所述数据状态中的一个的所述存储器单元的所述编程。

## 使用选择性跳过的验证脉冲进行存储器编程以用于性能改进

### 技术领域

[0001] 本发明技术涉及存储器装置的操作。

### 背景技术

[0002] 存储器装置通常提供为计算机或其它电子装置中的内部半导体集成电路。存在许多不同类型的存储器,包含随机存取存储器(random-access memory;RAM)、只读存储器(read only memor;ROM)、动态随机存取存储器(dynamic random-access memory;DRAM)、同步动态随机存取存储器(synchronous dynamic random-access memory; SDRAM)、电可擦除可编程只读存储器(electrically erasable programmable read-only memory; EEPROM)、快闪存储器等。在EEPROM或快闪NAND阵列架构中,存储器单元可布置成行和列的矩阵,使得每一存储器单元的栅极通过行耦合到字线。存储器单元可成串布置在一起,使得给定串中的存储器单元在共同源极线与共同位线之间从源极到漏极串联耦合在一起。

[0003] 存在将存储器单元编程为多个数据状态的各种技术,且持续需要改进编程性能。

### 发明内容

[0004] 提供本公开的编程技术以通过从多遍次编程操作的第二遍次消除一些验证脉冲来减少编程时间 $t_{prog}$ 。

[0005] 根据本公开的一方面,提供一种编程存储器设备的方法。方法包含在多遍次编程操作的第一编程遍次中将选定字线的存储器单元编程为多个数据状态的步骤。方法进一步包含在稍后编程遍次中将选定字线的存储器单元编程为多个数据状态,对于至少一个数据状态,稍后编程遍次包含多个编程循环。稍后编程遍次包含维持稍后编程遍次的编程循环的计数,编程循环包含递增地增加的编程脉冲。稍后编程遍次进一步包含在编程计数验证(program count verify;PCV)编程循环或PCV-1编程循环期间,禁止或减缓正编程为数据状态中的一个的存储器单元的编程。稍后编程遍次还包含在PCV+1编程循环之前跳过所有编程循环的验证操作。

[0006] 根据本公开的另一方面,在预定PCV编程循环和PCV-1编程循环期间,禁止或减缓正编程为数据状态中的一个的存储器单元的编程的步骤包含在将编程脉冲施加到选定字线的同时将非零电压施加到耦合到至少一个存储器单元的至少一个位线。

[0007] 根据本公开的又一方面,禁止或减缓正编程的存储器单元的编程的步骤进一步定义为在PCV编程循环和PCV-1编程循环期间禁止正编程为数据状态中的一个的存储器单元的编程。

[0008] 根据本公开的再一方面,禁止或减缓正编程的存储器单元的编程的步骤进一步定义为在PCV+1编程循环之前的所有编程循环期间禁止正编程为数据状态中的一个的存储器单元的编程。

[0009] 根据本公开的其它方面,禁止或减缓正编程的存储器单元的编程的步骤进一步定义为在PCV编程循环和PCV-1编程循环期间减缓正编程为数据状态中的一个的存储器单元

的编程。

[0010] 根据本公开的又一其它方面,多个数据状态包含第一编程数据状态和具有比第一编程数据状态更高的电压阈值的至少一个稍后编程数据状态。

[0011] 根据本公开的再一另外方面,在第一编程数据状态的编程期间,对于存储器单元的编程循环,不禁止或减缓编程,且不跳过验证操作。

[0012] 根据本公开的另一方面,对于所有稍后编程数据状态,在PCV编程循环和PCV-1编程循环期间禁止或减缓编程。

[0013] 本公开的另一方面涉及一种包含非易失性存储器的存储装置。非易失性存储器包含以通信方式耦合到布置在多个字线中的存储器单元阵列的控制电路系统。控制电路系统配置成在多遍次编程操作中将多个字线的存储器单元编程为多个数据状态。控制电路系统进一步配置成在多遍次编程操作的第一编程遍次中,将选定字线的存储器单元编程为多个数据状态。控制电路系统还配置成在稍后编程遍次中,将选定字线的存储器单元编程为多个数据状态,所述稍后编程遍次包含具有递增地增加的编程脉冲的多个编程循环。对于至少一个数据状态,稍后编程遍次包含维持稍后编程遍次的编程循环的计数。稍后编程遍次还包含在预定编程计数验证(PCV)编程循环和PCV-1编程循环期间禁止或减缓正编程为数据状态中的一个的存储器单元的编程,以及在PCV+1编程循环之前,跳过所有编程循环的验证操作。

[0014] 根据本公开的另一方面,控制电路系统配置成在将编程脉冲施加到选定字线的同时将非零电压施加到耦合到至少一个存储器单元的至少一个位线,以在PCV编程循环和PCV-1编程循环期间禁止或减缓正编程为数据状态中的一个的存储器单元的编程。

[0015] 根据本公开的又一方面,在PCV编程循环和PCV-1编程循环期间禁止或减缓存储器单元的编程进一步定义为在PCV编程循环和PCV-1编程循环期间禁止存储器单元的编程。

[0016] 根据本公开的再一方面,在PCV编程循环和PCV-1编程循环期间禁止或减缓存储器单元的编程进一步定义为在PCV+1编程循环之前的所有编程循环期间禁止正编程为数据状态中的一个的存储器单元的编程。

[0017] 根据本公开的其它方面,禁止或减缓正编程的存储器单元的编程进一步定义为在PCV编程循环和PCV-1编程循环期间减缓正编程为数据状态中的一个的存储器单元的编程。

[0018] 根据本公开的又一其它方面,多个数据状态包含第一编程数据状态和具有比第一编程数据状态更高的电压阈值的至少一个稍后编程数据状态。

[0019] 根据本公开的再一另外方面,在第一编程数据状态的编程期间,对于任何编程循环,不禁止或减缓编程,且不跳过验证操作。

[0020] 根据本公开的另一方面,控制器配置成在PCV编程循环和PCV-1编程循环期间在所有稍后编程数据状态的编程期间禁止或减缓编程。

[0021] 本公开的再一方面涉及一种包含具有控制电路系统的非易失性存储器的设备,所述控制电路系统以通信方式耦合到布置在多个字线中的存储器单元阵列。控制电路系统配置成在多遍次编程操作中通过递增地增加的编程脉冲将多个字线的存储器单元编程为多个数据状态。控制电路系统进一步配置成在多遍次编程操作的第一编程遍次中,将选定字线的存储器单元编程为多个数据状态。控制电路系统还配置成在包含一系列递增地增加的编程脉冲的稍后编程遍次中,将选定字线的存储器单元编程为多个数据状态。稍后编程遍

次包含多个编程循环。对于至少一个数据状态，稍后编程遍次包含维持稍后编程遍次的编程循环的计数。稍后编程遍次还包含在预定编程计数验证 (PCV) 编程循环和PCV-1编程循环期间禁止或减缓正编程为数据状态中的一个的存储器单元的编程，以及在PCV+1编程循环之前，跳过所有编程循环的验证操作。

[0022] 根据本公开的另一方面，在第一编程数据状态的编程期间，对于任何编程循环，不禁止或减缓编程，且不跳过验证操作。

[0023] 根据本公开的又一方面，控制器配置成在PCV编程循环和PCV-1编程循环期间在所有稍后编程数据状态的编程期间禁止或减缓编程。

[0024] 根据本公开的再一方面，控制电路系统配置成在将编程脉冲施加到选定字线的同时将非零电压施加到耦合到至少一个存储器单元的至少一个位线，以在PCV编程循环和PCV-1编程循环期间禁止或减缓正编程为数据状态中的一个的存储器单元的编程。

[0025] 根据本公开的其它方面，在PCV编程循环和PCV-1编程循环期间禁止或减缓存储器单元的编程进一步定义为在PCV编程循环和PCV-1编程循环期间禁止存储器单元的编程。

## 附图说明

[0026] 在下文参考附图中描绘的示例实施例阐述更详细描述。理解这些图式仅描绘本公开的示例实施例，且因此不应被视为限制本公开的范围。通过使用附图以添加的特定性和细节来描述和解释本公开，其中：

[0027] 图1A为示例存储器装置的框图；

[0028] 图1B为示例控制电路的框图；

[0029] 图2描绘图1A的存储器阵列的示例二维配置中的存储器单元块；

[0030] 图3A和图3B描绘NAND串中的示例浮动栅极存储器单元的横截面图；

[0031] 图4A和图4B描绘NAND串中的示例电荷捕获存储器单元的横截面图；

[0032] 图5描绘图1的感测块SB1的示例框图；

[0033] 图6A为图1的存储器阵列的示例三维配置中的块集合的透视图；

[0034] 图6B描绘图6A的块中的一个的一部分的示例横截面图；

[0035] 图6C描绘图6B的堆叠中的存储器孔直径的曲线图；

[0036] 图6D描绘图6B的堆叠的区722的特写图；

[0037] 图7A描绘图6B的堆叠的示例字线层WLL0的俯视图；

[0038] 图7B描绘图6B的堆叠的示例顶部电介质层DL19的俯视图；

[0039] 图8A描绘图7A的子块SBa到SBd中的示例NAND串；

[0040] 图8B描绘子块中的NAND串的另一示例图；

[0041] 图9示出QLC存储器系统中的数据状态的 $V_{th}$ 分布；

[0042] 图10A描绘双遍次编程技术的第一遍次；

[0043] 图10B描绘双遍次编程技术的第二遍次；

[0044] 图11描绘与图10A和10B中所描绘不同的双遍次编程技术的第一遍次和第二遍次；

[0045] 图12描绘示例存储器单元编程操作的波形；

[0046] 图13描绘根据本公开的示例性实施例的对于参考编程操作和编程操作的 $V_t$ 移位相对于编程脉冲的曲线图；

[0047] 图14为识别QLC存储器系统的编程数据状态和编程循环以及在参考编程操作中在哪些循环中编程哪些状态的表；

[0048] 图15为识别QLC存储器系统的编程数据状态和编程循环以及在本公开的编程操作中在哪些循环中编程哪些状态的表；

[0049] 图16示出展示根据本公开的示例性实施例的用于参考编程操作和编程操作的可靠性 ( $V_t$ 宽度) 相对于性能的曲线图；

[0050] 图17描绘识别QLC存储器系统的编程数据状态中的每一个的上部尾部相对于VPGMU DAC移位的曲线图；

[0051] 图18为展示对于不同VPGMU移位的范围的多个数据状态的 $V_t$ 分布的曲线图；

[0052] 图19为示出根据本公开的示例性实施例的编程存储器系统的步骤的流程图；

[0053] 图20为展示在图19中示出的编程操作的第二遍次期间正编程为特定数据状态的存储器单元的阈值电压相对于编程循环的计数的曲线图；

[0054] 图21为示出根据本公开的另一示例性实施例的编程存储器系统的步骤的流程图；

[0055] 图22为展示在图21中示出的编程操作的第二遍次期间正编程为特定数据状态的存储器单元的阈值电压相对于编程循环的计数的曲线图；

[0056] 图23为示出根据本公开的又一示例性实施例的编程存储器系统的步骤的流程图；以及

[0057] 图24为示出根据本公开的再一示例性实施例的编程存储器系统的步骤的流程图。

### 具体实施方式

[0058] 提供用于编程存储器装置的技术。还提供具有对应编程电路的对应存储器装置。

[0059] 为了减少包含增量阶跃脉冲编程 (incremental step pulse programming; ISPP) 的多遍次编程操作的第二遍次中的编程时间  $t_{\text{Prog}}$ , 通过对耦合到至少一个存储器单元的位线施加位线电压以进行多个编程循环, 直到编程脉冲的电压  $V_{\text{pgm}}$  达到一定电平, 来减缓或禁止编程。一旦  $V_{\text{pgm}}$  达到预定电平, 允许继续编程那些存储器单元, 且存储器单元非常快速地编程。在那些循环期间禁止或减缓编程允许跳过一或多个验证脉冲, 由此在不牺牲可靠性的情况下改进性能。对于每存储器单元装置的多数据状态的编程数据状态中的每一个重复此过程, 由此随着每存储器单元的位增加而增加性能增益。在一些实施例中, 已发现这些技术在每存储器单元 (QLC) 四位存储器装置中的可靠性损耗最小或没有损耗的情况下将编程时间减少大致百分之八 (8%)。

[0060] 存储器单元群组的编程操作通常涉及提供处于擦除状态的存储器单元, 且接着对存储器单元施加一系列编程脉冲。每一编程脉冲提供于编程循环中, 所述编程循环也被称作编程验证迭代。举例来说, 可将编程脉冲施加到连接到存储器单元的控制栅极的字线。在一个途径中, 执行增量阶跃脉冲编程, 其中编程脉冲幅值在每一编程循环中增加一步长。可在每一编程脉冲之后执行验证操作以确定存储器单元是否已完成编程, 且可在验证操作之后且在下一编程脉冲之前分别执行位扫描操作, 或可与后续编程脉冲同时执行以计数尚未完成编程的存储器单元的数目。当已完成存储器单元的编程时, 可锁定 (禁止) 存储器单元进一步编程, 同时在后续编程循环中继续其它存储器单元的编程。

[0061] 每一存储器单元可根据编程命令中的写入数据而与存储器状态相关联。如本文所

使用,“存储器状态”或“数据状态”为可用于表示数据值(例如,二进制数据值)的存储器单元的可检测特性(例如,NAND存储器单元的阈值电压、ReRAM存储器单元的电阻、磁阻随机存取存储器的磁化状态等)。如本文所使用,用于表示数据值的存储器单元的可检测特性被称作“编程特性”。基于编程命令中的写入数据,存储器单元将保持处于擦除状态或编程为不同于擦除状态的存储器状态(编程数据状态)。

[0062] 如图11中所展示,在每单元四位存储器装置(QLC)中,存在包含擦除状态和十五个编程数据状态(S1、S2、S3、S4、S5、S6、S7、S8、S9、S10、S11、S12、S13、S14和S15)的十六个存储器状态。然而,本文所论述的用以改进tProg的技术也适用于每单元两位(MLC)、每单元三位(TLC)和每单元五位(PLC)存储器装置。

[0063] 在发出编程命令时,写入数据存储在与存储器单元相关联的数据锁存器中。举例来说,在MLC存储器装置中,每一存储器单元与存储两位写入数据的两个数据锁存器相关联;在TLC存储器装置中,每一存储器单元与存储用于存储器单元的三位写入数据的三个数据锁存器相关联;且在QLC存储器装置中,每一存储器单元与存储用于存储器单元的四位写入数据的四个数据锁存器相关联。

[0064] 在编程期间,可读取存储器单元的数据锁存器以确定数据状态,存储器单元将编程为所述数据状态。对于NAND存储器单元,每一编程存储器状态与验证电压相关联。当感测操作确定存储器单元的阈值电压( $V_{th}$ )高于相关联验证电压时,具有给定数据状态的NAND存储器单元被视为已完成编程。感测操作可通过将相关联验证电压施加到控制栅极且感测穿过存储器单元的电流来确定存储器单元是否具有高于相关联验证电压的 $V_{th}$ 。如果电流相对较高,那么这指示存储器单元处于导电状态,使得 $V_{th}$ 小于控制栅极电压。如果电流相对较低,那么这指示存储器单元处于非导电状态,使得 $V_{th}$ 高于控制栅极电压。

[0065] 除上文所描述的验证操作以外,还可执行位扫描操作以确定存储器单元群组的编程何时完成。如本文所使用,“位扫描”为计数其编程特性尚未移位到高于特定存储器状态的特定验证电压电平的存储器单元的数目的操作。对于NAND存储器单元,位扫描为计数其阈值电压尚未移位到高于特定存储器状态的特定验证电平的存储器单元的数目的操作。举例来说,状态S1位扫描为其阈值电压尚未移位到高于数据状态S1的验证电压电平的数据状态S1存储器单元的数目的计数(参见图9中的 $V_{v1}$ )。同样地,状态S2位扫描为其阈值电压尚未移位到高于数据状态S2的验证电压的数据状态S2存储器单元的数目的计数(参见图9中的 $V_{v2}$ )。如果位扫描计数小于预定值(位忽略标准),那么存储器单元到特定数据状态的编程可被视为完成。在一些实施例中,位忽略标准可作为整体为存储器装置设置或可为每一个别字线设置。因此,只要“失效”存储器单元的数目小于位忽略标准,即使所有那些存储器单元不具有已移位到高于数据状态的验证电压电平的阈值电压,存储器单元到特定数据状态的编程也可被视为完成。以下公开描述通过跳过某些验证操作来减少编程时间以便以不损害可靠性的方式改进性能的技术。

[0066] 图1A为示例存储器装置的框图。存储器装置100可包含一或多个存储器裸片108。存储器裸片108包含存储器单元的存储器结构126(例如存储器单元阵列)、控制电路系统110和读取/写入电路128。存储器结构126可经由行解码器124通过字线寻址且经由列解码器132通过位线寻址。读取/写入电路128包含多个感测块SB1、SB2、……SB<sub>p</sub>(感测电路系统),且允许并行地读取或编程存储器单元页。通常,控制器122包含在与一或多个存储器裸

片108相同的存储器装置100(例如,可移动存储卡)中。命令和数据经由数据总线120在主机140与控制器122之间传送,且经由线路118在控制器与一或多个存储器裸片108之间传送。

[0067] 存储器结构126可为二维或三维的。存储器结构126可包括包含三维阵列的一或多个存储器单元阵列。存储器结构126可包括单片三维存储器结构,其中多个存储器层级形成于单个衬底(例如,晶片)上方(而非其中),没有插入衬底。存储器结构126可包括任何类型的非易失性存储器,所述非易失性存储器单片形成于具有安置在硅衬底上方的有源区域的存储器单元阵列的一或多个物理层级中。存储器结构126可在非易失性存储器装置中,所述非易失性存储器装置具有与存储器单元的操作相关联的电路系统,无论相关联电路系统是在衬底上方还是在衬底内。

[0068] 控制电路系统110与读取/写入电路128协作以对存储器结构126执行存储器操作,且包含状态机112、芯片上地址解码器114和电力控制模块116。状态机112提供存储器操作的芯片级控制。

[0069] 可(例如)为编程参数提供存储区113。编程参数可包含编程电压、编程电压偏置、指示存储器单元的位置的位置参数、接触线连接器厚度参数、验证电压等。位置参数可指示存储器单元在NAND串在整个阵列内的位置、存储器单元在特定NAND串群组内的位置、存储器单元在特定平面上的位置等。接触线连接器厚度参数可指示接触线连接器、接触线连接器所包括的衬底或材料等的厚度。

[0070] 芯片上地址解码器114提供由主机或存储器控制器使用的地址接口与由解码器124和132使用的硬件地址之间的地址接口。电力控制模块116在存储器操作期间控制供应到字线和位线的电力和电压。所述电力控制模块可包含用于字线、SGS和SGD晶体管以及源极线的驱动器。在一个途径中,感测块可包含位线驱动器。SGS晶体管为NAND串的源极端处的选择栅极晶体管,且SGD晶体管为NAND串的漏极端处的选择栅极晶体管。

[0071] 在一些实施例中,可组合组件中的一些。在各种设计中,除存储器结构126以外的组件中的一或多个(单独地或以组合方式)可被视作配置成执行本文中所描述的动作的至少一个控制电路。举例来说,控制电路可包含以下中的任一个或组合:控制电路110、状态机112、解码器114/132、电力控制模块116、感测块SBb、SB2、.....、SBp、读取/写入电路128、控制器122等。

[0072] 控制电路可包含配置成对一个存储器单元集合执行编程和验证操作的编程电路,其中一个存储器单元集合包括指派成表示多个数据状态当中的一个数据状态的存储器单元和指派成表示多个数据状态当中的另一数据状态的存储器单元;编程和验证操作包括多个编程和验证迭代;且在每次编程和验证迭代中,编程电路对一个字线执行编程,之后编程电路将验证信号施加到所述一个字线。控制电路还可包含计数电路,所述计数电路配置成获得通过对一个数据状态的验证测试的存储器单元的计数。控制电路还可包含确定电路,所述确定电路配置成基于计数超出阈值的量而确定多个编程和验证迭代当中的特定编程和验证迭代,在所述迭代中对指派成表示另一数据状态的存储器单元执行另一数据状态的验证测试。

[0073] 举例来说,图1B为包括编程电路151、计数电路152和确定电路153的示例控制电路150的框图。

[0074] 芯片外控制器122可包括处理器122c、例如ROM 122a和RAM 122b的存储装置(存储

器)以及错误校正码(error-correction code;ECC)引擎245。ECC引擎可校正分布在 $V_{th}$ 分布的上部尾部变得过高时所引起的多个读取错误。然而,在一些情况下,可能存在不可校正的错误。本文中所提供的技术减少不可校正的错误的可能性。

[0075] 存储装置122a、122b包括代码,例如指令集,且处理器122c可操作以执行指令集以提供本文中所描述的功能性。替代地或另外,处理器122c可从存储器结构126的存储装置126a(例如一或多个字线中的存储器单元的预留区域)存取代码。举例来说,代码可由控制器122使用以存取例如用于编程、读取和擦除操作的存储器结构126。代码可包含启动代码和控制代码(例如,指令集)。启动代码为在启动或起动过程期间初始化控制器122并使得控制器122能够存取存储器结构126的软件。代码可由控制器122使用以控制一或多个存储器结构126。在通电时,处理器122c从ROM 122a或存储装置 126a提取启动代码以供执行,且启动代码初始化系统组件并将控制代码加载到RAM 122b中。一旦将控制代码加载到RAM 122b中,便由处理器122c执行。控制代码包含用以执行基本任务的驱动器,所述基本任务例如控制和分配存储器、对指令的处理进行优先级排序以及控制输入和输出端口。

[0076] 一般来说,控制代码可包含用以执行本文中所描述的包含下文进一步论述的流程图的步骤的功能的指令,且提供电压波形,其包含下文进一步论述的电压波形。

[0077] 在一个实施例中,主机为计算装置(例如,膝上型计算机、台式计算机、智能手机、平板电脑、数码相机),其包含一或多个处理器、一或多个处理器可读存储装置(RAM、ROM、快闪存储器、硬盘驱动器、固态存储器),所述处理器可读存储装置存储用于编程所述一或多个处理器以执行本文中所描述的方法的处理器可读代码(例如,软件)。主机还可包含额外系统存储器、一或多个输入/输出接口和/或与一或多个处理器通信的一或多个输入/输出装置。

[0078] 还可使用除NAND快闪存储器以外的其它类型的非易失性存储器。

[0079] 半导体存储器装置包含:易失性存储器装置,例如动态随机存取存储器(“DRAM”)或静态随机存取存储器(“static random access memory;SRAM”)装置;非易失性存储器装置,例如电阻式随机存取存储器(“resistive random access memory;ReRAM”);电可擦除可编程只读存储器(“EEPROM”);快闪存储器(也可将其视为EEPROM的子集);铁电随机存取存储器(“ferroelectric random access memory;FRAM”)和磁阻随机存取存储器(“magnetoresistive random access memory;MRAM”);以及能够存储信息的其它半导体元件。每一类型的存储器装置可具有不同的配置。举例来说,快闪存储器装置可以NAND或NOR配置来进行配置。

[0080] 存储器装置可以由无源和/或有源元件以任何组合形成。借助于非限制性实例,无源半导体存储器元件包含ReRAM装置元件,在一些实施例中,所述ReRAM装置元件包含电阻率切换存储元件,例如反熔丝或相变材料,以及任选地转向元件,例如二极管或晶体管。另外,借助于非限制性实例,有源半导体存储器元件包含EEPROM和快闪存储器装置元件,在一些实施例中,所述快闪存储器装置元件包含含有电荷存储区的元件,例如,浮动栅极、导电纳米粒子或电荷存储电介质材料。

[0081] 多个存储器元件可配置成使得其串联连接或使得每一元件可个别地存取。借助于非限制性实例,呈NAND配置的快闪存储器装置(NAND存储器)通常含有串联连接的存储器元件。NAND串为包括存储器单元和SG晶体管的串联连接的晶体管集合的实例。

[0082] NAND存储器阵列可配置成使得阵列由多个存储器串构成,其中串由共享单个位线且作为群组存取多个存储器元件构成。替代地,存储器元件可配置成使得每一元件可个别地存取,例如NOR存储器阵列。NAND和NOR存储器配置为实例,且存储器元件可以其它方式来配置。位于衬底内和/或衬底上方的半导体存储器元件可以二维或三维形式布置,例如二维存储器结构或三维存储器结构。

[0083] 在二维存储器结构中,半导体存储器元件布置于单个平面或单个存储器装置层级中。通常,在二维存储器结构中,存储器元件布置于大体上平行于支撑存储器元件的衬底的主表面而延伸的平面中(例如,x-y方向平面中)。衬底可为其上方或其中形成有存储器元件的层的晶片,或可为在存储器元件形成之后附接到存储器元件的载体衬底。作为非限制性实例,衬底可包含例如硅的半导体。

[0084] 存储器元件可以例如多个行和/或列的有序阵列布置在单个存储器装置层级中。然而,存储器元件可以非规则或非正交配置排列。存储器元件可各自具有两个或更多个电极或接触线,例如位线和字线。

[0085] 三维存储器阵列布置成使得存储器元件占据多个平面或多个存储器装置层级,由此形成呈三维(即,在x、y和z方向上,其中z方向大体上垂直于衬底的主表面,且x和y方向大体上平行于衬底的主表面)的结构。

[0086] 作为非限制性实例,三维存储器结构可竖直地布置为多个二维存储器装置层级的堆叠。作为另一非限制性实例,三维存储器阵列可布置为多个竖直列(例如,大体上垂直于衬底的主表面而延伸,即沿y方向延伸的列),其中每一列具有多个存储器元件。所述列可以例如在x-y平面中布置成二维配置,从而产生具有在多个竖直堆叠的存储器平面上的元件的存储器元件的三维布置。呈三维形式的存储器元件的其它配置也可构成三维存储器阵列。

[0087] 借助于非限制性实例,在三维NAND串阵列中,存储器元件可耦合在一起以形成在单个水平(例如x-y)存储器装置层级内的NAND串。替代地,存储器元件可耦合在一起以形成横穿多个水平存储器装置层级的竖直NAND串。可设想其它三维配置,其中一些NAND串含有单个存储器层级中的存储器元件,而其它串含有横跨多个存储器层级的存储器元件。三维存储器阵列还可设计成NOR配置和ReRAM配置。

[0088] 通常,在单片三维存储器阵列中,在单个衬底上方形成一或多个存储器装置层级。任选地,单片三维存储器阵列还可具有至少部分地在单个衬底内的一或多个存储器层。作为非限制性实例,衬底可包含例如硅的半导体。在单片三维阵列中,构成阵列的每一存储器装置层级的层通常形成于阵列的下伏存储器装置层级的层上。然而,单片三维存储器阵列的邻近存储器装置层级的层可被共享,或在存储器装置层级之间具有插入层。

[0089] 而且,二维阵列可分别形成,且接着封装在一起以形成具有多个存储器层的非单片存储器装置。举例来说,可通过在单独衬底上形成存储器层级且接着将存储器层级彼此堆叠来构造非单片堆叠存储器。衬底可在堆叠之前薄化或从存储器装置层级去除,但由于存储器装置层级最初形成于单独衬底上方,因此所得存储器阵列不是单片式三维存储器阵列。另外,多个二维存储器阵列或三维存储器阵列(单片或非单片)可形成于单独芯片上且随后封装在一起以形成堆叠芯片存储器装置。

[0090] 图2示出利用交错存储器串的三种类型的存储器架构的示意图。举例来说,附图标

记201展示第一示例存储器架构的示意图,附图标记203展示第二示例存储器架构的示意图,且附图标记205展示第三示例存储器架构的示意图。在一些实施例中,如所展示,存储器架构可包含交错NAND串的阵列。

[0091] 图2示出图1的存储器阵列126的示例二维配置中的存储器单元的块200、210。存储器阵列126可包含许多此类块200、210。每一示例块200、210包含多个NAND串和相应位线,例如BL0、BL1……,其在所述块之间共享。每一NAND串在一端处连接到漏极侧选择栅极(drain-side select gate;SGD),且漏极选择栅极的控制栅极经由共同SGD线连接。NAND串在其另一端处连接到源极侧选择栅极(source-side select gate;SGS),所述源极侧选择栅极继而连接到共同源极线220。例如WL0至WL15的十六条字线在SGS与SGD之间延伸。在一些情况下,不含有用户数据的虚设字线也可用于与选择栅极晶体管邻近的存储器阵列。此类虚设字线可保护边缘数据字线免受某些边缘效应影响。

[0092] 可提供于存储器阵列中的一种类型的非易失性存储器为例如图3A和3B中所展示类型的浮动栅极存储器。然而,也可使用其它类型的非易失性存储器。如下文进一步详细地论述,在图4A和4B中所展示的另一实例中,电荷捕获存储器单元使用非导电电介质材料代替导电浮动栅极来以非易失性方式存储电荷。由氧化硅、氮化硅和氧化硅(“ONO”)形成的三层电介质包夹在导电控制栅极与存储器单元通道上方的半导体衬底的表面之间。通过将来自单元通道的电子注入到氮化物中来对单元进行编程,其中电子被捕获并存储于有限区中。此所存储电荷接着以可检测的方式改变单元的通道的一部分的阈值电压。通过将热孔注入到氮化物中来擦除单元。类似单元可提供于分离栅极(split-gate)配置中,其中掺杂的多晶硅栅极在存储器单元通道的一部分上方延伸以形成单独的选择晶体管。

[0093] 在另一途径中,使用NROM单元。举例来说,两个位存储在每一NROM单元中,其中ONO电介质层跨越通道在源极与漏极扩散之间延伸。一个数据位的电荷定位于电介质层中邻近于漏极,且其它数据位的电荷定位于电介质层中邻近于源极。通过分别地读取电介质内的空间上分离的电荷存储区的二进制状态来获得多状态数据存储。其它类型的非易失性存储器也是已知的。

[0094] 图3A示出NAND串中的示例浮动栅极存储器单元300、310、320的横截面图。在此图中,位线或NAND串方向进入页,且字线方向从左到右。作为实例,字线324跨越包含相应通道区306、316和326的NAND串延伸。存储器单元300包含控制栅极302、浮动栅极304、隧道氧化物层305和通道区306。存储器单元310包含控制栅极312、浮动栅极314、隧道氧化物层315和通道区316。存储器单元320包含控制栅极322、浮动栅极321、隧道氧化物层325和通道区326。每一存储器单元300、310、320处于不同的相应NAND串中。还示出多晶硅间电介质(inter-poly dielectric;IPD)层328。控制栅极302、312、322为字线的部分。图3B中提供沿接触线连接器329的横截面图。

[0095] 控制栅极302、312、322环绕浮动栅极304、314、321,从而增加控制栅极302、312、322与浮动栅极304、314、321之间的表面接触面积。这导致较高的IPD电容,从而导致使得编程和擦除更加容易的较高耦合比。然而,随着NAND存储器装置按比例缩小,邻近单元300、310、320之间的间距变得更小,因此在两个邻近浮动栅极302、312、322之间几乎不存在用于控制栅极302、312、322和IPD层328的空间。

[0096] 作为替代方案,如图4A和4B中所展示,已开发平坦或平面存储器单元400、410、

420,其中控制栅极402、412、422为平坦或平面的;也就是说,所述控制栅极并不环绕浮动栅极且所述控制栅极仅与来自其上方的电荷存储层428接触。在这种情况下,在具有高浮动栅极方面不存在优势。实际上,使得浮动栅极更加薄。此外,浮动栅极可用于存储电荷,或薄电荷捕获层可用于捕获电荷。这种方法可避免弹道式电子输送的问题,其中电子可在编程期间在隧穿隧道氧化物之后行进穿过浮动栅极。

[0097] 图4A描绘NAND串中的示例电荷捕获存储器单元400、410、420的横截面图。所述视图在包括平坦控制栅极和电荷捕获区的存储器单元400、410、420的字线方向上,所述存储器单元作为图1的存储器单元阵列126中的存储器单元400、410、420的二维实例。电荷捕获存储器可用于NOR和NAND快闪存储器装置。相比于使用例如掺杂的多晶硅的导体来存储电子的浮动栅极MOSFET技术,这种技术使用例如SiN膜的绝缘体来存储电子。作为实例,字线424跨越包含相应通道区406、416和426的NAND串延伸。字线的部分提供控制栅极402、412、422。字线下方为IPD层428、电荷捕获层404、414、421、多晶硅层405、415、425以及隧穿层409、407、408。每一电荷捕获层 404、414、421在相应NAND串中连续地延伸。控制栅极的平坦配置可薄于浮动栅极。另外,存储器单元可更接近地放置在一起。

[0098] 图4B示出图4A的结构沿接触线连接器429的横截面图。NAND串430包含SGS 晶体管431、示例存储器单元400、433……435以及SGD晶体管436。SGS晶体管431 和SGD晶体管436中的IPD层428中的通路允许控制栅极层402与浮动栅极层连通。举例来说,控制栅极402和浮动栅极层可为多晶硅且隧道氧化物层可为氧化硅。IPD层 428可为例如呈N-O-N-O-N配置的氮化物(N)和氧化物(O)的堆叠。

[0099] NAND串可形成于衬底上,所述衬底包括p型衬底区455、n型阱456和p型阱457。N型源极/漏极扩散区sd1、sd2、sd3、sd4、sd5、sd6和sd7形成于p型阱中。通道电压 V<sub>ch</sub>可直接施加到衬底的通道区。

[0100] 图5示出图1的感测块SB1的示例框图。在一个途径中,感测块包括多个感测电路。每一感测电路与数据锁存器相关联。举例来说,示例感测电路550a、551a、552a和553a 分别与数据锁存器550b、551b、552b和553b相关联。在一个途径中,可使用不同的相应感测块来感测位线的不同子集。这允许与感测电路相关联的处理负载在每一感测块中由相应处理器划分开并处置。举例来说,SB1中的感测电路控制器560可与感测电路和锁存器的集合通信。感测电路控制器560可包含预充电电路561,其将电压提供到每一感测电路以用于设置预充电电压。在一个可能的途径中,例如经由数据总线和本地总线独立地将电压提供到每一感测电路。在另一可能的途径中,将共同电压同时提供到每一感测电路。感测电路控制器560还可包含预充电电路561、存储器562和处理器563。存储器562可存储可由处理器执行以执行本文中所描述功能的代码。这些功能可包含:读取与感测电路550a、551a、552a、553a相关联的锁存器550b、551b、552b、553b;在锁存器中设置位值;以及提供电压以用于设置感测电路550a、551a、552a、553a的感测节点中的预充电电平。下文提供感测电路控制器560以及感测电路550a、551a、552a、553a的其它示例细节。

[0101] 在一些实施例中,存储器单元可包含旗标寄存器,其包含存储旗标位的锁存器集合。在一些实施例中,旗标寄存器的量可对应于数据状态的量。在一些实施例中,一或多个旗标寄存器可用于控制在验证存储器单元时使用的验证技术的类型。在一些实施例中,旗标位的输出可修改装置的相关联逻辑,例如地址解码电路系统,使得选择指定单元块。批量

操作(例如,擦除操作等)可使用在旗标寄存器或旗标寄存器与地址寄存器的组合中设置的旗标来进行,如在隐式寻址中,或替代地通过单独用地址寄存器进行直接寻址来进行。

[0102] 图6A为图1的存储器阵列126的示例三维配置中的块集合600的透视图。衬底上有存储器单元(存储元件)的示例块BLK0、BLK1、BLK2、BLK3和具有由块BLK0、BLK1、BLK2、BLK3使用的电路系统的周边区域604。举例来说,电路系统可包含可连接到块BLK0、BLK1、BLK2、BLK3的控制栅极层的电压驱动器605。在一种途径中,共同驱动块BLK0、BLK1、BLK2、BLK3中处于共同高度的控制栅极层。衬底601还可携带块BLK0、BLK1、BLK2、BLK3下方的电路系统,以及沿导电路径图案化以携带电路系统的信号的一或多个下部金属层。块BLK0、BLK1、BLK2、BLK3形成于存储器装置的中间区602中。在存储器装置的上部区603中,沿导电路径图案化一或多个上部金属层以携带电路系统的信号。每一块BLK0、BLK1、BLK2、BLK3包括存储器单元的堆叠区域,其中堆叠的交替层级表示字线。在一个可能途径中,每一块BLK0、BLK1、BLK2、BLK3具有相对的分层侧,竖直接触件从所述分层侧向上延伸到上部金属层以形成到导电路径的连接。虽然四个块BLK0、BLK1、BLK2、BLK3示出为实例,但可使用在x和/或y方向上延伸的两个或更多个块。

[0103] 在一个可能途径中,平面在x方向上的长度表示到字线的信号路径在一或多个上部金属层中延伸的方向(字线或SGD线方向),且平面在y方向上的宽度表示到位线的信号路径在一或多个上部金属层中延伸的方向(位线方向)。z方向表示存储器装置的高度。

[0104] 图6B示出图6A的块BLK0、BLK1、BLK2、BLK3中的一个的一部分的示例横截面图。块包括交替的导电层和电介质层的堆叠610。在这个实例中,除数据字线层(字线)WLL0至WLL10以外,导电层还包括两个SGD层、两个SGS层以及四个虚设字线层DWLD0、DWLD1、DWLS0和DWLS1。将电介质层标记为DL0至DL19。此外,示出包括NAND串NS1和NS2的堆叠610的区。每一NAND串涵盖存储器孔618、619,其填充有形成邻近于字线的存储器单元的材料。堆叠610的区622在图6D中更详细地展示且在下文进一步详细地论述。

[0105] 610堆叠包含衬底611、衬底611上的绝缘膜612以及源极线SL的一部分。NS1具有在堆叠的底部614处的源极端613和在堆叠610的顶部616处的漏极端615。可跨越堆叠610周期性地提供作为延伸穿过堆叠610的互连件的接触线连接器(例如,狭缝,例如金属填充的狭缝)617、620,以便将源极线连接到堆叠610上方的特定接触线。接触线连接器617、620可在字线的形成期间使用且随后填充有金属。还示出位线BL0的一部分。导电通孔621将漏极端615连接到BL0。

[0106] 图6C示出图6B的堆叠中的存储器孔直径的曲线图。竖直轴线与图6B的堆叠对准且示出存储器孔618和619的宽度(wMH),例如直径。图6A的字线层WLL0至WLL10作为实例重复且在堆叠中处于相应高度z0至z10处。在这一存储器装置中,穿过堆叠蚀刻的存储器孔具有极高纵横比。举例来说,约25至30的深度与直径比为常见的。存储器孔可具有圆形横截面。由于蚀刻过程,存储器孔宽度可沿孔的长度而变化。通常,直径从存储器孔的顶部到底部逐渐变小。也就是说,存储器孔为锥形,在堆叠的底部处变窄。在一些情况下,在靠近选择栅极的孔的顶部处发生微小变窄,使得直径在从存储器孔的顶部到底部逐渐变小之前变得略微较宽。

[0107] 由于存储器孔的宽度的非均一性,包含存储器单元的编程斜率和擦除速度的编程速度可基于存储器单元沿存储器孔的位置(例如,基于存储器单元在堆叠中的高度)而变

化。利用较小直径的存储器孔，跨越隧道氧化物的电场相对较强，使得编程和擦除速度相对较高。一种途径为限定存储器孔直径类似（例如，在所限定直径范围内）的邻近字线的群组，且对于群组中的每一字线应用优化验证方案。不同群组可具有不同的优化验证方案。

[0108] 图6D示出图6B的堆叠610的区622的特写图。存储器单元形成于字线层与存储器孔的相交点处的堆叠的不同层级处。在这一实例中，SGD晶体管680、681提供在虚设存储器单元682、683和数据存储器单元MC上方。多个层可例如使用原子层沉积沿存储器孔630的侧壁（SW）和/或在每一字线层内沉积。举例来说，每一列（例如，由存储器孔630内的材料形成的柱）可包含例如SiN或其它氮化物的电荷捕获层或膜663、隧穿层664、多晶硅主体或通道665以及电介质芯666。字线层可包含阻挡氧化物/块状高k材料660、金属障壁661和作为控制栅极的导电金属662，例如钨。举例来说，提供控制栅极690、691、692、693和694。在这一实例中，除金属以外的所有层提供于存储器孔630中。在其它途径中，一些层可处于控制栅极层中。额外柱类似地形成于不同存储器孔中。柱可形成NAND串的柱状有源区域（active area, AA）。

[0109] 当编程存储器单元时，将电子存储在与存储器单元相关联的电荷捕获层的一部分中。将这些电子从通道吸引到电荷捕获层中并穿过隧穿层。存储器单元的 $V_{th}$ 与所存储的电荷量成比例地增加。在擦除操作期间，电子返回到通道。

[0110] 存储器孔630中的每一个可填充有多个环形层，所述环形层包括阻挡氧化物层、电荷捕获层663、隧穿层664和通道层。存储器孔630中的每一个的芯区填充有主体材料，且多个环形层处于存储器孔630中的每一个中的芯区与字线之间。

[0111] NAND串可视为具有浮体通道，因为通道的长度没有形成在衬底上。此外，NAND串由堆叠中的处于彼此上方的多个字线层提供，且由电介质层彼此分隔开。

[0112] 图7A示出图6B的堆叠610的示例字线层WLL0的俯视图。如所提及，三维存储器装置可包括交替的导电层和电介质层的堆叠。导电层提供SG晶体管和存储器单元的控制栅极。用于SG晶体管的层为SG层且用于存储器单元的层为字线层。此外，存储器孔形成于堆叠中且填充有电荷捕获材料和通道材料。因此，形成竖直NAND串。源极线连接到堆叠下方的NAND串且位线连接到堆叠上方的NAND串。

[0113] 三维存储器装置中的块BLK可划分成子块，其中每一子块包括具有共同SGD控制线的NAND串群组。举例来说，分别参看子块SBa、SBb、SBc和SBd中的SGD线/控制栅极SGD0、SGD1、SGD2和SGD3。此外，块中的字线层可划分成区。每个区处于相应子块中且可在接触线连接器（例如，狭缝）之间延伸，所述接触线连接器周期性地形成于堆叠中以在存储器装置的制造过程期间处理字线层。这种处理可包含利用金属替换字线层的牺牲材料。一般来说，接触线连接器之间的距离应相对较小，以考虑对蚀刻剂可横向行进以去除牺牲材料以及金属可行进以填充空隙（所述空隙通过去除牺牲材料而产生）的距离的限制。举例来说，接触线连接器之间的距离可允许邻近接触线连接器之间的几行存储器孔。存储器孔和接触线连接器的布局还应考虑对在每一位线连接到不同存储器单元时可跨越区延伸的位线的数目的限制。在处理字线层之后，可任选地用金属填充接触线连接器以提供穿过堆叠的互连件。

[0114] 在这一实例中，邻近接触线连接器之间存在四行存储器孔。此处，行为在x方向上对准的存储器孔群组。此外，存储器孔的行呈交错图案，以增大存储器孔的密度。字线层或字线划分成各自由接触线713连接的区WLL0 a、WLL0 b、WLL0 c和WLL0 d。在一个途径中，块

中的字线层的最后一个区可连接到下一块中的字线层的第一区。接触线 713 继而连接到用于字线层的电压驱动器。区 WLL0a 具有沿接触线 712 的实例存储器孔 710、711。区 WLL0b 具有示例存储器孔 714、715。区 WLL0c 具有示例存储器孔 716、717。区 WLL0d 具有示例存储器孔 718、719。存储器孔也展示于图 7B 中。每一存储器孔可为相应 NAND 串的部分。举例来说，存储器孔 710、714、716 和 718 可分别为 NAND 串 NS0\_SBa、NS1\_SBb、NS2\_SBc、NS3\_SBd 和 NS4\_SBe 的部分。

[0115] 每一圆形表示字线层或 SG 层处的存储器孔的横截面。用虚线展示的示例圆形表示由存储器孔中的材料且由邻近字线层提供的存储器单元。举例来说，存储器单元 820、821 在 WLL0a 中，存储器单元 824、825 在 WLL0b 中，存储器单元 826、827 在 WLL0c 中，且存储器单元 828、829 在 WLL0d 中。这些存储器单元在堆叠中处于共同高度处。

[0116] 接触线连接器（例如，狭缝，例如金属填充的狭缝）801、802、803、804 可位于区 WLL0a 至 WLL0d 的边缘之间且邻近于所述边缘。接触线连接器 801、802、803、804 提供从堆叠的底部到堆叠的顶部的导电路径。举例来说，堆叠的底部处的源极线可连接到堆叠上方的导电线，其中导电线连接到存储器装置的周边区中的电压驱动器。对于图 8A 的子块 SBa 至 SBd 的其它细节，还参见图 8A。

[0117] 图 8B 示出图 7B 的堆叠的示例顶部电介质层 DL19 的俯视图。将电介质层划分成区 DL19a、DL19b、DL19c 和 DL19d。每一区可连接到相应电压驱动器。这允许字线层的一个区中的存储器单元集合同时编程，其中每一存储器单元处于连接到相应位线的相应 NAND 串中。可在每一位线上设置电压以允许或禁止每一编程电压期间的编程。

[0118] 区 DL19a 具有沿接触线 712 的实例存储器孔 710、711，所述接触线与位线 BL0 重合。多个位线在存储器孔上方延伸且连接到如由“X”符号指示的存储器孔。BL0 连接到包含存储器孔 711、715、717 和 719 的存储器孔集合。另一示例位线 BL1 连接到包含存储器孔 710、714、716 和 718 的存储器孔集合。也示出来自图 7A 的接触线连接器（例如，狭缝，例如金属填充的狭缝）701、702、703、704，因为其竖直地延伸穿过堆叠。可在 x 方向上跨越 DL19 层以序列 BL0 至 BL23 对位线进行编号。

[0119] 位线的不同子集连接到不同行中的存储器单元。举例来说，BL0、BL4、BL8、BL12、BL16、BL20 在每一区的右侧边缘处连接到第一行单元中的存储器单元。BL2、BL6、BL10、BL14、BL18、BL22 连接到邻近行单元（邻近于右侧边缘处的第一行）中的存储器单元。BL3、BL7、BL11、BL15、BL19、BL23 在每一区的左侧边缘处连接到第一行单元中的存储器单元。BL1、BL5、BL9、BL13、BL17、BL21 连接到邻近存储器单元行（邻近于左侧边缘处的第一行）中的存储器单元。

[0120] 编程验证操作通常为全序列类型或多遍次类型。在全序列编程操作中，使用逐渐增加的编程脉冲将选定字线的存储器单元直接编程为其预期数据状态，直到编程完成为止。在多遍次编程操作中，在两个或更多个编程遍次中，将存储器单元编程为其预期数据状态。

[0121] 在图 10A 和 10B 中描绘一种类型的多遍次编程操作。图 10A 示出第一遍次（亦称为“模糊”遍次），其分别使用较低验证电平  $V_{v1L}$ 、 $V_{v2L}$ 、 $V_{v3L}$  将存储器单元从擦除状态  $E_r$  编程为由分布 1012、1014、1016 表示的 S1、S2 和 S3 数据状态。在第一遍次期间，可使用相对较大编程电压步长 ( $dV_{pgm}$ ) 以快速地将存储器单元编程为相应较低验证电平。在图 10B 中描绘第二

遍次(亦称为“精细”遍次),且分别使用标称较高验证电平 $V_{v1}$ 、 $V_{v2}$ 和 $V_{v3}$ 将S1、S2和S3数据状态从相应较低分布1012、1014、1016编程为相应最终分布1002、1004、1006。可在第二遍次中使用相对较小编程电压步长( $dV_{pgm}$ )以缓慢地将存储器单元编程为相应最终分布,同时避免较大过冲。额外数据状态(例如,图9的S4至S15数据状态)也可通过遵循相同步骤使用图10A和10B中所描绘的多遍次编程操作来编程。

[0122] 在图11中描绘另一类型的多遍次编程操作。在第一遍次中,并非将存储器单元编程为所有编程数据状态S1至S15,仅将存储器单元编程为S4、S6和S12数据状态。可在第一遍次中使用相对较大的电压步长。在第二遍次中,处于 $E_r$ 状态的存储器单元保持在 $E_r$ 状态中或编程为S1、S2或S3数据状态;处于S4数据状态的存储器单元保持在S4数据状态中或编程为S5、S10或S11数据状态;处于S6数据状态的存储器单元保持在S6数据状态中或编程为S7、S10或S11数据状态;且S12数据状态的存储器单元保持在S12数据状态中或编程为S13、S14或S15数据状态。在一些实施例中,第一和第二遍次可采取不同形式,例如存储器单元可在第一遍次中编程为与S4、S6和S12数据状态不同的数据状态。

[0123] 以下论述适用于多遍次编程操作的第二遍次,例如图10和11中所论述和示出的多遍次编程操作中的任一个,或其它类型的多遍次编程操作。

[0124] 图12描绘示例存储器单元编程操作的波形1200。水平轴线描绘时间,且垂直轴线描绘控制栅极或字线电压。一般来说,编程操作可能涉及将脉冲串施加到选定字线,其中脉冲串包含多个编程循环或编程验证(program-verify,PV)迭代。编程验证迭代的编程部分包含 $V_{pgm}$ 脉冲,且编程验证迭代的验证部分包含一或多个验证脉冲。

[0125] 为简单起见,为每一脉冲描绘方形波形;然而,例如多层次形状或斜变形状的其它形状是可能的。另外,在这一实例中使用增量阶跃脉冲编程(ISPP),其中在每一连续编程循环中, $V_{pgm}$ 脉冲幅值以固定的递增量(例如, $dV_{pgm}$ )增加。ISPP也可用于多遍次操作的任一或两个编程遍次。

[0126] 脉冲串包含 $V_{pgm}$ 脉冲,其使用固定步长( $dV_{pgm}$ )用每一编程验证迭代逐步地增大幅值。新脉冲串开始于初始 $V_{pgm}$ 脉冲电平处,且结束于不超过最大允许电平的最终 $V_{pgm}$ 脉冲电平处。脉冲串1200包含一系列 $V_{pgm}$ 脉冲1202、1204、1206、1208、1210、1212、1214、1216、1218……,其施加到包含非易失性存储器单元集合的选定字线。基于正验证的目标存储器状态,在每一 $V_{pgm}$ 脉冲之后提供一个、两个、三个或多个验证电压脉冲作为实例。可将0V的电压施加到 $V_{pgm}$ 脉冲与验证电压脉冲之间的选定字线。

[0127] 每一验证脉冲的施加花费时间,由此增加编程时间 $t_{Prog}$ 。在一个常规多遍次编程操作中,第二遍次的验证组件消耗总 $t_{Prog}$ 的大致百分之四十六(46%)。换句话说,包含第一和第二编程遍次两者的总编程时间的几乎一半由第二遍次的验证脉冲消耗。已尝试减少在第二遍次期间的验证时间的一个途径涉及跳过一或多个验证脉冲,但在一些情况下,这可引起非所要的过度编程和错误数据。换句话说,虽然使用这种途径改进了性能(即,减少的 $t_{Prog}$ ),但可靠性受到影响。

[0128] 根据本公开的一方面,将参数添加到存储器装置以禁止或减缓某些存储器单元的编程且还在那些循环中跳过验证,由此减少在多遍次编程操作的第二遍次期间施加的验证脉冲的总数目。不同于已尝试的其它途径,在示例性实施例的编程操作中,在编程以正常(不减缓)速率发生的任何循环中未跳过验证。已发现这些技术通过在最小或无可靠性损失

的情况下减少 $t_{\text{Prog}}$ 来改进性能。

[0129] 图13为示出在参考编程操作(线1300)和根据第一示例性实施例的编程操作(线1302)期间对于正编程为给定数据状态 $S_n$ (例如,数据状态 $S_2$ 至 $S_{15}$ 中的任一个)的存储器单元的 $V_t$ 移位的曲线图。对于两个线,空心圆识别其中跳过验证的编程循环,且方形识别其中同时发生验证的编程循环。

[0130] 在线1300的参考编程操作中,正编程为数据状态 $S_n$ 的存储器单元在编程完成之前未被禁止编程,且验证开始于循环编程计数验证(PCV)+1处。如所展示,存储器单元的 $V_t$ 大致在循环PCV处开始明显地上升,且 $V_t$ 移位大致在循环PCV+3处以线性速率开始增加。另外,在参考编程操作中,验证在循环PCV+5处完成,此时禁止这些存储器单元的进一步编程。换句话说,需要总共五个验证循环来完成数据状态 $S_n$ 的编程。在实例中,图14为包含编程循环1至28以及编程数据状态 $S_1$ 至 $S_{15}$ 的表,其中1标识对于每一编程数据状态执行哪些编程循环验证。举例来说,在循环1至7中进行数据状态 $S_1$ 的验证,在循环2至8中进行数据状态 $S_2$ 的验证,在循环3至9中进行数据状态 $S_3$ 的验证,在循环4至11中进行数据状态 $S_4$ 的验证,等等。因此,在这一实例中,用于数据状态 $S_1$ 的PCV为循环1,用于数据状态 $S_2$ 的PCV为循环2,用于数据状态 $S_3$ 的PCV为循环3,用于数据状态 $S_4$ 的PCV为循环3,等等。

[0131] 返回参考图13,与参考编程操作相比,在示例实施例中,在循环PCV-1和PCV期间,通过将禁止电压(例如, $V_{\text{DDSA}}$ )施加到耦合到那些存储器单元的位线,禁止正编程为数据状态 $S_n$ 的存储器单元的编程。这允许PCV循环比参考编程操作晚一个。因为对于这两个循环禁止编程,所以那些存储器单元的 $V_t$ 并不像其在参考编程操作中那样增加。然而,一旦编程开始于循环PCV+1,编程发生的初始速率就比参考编程操作中的情况明显高(快),因为在编程开始时 $V_{\text{pgm}}$ 由于ISPP而处于较高电平。在图13中还可观察到,对于那些存储器单元,从在循环PCV+1处开始编程的时间到编程完成为止, $V_t$ 移位线性增加。从一个编程循环到下一个编程循环的 $V_t$ 的增加近似于编程电压 $V_{\text{pgm}}$ 在编程循环之间增加的量,即 $dV_{\text{pgm}}$ 。因此,在循环PCV+4处完成验证,且验证循环的总数目为四个。通过将验证循环的数目从参考编程操作中的五个减少到示例性实施例的编程操作中的四个, $t_{\text{Prog}}$ 已。

[0132] 图15为类似于图14但根据示例性实施例的编程操作标识对哪些数据状态执行哪一循环验证的表。0标识对参考编程操作执行编程和验证但在示例性实施例的编程操作中跳过的循环。2标识在参考编程操作中而非在根据示例性实施例的编程操作中发生编程的循环。如所展示,对于数据状态 $S_2$ 至 $S_{15}$ 中的每一个跳过至少一个验证脉冲,由此通过执行每一验证脉冲所需的时间显著地减少 $t_{\text{Prog}}$ 乘以十四(对于数据状态 $S_2$ 至 $S_{15}$ 中的每一个为一)。

[0133] 在第二示例性实施例中,对于至少一个编程数据状态,可对于三个总循环(PCV-2、PCV-1和PCV)禁止编程,其中第一验证发生在循环PCV期间,使得与参考编程操作相比,需要发生的验证脉冲的总数目仍然减少一。在其它实施例中,可在PCV+1之前,禁止对所有循环进行编程。对于每一数据状态设置哪个特定循环验证PCV为预定的,且将其预设于存储器装置内的数据库中。在编程期间,参考此数据库以确定编程哪个循环,禁止编程哪个循环,且开始验证哪个循环。

[0134] 在一些实施例中,并非在循环PCV-1和PCV(以及在一些实施例中PCV-2)期间禁止编程,可通过将小于禁止电压(在一些实施例中,其为2.2V)但大于零的电压施加到与正编

程的存储器单元耦合的位线来减缓编程。因为编程已减缓,所以不必在PCV 循环期间进行验证操作。

[0135] 现参考图16,对于可使用参考编程操作(线1600)或第一示例性实施例(线1602)的编程操作采用的各种设置,可靠性( $V_t$ 宽度,如以mV为单位测量,较低的更好)相对于性能(速度,如以MB/s为单位测量,较高的更好)的曲线图。如箭头所示出,与参考编程操作相比,示例性实施例的编程操作在可靠性没有损失的情况下提供大致8%的性能增加。这将等效于仅在使用参考编程操作时牺牲约200mV的可靠性以实现相同的性能。

[0136] 现参考图17和18,对于每一编程数据状态,在此处设置PCV的编程循环以实验方式确定且预设存储在存储器装置中以用于在将来的编程操作期间参考。图18示出已使用常规编程操作编程的QLC存储器装置中的多个编程数据状态的 $V_t$ 阈值,其中不同线标识不同的初始或起始编程电压VPGMU,即VPGMU为编程操作的第一循环中的 $V_{pgm}$ 电压。图例表示与基线的差,0表示不是0V,但没有与基线电压的差。用“3”标识的曲线为以基线VPGMU电压偏移300mV开始的编程的结果,用“6”标识的曲线为以基线 VPGMU电压偏移600mv编程的结果,等等。如所示出, $V_t$ 阈值由于较高起始电压而随着增加VPGMU向右移位(较高电压)。图17示出观察到的上部尾部,即,编程之后的每一数据状态的向下倾斜线的位置相对于图18中展示的VPGMU移位的关系。如所展示,对于每一编程数据状态,上部尾部沿着类指数曲线从0的VPGMU移位电压向右移位至约1.2V(图例中的“12”曲线),且接着从1.2V的VPGMU移位线性地增加至1.8V。在本公开的实施例中,对于每一编程数据状态,将PCV(在编程开始之前的最后编程循环)设置为曲线开始以稳定状态速率增加之前的最后 $V_{pgm}$ 电压。

[0137] 在图17的曲线图中,线1700表示根据示例性实施例的编程曲线。对于超出第一编程数据状态(例如,S1)的每一编程数据状态,在非稳定状态电压下禁止编程,且接着在稳定状态电压下开始编程,例如,等效于1.2V的VPGMU移位。

[0138] 现参考图19,描绘了描绘编程具有改进的性能的存储器装置的方法的示例性实施例的流程图。在步骤1900处,执行多遍编程操作的第一编程遍次。在步骤1902处,开始第二编程遍次,且将循环计数器循环设置为一。

[0139] 在决策步骤1904处,对于正编程的每一数据状态,确定循环是否小于预先建立的PCV。如果决策步骤1904处的应答为是,那么在步骤1906处,将编程脉冲 $V_{pgm}$ 施加到选定字线,且将位线电压VBL设置为零或将基线电压施加到耦合到正编程的存储器单元的位线。接着递增地推进 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环(循环=循环+1)。跳过验证。

[0140] 如果在决策步骤1904处的应答为否,那么在决策步骤1908处,对于正编程的每一数据状态,确定循环是否小于PCV+2。

[0141] 如果决策步骤1908处的应答为是,那么在步骤1910处,将编程脉冲 $V_{pgm}$ 施加到选定字线,且将设置为VBL\_Slow的位线电压施加到耦合到正编程的存储器单元的位线以便减缓编程。接着递增地推进 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环(循环=循环+1)。如果循环等于PCV(循环=PCV),那么跳过验证。VBL\_Slow为小于禁止电压的非零电压。

[0142] 如果决策步骤处的应答为否,那么在步骤1912处,将编程脉冲 $V_{pgm}$ 施加到选定字线,且将设置为零的位线电压或快速通过写入电压(VBL\_QPW)施加到耦合到正编程的存储器单元的位线。接着递增地推进 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环(循环=循环+1)。执行验证。VBL\_QPW为小于禁止电压的非零电压。

[0143] 决策步骤1914遵循步骤1910或步骤1912。在决策步骤1914处,对于正编程的每一数据状态,确定验证是否通过。如果决策步骤1914处对正编程的数据状态中的任一个的应答为是,那么在步骤1916处,例如通过在进一步编程循环期间将位线电压VBL 设置为禁止电压而禁止所述数据状态的存储器单元进一步编程。编程可继续直到对于所有数据状态的编程完成为止。

[0144] 如果决策步骤1914处的应答为否,那么在决策步骤1918处,确定循环是否大于循环的预定最大数目Loop\_Max。如果决策步骤1918处的应答为是,那么编程在步骤1920 处已失败。如果决策步骤1918处的应答为否,那么方法返回到决策步骤1908。

[0145] 在19图中描绘的流程图中,不同数据状态可同时在流程图的不同阶段处。举例来说,数据状态S4的存储器单元可在包含步骤1908到1918的循环中,而数据状态S5的存储器单元在包含步骤1904到1906的循环中。

[0146] 图20示出根据图19中所描绘的编程操作正编程为例示性数据状态的多个存储器单元的阈值电压电平相对于循环的关系。在这一实例中,对于编程循环13至16,编程在位线电压VBL设置为零伏特(0V)的情况下开始。对于循环17和18,编程继续,但将位线电压VBL设置为VBL\_Slow以减缓编程。验证开始于循环18且继续所有循环直到完成编程为止。从循环19到20,位线电压VBL再次被设置为零以增加编程速度。

[0147] 现参考图21,描绘了描绘用改进的编程来编程存储器装置的方法的另一示例性实施例的流程图。在步骤2100处,执行多遍次编程操作的第一编程遍次。在步骤2102处,开始第二编程遍次,且将循环计数器循环设置为一。

[0148] 在决策步骤2104处,确定循环是否小于或等于PCV+1。如果决策步骤2104处的应答为是,那么在步骤2106处,将编程脉冲 $V_{pgm}$ 施加到选定字线,且将设置为禁止电压的位线电压VBL施加到耦合到正编程的存储器单元的位线。接着递增地推进 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环(循环=循环+1)。

[0149] 如果决策步骤2104处的应答为否,那么在步骤2108处,将编程脉冲施加到选定字线,且将设置为零或VBL\_QPW的位线电压VBL施加到耦合到正编程的存储器单元的位线。接着递增地推进 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环(循环=循环+1)。执行验证。

[0150] 在决策步骤2110处,对于正编程的数据状态中的每一个,确定验证是否通过。如果决策步骤2110处对正编程的数据状态中的任一个的应答为否,那么在步骤2112处,例如通过在进一步编程循环期间将位线电压VBL设置为禁止电压而禁止所述数据状态的存储器单元进一步编程。在实施例中,禁止电压为大致2.2V。

[0151] 如果决策步骤2110处的应答为是,那么在决策步骤2114处,确定循环是否大于Loop\_Max。如果决策步骤2114处的应答为是,那么编程在步骤2116处已失败。如果决策步骤2114处的应答为否,那么方法返回到决策步骤2108。

[0152] 图22示出根据图21中所描绘的编程操作正编程为例示性数据状态的多个存储器单元的阈值电压电平相对于循环的关系。在这一实例中,对于编程循环13至18,通过将禁止位线电压施加到耦合到存储器单元的位线来禁止存储器单元的编程。从循环19开始,将位线电压设置为0V或VBL\_QPW以允许编程开始,且执行验证直到编程完成为止,在这一实例中所述编程发生于循环22处。

[0153] 现参考图23,描绘了描绘编程存储器装置的方法的又一示例性实施例的流程图。

在步骤2300处,编程开始,且将循环计数器循环设置为零。对于正编程的每一数据状态,在决策步骤2302处,确定循环是否小于预定开始循环计数器(BCS)。

[0154] 如果决策步骤2302处的应答为是,那么在步骤2304处,将编程脉冲施加到选定字线,而将位线电压VBL设置为零伏特。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。跳过验证。方法返回到决策步骤2302。

[0155] 如果决策步骤2302处的应答为否,那么方法进行到决策步骤2306。对于正编程的每一数据状态,在决策步骤2306处,确定循环是否小于或等于预定PCV。

[0156] 如果决策步骤2306处的应答为是,那么在步骤2308处,将编程脉冲施加到选定字线,而将位线电压VBL设置为大于零伏特但小于禁止电压的电压VBL\_Slow。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。跳过验证。方法返回到决策步骤2306。

[0157] 如果决策步骤2306处的应答为否,那么方法进行到决策步骤2310。对于正编程的每一数据状态,在决策步骤2310处,确定循环是否小于或等于预定控制端循环计数器(BCE)。

[0158] 如果决策步骤2310处的应答为是,那么在步骤2312处,将编程脉冲施加到选定字线,而将位线电压VBL设置减缓电平VBL\_Slow。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。执行验证。方法进行到决策步骤2314。

[0159] 在决策步骤2314处,对于正编程的每一数据状态,确定验证是否通过。如果决策步骤2314处的应答为是,那么在步骤2316处,禁止针对其完成编程的存储器单元进一步编程(VBL设置为用于未来编程循环的VBL\_Inhibit)。如果决策步骤2314处的应答为否,那么方法进行到决策步骤2318。

[0160] 在决策步骤2318处,确定循环是否大于循环的预定最大数目Loop\_Max。如果决策步骤2318处的应答为是,那么在步骤2320处编程已失败。如果决策步骤2318处的应答为否,那么方法返回到决策步骤2310。

[0161] 如果决策步骤2310处的应答为否,那么在步骤2322处,将编程脉冲施加到选定字线,而将位线电压VBL设置为零伏特或VBL\_QPW。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。执行验证。方法接着进行到决策步骤2324。

[0162] 在决策步骤2324处,对于正编程的每一数据状态,确定验证是否通过。如果决策步骤2324处的应答为是,那么在步骤2326处,禁止针对其完成编程的存储器单元进一步编程(VBL设置为用于未来编程循环的VBL\_Inhibit)。如果决策步骤2324处的应答为否,那么方法进行到决策步骤2328。

[0163] 在决策步骤2328处,确定循环是否大于循环的预定最大数目Loop\_Max。如果决策步骤2328处的应答为是,那么在步骤2330处编程已失败。如果决策步骤2328处的应答为否,那么方法返回到决策步骤2322。

[0164] 现参考图24,描绘了描绘编程存储器装置的方法的又一示例性实施例的流程图。在步骤2400处,编程开始,且将循环计数器循环设置为零。对于正编程的每一数据状态,在决策步骤2402处,确定循环是否小于预定BCS。

[0165] 如果决策步骤2402处的应答为是,那么在步骤2404处,将编程脉冲施加到选定字线,而将位线电压VBL设置为零伏特。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。跳过验证。方法返回到决策步骤2402。

[0166] 如果决策步骤2402处的应答为否,那么方法进行到决策步骤2406。如果决策步骤2406处的应答为是,那么在步骤2408处,将编程脉冲施加到选定字线,而将位线电压 VBL 设置为禁止电压VBL\_Inhibit。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。跳过验证。方法返回到决策步骤2406。

[0167] 如果决策步骤2406处的应答为否,那么方法进行到决策步骤2410。对于正编程的每一数据状态,在决策步骤2410处,确定循环是否小于或等于预定BCE。

[0168] 如果决策步骤2410处的应答为是,那么在步骤2412处,将编程脉冲施加到选定字线,而将位线电压VBL设置为禁止电压VBL\_Inhibit。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。执行验证。方法进行到决策步骤2414。

[0169] 在决策步骤2414处,对于正编程的每一数据状态,确定验证是否通过。如果决策步骤2414处的应答为是,那么在步骤2416处,禁止针对其完成编程的存储器单元进一步编程(VBL设置为用于未来编程循环的VBL\_Inhibit)。如果决策步骤2414处的应答为否,那么方法进行到决策步骤2418。

[0170] 在决策步骤2418处,确定循环是否大于循环的预定最大数目Loop\_Max。如果决策步骤2418处的应答为是,那么在步骤2420处编程已失败。如果决策步骤2418处的应答为否,那么方法返回到决策步骤2410。

[0171] 如果决策步骤2410处的应答为否,那么在步骤2422处,将编程脉冲施加到选定字线,而将位线电压VBL设置为零伏特或VBL\_QPW。接着递增地推进编程电压 $V_{pgm}$  ( $V_{pgm} = V_{pgm} + dV_{pgm}$ ),且递增地推进循环计数器循环(循环=循环+1)。执行验证。方法接着进行到决策步骤2424。

[0172] 在决策步骤2424处,对于正编程的每一数据状态,确定验证是否通过。如果决策步骤2424处的应答为是,那么在步骤2426处,禁止针对其完成编程的存储器单元进一步编程(VBL设置为用于未来编程循环的VBL\_Inhibit)。如果决策步骤2424处的应答为否,那么方法进行到决策步骤2428。

[0173] 在决策步骤2428处,确定循环是否大于循环的预定最大数目Loop\_Max。如果决策步骤2428处的应答为是,那么在步骤2430处编程已失败。如果决策步骤2428处的应答为否,那么方法返回到决策步骤2422。

[0174] 已出于说明和描述的目的呈现以上详细描述。其并不意图为穷尽性的或限于所公开的精确形式。鉴于以上描述,许多修改和变化都是可能的。选择所描述的实施例以最好地解释技术的原理和其实际应用,由此使得所属领域的其它技术人员能够在各种实施例中以及适合于所预期的特定用途的各种修改中最好地利用所述技术。所述技术的范围由所附权利要求书限定。

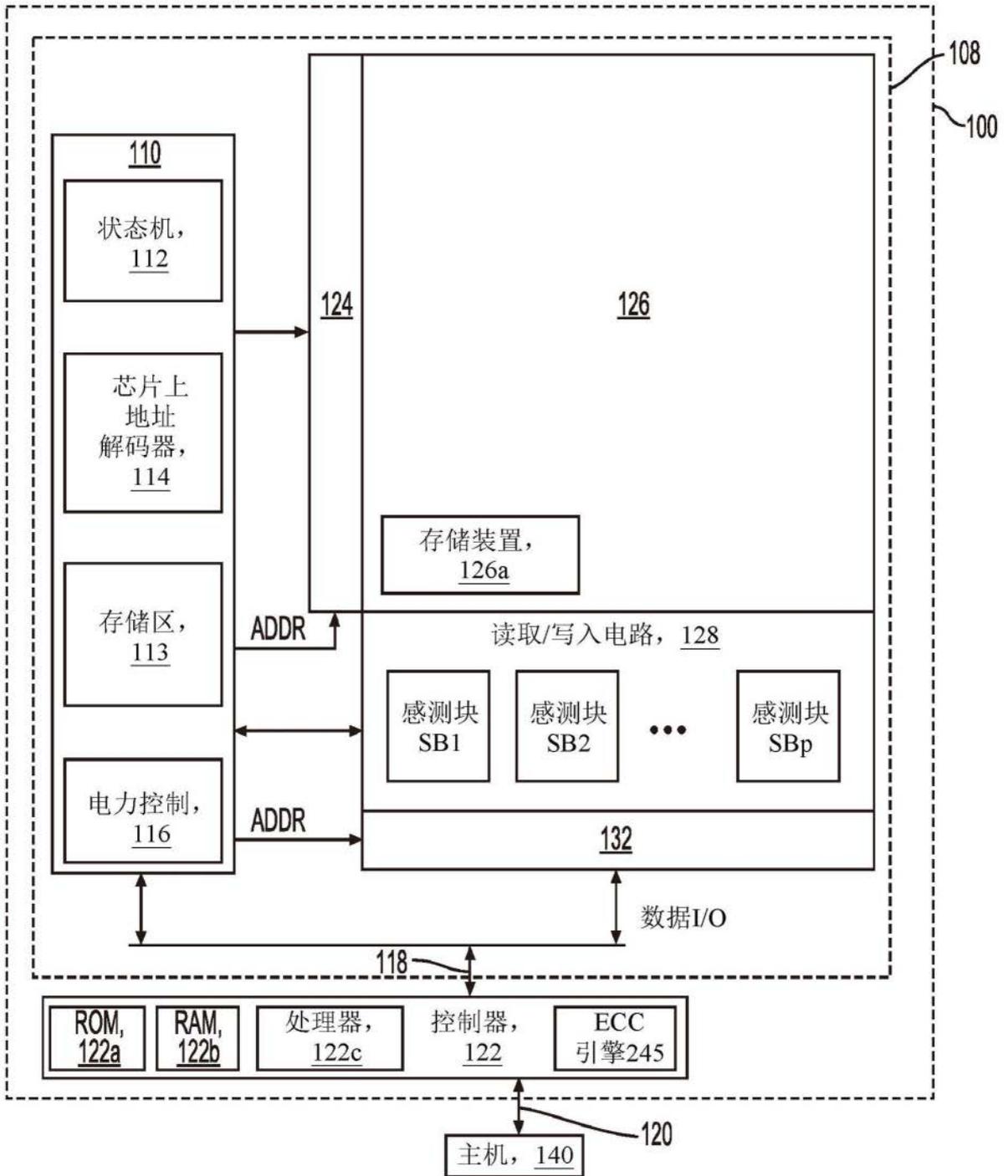


图1A



图1B

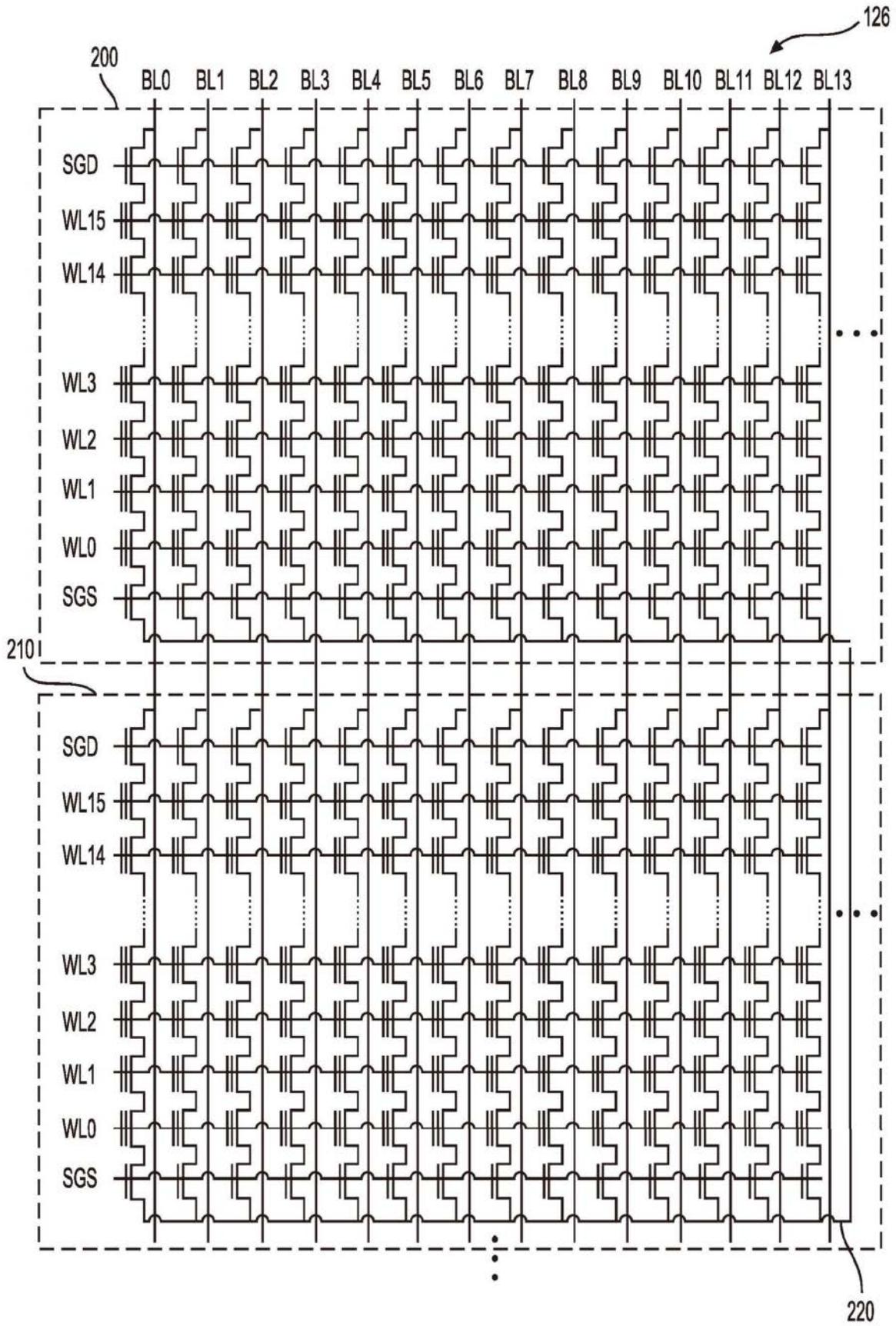


图2

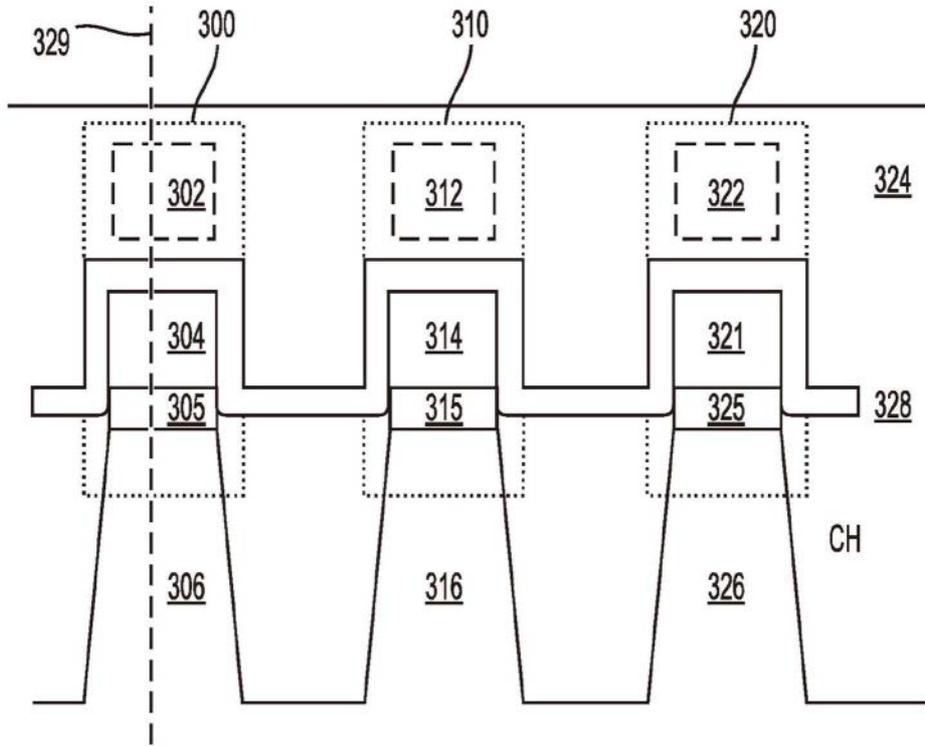


图3A

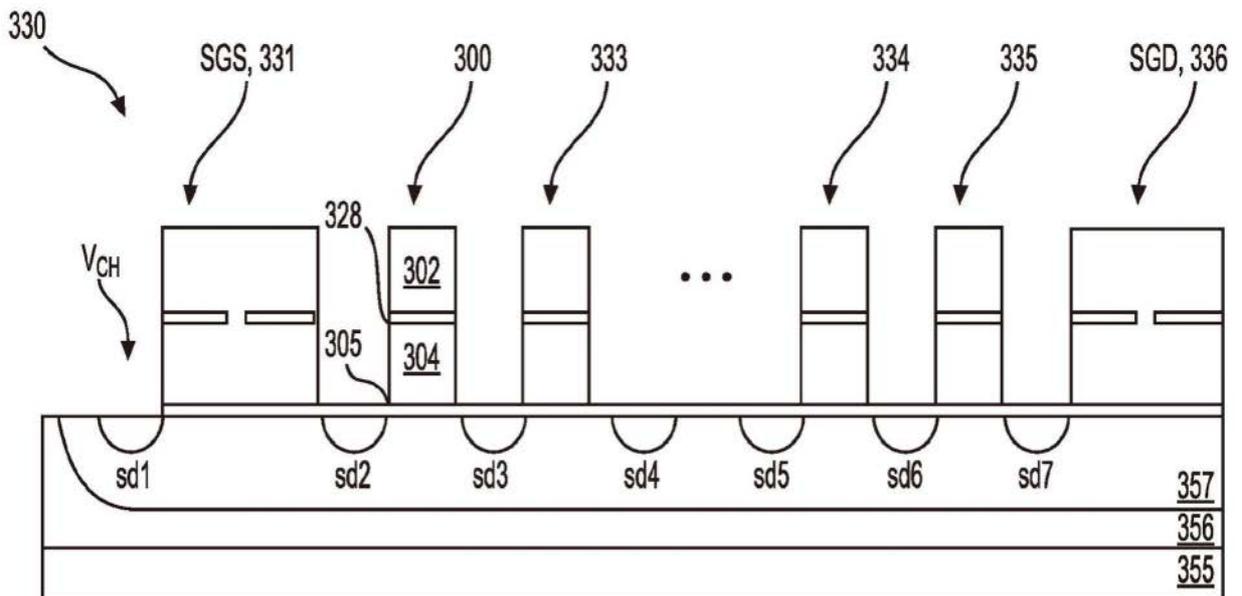


图3B

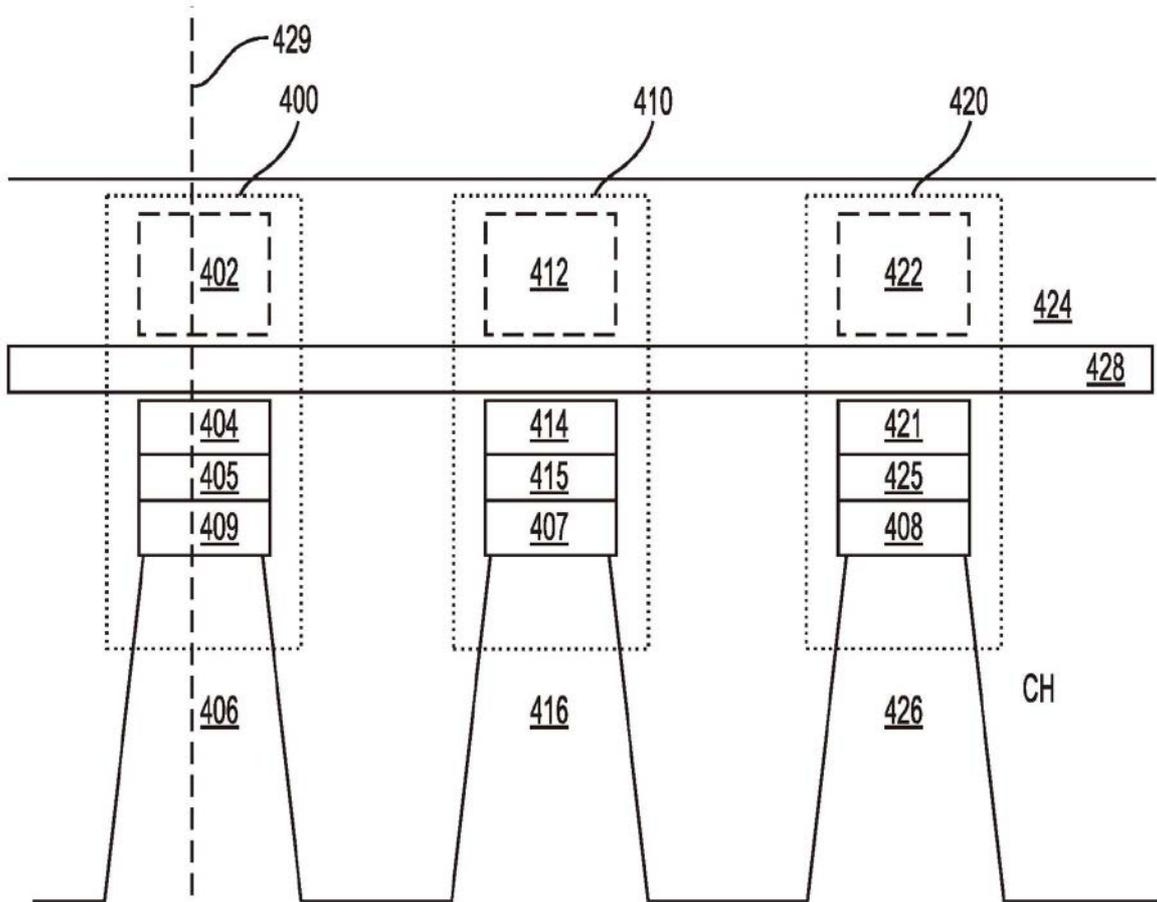


图4A

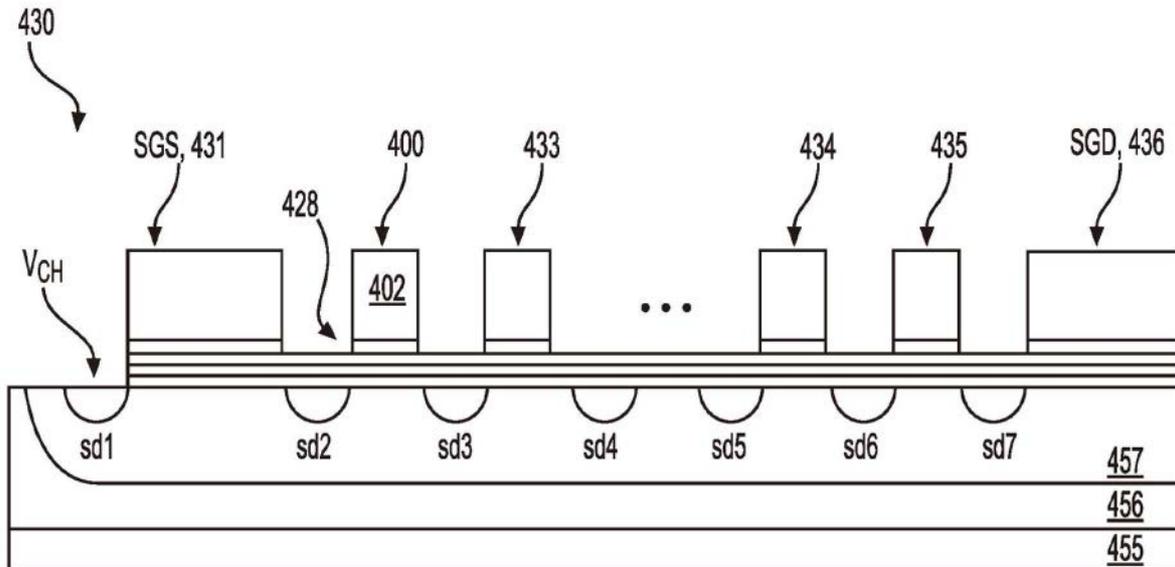


图4B

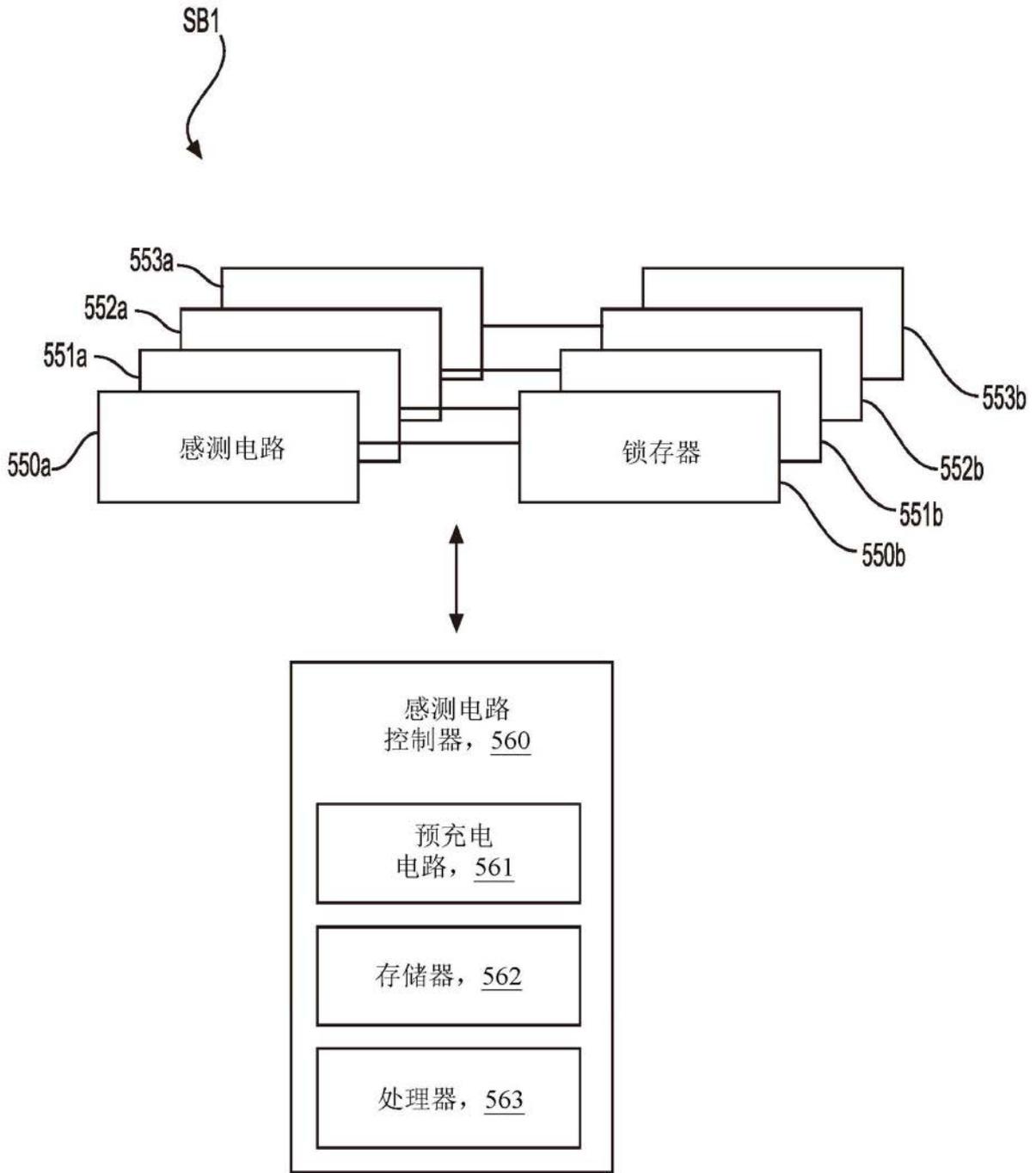


图5

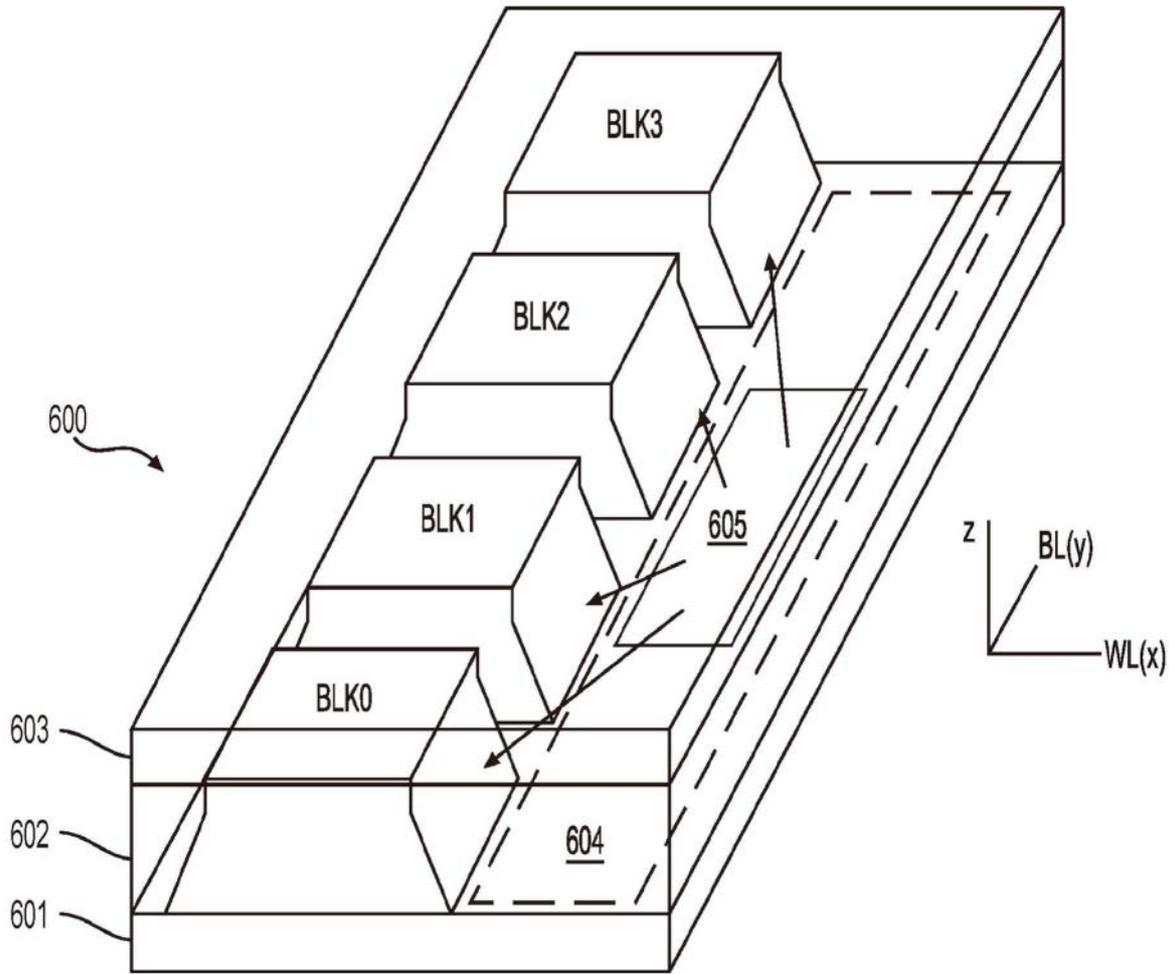


图6A

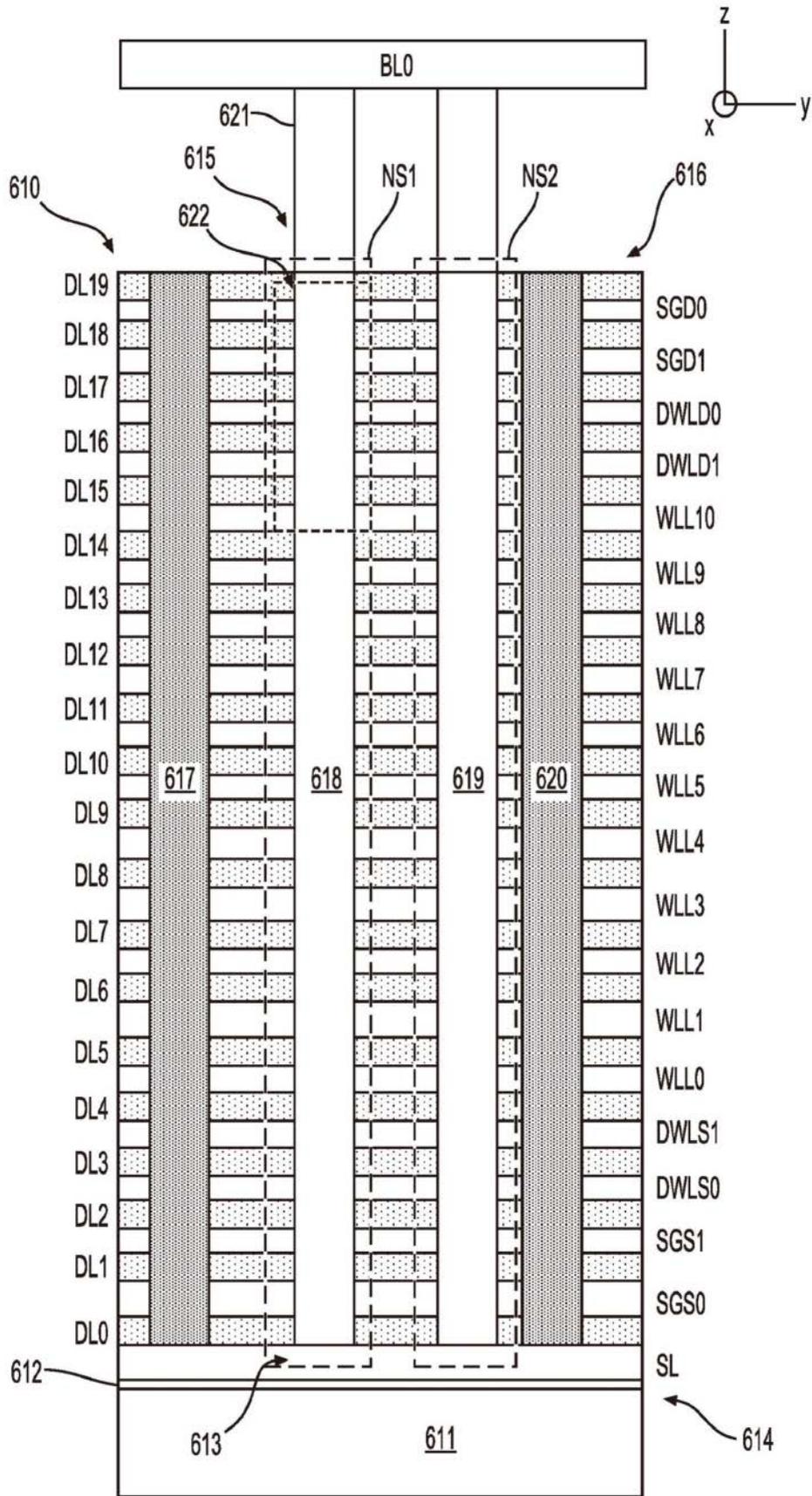


图6B

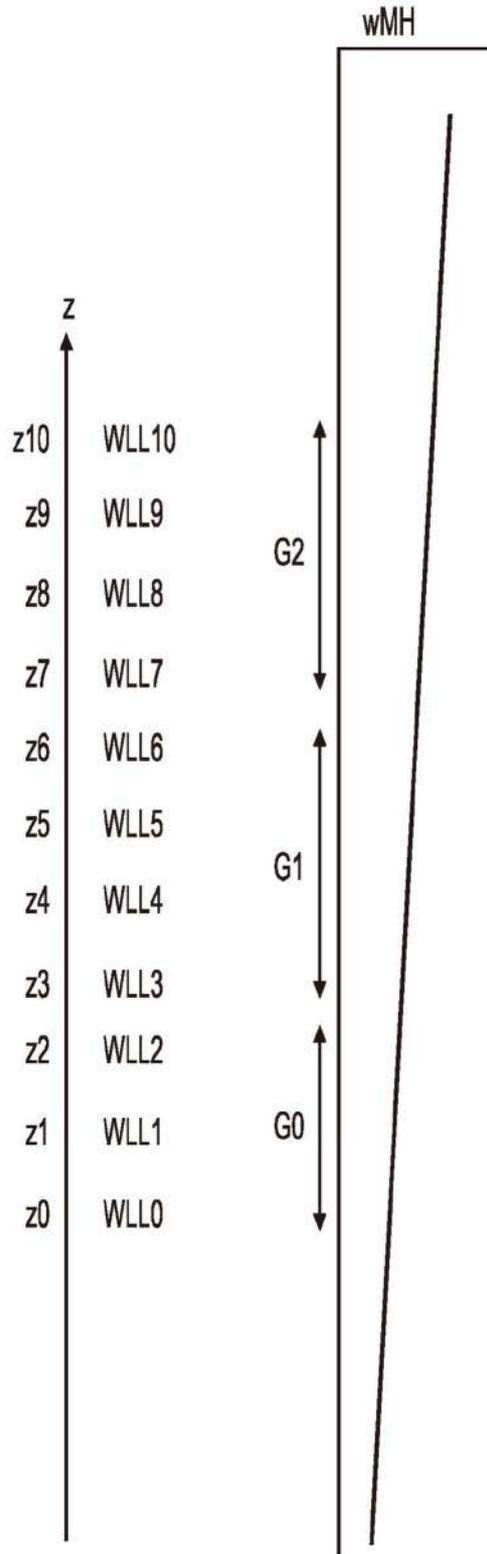


图6C

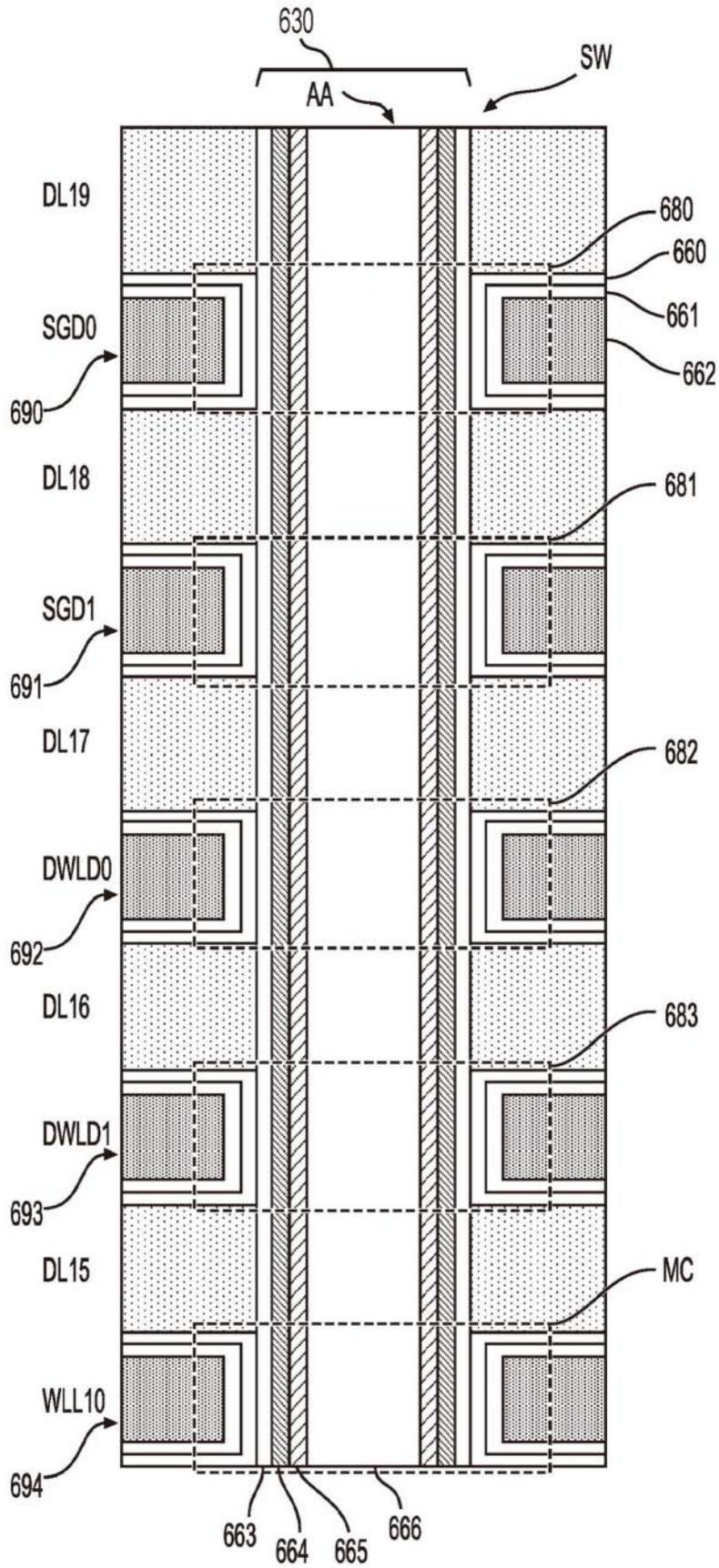


图6D

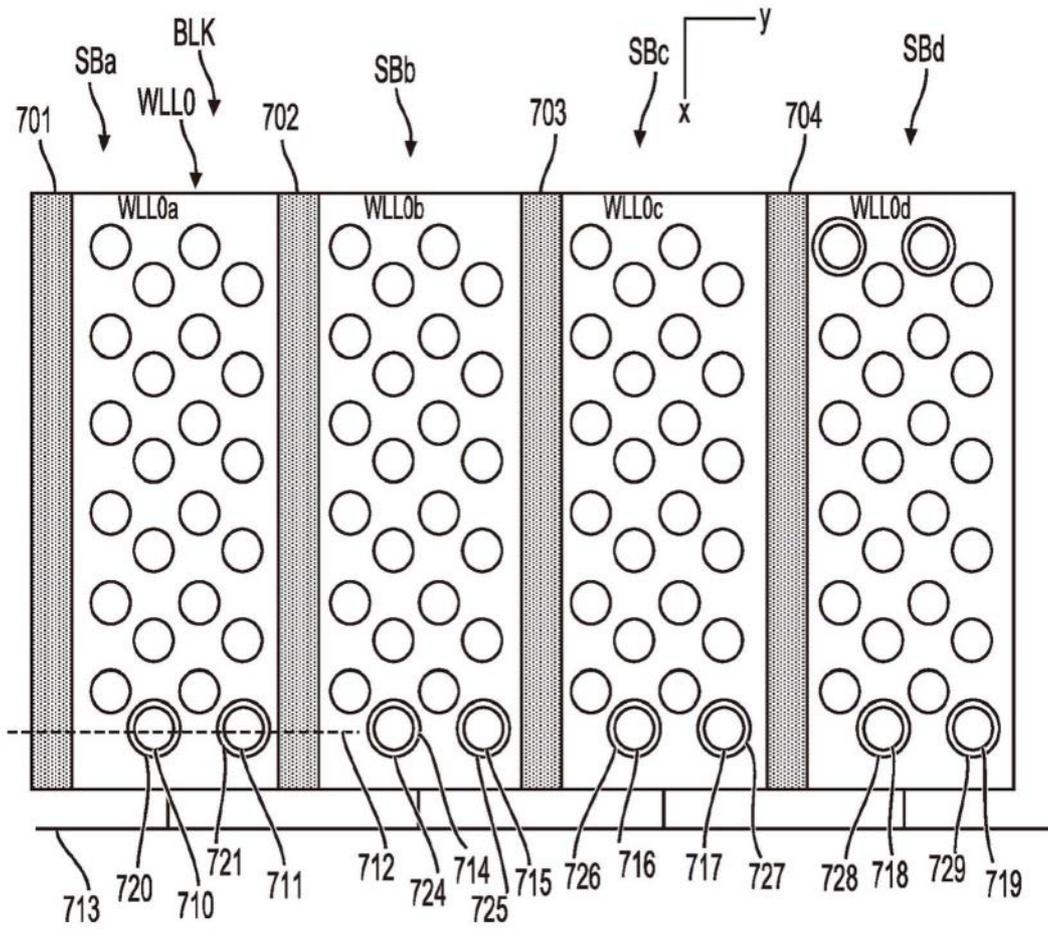


图7A

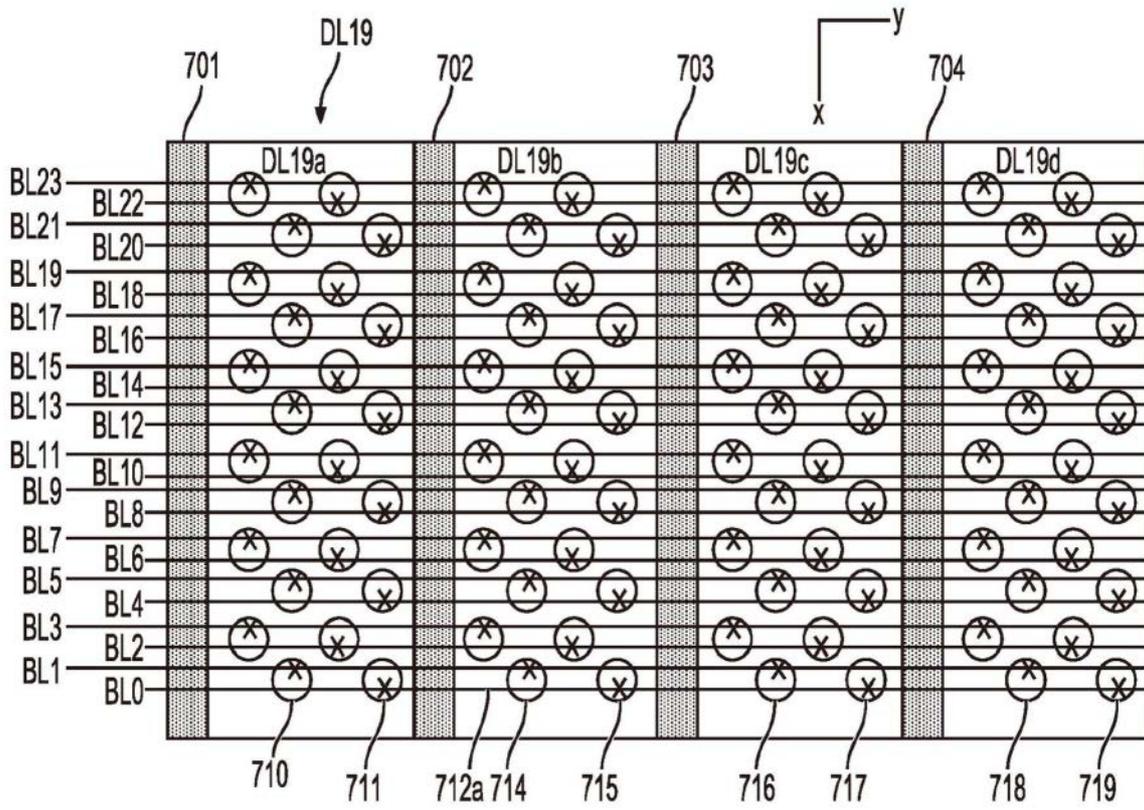


图7B

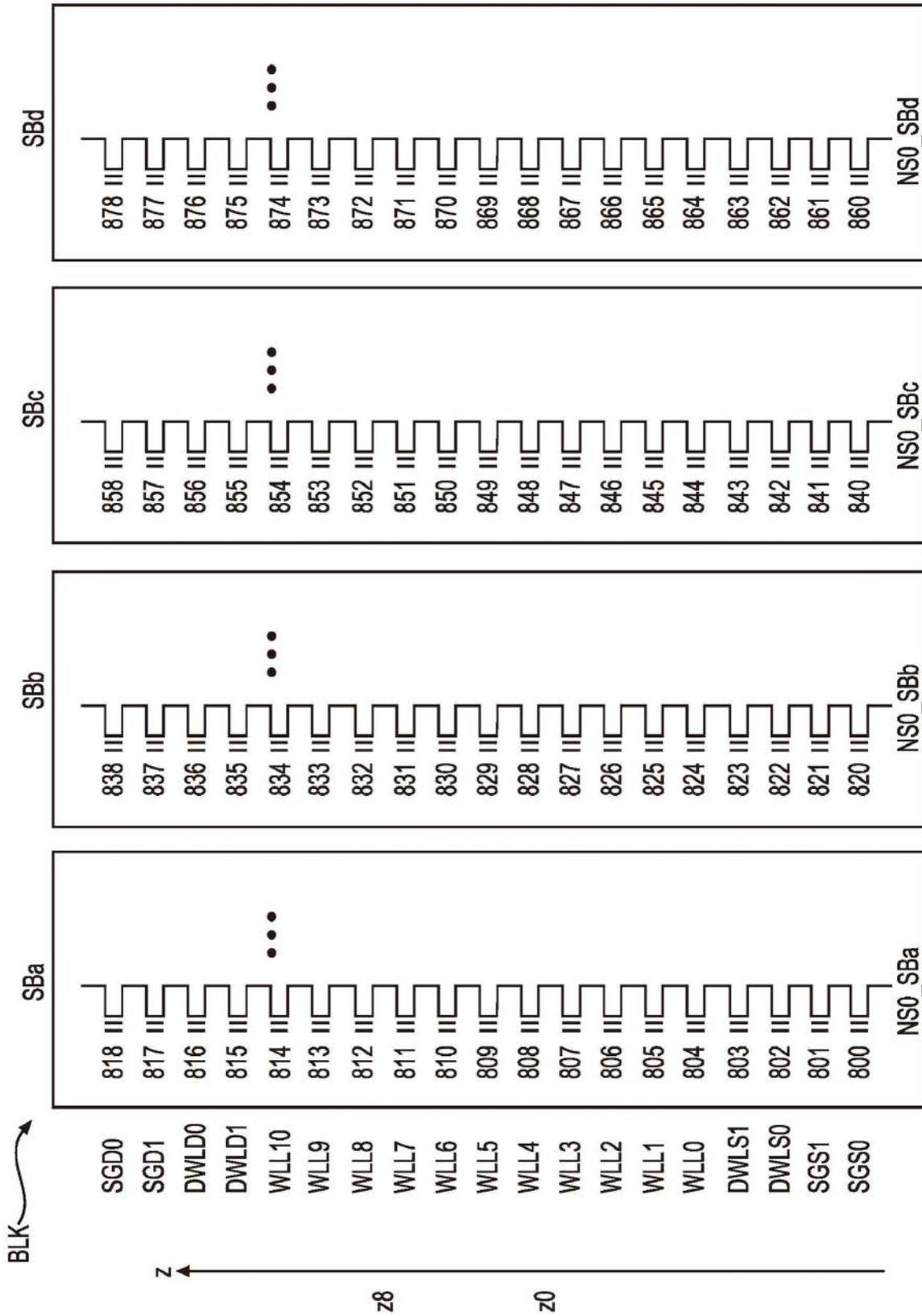


图8A

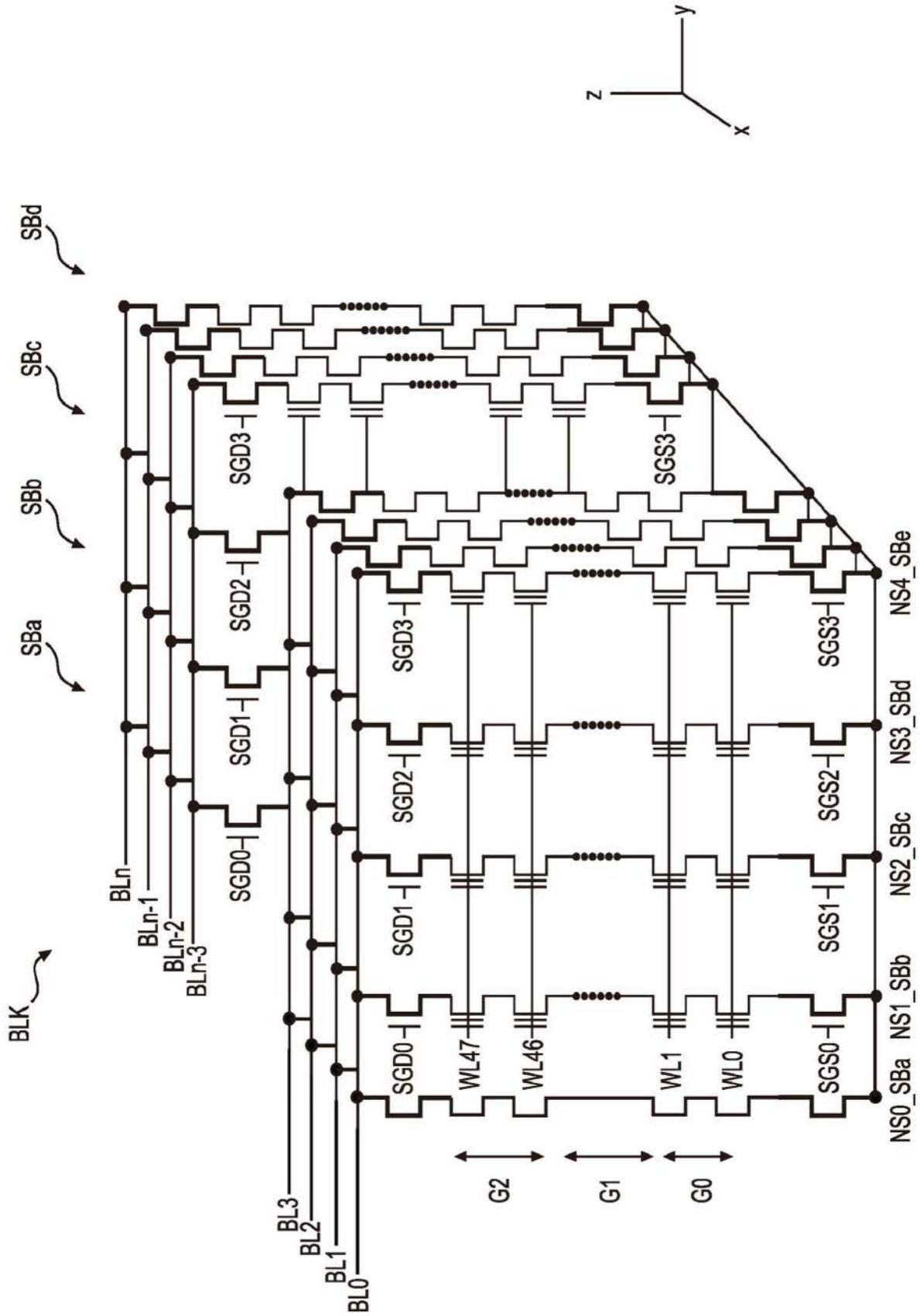


图8B

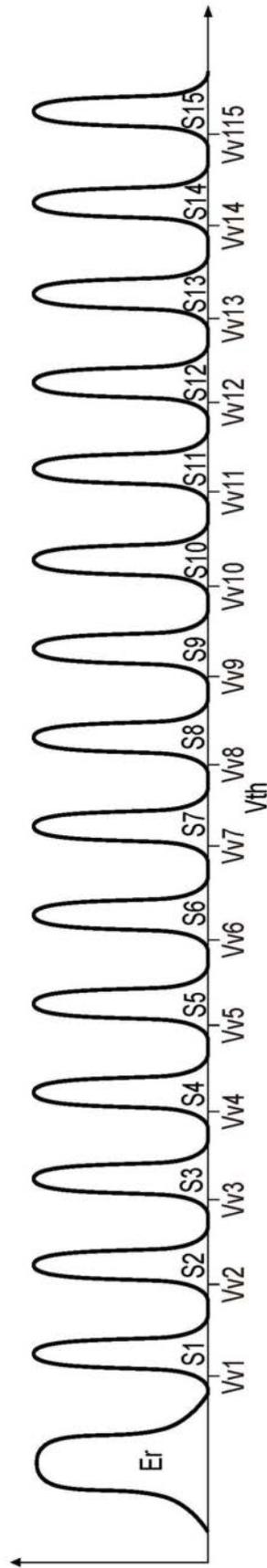


图9

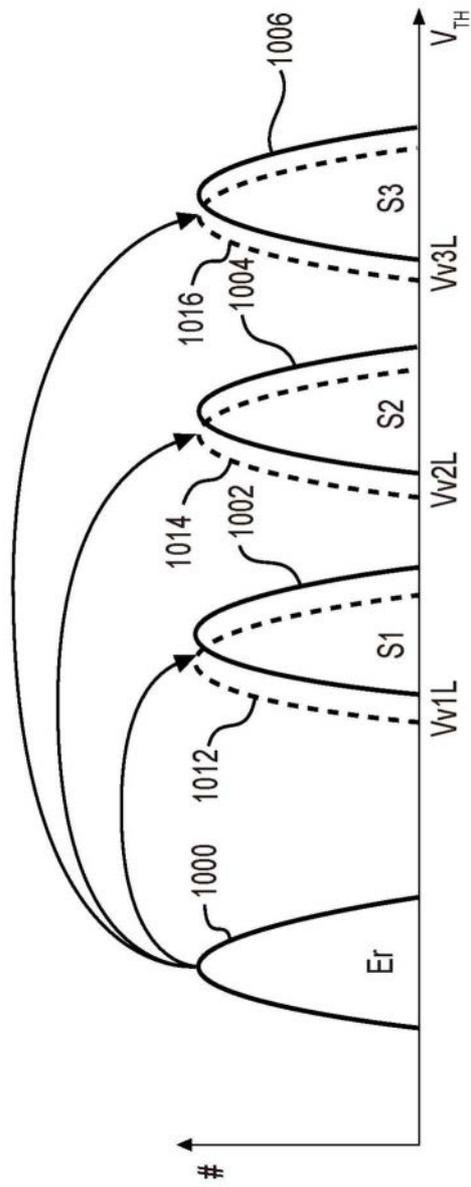


图10A

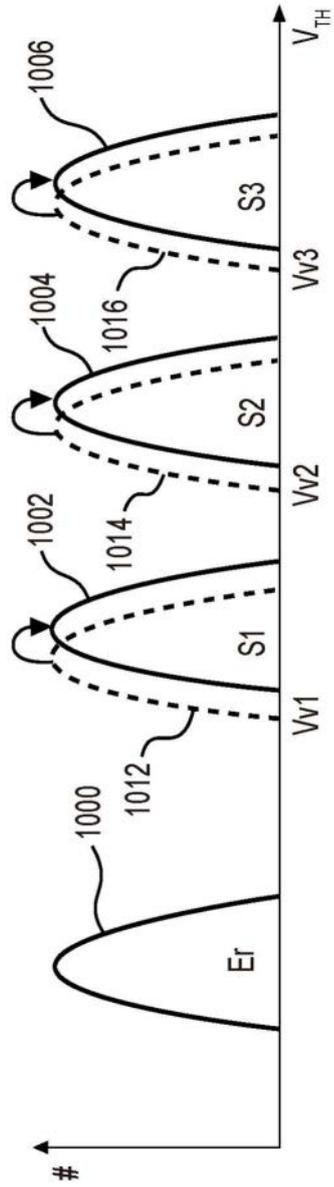


图10B

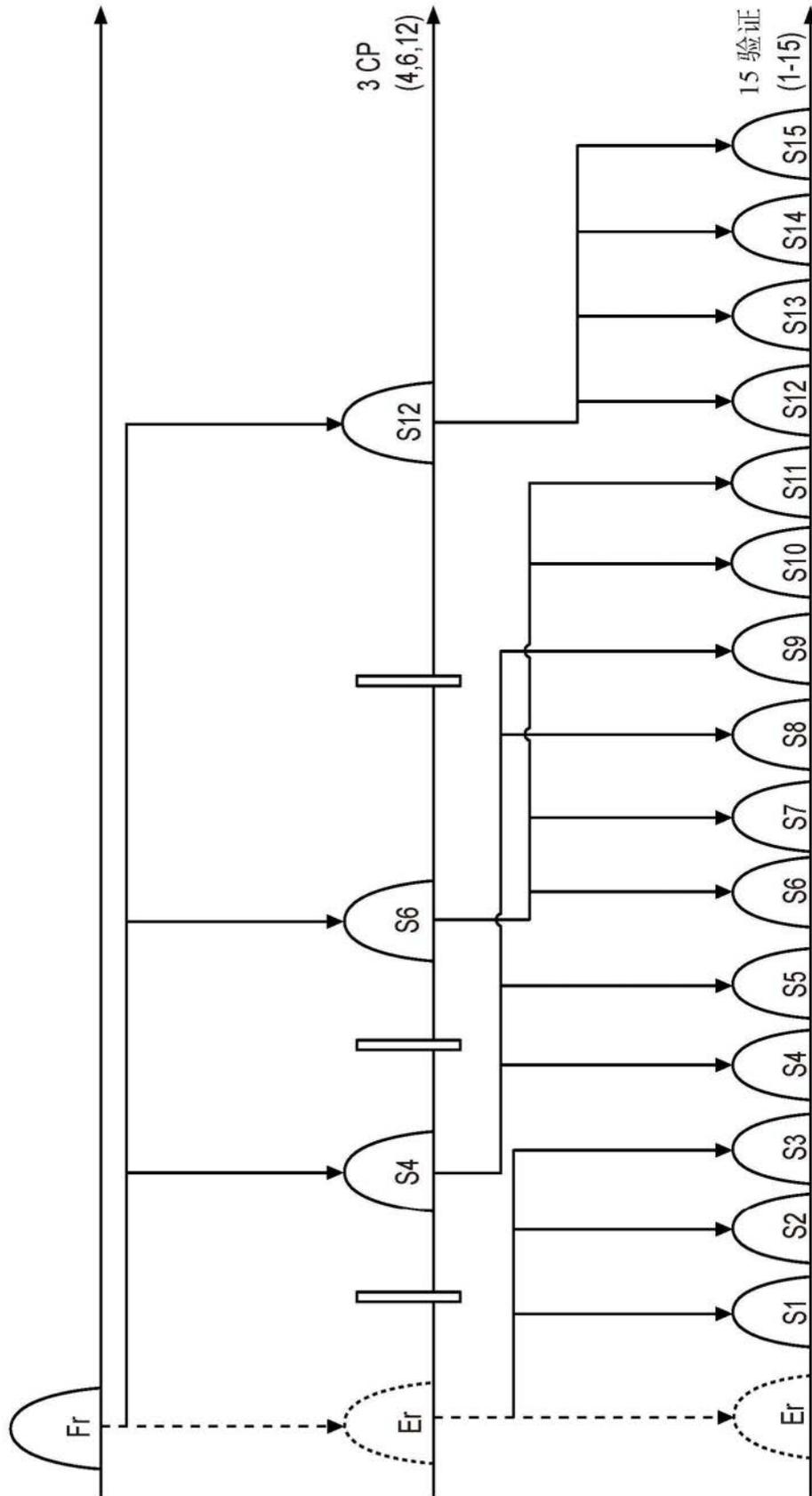


图11

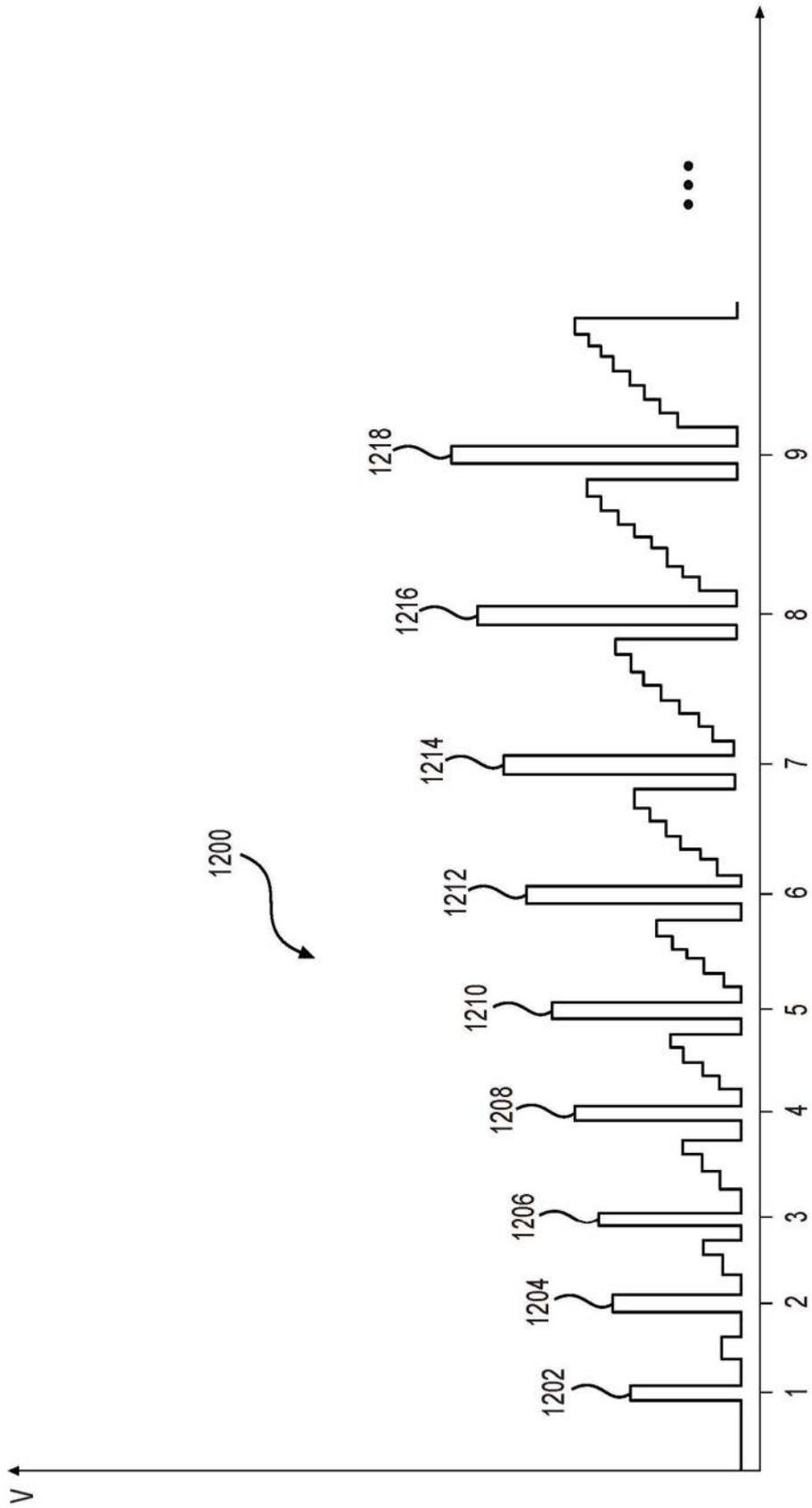


图12

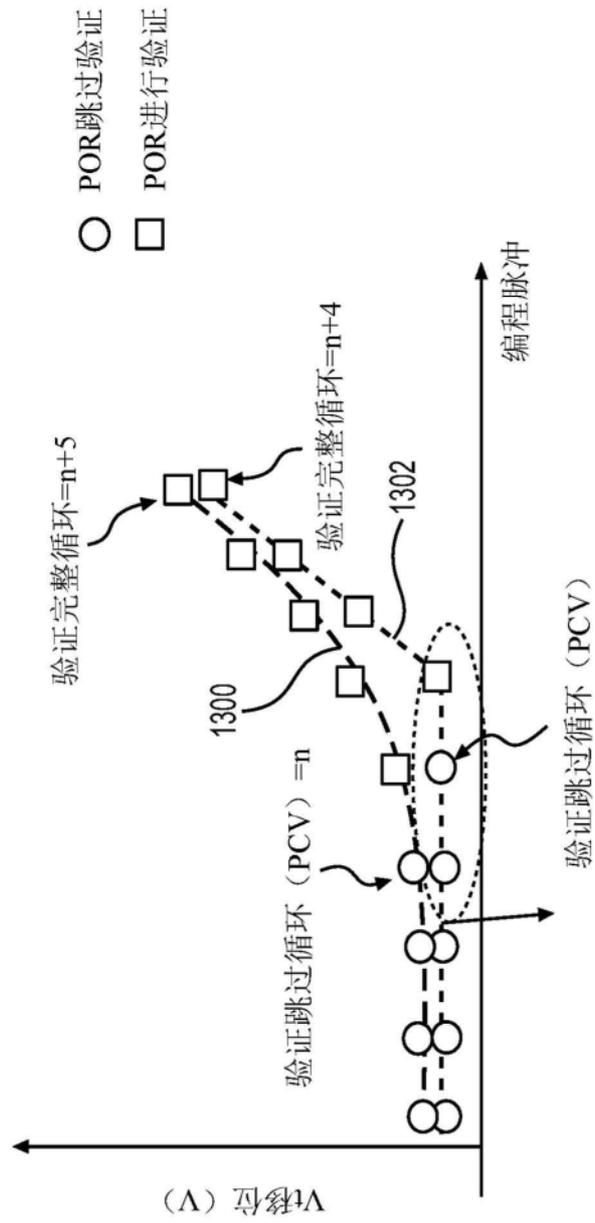


图13



	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28
S1	1	1	1	1	1	1	1																					
S2		0	2	1	1	1	1	1																				
S3			0	2	1	1	1	1	1																			
S4				0	2	1	1	1	1	1																		
S5					0	2	1	1	1	1	1																	
S6							0	2	1	1	1	1																
S7								0	2	1	1	1	1															
S8									0	2	1	1	1	1														
S9										0	2	1	1	1	1													
S10											0	2	1	1	1	1												
S11												0	2	1	1	1	1											
S12													0	2	1	1	1	1										
S13																	0	2	1	1	1	1	1	1	1	1	1	1
S14																		0	2	1	1	1	1	1	1	1	1	1
S15																			0	2	1	1	1	1	1	1	1	1

图15

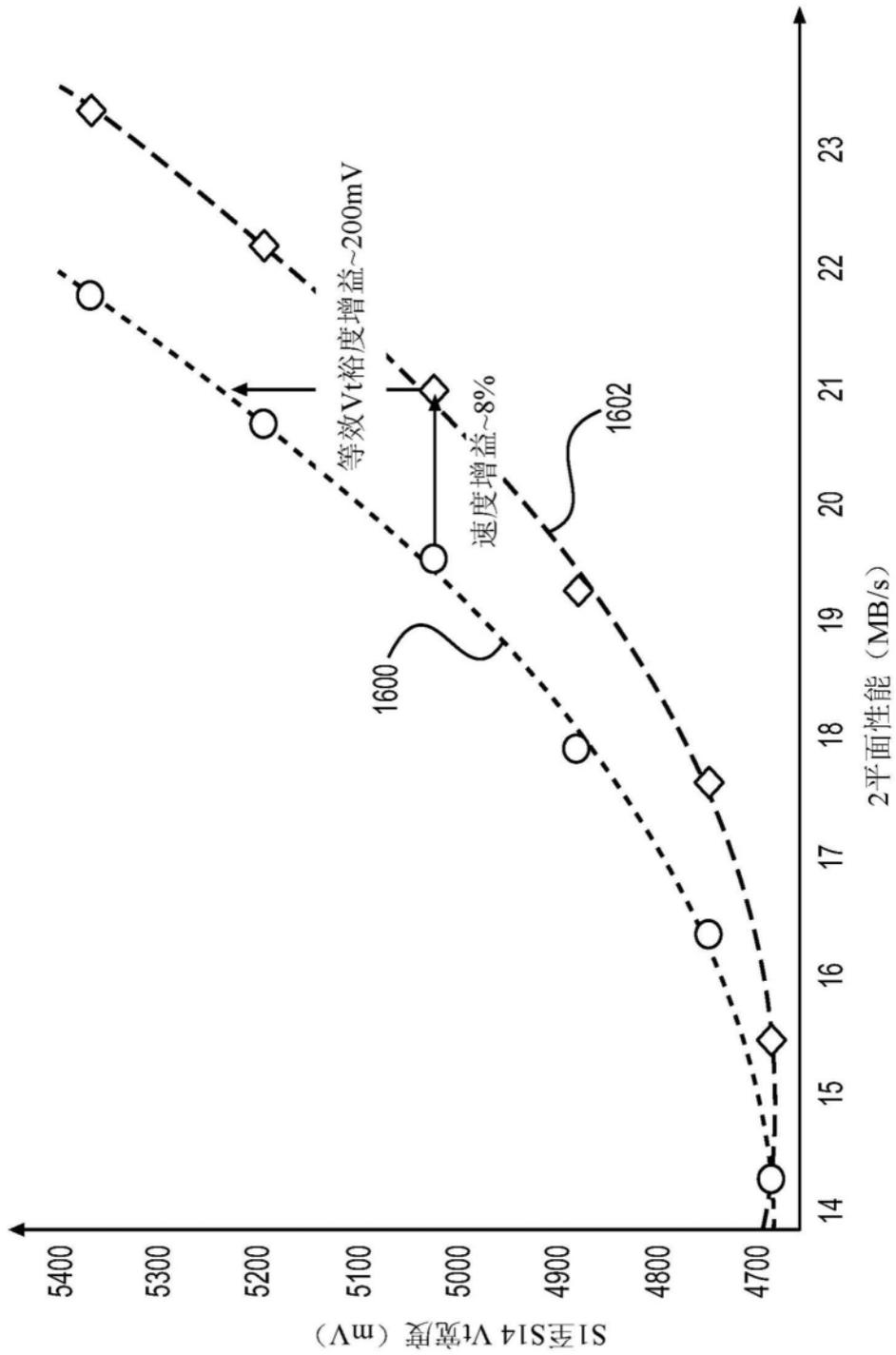


图16

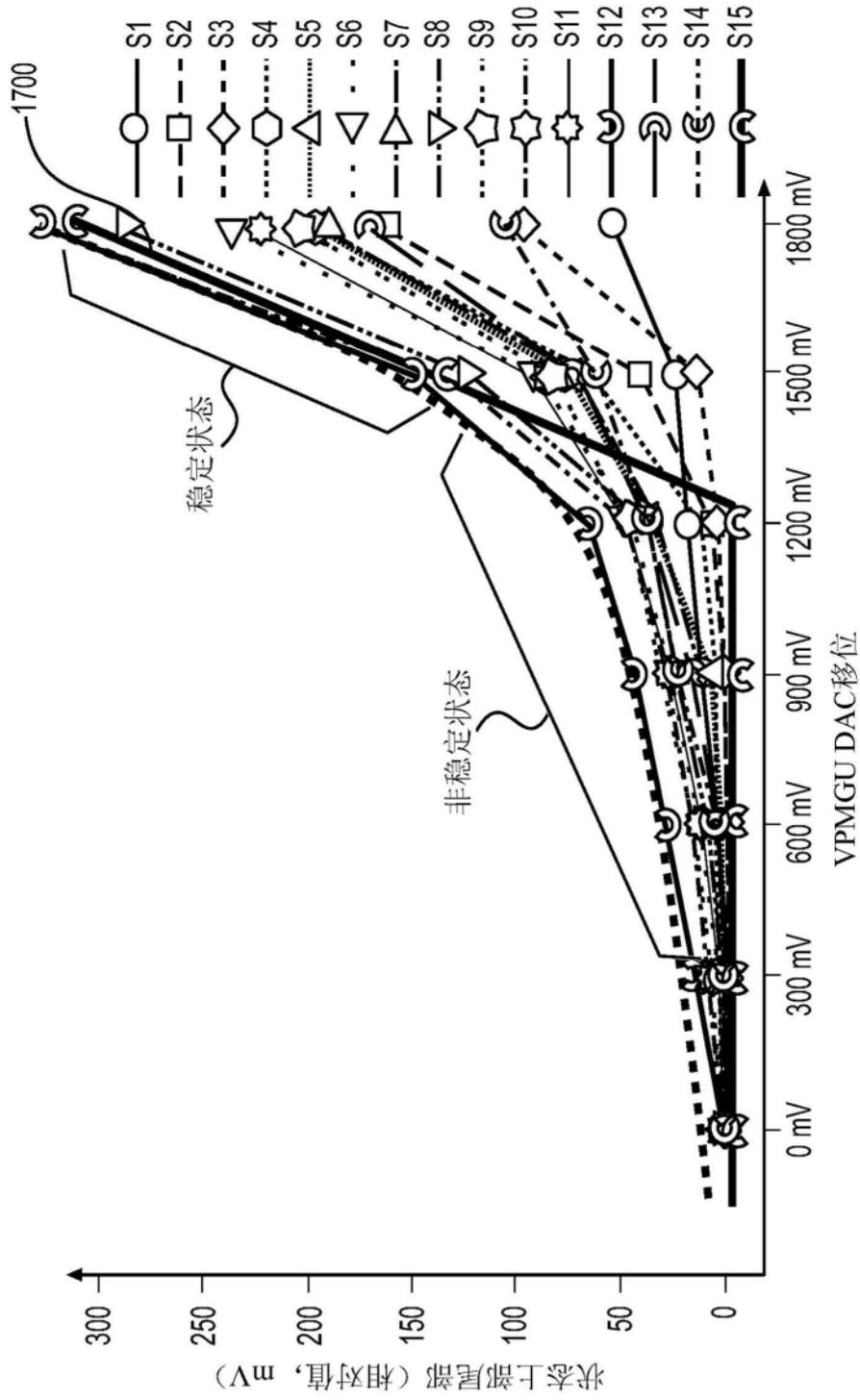


图17

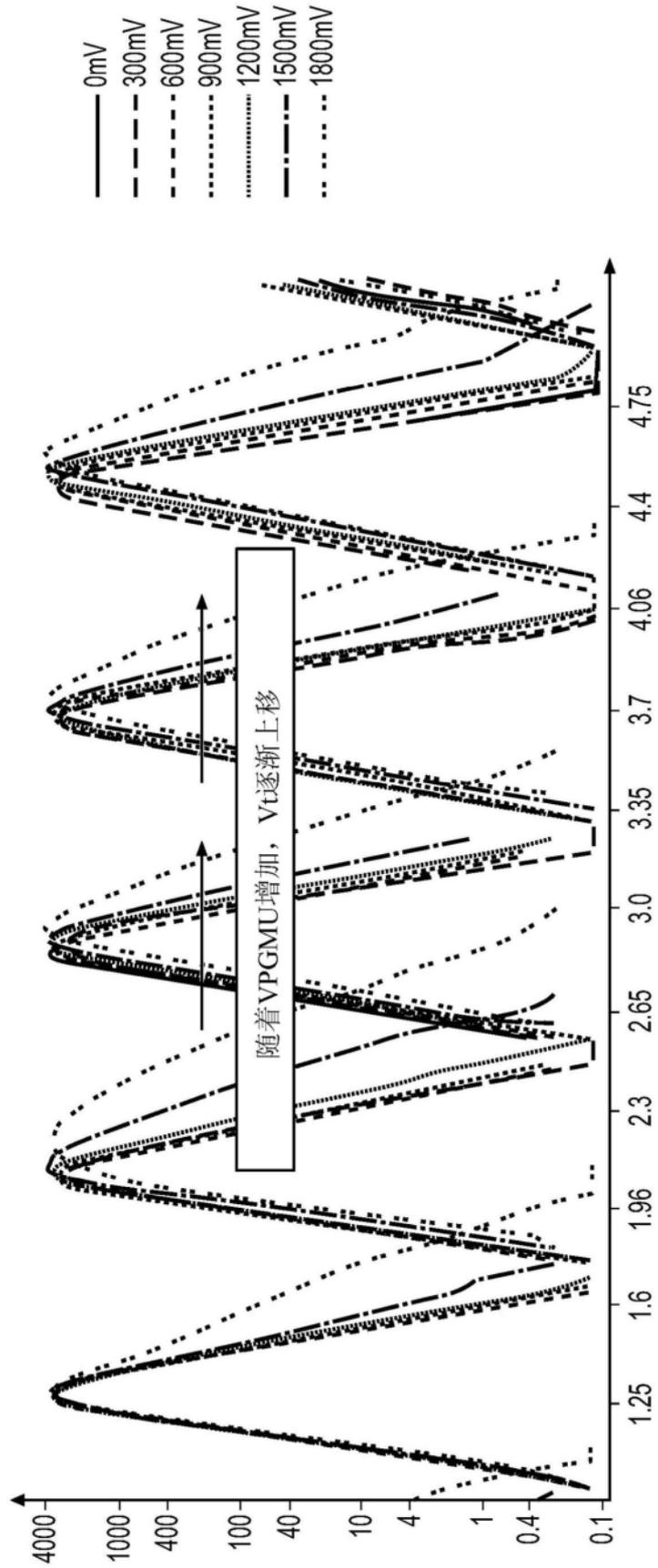


图18

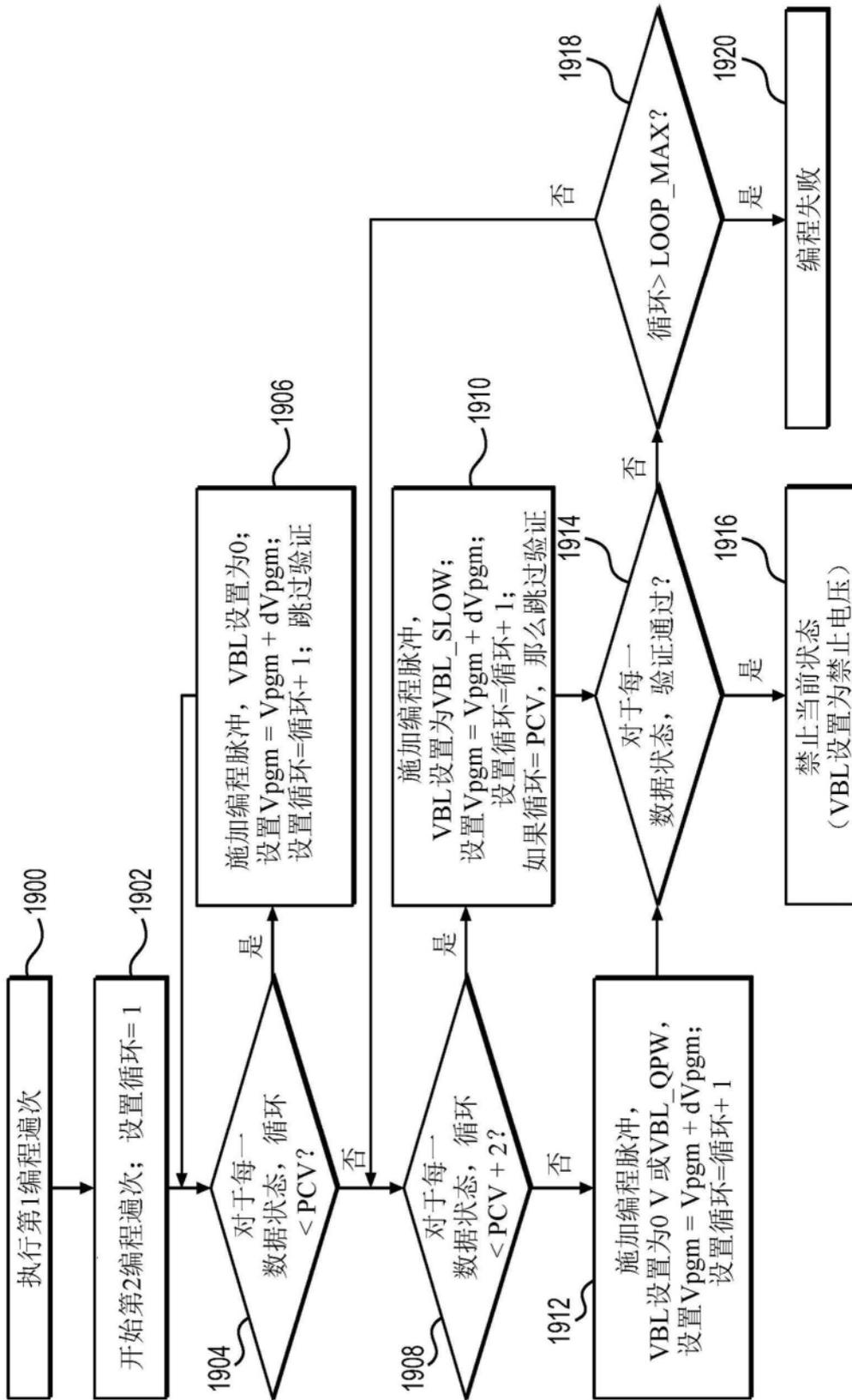


图19

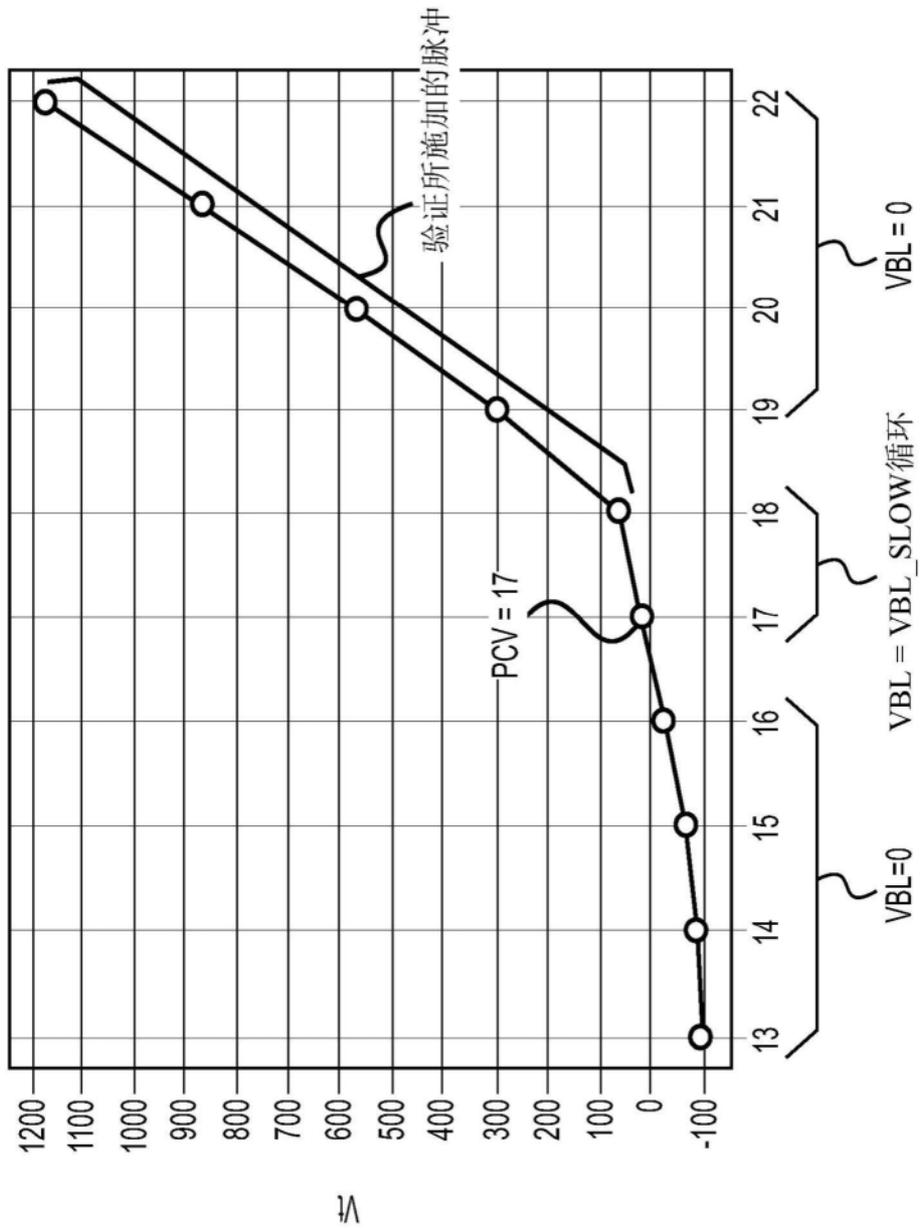


图20

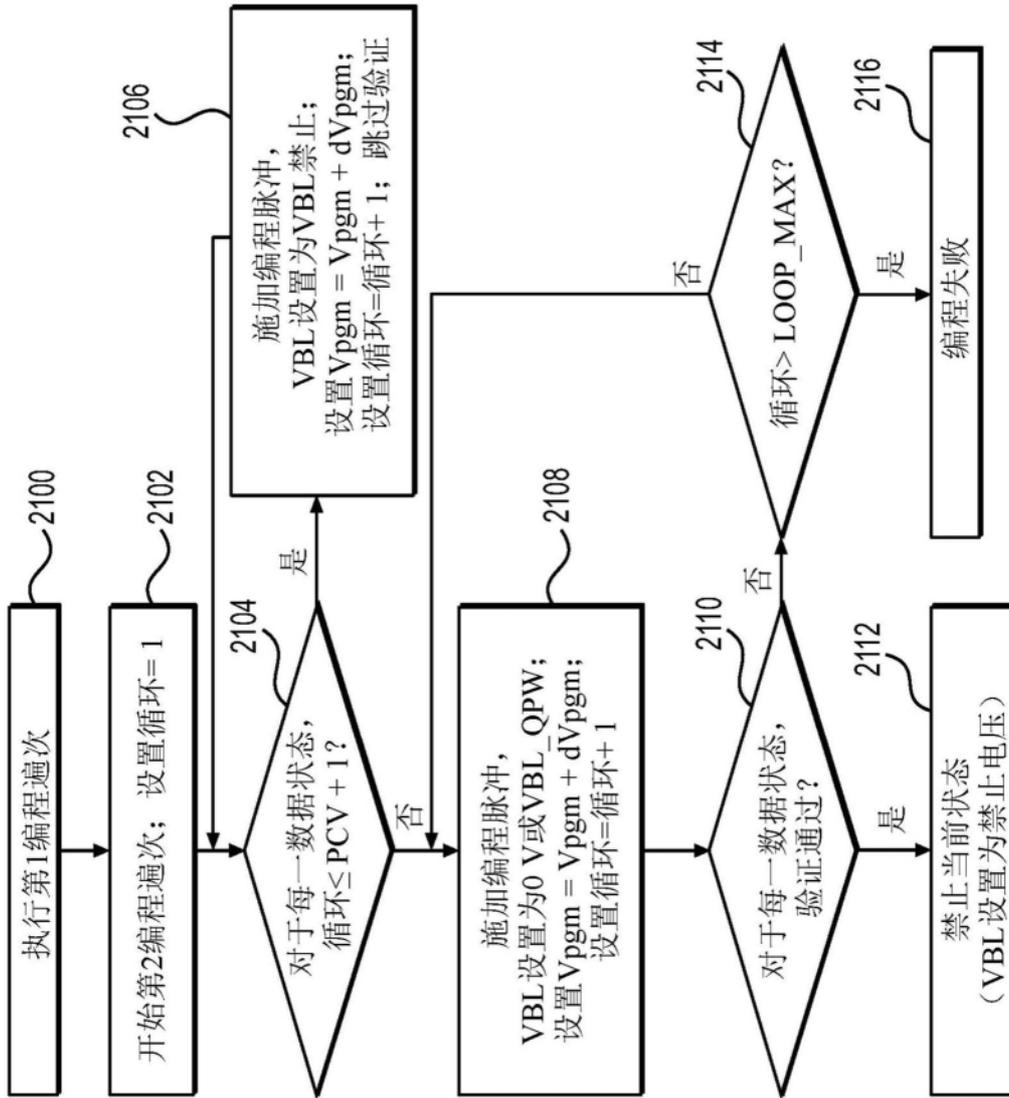


图21

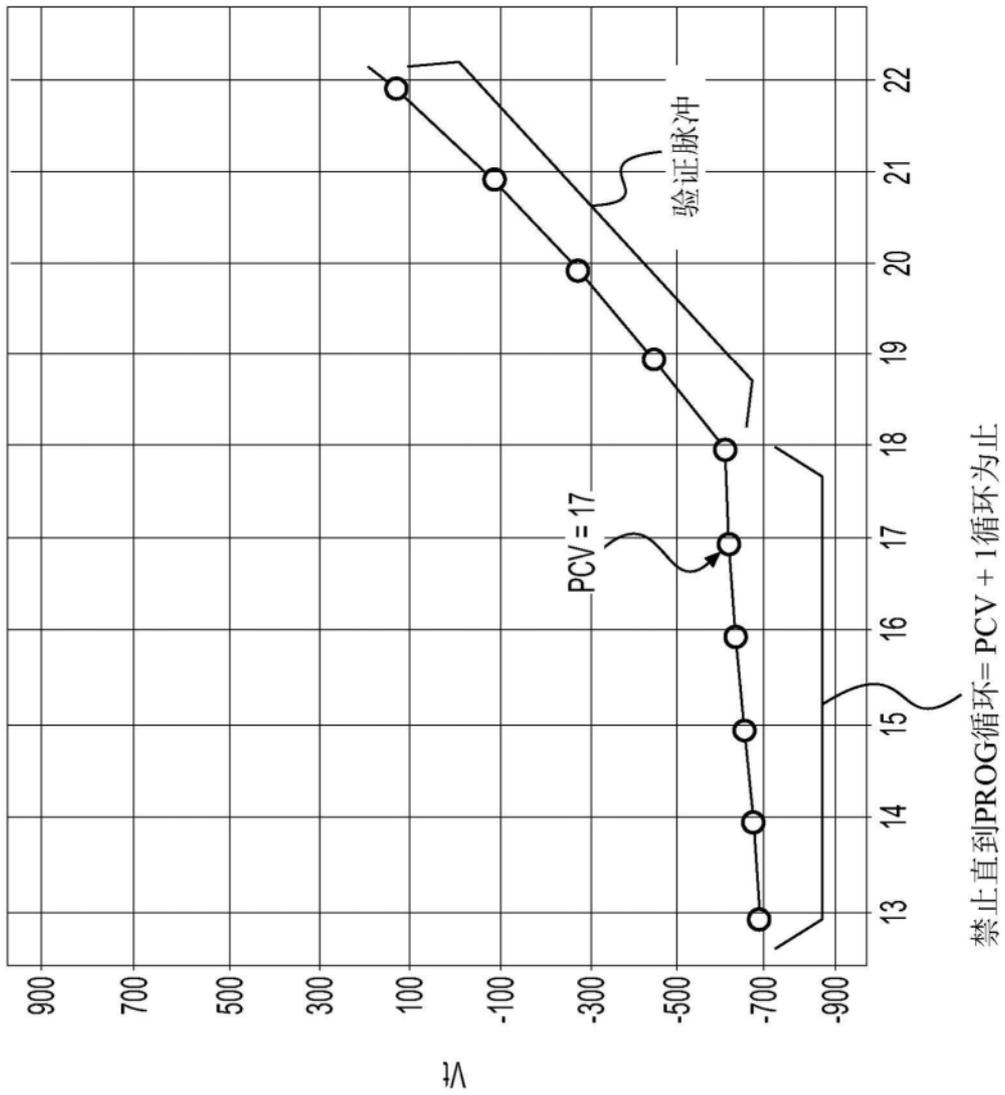


图22

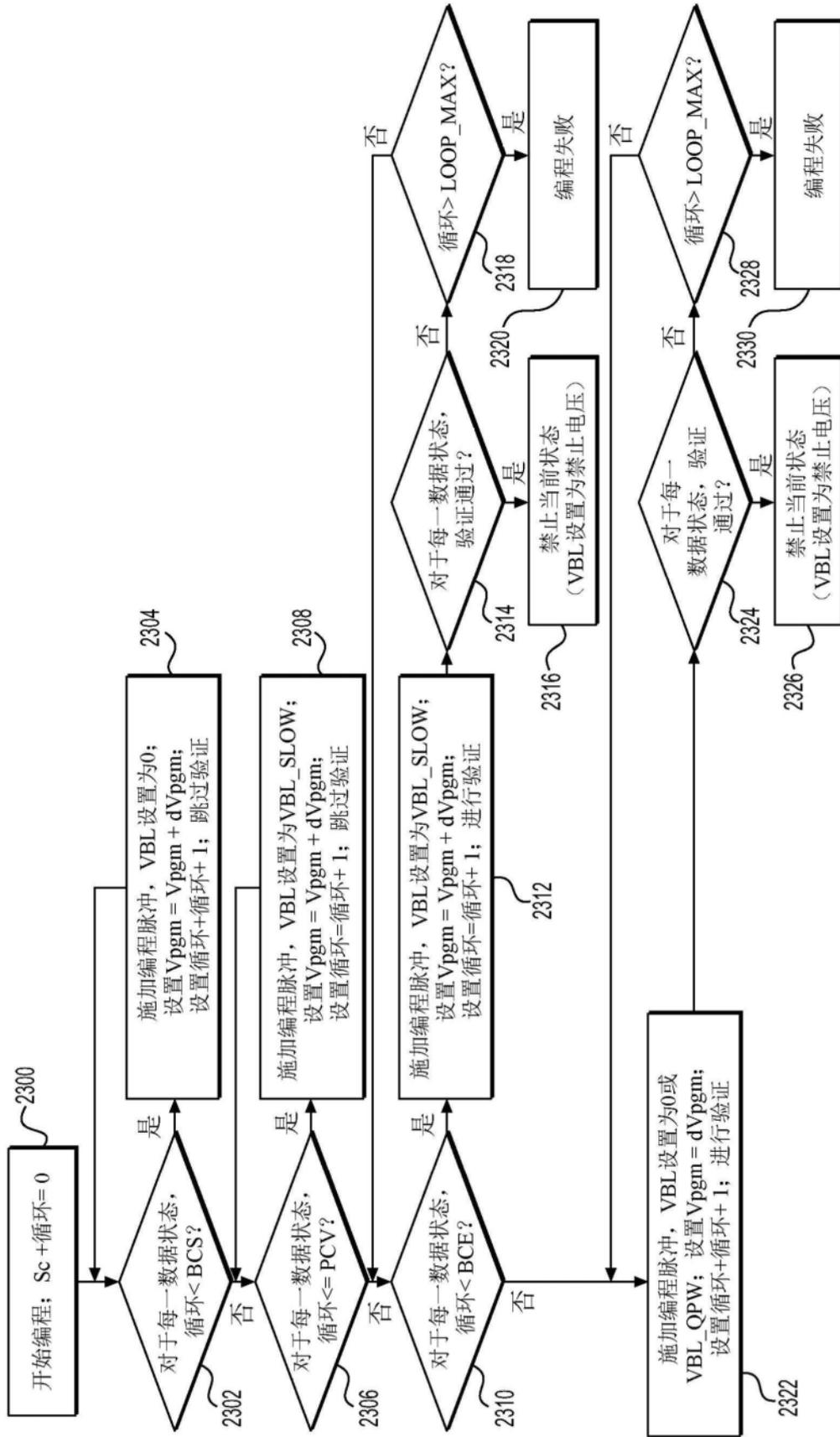


图23

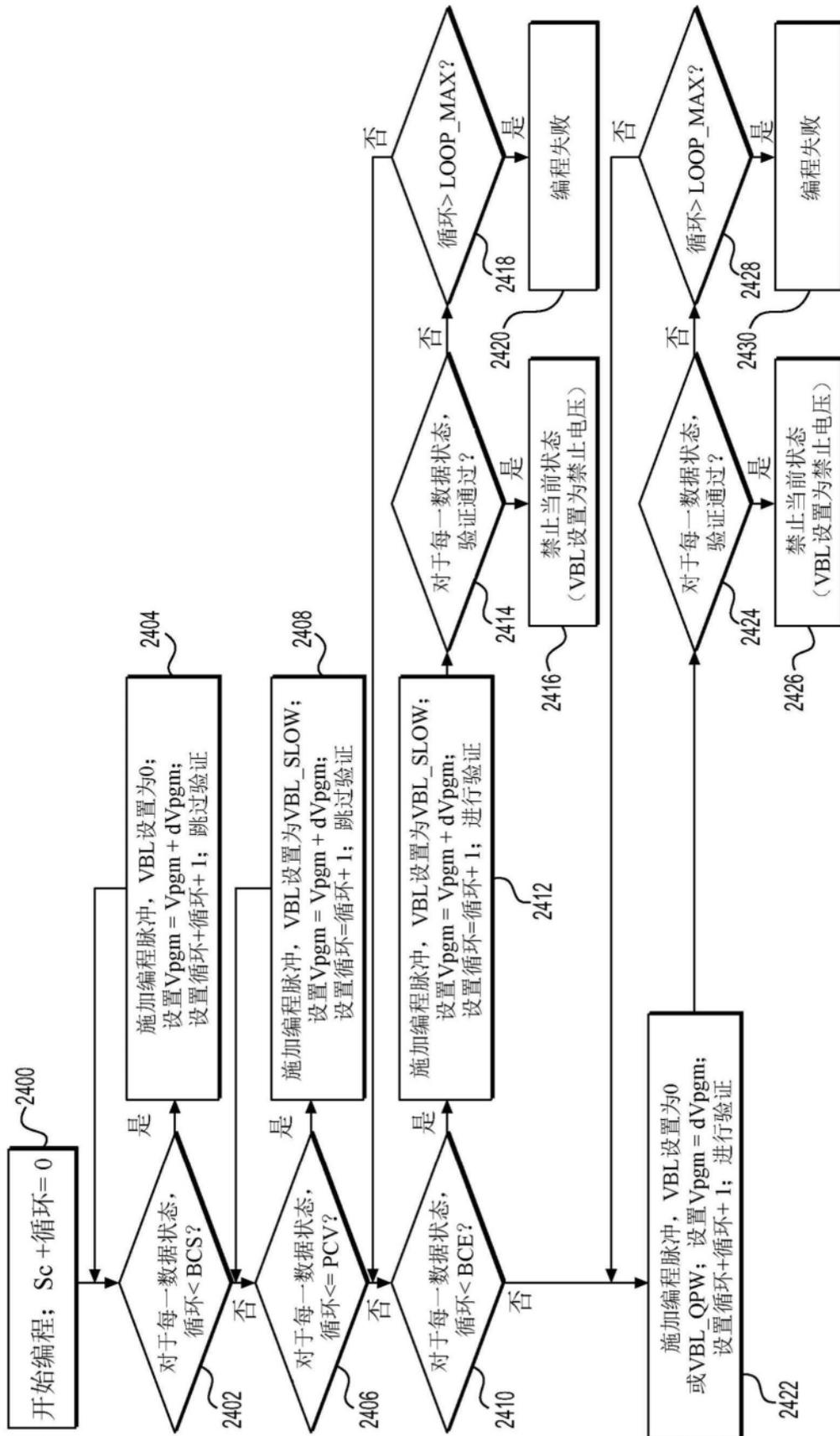


图24