



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년02월16일

(11) 등록번호 10-1493340

(24) 등록일자 2015년02월09일

(51) 국제특허분류(Int. Cl.)
H05K 3/34 (2006.01) *B23K 1/20* (2006.01)
B23K 3/06 (2006.01)

(21) 출원번호 10-2013-7024022

(22) 출원일자(국제) 2012년01월25일

심사청구일자 2013년09월11일

(85) 번역문제출일자 2013년09월11일

(65) 공개번호 10-2013-0129280

(43) 공개일자 2013년11월27일

(86) 국제출원번호 PCT/JP2012/000462

(87) 국제공개번호 WO 2012/132175

국제공개일자 2012년10월04일

(30) 우선권주장

JP-P-2011-073235 2011년03월29일 일본(JP)

(56) 선행기술조사문헌

JP07336033 A*

JP2006114735 A

JP평성10075043 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

파나소닉 주식회사

일본 오오사카후 가도마시 오오아자 가도마 1006 반치

(72) 발명자

사쿠라이 다이스케

일본국 오오사카후 가도마시 오오아자가도마 1006 파나소닉 주식회사

(74) 대리인

김영철, 홍승규

전체 청구항 수 : 총 6 항

심사관 : 김상걸

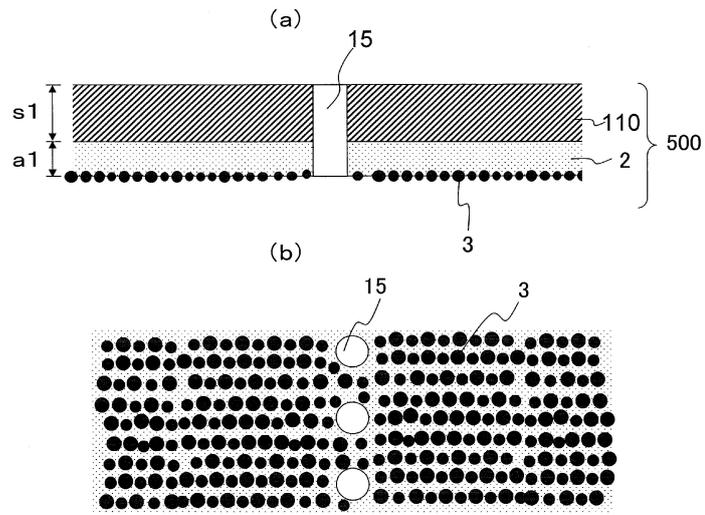
(54) 발명의 명칭 **멤납 전사기재, 멤납 전사기재의 제조방법 및 멤납 전사방법**

(57) 요약

취약한 유전 막을 갖는 반도체소자의 취약한 막을 파괴하지 않고 전사할 수 있게 하는 멤납 전사기재를 제공한다.

베이스 층(1)과 베이스 층(1) 상에 배치된 점착 층(2)과 점착 층(2) 상에 배치된 복수의 멤납 분말(3)을 구비하고, 베이스 층(1)에는 다공성 부재이며, 점착 층(2)이 배치되어 있지 않은 측으로부터 점착 층(2)이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있는 멤납 전사기재(5)이다. 특히 점착 층(2)은 박리 액을 주입하면 팽창하는 특성을 가지고 있다.

대표도 - 도6



특허청구의 범위

청구항 1

베이스 층과,
상기 베이스 층 상에 배치된 점착 층과,
상기 점착 층 상에 배치된 복수의 뿔납 분말을 구비하고,
상기 베이스 층에는 상기 점착 층이 배치되어 있지 않은 측에서 상기 점착 층이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있으며,
상기 점착 층은 상기 박리 액을 주입하면 팽창하는 특성을 가지고 있는 뿔납 전사기재.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
상기 베이스 층은 다공성 부재인 뿔납 전사기재.

청구항 4

삭제

청구항 5

베이스 층과,
상기 베이스 층 상에 배치된 점착 층과,
상기 점착 층 상에 배치된 복수의 뿔납 분말을 구비하고,
상기 베이스 층에는 상기 점착 층이 배치되어 있지 않은 측에서 상기 점착 층이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있으며,
상기 복수 개의 구멍은 상기 베이스 층의 상기 점착 층과 접촉하고 있지 않은 면으로부터 상기 베이스 층의 상기 점착 층과 접촉하는 면에 향해서 관통하도록 설치되어 있고,
상기 복수 개의 구멍은 적어도 상기 점착 층의 내측까지 형성되어 있는 뿔납 전사기재.

청구항 6

베이스 층과,
상기 베이스 층 상에 배치된 점착 층과,
상기 점착 층 상에 배치된 복수의 뿔납 분말을 구비하고,
상기 베이스 층에는 상기 점착 층이 배치되어 있지 않은 측에서 상기 점착 층이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있으며,
상기 점착 층보다도 상기 베이스 층 쪽이 가열 시에서의 압축률이 큰 뿔납 전사기재.

청구항 7

삭제

청구항 8

삭제

청구항 9

베이스 층과, 상기 베이스 층 상에 배치된 점착 층과, 상기 점착 층 상에 배치된 복수의 땀납 분말을 구비하고, 상기 베이스 층에는 상기 점착 층이 배치되어 있지 않은 측에서 상기 점착 층이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있는 땀납 전사기재와, 전극이 표면에 형성된 회로기판 또는 전자부품을 상기 땀납 분말이 탑재된 면이 상기 전극이 형성된 면에 대향하도록 중첩시켜 가열 가압하여 상기 땀납 분말을 상기 전극에 접합시키는 땀납 접합공정과,

박리 액을 상기 베이스 층 내에 설치된 복수 개의 구멍을 개재하여 상기 점착 층에 침투시키는 박리 액 침투공정과,

상기 땀납 전사기재를 상기 회로기판 또는 상기 전자부품으로부터 박리하는 전사기재 박리공정을 구비하는 땀납 전사방법.

청구항 10

베이스 층과, 상기 베이스 층 상에 배치된 점착 층과, 상기 점착 층 상에 배치된 복수의 땀납 분말을 구비하고, 상기 베이스 층에는 상기 점착 층이 배치되어 있지 않은 측에서 상기 점착 층이 배치되어 있는 측으로 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있는 땀납 전사기재와, 전극이 표면에 형성된 회로기판 또는 전자부품을 상기 땀납 분말이 탑재된 면이 상기 전극의 형성된 면에 대향하도록 중첩시켜 가열 가압하여 상기 땀납 분말을 상기 전극에 확산 접합시키는 땀납 접합공정과,

플럭스 성분을 함유하는 박리 액을 상기 베이스 층 내에 설치된 복수 개의 구멍을 개재하여 상기 점착 층에 침투시키는 박리 액 침투공정과,

상기 땀납 전사기재를 상기 회로기판 또는 상기 전자부품으로부터 박리하는 전사기재 박리공정과,

땀납의 용점 이상으로 가열을 하여 상기 땀납 분말을 용융시키는 땀납 층 형성공정을 구비하는 땀납 전사방법.

명세서

기술분야

[0001] 본 발명은 땀납 전사기재, 땀납 전사기재의 제조방법 및 땀납 전사방법에 관한 것이다.

배경기술

[0002] 최근, 반도체소자의 고밀도화와 전극단자의 다핀화의 양립을 진행시킬 수 있도록 반도체소자의 전극단자의 협피치화, 면적 축소화가 도모되고 있다.

[0003] 통상, 플립 칩 실장에 있어서는 LSI 등의 반도체소자의 전극단자 상에 땀납 범프 등의 돌기 전극을 형성하고, 그 반도체소자를 페이스 다운으로 실장 기관의 접속단자에 대해 압접(壓接)·가열해서 전극단자 상에 미리 형성된 땀납 층을 용융하여 접속시킴으로써 실장하고 있다.

[0004] 그러나 협피치화의 진전은 현저하므로, 종래와 같이 반도체소자의 전극단자를 외주부에 1열 또는 2열로 지그재그 모양으로 배치하는 수단에서는 전극단자 간에서 단락이 발생하거나 반도체소자와 실장기관의 열팽창 계수의 차에 의해 접속 불량 등이 발생하는 경우가 있다. 그래서 반도체소자의 전극단자를 에어리어 형상으로 배치함으로써 전극단자 간 피치를 넓히는 방법을 취해 왔으나, 최근에는 에어리어 배치에서도 협피치화의 진전이 현저해져서, 반도체소자나 실장 기관의 전극단자에의 땀납 층 형성기술에 관해서도 엄격한 요구가 요청되고 있다.

[0005] 종래, 반도체소자의 전극단자 상에의 땀납 층 형성기술로는 도금법이나 스크린 인쇄법, 불 탑재법 등이 이용되고 있으나, 도금법은 협피치에는 적합하나, 공정이 복잡해진다는 점 및 설비 라인이 대형화하는 점에서 생산성에 문제가 있다.

[0006] 또, 스크린 인쇄법이나 불 탑재법은 생산성에는 우수하나, 마스크를 이용하고 있으므로 협피치화에 대응하기가 곤란하다.

[0007] 이와 같은 상황에서, 최근 LSI 소자의 전극단자나 회로기판의 접속단자 상에 땀납을 선택적으로 형성하는 기술

이 몇 가지 제안되어 있다(예를 들어 특허문헌 1 참조). 이들 기술은 미세 범프의 형성에 적합할 뿐만 아니라, 뿔납 층의 일괄 형성이 가능하므로 생산성에서도 우수하며, 계속 주목되고 있다.

- [0008] 상기 기술로 특허문헌 1에서 제안되어 있는 기술에서는, 먼저, 표면에 산화 피막이 형성된 뿔납 분말과 플럭스의 혼합물에 의한 뿔납 페이스트가 접속단자가 형성되어 있는 회로기판상의 전면에 도포된다. 그리고 그 상태에서 회로기판을 가열함으로써 뿔납 분말을 용융시켜서, 인접하는 접속단자 간에서 단락을 일으키지 않고 접속단자 상에 선택적으로 뿔납 층이 형성된다.
- [0009] 그러나 이 뿔납 층 형성방법에서는 전극단자 간이 좁으므로 뿔납 페이스트 용융 후의 세정을 실시해도 전극단자 간에 미용융의 뿔납 분말이나 플럭스 성분이 잔존하여, 플립 칩 실장 후의 사용 환경 하에서 브리지 불량이나 마이그레이션(Migration) 불량이 발생한다고 하는 문제가 있었다.
- [0010] 이들 문제를 해결하는 방법으로, 뿔납 분말을 부착한 지지체를 반도체 소자나 회로기판에 증착시켜서 가열·가압함으로써 뿔납 분말을 선택적으로 전극단자 상에 부착시키는 뿔납 층 형성기술이 제안되어 있다(예를 들어 특허문헌 2 참조).
- [0011] 도 9a~e는 특허문헌 2에서 제안되어 있는, 워크의 뿔납 부착부에 미리 뿔납을 부착시키는 뿔납 층 형성(프리 코트)을 실행하는 공정의 설명도이다. 이하에 그 공정을 설명한다.
- [0012] 먼저, 지지체(51)의 한쪽 면에 점착제(52)가 도포된다(도 9a).
- [0013] 다음에, 지지체(51)에 도포한 점착제(52) 위에 점착제(52)가 드러나지 않을 정도로 분말 뿔납(53)이 산포(散布)된다(도 9b).
- [0014] 그 후, 지지체(51) 상의 분말 뿔납(53)을 브러시(54)로 긁어냄으로써 점착제(52)에 점착되어 있지 않은 잉여의 분말 뿔납(53)을 제거하여 분말 뿔납(53)을 균일하게 한다(도 9c).
- [0015] 한편, 워크(55)의 뿔납부(56)가 형성된 면에는 스프레이 도포기(57)에 의해 액상 플럭스(58)가 도포된다(도 9d). (59)는 레지스트이다.
- [0016] 다음에, 워크(55)의 플럭스 도포면과 지지체(51)의 분말 뿔납 점착면을 증착시킨다. 이때 지지체(51)의 위에서 도시하지 않는 프레스기에 의해 워크(55)와 지지체(51) 간에 압력이 가해진다. 그러면 점착제(52)는 유연성이나 추종성이 있으므로, 지지체(51)에 압력을 가하면 점착제(52)에 점착된 분말 뿔납(53)은 뿔납부(56)에 접하게 된다(도 9e).
- [0017] 그리고 워크(55)와 지지체(51)가 증착된 것을 도시하지 않는 가열장치로 가열 가압하면 분말 뿔납(53)은 뿔납부(56)의 계면에서 확산 접합된다. 그리고 냉각한 후에 워크(55)에서 지지체(51)를 제거하면, 뿔납부(56)의 계면에서 확산 접합된 분말 뿔납(53)은 뿔납부(56) 상에 남고, 레지스트(59) 상의 분말 뿔납(53)은 지지체(51)와 함께 제거된다.
- [0018] 그 후, 리플로 노에서 뿔납부(56) 상의 분말 뿔납(53)을 용융함으로써 워크(55)가 반도체소자인 경우라면 전극단자 상에 뿔납 층이 형성된다.
- [0019] 이 뿔납 층 형성방법에 의하면, 헤파치 전극단자에도 뿔납 층을 형성할 수 있고, 전해도금과 같이 대형 설비라인에서 복잡한 공정을 실시할 필요가 없으며, 높은 생산성으로 간단하고 쉽게 생산할 수 있다.

선행기술문헌

특허문헌

- [0020] (특허문헌 0001) 특허문헌 1 : 일본국 특개 2000-094179호 공보
- (특허문헌 0002) 특허문헌 2 : 국제공개 제 2006/067827호 팸플릿

발명의 내용

해결하려는 과제

- [0021] 그러나 층간 절연막에 저유전을 막을 이용하는 반도체소자나 취약한 전극단자가 형성된 회로기판에 대해서 상기

와 같은 특허문헌 2의 뿔납 층 형성기술을 이용하면, 상술한 뿔납 부착 지지체의 일례인 뿔납 전사기재를 박리할 때에 저유전율 막이나 전극 패드가 박리해 버린다는 문제가 있었다.

- [0022] 최근 요구되는 배선 룰의 미세화나 고속 신호처리에 대응할 목적으로 반도체소자의 층간 절연막에 저유전율 막(이른바 low-k막이나 ULK(Ultra Low-k) 막 등)이 이용하게 되었다. 저유전율 막 자체는 유전율을 낮추기 위해 다수의 수 nm의 공공을 갖는 포러스(Porous) 형상(저유전율의 밀도는 예를 들어 1.0~1.4g/cm³)으로 되어 있다.
- [0023] 도 10a 및 b에 이 취약한 저유전율 막(67)을 갖는 반도체 소자 상의 전극단자에 상기한 특허문헌 2의 뿔납 층 형성기술을 이용하여 뿔납 층을 형성하는 공정을 개념적으로 나타내는 확대 단면도를 나타낸다.
- [0024] 도 10a에 나타내는 것과 같이, 뿔납 전사기재(65)는 두께 s1의 기재(64)와 그 위에 형성된 두께 a1의 점착제(62)와 그 위에 배치된 뿔납 분말(63)을 구비하고 있다. 한편, 취약한 저유전율 막(67)을 갖는 반도체 소자(66)는 그 뿔납 전사기재(65)에 가까운 쪽의 표면에는 전극 패드(69) 상에 돌기 전극(68)이 형성되어 있다.
- [0025] 도 10b에 나타내는 것과 같이, 돌기 전극(68)을 갖는 반도체소자(66)에 뿔납 전사기재(65)를 딱 눌러서 가열하는 공정에서 점착제(62)와 돌기 전극(68) 사이가 접촉한다.
- [0026] 이때, 돌기 전극(68)에 접하지 않은 위치의 점착 층 두께 a2의 압축량은 적는데 반해 돌기 전극(68)에 접촉하는 점착 층 두께 b2는 크게 압축된다. 즉, a1≒a2>b2의 관계에 있다. 그 때문에 돌기 전극(68) 상의 점착 층에는 큰 압축 응력이 더해져서 점착제(62)와 뿔납 분말(63) 및 돌기 전극(68)이 견고하게 접촉된다.
- [0027] 이 점착제(62)와 돌기 전극(68) 간의 접촉강도가 취약한 저유전율 막(67)의 강도를 상회하므로, 도 10c에 나타낸 것과 같이 뿔납 전사기재(65)를 박리하는 공정에서 전극 패드(69) 하부의 취약한 저유전율 막(67)에서 분리해 버린다는 문제가 있었다.
- [0028] 또, 워크(55)로 회로기판을 이용하는 경우에는, 예를 들어 실리콘으로 이루어지는 회로기판상에 Si와의 밀착력이 약한 Cu로 이루어지는 전극 패드가 형성되어 있는 회로기판 등에 있어서도 상기한 특허문헌 2의 뿔납 층 형성기술을 이용하여 뿔납 층을 형성하는 경우, 상기와 마찬가지로 뿔납 전사기재를 박리할 때에 취약한 전극 패드가 회로기판으로부터 박리해 버리는 문제가 있었다.
- [0029] 본 발명은 종래의 뿔납 전사기재의 과제를 고려하여, 뿔납 전사기재가 원활하게 박리하기 쉬운 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 뿔납 전사방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0030] 상술한 과제를 해결하기 위해 제 1 본 발명은, 베이스 층과, 상기 베이스 층 상에 배치된 점착 층과, 상기 점착 층 상에 배치된 복수의 뿔납 분말을 구비하고, 상기 베이스 층에는 상기 점착 층의 배치되지 않은 쪽에서 상기 점착 층의 배치되어 있는 쪽에, 적어도 박리 액을 통과시키는 복수 개의 구멍이 형성되어 있는 뿔납 전사기재이다.
- [0031] 제 2 본 발명은, 상기 점착 층은 상기 박리 액을 주입하면 팽창하는 특성을 가지고 있는 제 1 본 발명의 뿔납 전사기재이다.
- [0032] 제 3 본 발명은, 상기 베이스 층은 다공성 부재인, 제 1 본 발명의 뿔납 전사기재이다.
- [0033] 제 4 본 발명은, 상기 복수 개의 구멍은 상기 베이스 층의 상기 점착 층과 접촉하고 있지 않은 쪽의 면으로부터 상기 베이스 층의 상기 점착 층과 접촉하는 면에 향해 관통하도록 설치되어 있는 제 1 본 발명의 뿔납 전사기재이다.
- [0034] 제 5 본 발명은, 상기 복수 개의 구멍은 적어도 상기 점착 층의 안쪽까지 형성되어 있는 제4의 본 발명의 뿔납 전사기재이다.
- [0035] 제 6 본 발명은, 상기 점착 층보다도 상기 베이스 층 쪽이 가열시에 있어서 압축률이 큰, 제 1 본 발명의 뿔납 전사기재이다.
- [0036] 제 7 본 발명은, 복수 개의 구멍을 가지는 베이스 층 표면에 점착 층을 형성하는 점착 층 형성공정과, 상기 점착 층 상에, 틈새를 가지도록 복수의 뿔납 분말을 탑재하는 뿔납 분말 탑재공정과, (을)를 갖춘, 뿔납 전사기재의 제조방법이다.
- [0037] 제 8 본 발명은, 베이스 층 표면에 점착 층을 형성하는 점착 층 형성공정과, 상기 점착 층 상에, 틈새를 가지도

록 복수의 뿔납 분말을 탑재하는 뿔납 분말 탑재 공정과, 적어도 상기 베이스 층을 관통하는 구멍을 형성하는 관통공정과, (을)를 갖춘, 뿔납 전사기재의 제조방법이다.

[0038] 제 9 본 발명은, 제 1 본 발명의 뿔납 전사기재와 전극이 표면에 형성된 회로기판 또는 전자부품을, 상기 뿔납 분말이 탑재된 면이 상기 전극의 형성된 면에 대향하도록 중첩하여 가열 가압하여 상기 뿔납 분말을 상기 전극에 접합시키는 뿔납 접합공정과, 박리 액을 상기 베이스 층 내에 설치된 복수 개의 구멍을 통하여 상기 점착 층에 침투시키는 박리 액 침투공정과, 상기 뿔납 전사기재를 상기 회로기판 또는 상기 전자부품으로부터 박리하는 전사기재 박리공정을 갖춘, 뿔납 전사방법이다.

[0039] 제 10 본 발명은, 제 1 본 발명의 뿔납 전사기재와 전극이 표면에 형성된 회로기판 또는 전자부품을, 상기 뿔납 분말이 탑재된 면이 상기 전극의 형성된 면에 대향하도록 겹쳐서 가열 가압하여 상기 뿔납 분말을 상기 전극에 확산 접합시키는 뿔납 접합공정과, 플럭스 성분을 함유하는 박리 액을 상기 베이스 층 내에 설치된 복수 개의 구멍을 통하여 상기 점착 층에 침투시키는 박리 액침투공정과, 상기 뿔납 전사기재를 상기 회로기판 또는 상기 전자부품으로부터 박리하는 전사기재 박리공정과, 뿔납의 용점 이상으로 가열을 하여 상기 뿔납 분말을 용융시키는 뿔납 층 형성공정을 구비하는 뿔납 전사방법이다.

발명의 효과

[0040] 본 발명에 의하면 원활하게 박리하기 쉬운 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 뿔납 전사방법을 제공할 수 있다.

도면의 간단한 설명

[0041] 도 1은 본 발명의 실시형태 1에서의 뿔납 전사기재를 개념적으로 나타내는 단면 구성도이다.
 도 2a는 본 발명의 실시형태 1에서의 뿔납 분말 탑재공정을 설명하기 위한 단면 구성도이다.
 도 2b는 본 발명의 실시형태 1에서의 뿔납 분말 탑재공정을 설명하기 위한 단면 구성도이다.
 도 2c는 본 발명의 실시형태 1에서의 뿔납 분말 탑재공정을 설명하기 위한 단면 구성도이다.
 도 2d는 본 발명의 실시형태 1에서의 뿔납 분말 탑재공정을 설명하기 위한 단면 구성도이다.
 도 3a는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3b는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3c는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3d는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3e는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3f는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 3g는 본 발명의 실시형태 1에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 4a는 본 발명의 실시형태 2에 있어서 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 4b는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
 도 4c는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단

면 구성도이다.

도 4d는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 4e는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 4f는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 4g는 본 발명의 실시형태 2에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5a는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5b는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5c는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5d는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5e는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 5f는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

도 6a는 본 발명의 실시형태 4에서의 뿔납 전사기재를 개념적으로 나타내는 단면 구성도, b는 본 발명의 실시형태 4에서의 뿔납 전사기재를 개념적으로 나타내는 평면 구성도이다.

도 7a~d는 본 발명의 실시형태 4의 뿔납 전사기재를 이용한 반도체장치의 제조방법 안의 뿔납 전사방법을 개념적으로 나타내는 단면 구성도이다.

도 8은 본 발명의 실시형태 1의 뿔납 전사기재와 그에 대향하여 배치한 회로기판을 나타내는 단면 구성도이다.

도 9a~e는 종래의 실시형태에서의 뿔납 층 형성(프리코트)을 실시하는 공정의 설명도이다.

도 10a~c는 종래의 뿔납 층 형성기술에 의한 취약한 저유전율 막을 가지는 반도체소자 상의 전극단자에 뿔납 층을 형성하는 공정을 개념적으로 나타내는 확대 단면 구성도이다.

발명을 실시하기 위한 구체적인 내용

[0042] 이하, 본 발명의 실시형태에 대해 도면을 참조하면서 설명한다.

[0043] (실시형태 1)

[0044] 이하에 본 발명에 관한 실시형태 1에서의 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해 설명한다.

[0045] 도 1은 본 발명의 실시형태 1에서의 뿔납 전사기재를 개념적으로 나타내는 단면 구성도이다.

[0046] 도 1에 나타내는 것과 같이, 본 실시형태 1의 뿔납 전사기재(5)는 베이스 층(1)과 베이스 층(1) 위에 배치한 점착 층(2)과 점착 층(2)에 점착하도록 탑재된 복수의 뿔납 분말(3)을 구비하고 있다.

[0047] 베이스 층(1)은 복수 개의 구멍을 가지는 기재(base)이며, 그 두께 s1은 0.020~2.0mm이다. 당해 복수 개의 구멍을 가지는 기재는 섬유로 이루어지는 재료이며, 예를 들어 린타지(동경특수지업 주식회사(東京特殊紙業 株式会社) 제, 상품명), 파코 패드(주식회사 머티리얼(株式會社 マテリアル) 제, 상품명) 등의 셀룰로오스 베이스 재나, 탑 보드(야마우치 주식회사(ヤマウチ 株式會社) 제, 상품명), 에이스 보드(이치카와 모직 주식회사(市川毛

織 株式會社) 제, 상품명), 추코후로 NS보드(중흥화성공업 주식회사(中興化成工業 株式會社) 제, 상품명) 등의 직포재나 이들을 조합한 복합재를 이용할 수 있다.

- [0048] 이와 같이 베이스 층(1)은 섬유로 이루어지는 기재이며, 내부에 복수 개의 구멍을 가지는 구조이므로 후술하는 가열·가압시는 금형의 평행도의 기울기를 흡수하여 뿔납 전사시트를 균일하게 가열·가압하는 쿠션재의 역할을 담당한다. 또, 상세한 것은 후술하나, 베이스 층(1)은 박리 액을 베이스 층의 재료 중에 침투하기 쉽도록 점착제까지 도달시키는 침투재의 역할을 담당한다. 또한 이 베이스 층(1)이 본 발명의 다공성 부재의 일례에 대응한다.
- [0049] 점착 층(2)은 예를 들어 아크릴계, 실리콘계, 고무계 등의 점착제로 이루어진다.
- [0050] 뿔납 분말(3)은 SnAgCu, SnAgBiIn, SnZnBi, Sn, In, SnBi 등을 이용하면 좋다.
- [0051] 점착 층(2)의 두께 a1은 뿔납 분말(3)의 지름에 대응하여 자유롭게 설정할 수 있다. 예를 들어 뿔납 분말(3)의 지름이 2~12 μ m일 때 점착 층(2)의 두께 a1은 5~100 μ m로 하는 것이 바람직하다.
- [0052] 다음에, 본 실시형태 1의 뿔납 전사기재의 제조방법에 대하여 설명한다.
- [0053] 먼저, 셀룰로오스로 이루어지는 두께 s1의 베이스 층(1) 상에 두께 a1의 점착 층(2)이 형성된다. 이 공정이 본 발명의 점착 층 형성공정의 일례에 대응한다.
- [0054] 다음에, 이 점착 층(2) 상에 뿔납 분말(3)이 부착된다. 이 점착 층(2)의 점착제로는 고무계 수지가 이용된다. 또, 뿔납 분말(3)은 예를 들어 Sn3Ag0.5Cu를 성분으로 하는 것이 이용된다. 도 2a~d는 본 실시형태 1의 뿔납 분말 탑재공정을 설명하기 위한 단면 구성도이다.
- [0055] 도 2a에 나타내는 것과 같이, 점착 층(2) 상에 뿔납 분말(3)이 배치될 예정인 복수의 배치부(71)가 개방되어 있는 마스크(70)가 배치된다. 그리고, 도 2b에 나타내는 것과 같이, 마스크(70)의 위에서 예를 들어 솔 등을 이용하여 복수의 뿔납 분말(3)이 공급된 후에 마스크(70)를 제거한다. 이어서, 도 2c에 나타내는 것과 같이, 공기 분사(72)(air blow)에 의해 배치부(71) 이외에 공급된 뿔납 분말(3)을 불어내서, 도 2d에 나타내는 것과 같이, 복수의 배치부(71)의 각각 배치된 뿔납 분말(3)이 점착 층(2) 상에 남음으로써 뿔납 전사기재(5)가 제작된다.
- [0056] 이와 같이 마스크(70)를 이용하여 뿔납 분말(3)을 점착 층(2)에 부착하므로 뿔납 분말(3) 사이에는 간격이 형성된다. 또, 여분의 뿔납 분말(3)을 제거함으로써 두께가 실질상 일정해지도록 뿔납 분말(3)을 배치할 수 있다. 또한, 도 2a~d의 공정이 본 발명의 뿔납 분말 탑재공정의 일례에 대응한다. 또, 솔에 한정하지 않으며, 채(sieve)로 치는 방법으로 뿔납 분말(3)을 공급해도 좋다.
- [0057] 이상과 같이 뿔납 전사기재(5)가 작성된다. 본 실시형태 1에서는 예를 들어 베이스 층(1)의 두께 s1은 1.5mm, 점착 층(2)의 두께 a1은 0.050mm, 뿔납 분말(3)의 입경은 0.002~0.012mm로 설정된다. 여기서, 베이스 층(1)과 점착 층(2)은 고온 상태(예를 들어 190~210℃)에서 동일 하중을 인가한 경우에 점착 층(2) 쪽이 베이스 층(1)보다도 압축률이 커지도록 각각의 재료, 밀도 등이 설정되어 있다.
- [0058] 본 실시형태 1에서는 베이스 층(1)으로 압축률이 20~40%(0.5MPa 인가 시의 텐실론 측정기(Tensilon tester)의 결과)가 되도록 셀룰로오스 밀도가 조정된 것을 이용하였다.
- [0059] 다음에, 본 실시형태 1의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 설명하는 동시에, 본 발명의 뿔납 전사방법의 일례에 대해서도 동시에 설명한다.
- [0060] 도 3a~g는 본 실시형태 1에서의 뿔납 전사기재(5)를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다. 이하, 도 3a~g를 이용하여 본 실시형태 1의 반도체장치의 제조방법에 대해 설명한다.
- [0061] 도 3a에 나타내는 것과 같이, 도면 중의 뿔납 전사기재(5)의 아래쪽에는 반도체소자(6)가 배치되어 있다. 이 반도체소자(6)의 내부에는 취약한 저유전율 막(UltLowK)(7)이 형성되어 있고, 도 3a에 있어서 뿔납 전사기재(5) 측의 표면에는 예를 들어 Au/NiP로 이루어지는 복수 개의 돌기 전극(8)이 전극 패드(12) 상에 형성되어 있다. 또한, 돌기 전극(8)은 평면에서 본 경우에 있어서 매트릭스 형상으로 형성되어 있다. 또, 돌기 전극(8)이 형성되어 있지 않은 부분의 반도체소자(6)의 표면은 예를 들어 실리콘 나이트 라이드 등의 절연막(9)으로 덮여 있다.
- [0062] 예를 들어 돌기 전극(8)은 높이가 0.008~0.013mm이며, 0.050mm의 피치로 무전해 도금 공법으로 형성되어 있다.
- [0063] 또한, 여기에서 뿔납 층 형성의 대상으로 하고 있는 반도체소자(6)가 본 발명의 전자부품의 일례에 대응한다.

- [0064] 먼저, 도 3a에 나타내는 것과 같이, 뿔납 전사기재(5)와 반도체소자(6)가 뿔납 전사기재(5)의 뿔납 분말(3)과 반도체소자(6)의 돌기 전극(8)이 대향하도록 배치된다.
- [0065] 다음에, 도 3b에 나타내는 것과 같이, 뿔납 전사기재(5)의 뿔납 분말(3)이 탑재된 면이 돌기 전극(8)이 형성되어 있는 면과 중첩되어서 가열·가압을 한다. 가열에 의해 점착 층(2)은 연화하여 뿔납 분말(3)이 점착 층(2) 중에 매립되면서 뿔납 분말(3)과 돌기 전극(8)은 돌기 전극(8)의 계면에서 서로 확산 접합된다. 또한, 뿔납 분말(3) 사이에는 간격이 있고, 뿔납 분말(3) 간에는 점착 층(2)이 비집고 들어가므로, 이웃하는 뿔납 분말(3)이 용융되어 서로 연결되는 일은 없다. 또, 연화한 점착 층(2)은 돌기 전극(8) 상의 뿔납 분말(3) 및 돌기 전극(8)과 접착된다.
- [0066] 여기서, 고온 상태(예를 들어 190~210℃)에서의 점착 층(2)의 압축률이 베이스 층(1)의 압축률보다도 높으므로, 점착 층(2)이 베이스 층(1)보다도 크게 변형하며, 점착 층(2)의 두께는 돌기 전극(8)에 접촉하지 않는 부분과 접촉하는 부분에서 다르다. 접촉하지 않는 부분의 두께 a2는 가열·가압하기 전의 초기 두께와 거의 동일하게 대해 돌기 전극(8)에 접촉하는 부분의 두께 b2는 크게 압축된다. 예를 들어 a2는 0.045mm에 비해 b2는 0.030~0.035mm가 되었다. 일반적으로 점착시의 응력이 강할수록, 즉 점착제가 압축될수록 점착강도가 강해진다는 것은 알려져 있다. 그러므로 압축률이 큰 돌기 전극(8)과 점착 층(2)은 견고하게 접착된다. 상기한 도 3b에 나타내는 공정이 본 발명의 뿔납 접합공정의 일례에 대응한다.
- [0067] 다음에, 도 3c에 나타내는 것과 같이, 뿔납 전사기재(5)가 부착된 반도체소자(6)가 박리 액 중에 침지된다. 박리 액은 예를 들어 에탄올, 이소프로필 알코올 등을 이용하면 좋다. 여기서, 베이스 층(1)에 복수 개의 구멍이 형성되어 있으므로 침지에 의해 박리 액은 베이스 층(1) 내를 침투하여 점착 층(2)까지 전달된다. 그리고 점착 층(2) 중에 박리 액이 비집고 들어가서(흑색 화살표 참조) 점착 층(2)이 두께방향으로 팽윤한다(백색 화살표 참조). 또한 점착 층(2)의 점착제와 뿔납 분말(3)의 계면에 박리 액이 들어가서 점착제와 뿔납 분말(3) 및 점착제와 돌기 전극(8) 사이의 접착강도가 저하한다.
- [0068] 이때, 돌기 전극(8)에 접촉하는 부분의 점착 층(2)은 돌기 전극(8)에 접촉하지 않는 부분보다도 압축률이 높으므로 팽창률이 커진다. 특히, 돌기 전극(8)에 접촉하는 부분에 있어서 점착 층(2)과 돌기 전극(8) 간의 접착강도가 내려가며, 뿔납 전사기재(5)가 박리되기 쉬워진다는 효과도 있다.
- [0069] 또한, 액 중에서 가열하거나, 초음파를 인가해도 상관없다. 다음의 박리공정에서 더 약한 힘으로 뿔납 전사기재(5)를 박리할 수 있게 된다.
- [0070] 또한, 뿔납 전사기재(5)에 박리 액을 공급하는 공급방법은 침지법에 의하지 않아도 좋으며, 스프인코트, 디스펜서, 포팅(potting), 코터(Coater) 등 뿔납 전사기재(5) 전체에 박리 액이 공급되는 방법이면 어떤 방법을 이용해도 상관없다. 상기한 도 3c에서 나타내는 공정이 본 발명의 박리 액 침투공정의 일례에 대응한다.
- [0071] 다음에, 도 3d에 나타내는 것과 같이, 뿔납 전사기재(5)가 반도체소자(6)로부터 박리된다. 돌기 전극(8) 상의 뿔납 분말(3)은 돌기 전극(8)과 접합되어 있으므로 돌기 전극(8) 상에 남는다. 한편, 돌기 전극(8) 외의 절연막(9) 상의 뿔납 분말(3)은 뿔납과 점착제(점착 층(2)) 간의 접착강도가 점착제(점착 층(2))와 절연막(9) 간의 접착강도를 상회하므로 뿔납 전사기재(5) 측의 점착 층(2)과 함께 박리되어 버린다. 이와 같이 하여 돌기 전극(8) 상에 뿔납 분말(3)이 접합된 상태가 된다.
- [0072] 또, 앞의 공정의 박리 액 침지에 의해 점착 층(2)의 점착제와 돌기 전극(8) 간의 접착강도가 돌기 전극(8) 아래의 저유전율 막(7)의 계면강도를 하회하므로, 저유전율 막(7)의 박리나 균열을 일으키는 일 없이 뿔납 전사기재(5)를 박리할 수 있다. 상기한 도 3d에 나타내는 공정이 본 발명의 전사기재 박리공정의 일례에 대응한다.
- [0073] 이후, 도 3e와 같이 플럭스(10)를 표면에 공급한 후, 도 3f와 같이 리플로 노에 투입하여 뿔납 분말(3)이 완전히 용융되어서 뿔납 층(30)이 형성된다. 이와 같이 용융시킴으로써 뿔납 높이가 균일해지며, 이후의 플립 칩 실장 시에 보다 확실하게 접합할 수 있게 된다. 그 후 도 3g와 같이 세정하여 플럭스를 제거해도 좋다.
- [0074] 그리고 플럭스를 제거한 반도체소자(6)를 기판에 플립 칩 실장함으로써 반도체장치를 제작할 수 있다.
- [0075] 여기서, 뿔납 전사기재(5)의 박리공정에 대해서 비교 결과를 설명한다.
- [0076] 180° 필 시험법(peel test)에서의 뿔납 분말(3) 용융 후의 뿔납 전사기재(5)와 Au-Ni 전극 간의 계면강도는 종래와 같이 박리 액이 통과할 수 있는 구멍이 없는 베이스 층을 이용하고, 또한 박리 액을 이용하지 않는 경우에는 10N/25mm인 것에 대해 본 실시형태 1에 의하면 2N/25mm까지 감소된다.

- [0077] 이상과 같이 본 실시형태 1의 뿔납 전사기재에 의하면 베이스 층에 박리 액을 침투시키는 복수 개의 구멍이 형성되어 있으므로 취약한 유전 막을 갖는 반도체소자에 있어서도 취약한 유전 막의 박리·균열의 발생, 특히 전극 패드 아래의 유전 막의 박리·균열을 감소시킬 수 있고, 뿔납 전사기재를 박리하기 쉬워진다.
- [0078] 또, 본 실시형태 1에 의하면 실질상 일정한 두께가 되도록 복수의 뿔납 분말(3)이 배치되고, 그것을 돌기 전극에 전사하므로, 뿔납 전사량의 불 균일을 억제하여 적절한 두께의 뿔납 층을 더 확실하게 형성할 수 있다.
- [0079] 또, 최근 생산성을 향상시키기 위해 반도체소자의 대구경화(예를 들어 직경 300mm), 기관의 대형화의 요청이 있으나, 대면적의 금형에서 가열·가압장치의 상부금형·하부금형의 평탄도·평행도를 확보하기가 매우 곤란하고, 면 내를 동일 가열조건으로 가열·가압할 수 없어서 뿔납 브리지 불량이나 뿔납 전사량 부족이 발생하는 경우가 있다는 문제가 있었다. 그러나 본 실시형태 1에서는 베이스 층(1)이 섬유로 이루어지는 기재이며, 쿠션성을 가지고 있으므로, 가열·가압시에는 금형의 평행도의 경사를 흡수해서 뿔납 전사시트를 균일하게 가열·가압하는 쿠션재의 역할을 담당한다.
- [0080] 그러므로 대구경의 반도체소자에서도 면 내를 더 균일한 가열조건으로 가열·가압을 할 수 있다.
- [0081] (실시형태 2)
- [0082] 이하에, 본 발명에 관한 실시형태 2에서의 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해 설명한다.
- [0083] 본 실시형태 2의 뿔납 전사기재의 기본적인 구성은 실시형태 1과 동일하나, 베이스 층과 점착 층의 고온 상태에서의 압축률이 실시형태 1과 다르다. 또한, 실시형태 1과 동일한 구성에 대해서는 동일한 부호를 붙이고 있다.
- [0084] 도 4a~g는 본 실시형태 2에서의 뿔납 전사기재(50)를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.
- [0085] 도 4a에 나타내는 것과 같이, 본 실시형태 2의 뿔납 전사기재(50)는 베이스 층(11)과 베이스 층(11)상에 배치한 점착 층(21)과 점착 층(21)에 점착하도록 탑재된 복수의 뿔납 분말(3)을 구비하고 있다.
- [0086] 베이스 층(11)은 복수 개의 구멍을 가지는 기재이며, 그 두께 s1은 0.020~2.0mm이다. 당해 복수 개의 구멍을 가지는 기재는 섬유로 이루어지는 재료이며, 예를 들어 린타(linter)지(동경 특수지업 주식회사(東京 特殊紙業 株式會社) 제, 상품명), 파코 패드(주식회사 머티리얼(株式會社 マテリアル) 제, 상품명) 등의 셀룰로오스 베이스 재나, 탑 보드(야마우치 주식회사(ヤマウチ 株式會社) 제, 상품명), 에이스 보드(이치카와 모직 주식회사(市川 毛織 株式會社) 제, 상품명), 추코후로 NS보드(중흥화성공업 주식회사(中興化成工業 株式會社) 제, 상품명) 등의 직포재나 이들을 조합한 복합재를 이용할 수 있다.
- [0087] 점착 층(21)은 예를 들어 아크릴계, 실리콘계, 고무계 등의 점착제로 이루어진다. 뿔납 분말(3)은 SnAgCu, SnAgBiIn, SnZnBi, Sn, In, SnBi 등을 이용하면 좋다.
- [0088] 여기서, 베이스 층(11)과 점착 층(21)을 동일 하중으로 밀어넣은 결과, 고온 상태(190~210℃)에서의 베이스 층(11)의 압축률이 점착 층(21)의 압축률보다도 크다. 즉, 본 실시형태 2에서는 고온 상태에서의 베이스 층(11)과 점착 층(21)의 압축률의 대소 관계가 실시형태 1의 베이스 층(1)과 점착 층(2)과는 반대로 되어 있다.
- [0089] 또, 본 실시형태 2의 뿔납 전사기재(50)의 제조방법은 실시형태 1과 마찬가지로 셀룰로오스로 이루어지는 두께 s1의 베이스 층(11) 상에 두께 a1의 점착 층(21)이 형성된다. 점착 층(21)의 점착제로서는 고무계 수지가 이용된다. 다음에, 이 점착 층(21)상에 뿔납 분말(3)이 부착되어 뿔납 전사기재(50)가 제작된다. 또한 뿔납 분말(3)은 예를 들어 Sn3Ag0.5Cu를 성분으로 하는 것이 이용되고, 점착제는 예를 들어 고무계 수지로 이루어진 것이 이용되었다.
- [0090] 본 실시형태 2에서는 예를 들어 베이스 층(11) 재의 두께 s1은 1.5mm, 점착 층(21)의 두께 a1은 0.050mm, 뿔납 입경은 0.002~0.012mm로 설정된다. 여기서, 본 실시형태 2에서는 베이스 층(11)으로 압축률이 70~95%(0.5MPa 인가시의 텐실론 측정기의 결과)가 되도록 셀룰로오스 밀도가 조정된 것이 이용되었다. 이와 같이 셀룰로오스 밀도를 조정함으로써 베이스 층(11)의 압축률을 실시형태 1과 다른 것으로 할 수 있다.
- [0091] 상기와 같이 베이스 층(11)과 점착 층(21)은 고온 상태(예를 들어 190~210℃)에서 동일 하중을 부가한 경우에 베이스 층(11) 쪽이 점착 층(21)보다도 압축률이 커지도록 각각의 재료, 밀도 등이 설정되어 있다.
- [0092] 다음에, 본 실시형태 2의 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해서 설명하는 동시에 본 발명의

멤납 전사방법의 일례에 대해서도 동시에 설명한다.

- [0093] 도 4a에 나타내는 것과 같이, 반도체소자(6)의 내부에는 절연막으로서 취약한 저유전율 막(Ultra LowK)(7)이 형성되어 있고, 그 멤납 전사기재(50) 쪽의 표면에는 예를 들어 Au/Ni로 구성되는 복수 개의 돌기 전극(8)이 전극 패드(12) 상에 형성되어 있다. 또한, 돌기 전극(8)은 평면에서 본 때 매트릭스 형상으로 형성되어 있다. 또, 돌기 전극(8)이 형성되지 않은 부분의 반도체소자(6)의 표면은 예를 들어 실리콘 나이트라이드 등의 절연막(9)으로 덮여 있다.
- [0094] 예를 들어 돌기 전극(8)은 높이가 0.008~0.013mm이며, 0.050mm의 피치로 전해도금 공법에 의해 형성되어 있다.
- [0095] 먼저, 도 4a에 나타내는 것과 같이, 멤납 전사기재(50)와 반도체소자(6)가 멤납 전사기재(50)의 멤납 분말(3)과 반도체소자(6)의 돌기 전극(8)이 대향하도록 배치된다.
- [0096] 다음에, 도 4b에 나타내는 것과 같이, 멤납 전사기재(50)의 멤납 분말(3)이 탑재된 면과 반도체소자(6)의 돌기 전극(8)이 형성된 면을 중첩시켜 가열·가압을 한다. 베이스 층(11)은 점착 층(21)보다도 압축률이 높으므로, 반도체소자(6)가 예를 들어 직경 300mm와 같이 대구경의 웨이퍼라도 쿠션재로서 작용을 해서 금형끼리의 평탄도·평행도의 차이를 흡수하여 영역 배치의 300mm 웨이퍼 내의 돌기 전극 상에 균일하게 응력을 인가할 수 있다.
- [0097] 또, 베이스 층(11)의 압축률이 점착 층(21)의 압축률보다도 높으므로 베이스 층(11)이 돌기 전극(8)의 두께를 흡수하여 점착 층(21)보다도 크게 변형한다. 그러므로 돌기 전극(8)과 접촉하는 부분의 점착 층(21)의 두께 a4 및 돌기 전극(8)과 접촉하지 않는 부분의 두께 a2는 모두 초기 두께 a1(가열·가압하기 전)와 거의 변화하지 않는다. 예를 들어 a1이 0.025mm에 비해 a2, a4는 0.022~0.025mm가 된다. 본 도 4b에 나타내는 공정이 본 발명의 멤납 접합공정의 일례에 대응한다.
- [0098] 다음에, 도 4c에 나타내는 것과 같이, 멤납 전사기재(50)가 부착된 반도체소자(6)가 박리 액을 넣은 액조 중에 침지된다. 박리 액은 예를 들어 에탄올, 이소프로필 알코올 등을 이용하면 좋다. 액조에의 침지에 의해 박리 액은 베이스 층(11) 중을 침투하여 점착 층(21)까지 전달된다. 그리고 점착 층(21) 중에 박리 액이 비집고 들어가서(흑색 화살표 참조) 점착 층(21)이 두께방향으로 팽윤한다(백색 화살표 참조). 또한, 점착 층(21)의 점착제와 멤납 분말(3)의 계면에 박리 액이 들어가서 점착 층(21)의 점착제와 멤납 분말(3) 및 돌기 전극(8) 간의 접착강도가 저하한다.
- [0099] 또, 가압에 의한 점착 층(21)의 두께의 수축률이 작으므로 점착 층(21)과 돌기 전극(8) 간의 접착강도가 낮아져서 멤납 전사기재(50)의 박리가 쉬워진다는 효과도 있다.
- [0100] 또한, 박리 액 중에서 가열하거나, 초음파를 인가해도 상관없다. 이와 같이 함으로써 다음의 박리공정에서 더 약한 힘으로 멤납 전사기재(50)를 박리할 수 있게 된다.
- [0101] 또한, 멤납 전사기재(50)에의 박리 액의 공급방법은 침지법에 의하지 않아도 좋으며, 스핀 코터, 디스펜서, 포팅, 바코터 등, 멤납 전사기재(50) 전체에 박리 액이 공급되는 방법이면 어떤 방법을 이용해도 상관없다. 상기한 도 4c에서 나타내는 공정이 본 발명의 박리 액 침투공정의 일례에 대응한다.
- [0102] 다음에, 도 4d에 나타내는 것과 같이, 멤납 전사기재(50)가 박리 된다. 돌기 전극(8) 상의 멤납 분말(3)은 돌기 전극(8)과 접합되어 있으므로 돌기 전극(8) 상에 남는다. 한편, 돌기 전극(8) 외의 절연막(9) 상의 멤납 분말(3)은 멤납과 점착제(점착 층(21)) 간의 접착강도가 점착제(점착 층(21))와 절연막(9) 간의 접착강도를 상회하므로 멤납 전사기재(50) 측의 점착 층(21)으로 이동해 가버린다. 이와 같이 돌기 전극(8) 상에 멤납 분말(3)이 접합된 상태가 된다.
- [0103] 또, 앞의 공정의 박리 액 침지에 의해 점착 층(21)과 돌기 전극(8) 간의 접착강도가 돌기 전극(8) 아래의 저유전율 막(7)의 계면강도를 하회하므로 저유전율 막(7)의 박리나 균열을 일으키지 않고 멤납 전사기재(50)를 박리할 수 있다. 상기한 도 4d에서 나타내는 공정이 본 발명의 전사기재 박리공정의 일례에 대응한다.
- [0104] 이후, 도 4e와 같이 플러스(10)를 표면에 공급한 후, 도 4f와 같이 리플로 노에 투입하여 멤납 분말(3)이 완전하게 용융되어 멤납 층(30)이 형성된다. 그 후, 도 4g와 같이 세정하여 플러스를 제거해도 좋다. 용융을 시킴으로써 멤납 높이가 균일해져서, 플립 칩 실장 시에 보다 확실하게 접합할 수 있게 된다. 그리고 반도체소자(6)를 플립 칩 실장함으로써 반도체장치를 제작할 수 있다.
- [0105] 본 실시형태 2에 의하면, 실시형태 1과 같이 점착 층(21)을 팽창시킴으로써 접착강도를 낮출 뿐만 아니라, 실시형태 1에 비해 점착 층(21)의 압축률이 작음에 따라서 돌기 전극과의 접착강도도 작아지기 때문에, 보다 약한

박리 강도로 뿔납 전사기재를 반도체소자(6)로부터 박리할 수 있게 된다. 예를 들어 180° 필 시험법에 따른 뿔납 분말(3) 용융 후의 뿔납 전사기재(50)와 Au-Ni 전극 간의 계면강도가 10N/25mm에서 1N/25mm까지 감소된다.

[0106] (실시형태 3)

[0107] 이하에, 본 발명에 관한 실시형태 3에서의 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해 설명한다.

[0108] 본 실시형태 3에서는 실시형태 2와 동일한 뿔납 전사기재(50)를 이용하고 있으나, 박리 액의 공급방법과 박리 액이 플럭스 성분을 함유하고 있다는 점이 다르다. 그러므로 실시 형태 2와의 차이점을 중심으로 설명한다. 또한, 실시형태 2와 동일한 구성에는 동일한 부호가 부여되어 있다.

[0109] 도 5a~f는 본 발명의 실시형태 3에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법을 개념적으로 나타내는 단면 구성도이다.

[0110] 도 5a, b는 실시형태 2의 도 4a, b와 동일하므로 설명을 생략한다.

[0111] 도 5c에 나타내는 것과 같이, 예를 들어 디스펜서, 스핀 코터, 포팅, 바코터 등의 박리 액 공급수단에 의해 박리 액이 베이스 층(11)의 이면(11a)의 전면에 공급된다. 이 박리 액에는 플럭스 성분이 포함되어 있다. 당해 박리 액은 내부에 공기 구멍을 가지는 당해 베이스 층(11) 중으로 침투해 가서 점착 층(21) 중으로 전달된 후, 돌기 전극(8)과 점착 층(21)의 계면으로 전달된다. 그리고 점착 층(21)이 두께 방향으로 팽윤한다. 도면 중 박리 액의 흐름을 흑색 화살표로 나타내고 있고, 팽윤을 백색 화살표로 나타내고 있다.

[0112] 본 도 5c에 나타내는 공정이 본 발명의 박리 액 침투공정의 일례에 대응한다.

[0113] 도 5d에 나타내는 것과 같이, 뿔납 전사기재(50)를 박리할 때에는 돌기 전극(8) 상의 뿔납 분말(3)의 위쪽이 플럭스 성분으로 덮인다. 여기서, 플럭스 성분은 이형재의 작용을 가지므로 점착 층(21)과 돌기 전극(8) 간의 접착강도를 낮출 수 있어서 더 낮은 강도로 박리하는 것이 가능해진다. 또한, 도 5d에 있어서 플럭스 성분은 부호 13으로 나타나고 있다.

[0114] 다음에, 도 5e, 도 5f에 나타내는 것과 같이, 플럭스 성분(13)으로 덮여진 반도체소자(6)가 리플로 노에 투입되어 뿔납 분말(3)이 용융되어 뿔납 층(30)이 형성된다. 본 도 5e에 나타내는 공정이 본 발명의 뿔납 층 형성공정의 일례에 상당한다.

[0115] 이어서, 도 5f에 나타내는 것과 같이, 플럭스 잔사가 세정에 의해 제거된다.

[0116] 여기서, 박리 후에 플럭스가 돌기 전극을 덮으므로, 도포기나 플럭스 공급장치 등에 의한 플럭스 공급공정이 불필요해져서, 제조 공정이 삭감되어 생산성이 향상하는 효과도 있다.

[0117] 그리고 반도체소자(6)를 플립 칩 실장 등에 의해 기판에 실장함으로써 반도체장치가 제작된다.

[0118] 본 실시형태 3의 박리 액의 공급수단에 의하면 박리 액의 공급량 및 공급 개소를 제어할 수 있으므로 박리 액을 공급할 필요가 없는 반도체소자(6)의 이면(6a)이나 기판의 이면에는 공급되지 않기 때문에, 이면에 부착한 박리 액을 제거하는 공정이 불필요하게 되어 생산성이 향상하는 효과가 있다. 또, 본 공급수단에 의하면 공급 전의 박리 액이 예를 들어 주사기 등의 밀폐 용기 중에서 보관되므로 박리 액의 교환 수명을 길게 할 수 있어서 생산성이 향상한다는 효과도 있다.

[0119] 또한, 본 실시형태 3에서는 플럭스 성분을 함유 한 디스펜서 등으로 공급하였으나, 그와 같은 박리 액을 넣은 액조 중에 침지해도 좋다.

[0120] (실시형태 4)

[0121] 이하에, 본 발명에 관한 실시형태 4에서의 뿔납 전사기재, 뿔납 전사기재의 제조방법 및 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해 설명한다.

[0122] 본 실시형태 4의 뿔납 전사기재는 기본적인 구성은 실시형태 1과 동일하나, 베이스 층의 구성과 베이스 층 및 점착 층을 관통하는 관통 공이 형성되어 있다는 점이 다르고, 박리 액의 공급방법이 다르다. 그러므로 이 차이점을 중심으로 설명한다. 또한, 실시형태 1과 동일한 구성에 대해서는 동일한 부호가 부여되어 있다.

[0123] 도 6a는 본 발명의 실시형태 4에서의 뿔납 전사기재(500)를 개념적으로 나타내는 단면 구성도이며, 도 6b는 본 발명의 실시형태 4에서의 뿔납 전사기재(500)를 개념적으로 나타내는 평면 구성도이다. 또한, 도 6b는 도 6a에

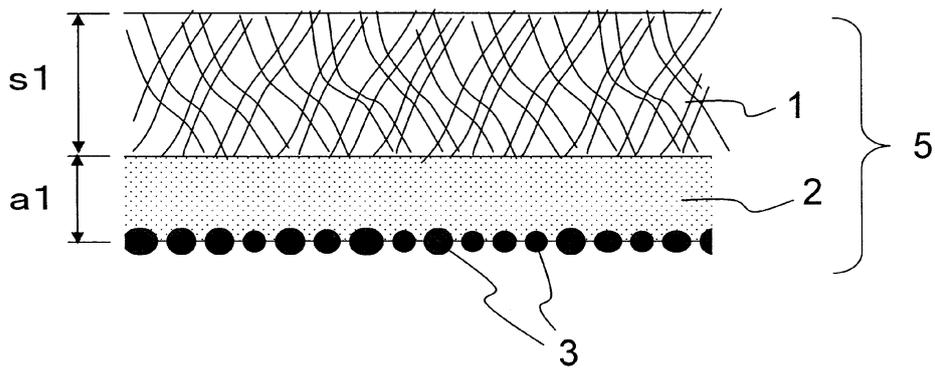
있어서 하방으로부터 뿔납 전사기재(500)를 본 도면이다.

- [0124] 도 6a에 나타내는 것과 같이, 본 발명의 실시형태 4에서의 뿔납 전사기재(500)는 베이스 층(110)과 당해 베이스 층(110) 상에 형성된 점착 층(2)과 당해 점착 층(2) 상에 점착된 뿔납 분말(3)과 당해 베이스 층(110)과 당해 점착 층(2)을 관통하도록 설치된 관통 공(15)을 구비하고 있다.
- [0125] 베이스 층(110)은 쿠션성이 있는 재료이며, 예를 들어 실리콘, 고무, PET, PEN 등을 이용할 수 있다. 또한, 본 실시형태 (4)의 베이스 층(110)의 소재 자체에는 박리 액이 통과 가능한 복수 개의 구멍은 형성되어 있지 않다.
- [0126] 또, 점착 층(2)은 예를 들어 아크릴계, 실리콘계, 고무계 등의 점착제로 이루어진다. 또 뿔납 분말(3)은 SnAgCu, SnAgBiIn, SnZnBi, Sn, In, SnBi 등으로 구성된다.
- [0127] 다음에, 본 실시형태 4에서의 뿔납 전사기재(500)의 제조방법에 대해 설명한다.
- [0128] 먼저, 두께 s1의 베이스 층(110) 상에 두께 a1의 점착 층(2)이 형성된다. 이 공정이 본 발명의 점착 층 형성공정의 일례에 대응한다.
- [0129] 다음에, 이 점착 층(2) 상에 뿔납 분말(3)이 부착된다. 이 공정이 본 발명의 뿔납 분말 탑재공정의 일례에 대응한다.
- [0130] 이어서, 베이스 층(110) 및 점착 층(2)을 관통한 관통 공(15)가 형성된다. 이 관통 공(15)은 펀칭 등에 의해 형성할 수 있다. 이 공정이 본 발명의 관통공정의 일례에 대응한다.
- [0131] 이상의 공정에 의해 뿔납 전사기재(5)가 작성된다. 또한, 뿔납 분말(3)은 예를 들어 Sn3Ag0.5Cu를 성분으로 하는 것이 이용되고, 점착제는 예를 들어 고무계 수지로 이루어지는 것이 이용되었다. 본 실시형태 4에서는 실시형태 1과 마찬가지로 예를 들어 베이스재의 두께 s1은 1.5mm, 점착 층의 두께 a1은 0.050mm, 뿔납 입경은 0.002~0.012mm로 설정된다.
- [0132] 다음에, 본 실시형태 4의 뿔납 전사기재를 이용한 반도체장치의 제조방법에 대해 설명하는 동시에, 본 발명의 뿔납 전사방법의 일례에 대해서도 동시에 설명한다.
- [0133] 도 7a~d는 본 발명의 실시형태 4에서의 뿔납 전사기재를 이용한 반도체장치의 제조방법 중의 뿔납 전사방법을 개념적으로 나타내는 단면 구성도이다.
- [0134] 도 7a에 나타내는 것과 같이, 취약한 저유전율 막(7)(예를 들어 Extremely Low-k)을 갖는 반도체소자(6) 상에는 돌기 전극(8)이 복수 개 매트릭스 상에 에어리어 배치로 배치되어 있다. 돌기 전극(8)은 전극 패드(12) 상에 형성되어 있고, 예를 들어 Cu로 이루어지며, 0.040mm피치로 등 간격으로, 높이 0.020mm로 배치되어 있다. 당해 뿔납 전사기재(500)는 그 뿔납 분말(3)이 반도체소자(6)의 돌기 전극(8)에 대향하도록 배치된다.
- [0135] 다음에, 도 7b에 나타내는 것과 같이, 뿔납 전사기재(500)의 뿔납 분말(3)이 탑재되어 있는 면과 반도체소자(6)의 돌기 전극(8)이 형성되어 있는 면을 중첩시켜 가열 가압하여 점착 층(2)이 압축 변형된다. 여기서, 점착 층(2)과 돌기 전극(8)은 점착된다. 본 도 7b에 나타내는 공정이 본 발명의 뿔납 접합공정의 일례에 대응한다.
- [0136] 다음에, 도 7c에 나타내는 것과 같이, 뿔납 전사기재(500)의 이면(110a)에 박리 액이 공급된다. 그러면 박리 액은 관통 공(15)을 통해서 점착 층(2)에 이르러서 점착 층(2)을 팽윤시킨다. 이 작용에 의해 점착 층(2)과 돌기 전극(8) 간의 점착강도는 감소된다. 도면 중 박리 액의 흐름을 흑색 화살표로 나타내고 있고, 팽윤을 백색 화살표로 나타내고 있다. 본 도 7c에 나타내는 공정이 본 발명의 박리 액 침투공정의 일례에 대응한다.
- [0137] 도 7d에 나타내는 것과 같이, 뿔납 전사기재(500)를 반도체소자(6)로부터 박리하는 공정에 있어서 더 낮은 강도로 박리할 수 있다. 본 도 7d에 나타내는 공정이 본 발명의 전사기재 박리공정의 일례에 대응한다. 후의 공정은 실시형태 1과 동일하다.
- [0138] 이상과 같이 본 실시형태 4에서는 베이스 층(110)은 박리 액이 통과 가능한 복수 개의 공기구멍을 보유하지 않는 조밀한 소재라도 관통 공을 통하여 박리 액을 주입할 수 있으므로, 뿔납 전사기재·돌기 전극 계면에 박리 액을 주입하기가 용이해진다. 또한, 본 주입방법에 의하면 특히 복수의 구멍을 이용하는 경우에 비해 돌기 전극과 점착된 뿔납 분말과 점착 층의 사이에 박리 액이 더 전달되기 쉬워진다는 효과가 있다.
- [0139] 또, 베이스 층(110)은 그 자체가 쿠션성이 있는 재료이므로, 예를 들어 450mm×450mm의 대형의 글라스 에폭시 기판상의 돌기 전극에 대해서도 베이스 층(110)이 금형 간의 평행도·평탄도를 흡수하여, 돌기 전극 상에 균일하게 응력을 인가할 수 있다.

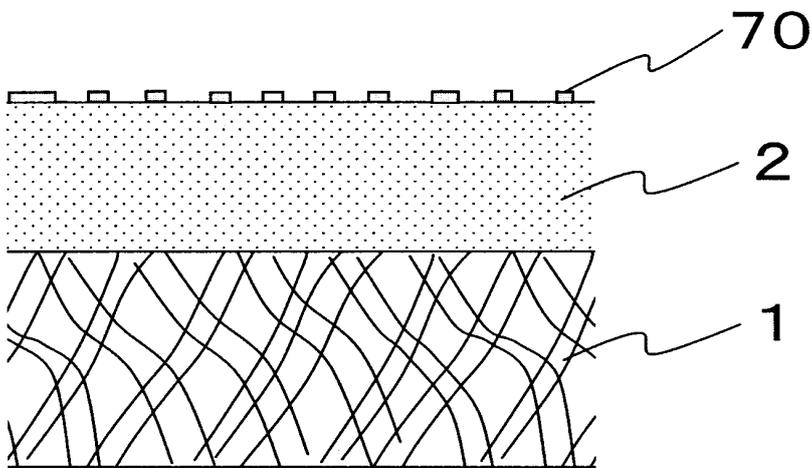
5, 50, 500	멤납 전사기재
6	반도체소자
7	저유전율 막
8	돌기 전극
9	절연막
10	플렉스
12	전극 패드
13	플렉스 성분
15	관통 공
16	회로기판
30	멤납 층

도면

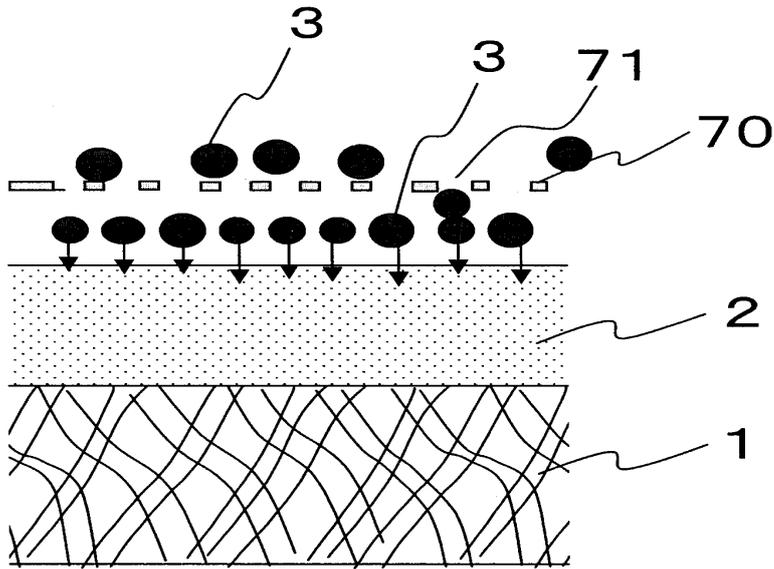
도면1



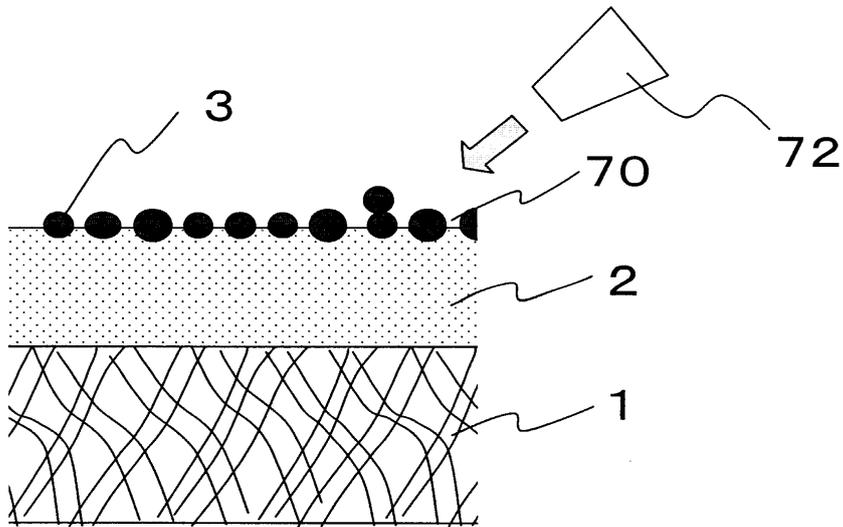
도면2a



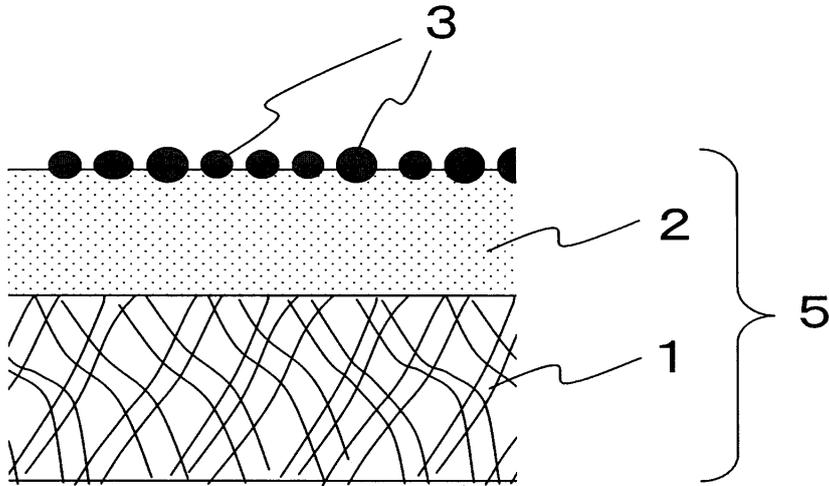
도면2b



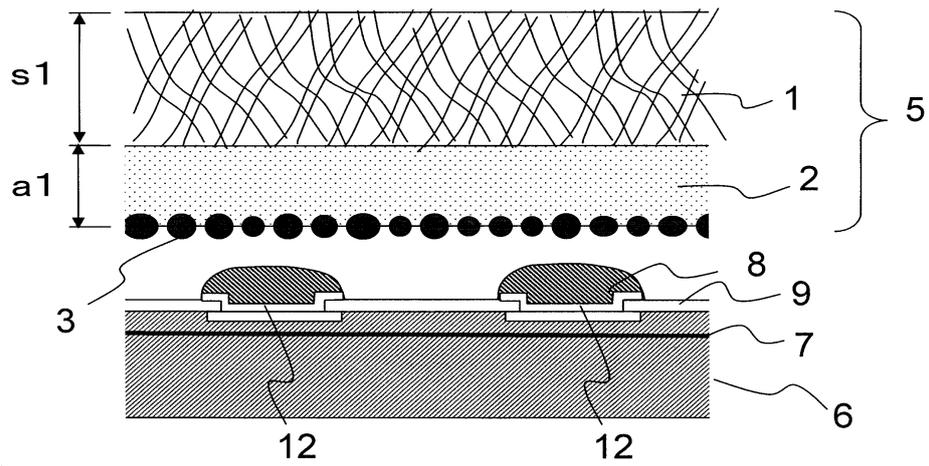
도면2c



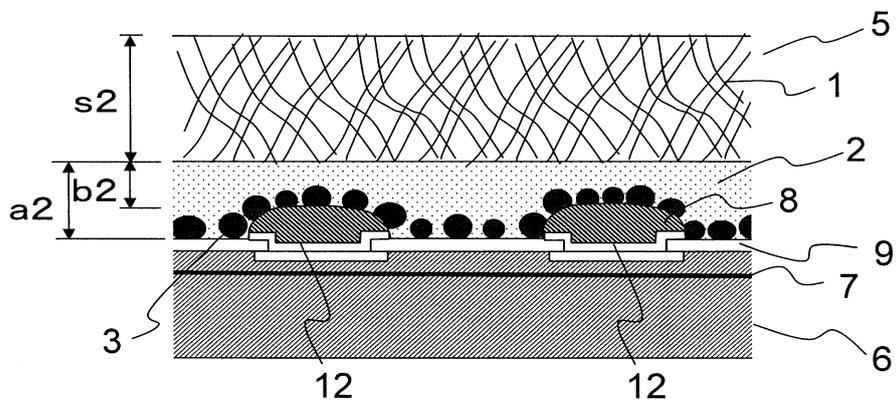
도면2d



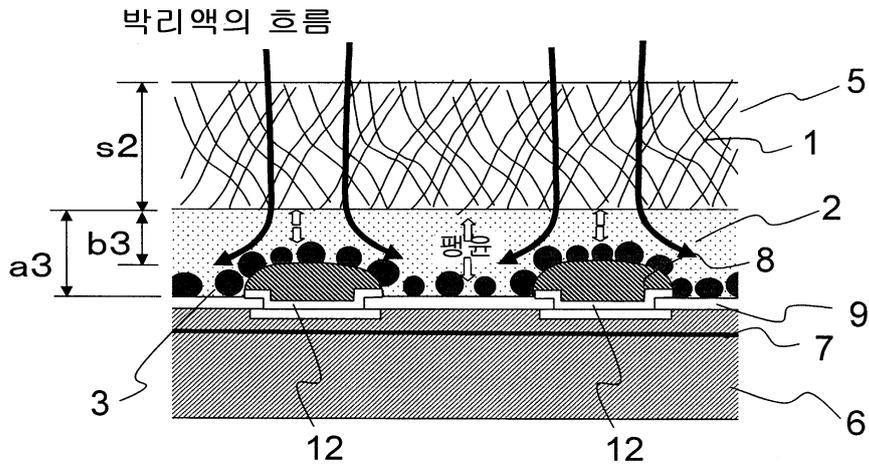
도면3a



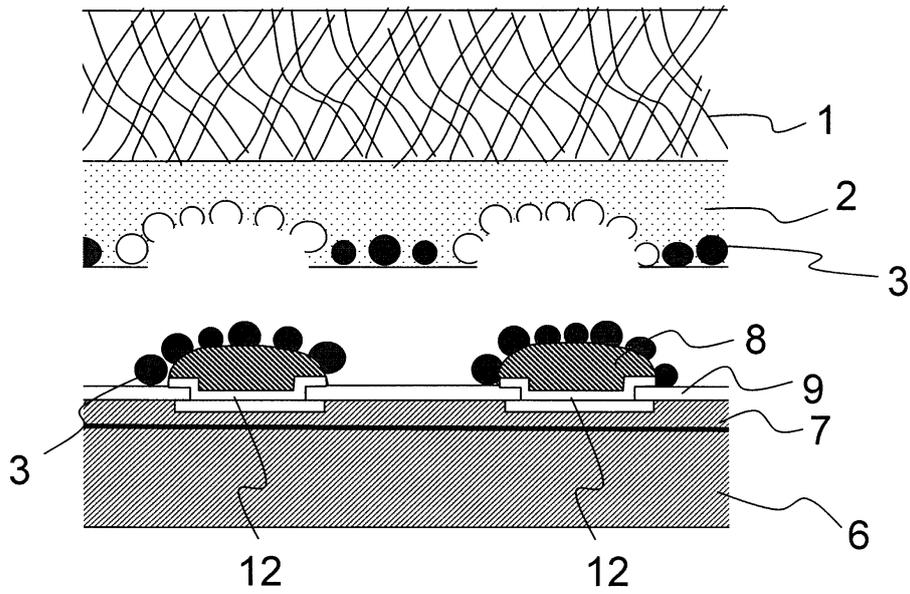
도면3b



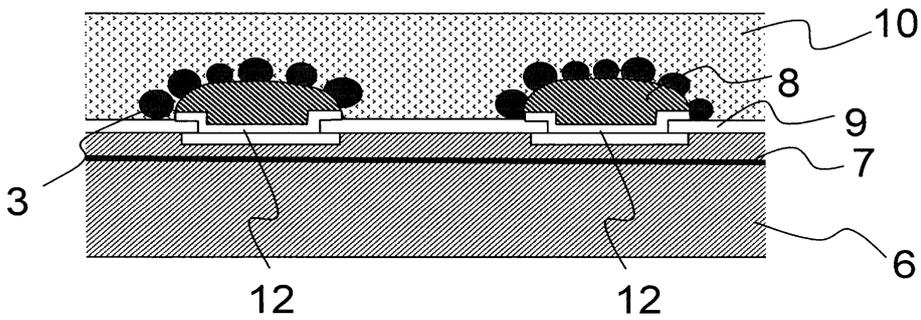
도면3c



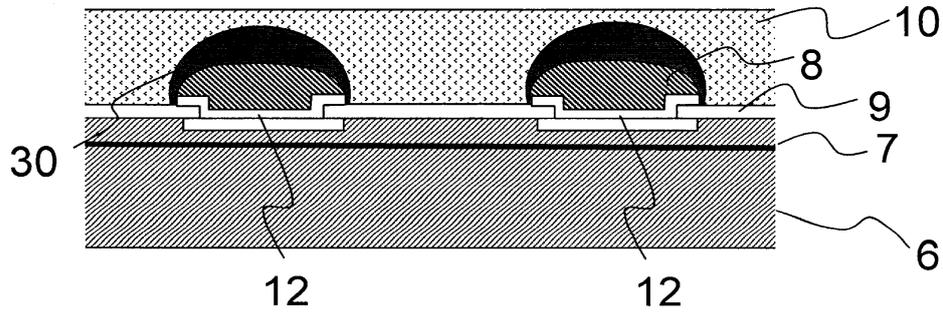
도면3d



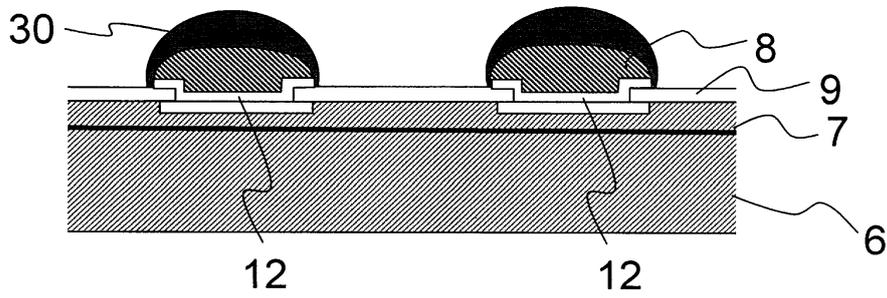
도면3e



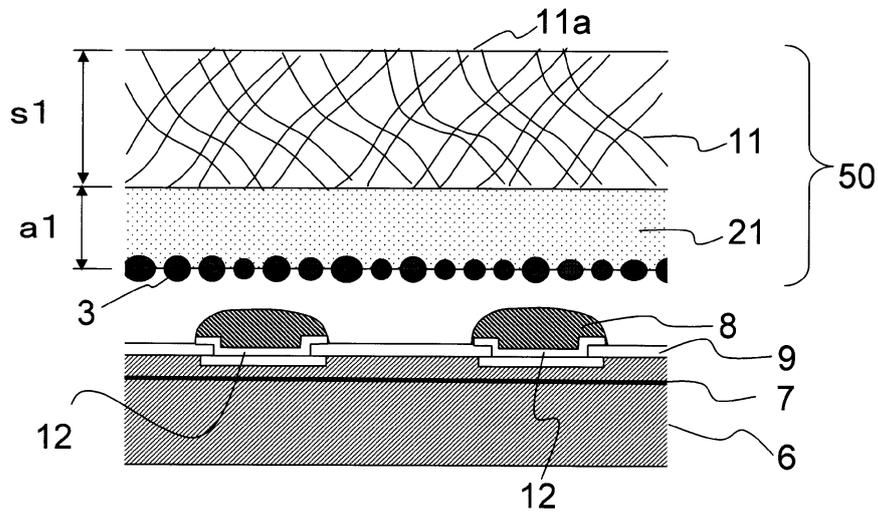
도면3f



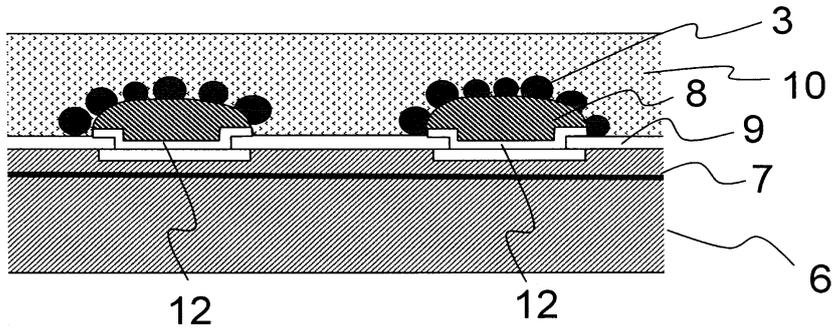
도면3g



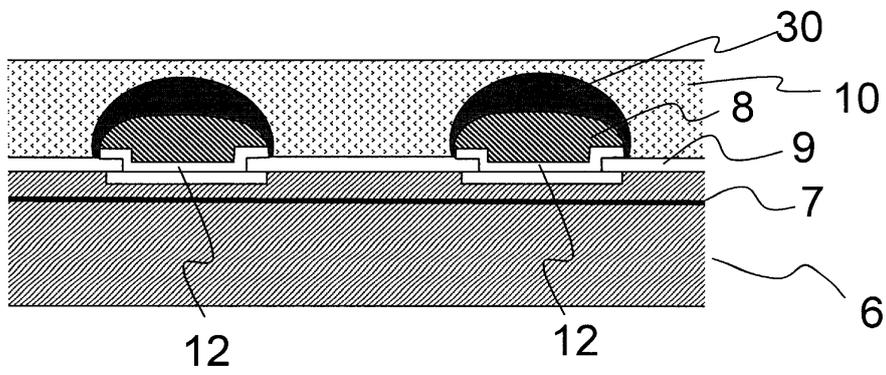
도면4a



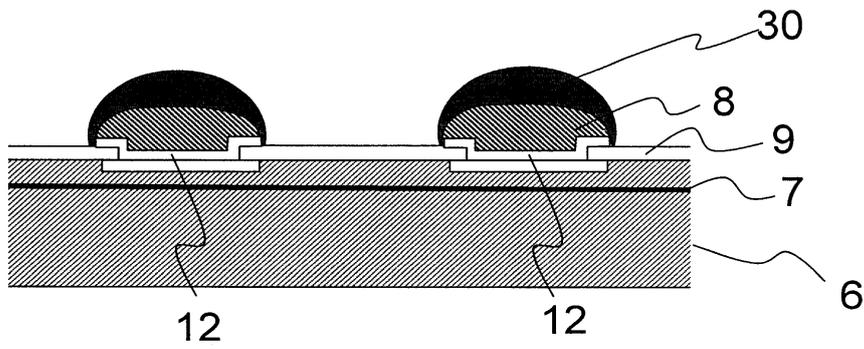
도면4e



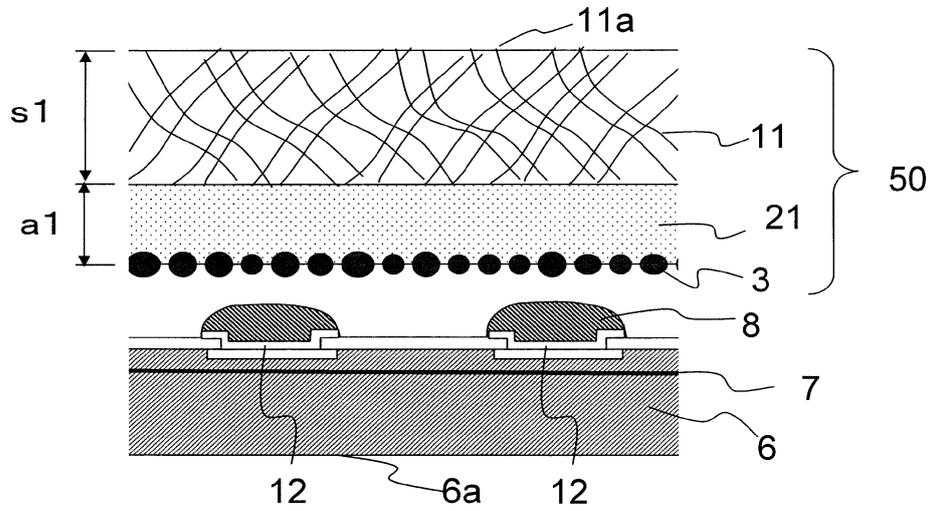
도면4f



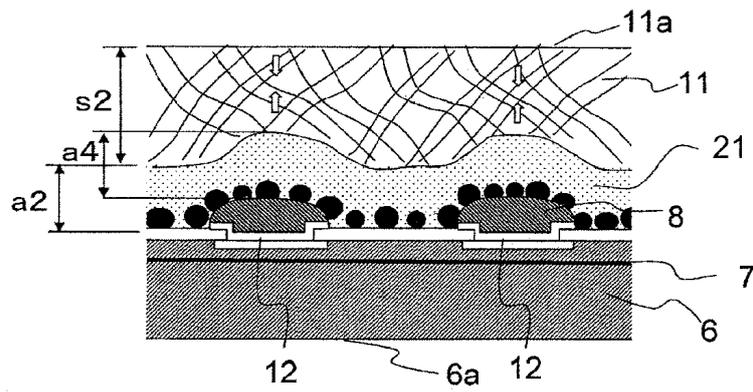
도면4g



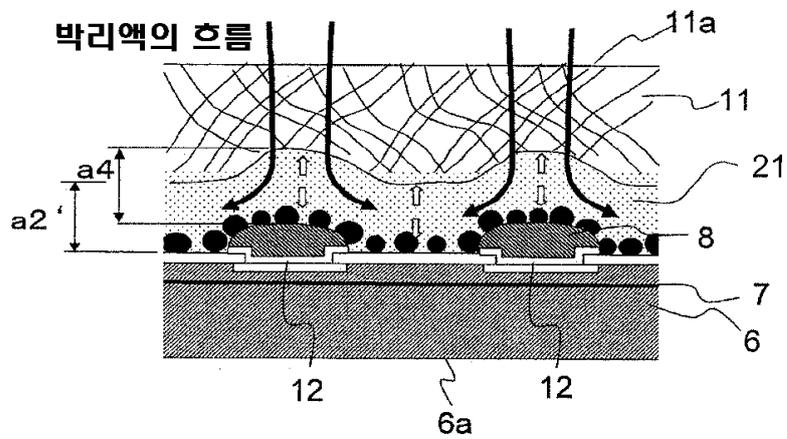
도면5a



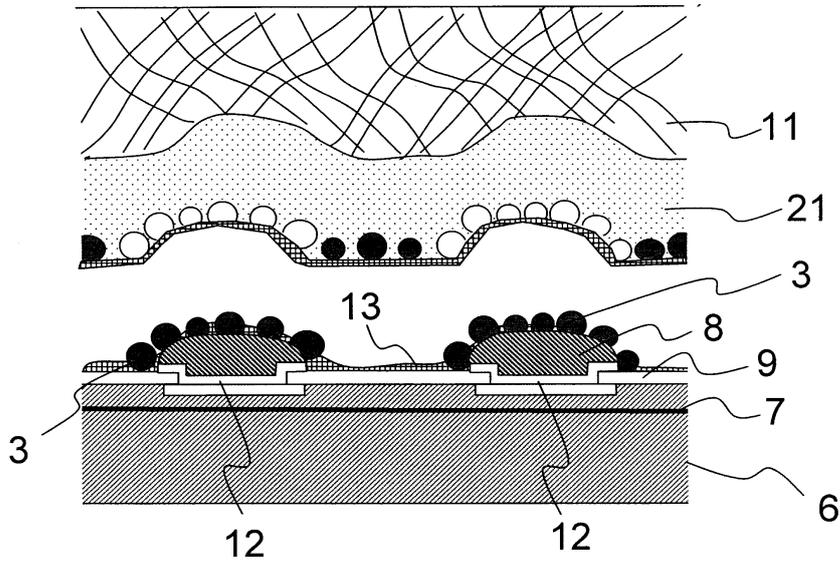
도면5b



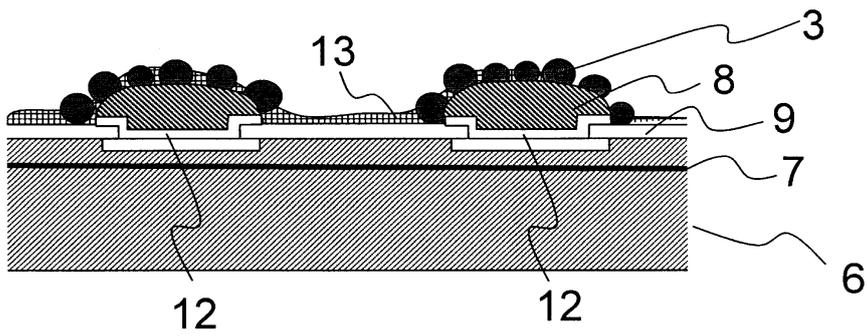
도면5c



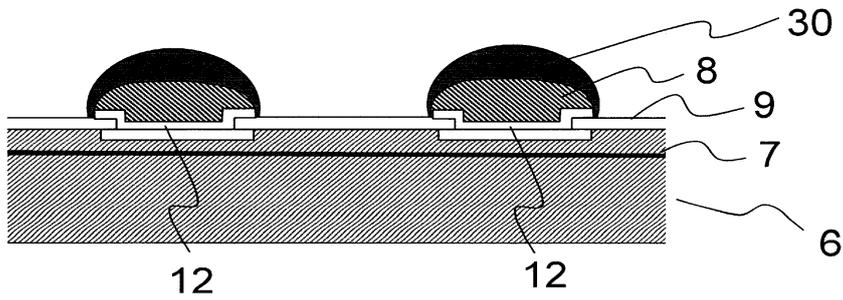
도면5d



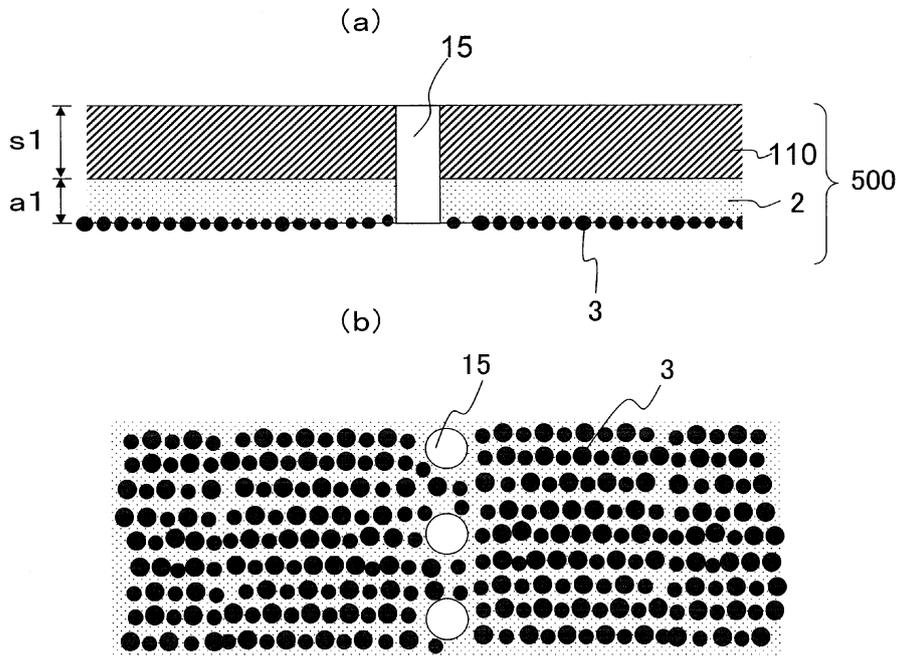
도면5e



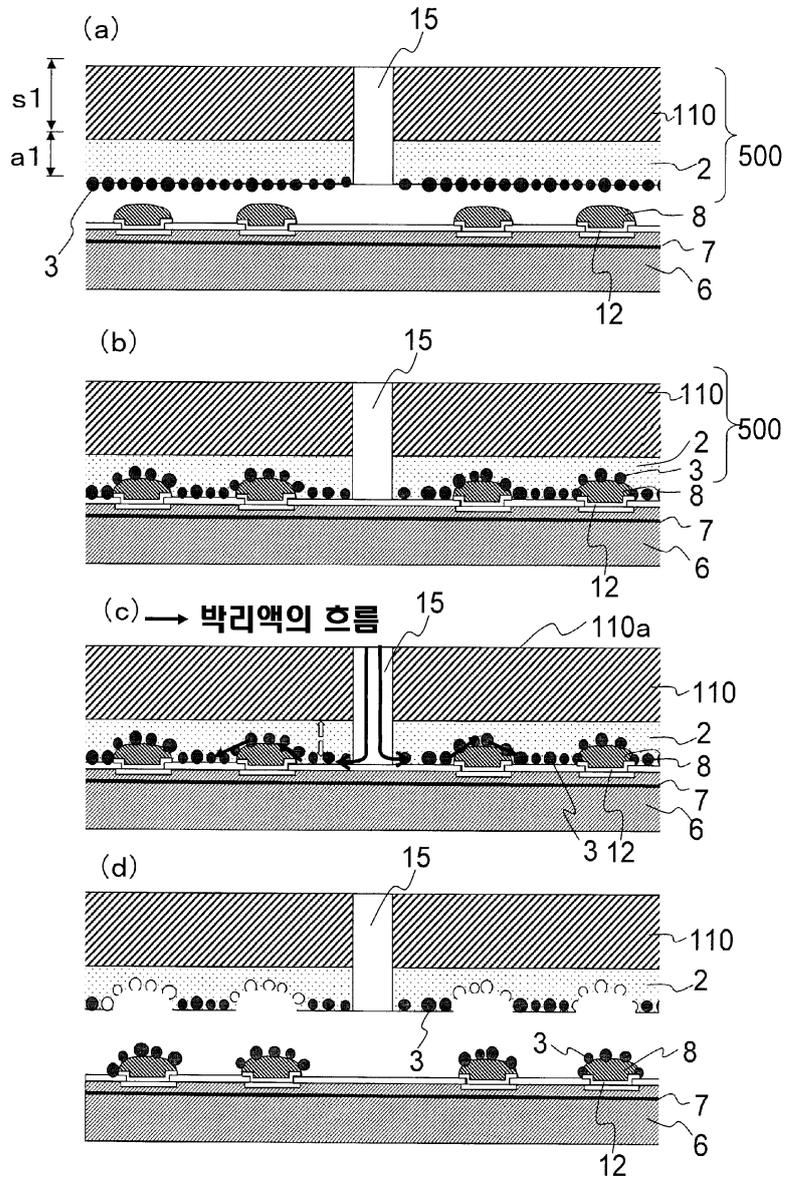
도면5f



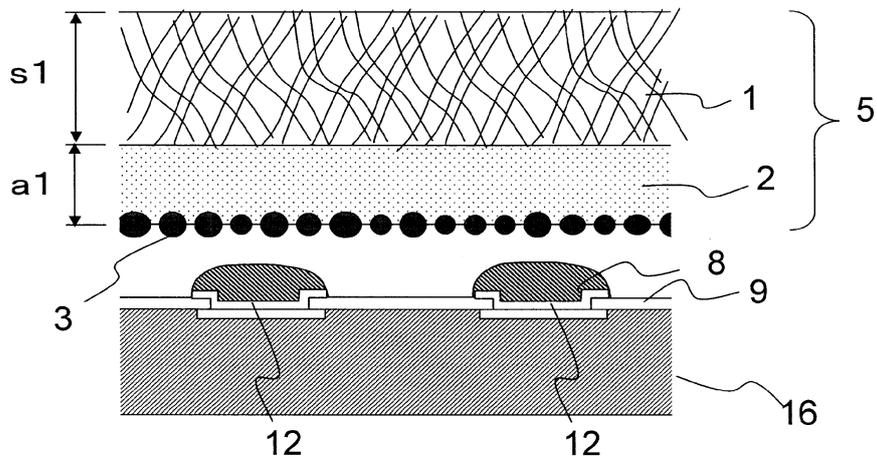
도면6



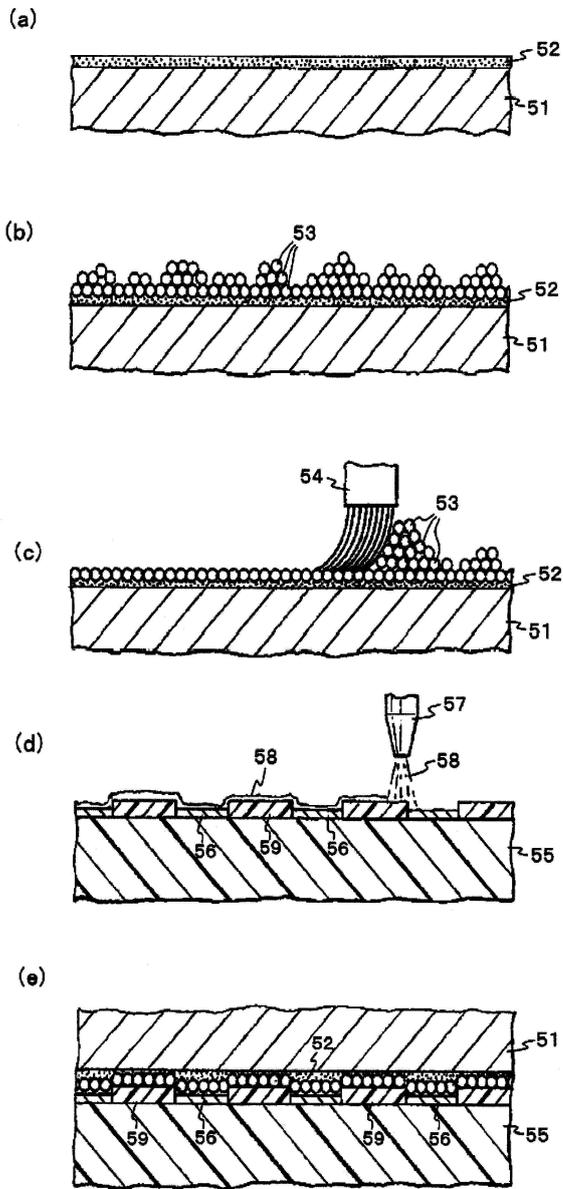
도면7



도면8



도면9



도면10

