

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-220565  
(P2012-220565A)

(43) 公開日 平成24年11月12日(2012.11.12)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 J	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 K	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 624B	5C380
	G09G 3/20 641D	
	G09G 3/20 641R	

審査請求 未請求 請求項の数 7 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2011-83684 (P2011-83684)  
(22) 出願日 平成23年4月5日 (2011.4.5)

(71) 出願人 000001007  
キヤノン株式会社  
東京都大田区下丸子3丁目30番2号  
(74) 代理人 100085006  
弁理士 世良 和信  
(74) 代理人 100100549  
弁理士 川口 嘉之  
(74) 代理人 100106622  
弁理士 和久田 純一  
(74) 代理人 100131532  
弁理士 坂井 浩一郎  
(74) 代理人 100125357  
弁理士 中村 剛  
(74) 代理人 100131392  
弁理士 丹羽 武司

最終頁に続く

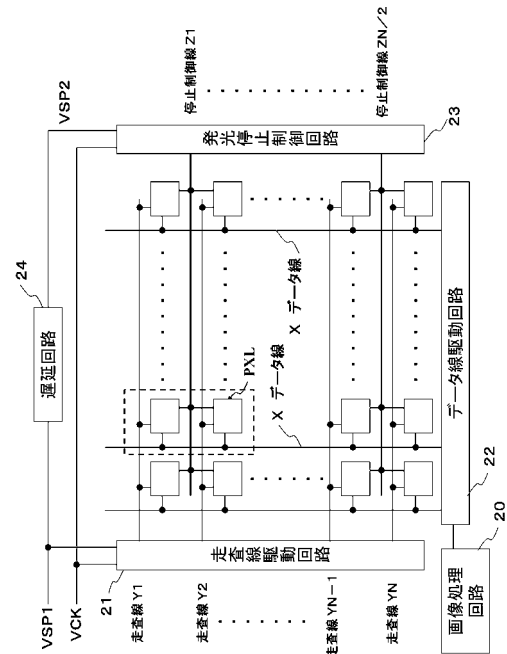
(54) 【発明の名称】 画像表示装置及びその制御方法

(57) 【要約】

【課題】 アクティブマトリクス駆動方式の画像表示装置において、書き込み期間不足や配線レイアウトの問題を回避しながら、良好な動画画質と高精細化を実現するための技術を提供する。

【解決手段】 各画素回路は、容量と、画像信号の値に対応する電荷を前記容量に充電するための書込スイッチと、前記容量に保持された電荷に基づくゲート電圧に応じて、電気光学素子を駆動する駆動トランジスタと、前記容量を放電させることで前記電気光学素子の発光を停止する停止スイッチと、を有している。少なくとも2行分の画素回路の停止スイッチが、共通の停止制御線に接続されており、前記共通の停止制御線を介して与えられる停止制御信号に従って各々の電気光学素子の発光を停止する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

マトリクス状に配置された複数の電気光学素子と、各々の電気光学素子を駆動するための複数の画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置であって、各画素回路は、

容量と、

画像信号の値に対応する電荷を前記容量に充電するための書込スイッチと、

前記容量に保持された電荷に基づくゲート電圧に応じて、前記電気光学素子を駆動する駆動トランジスタと、

前記容量を放電させることで前記電気光学素子の発光を停止する停止スイッチと、

10

を有しており、  
少なくとも 2 行分の画素回路の停止スイッチが、共通の停止制御線に接続されており、前記共通の停止制御線を介して与えられる停止制御信号に従って各々の電気光学素子の発光を停止する

ことを特徴とする画像表示装置。

## 【請求項 2】

1 走査サイクルに対する前記電気光学素子の発光期間の割合であるデューティーが、

デューティー  $> 100 / N$

$N$  : 走査線の数

を満たすように、前記停止制御信号による電気光学素子の発光停止タイミングが決められている

20

ことを特徴とする請求項 1 に記載の画像表示装置。

## 【請求項 3】

共通の停止制御線に接続された複数の行同士の発光期間の長さの差に起因する輝度ムラを抑制する手段を有する

ことを特徴とする請求項 1 又は 2 に記載の画像表示装置。

## 【請求項 4】

前記輝度ムラを抑制する手段は、発光期間が長いほうの行の画像信号の値を小さくし、又は、発光期間が短いほうの行の画像信号の値を大きくする補正を画像信号に対して施す回路である

30

ことを特徴とする請求項 3 に記載の画像表示装置。

## 【請求項 5】

前記輝度ムラを抑制する手段は、前記停止スイッチにより発光を停止した時の電気光学素子の発光強度の減衰速度を、発光期間が長いほうの行よりも発光期間が短いほうの行において、遅くする回路である

ことを特徴とする請求項 3 に記載の画像表示装置。

## 【請求項 6】

停止制御信号を出力する複数の出力段を有する発光停止制御回路を有し、

2 本又はそれより多い停止制御線が前記発光停止制御回路の同じ出力段に接続されている

40

ことを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の画像表示装置。

## 【請求項 7】

マトリクス状に配置された複数の電気光学素子と、各々の電気光学素子を駆動するための複数の画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置の制御方法であって、

各画素回路は、容量と、前記容量に保持された電荷に基づくゲート電圧に応じて前記電気光学素子を駆動する駆動トランジスタと、前記容量を放電させることで前記電気光学素子の発光を停止する停止スイッチと、を有しており、

少なくとも第 1 の行の画素回路の停止スイッチと第 2 の行の画素回路の停止スイッチが、共通の停止制御線に接続されており、

50

前記制御方法は、

第1の行の画素回路の容量に画像信号の値に対応する電荷を充電することにより、第1の行の電気光学素子の発光を開始するステップと、

第2の行の画素回路の容量に画像信号の値に対応する電荷を充電することにより、第2の行の電気光学素子の発光を開始するステップと、

前記共通の停止制御線を介して停止制御信号を与えることにより、第1の行と第2の行の電気光学素子の発光を停止するステップと、

を含むことを特徴とする画像表示装置の制御方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、アクティブマトリクス駆動方式を用いた画像表示装置に関する。

【背景技術】

【0002】

フラットパネルディスプレイ(FPD)として、液晶表示装置(LCD)、プラズマ表示装置(PDP)、エレクトロルミネッセンス表示装置(ELD)、フィールドエミッション表示装置(FED)などがある。中でも、ELDは自発光型で視野角依存性が小さく、高速応答性を有するため動画画質に優れている。さらに、アクティブマトリクス駆動方式のELDは、高精細化しやすく、また、表示素子に流れるピーク電流を小さく出来るため寿命が長い。

20

【0003】

一方、アクティブマトリクス駆動方式を用いたホールド型の画像表示装置では、動画表示の際に映像がボケて見えるいわゆるホールドボケという現象が発生する。下記特許文献1には、発光期間(ホールド時間)を調整することにより、ホールドボケを抑制した画像表示装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-060076号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0005】

特許文献1には、ホールド時間を調整するための構成として、次の3つの構成が開示されている。(1)画素回路に電源電位V<sub>dd</sub>を供給する電源配線の電位を制御することにより発光を停止する構成、(2)画像信号を書き込んだ後に輝度ゼロ(黒)信号を書き込む構成、(3)発光を停止する停止制御線を行毎に設ける構成。しかしながら、これらの構成(1)~(3)は以下のような問題がある。

【0006】

(1)この構成の場合、電源配線は行毎に電氣的に分離される。そのため、電源配線に接続された1行分の画素(フルHDの場合は $1920 \times 3 = 5760$ 画素)に対応する発光電流が1本の電源配線に集中し、配線抵抗に起因した電圧降下が発生する。この電源配線の電圧降下量が行毎に異なると、発光輝度が変動し、表示画像に輝度ムラ(いわゆるクロストーク)が発生する場合がある。この問題は、駆動トランジスタを飽和領域で定電流駆動のように動作させることによって、緩和できることが知られている。しかし、トランジスタの飽和領域特性を完全にフラットにすることは困難であり、この方法では上記問題を十分に解消することは難しい。また、配線幅や配線厚さを大きくする事によって配線抵抗を小さくすれば、クロストークの問題を抑制できるが、配線幅を大きくすると配線レイアウト上の問題で高精細化が困難になり、配線厚さを大きくするとコストアップになるという別の問題が発生する。

40

【0007】

50

(2) 輝度ゼロ信号を書き込むための期間を確保しなければならないため、画像信号の書き込み期間が約半分になる。これにより、書き込み不良が発生するなどの理由により高精細化が難しくなる。

【0008】

(3) 専用の停止制御線を設ける構成では、電源配線を行毎に分離する必要がないため前述のクロストークは問題にならないし、書き込みと発光停止制御を専用線を用いて独立に行えるため書き込み期間を小さくする必要がない。しかし、行方向の配線数が少なくとも2倍になるため、配線レイアウトの問題から高精細化が難しくなる。

【0009】

本発明は、このような実情に鑑みなされたもので、アクティブマトリクス駆動方式の画像表示装置において、書き込み期間不足や配線レイアウトの問題を回避しながら、良好な動画画質と高精細化を実現するための技術を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第1態様は、マトリクス状に配置された複数の電気光学素子と、各々の電気光学素子を駆動するための複数の画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置であって、各画素回路は、容量と、画像信号の値に対応する電荷を前記容量に充電するための書込スイッチと、前記容量に保持された電荷に基づくゲート電圧に応じて、前記電気光学素子を駆動する駆動トランジスタと、前記容量を放電させることで前記電気光学素子の発光を停止する停止スイッチと、を有しており、少なくとも2行分の画素回路の停止スイッチが、共通の停止制御線に接続されており、前記共通の停止制御線を介して与えられる停止制御信号に従って各々の電気光学素子の発光を停止する画像表示装置を提供する。

【0011】

本発明の第2態様は、マトリクス状に配置された複数の電気光学素子と、各々の電気光学素子を駆動するための複数の画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置の制御方法であって、各画素回路は、容量と、前記容量に保持された電荷に基づくゲート電圧に応じて前記電気光学素子を駆動する駆動トランジスタと、前記容量を放電させることで前記電気光学素子の発光を停止する停止スイッチと、を有しており、少なくとも第1の行の画素回路の停止スイッチと第2の行の画素回路の停止スイッチが、共通の停止制御線に接続されており、前記制御方法は、第1の行の画素回路の容量に画像信号の値に対応する電荷を充電することにより、第1の行の電気光学素子の発光を開始するステップと、第2の行の画素回路の容量に画像信号の値に対応する電荷を充電することにより、第2の行の電気光学素子の発光を開始するステップと、前記共通の停止制御線を介して停止制御信号を与えることにより、第1の行と第2の行の電気光学素子の発光を停止するステップと、を含む画像表示装置の制御方法を提供する。

【発明の効果】

【0012】

本発明によれば、アクティブマトリクス駆動方式の画像表示装置において、書き込み期間不足や配線レイアウトの問題を回避しながら、良好な動画画質と高精細化を実現することができる。

【図面の簡単な説明】

【0013】

【図1】第1実施形態に係る画像表示装置の全体構成を模式的に示す図。

【図2】第1実施形態に係る画素回路の等価回路図。

【図3】第1実施形態に係る画像表示装置の動作を示すタイミングチャート。

【図4】第3実施形態に係る画像表示装置の発光の様子を示す図。

【図5】第4実施形態に係る画素回路の等価回路図。

【図6】第4実施形態に係る画像表示装置の発光の様子を示す図。

【図7】第5実施形態に係る画像表示装置の全体構成を模式的に示す図。

10

20

30

40

50

【図 8】第 5 実施形態に係る画素回路の等価回路図。

【図 9】第 5 実施形態に係る画像表示装置の発光の様子を示す図。

【発明を実施するための形態】

【0014】

本発明は、画像表示装置に関し、詳しくは、各画素の発光期間（ホールド時間）を制御するための構成に関するものである。本発明は、マトリクス状に配置された複数の電気光学素子（表示素子）と、各々の電気光学素子を駆動するための複数の画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置に好ましく適用できる。ここで電気光学素子とは、電気信号（電流信号または電圧信号）により発光強度（輝度）が制御される自発光型のデバイスをいい、例えば、有機発光ダイオード（OLED）、電子放出素子（冷陰極素子）と電子線励起蛍光体からなる発光素子などがある。

10

以下、OLEDを発光素子として用いるELDを例にして、本発明の実施の形態について説明する。

【0015】

（第 1 実施形態）

図 2 は、上下の 2 画素に対応する画素回路 PXL の等価回路図である。図中、Vdd は電源電圧、A はアノード、K はカソード、G はゲート、D はドレイン、S はソースを示す。

【0016】

走査線 Y は、画素回路 PXL を 1 行ずつ順に選択するための選択信号を供給する配線である。データ線 X は、画素回路 PXL の発光輝度を指示するためのデータ信号を供給する配線である。データ信号は、画像信号の値（階調情報）に対応する電圧信号として与えられる。走査線 Y とデータ線 X の交差部に画素回路 PXL が形成される。画素回路 PXL は、発光素子 OLED を駆動するための回路であり、書込スイッチ TFT1 と、駆動トランジスタ TFT2 と、保持容量 Cs と、停止スイッチ TFT3 とを含む。

20

【0017】

発光素子 OLED は供給される電流量によって輝度が増減する電気光学素子である。書込スイッチ TFT1 は、走査線 Y を介して与えられる選択信号によって制御されるトランジスタであり、ON のときに、データ線 X から供給されるデータ信号に対応する電荷を保持容量 Cs に充電する。これにより画素回路 PXL に階調情報が書き込まれる。駆動トランジスタ TFT2 は、保持容量 Cs に保持された電荷に基づくゲート電圧に応じて、発光素子 OLED に供給する電気信号（本例では電流量）を制御する。画素回路 PXL に書き込まれた階調情報は、走査線 Y が非選択となったあとも保持容量 Cs に保持されるため、発光素子 OLED の発光状態が維持される。

30

【0018】

停止スイッチ TFT3 は、発光素子 OLED の駆動（発光）を停止するためのトランジスタである。停止スイッチ TFT3 は、停止制御線 Z を介してゲート G に与えられる停止制御信号により、ON/OFF が切り替えられる。停止スイッチ TFT3 が ON になると、保持容量 Cs が放電される。その結果、駆動トランジスタ TFT2 のゲート-ソース間電圧 Vgs が 0V となり、発光素子 OLED に流れる駆動電流が遮断され、発光素子 OLED が消灯する。本実施形態では、上下 2 行分の画素回路 PXL の停止スイッチ TFT3 のゲート G が共通の停止制御線 Z に接続されており、2 行単位で発光停止制御が行われる。

40

【0019】

図 1 は、画像表示装置の全体構成を模式的に示している。前述した図 2 の回路図は、図 1 の破線部分に対応するものである。走査線 Y1, Y2, ..., YN が行状に配列され、データ線 X が列状に配列されている。走査線 Y とデータ線 X の交差部のそれぞれに画素回路 PXL が形成されている。また、走査線 Y1, Y2, ..., YN と平行に、停止制御線 Z1, Z2, ..., ZN/2 が形成されている。停止制御線 Z は、奇数行（第 1 の行）と偶数行（第 2 の行）の 2 行の走査線 Y ごとに 1 本ずつ配置されている。

50

## 【0020】

走査線 Y は走査線駆動回路 2 1 に接続されている。走査線駆動回路 2 1 はシフトレジスタを含んでおり、垂直クロック V C K に同期して垂直スタートパルス V S P 1 を順次転送することにより、走査線 Y 1 , Y 2 , ... , Y N を順次選択する。例えばフレーム周波数が 6 0 H z の場合、1 走査サイクルは 1 / 6 0 秒であり、各走査線 Y は 1 走査サイクルに 1 回選択状態となる。一方、停止制御線 Z は発光停止制御回路 2 3 に接続されている。この発光停止制御回路 2 3 もシフトレジスタを含んでおり、垂直クロック V C K に同期して垂直スタートパルス V S P 2 を順次転送することにより、停止制御線 Z 1 , Z 2 , ... , Z N / 2 に停止制御信号を順次出力する。尚、パルス V S P 2 は遅延回路 2 4 により所定時間だけパルス V S P 1 から遅延している。

10

## 【0021】

データ線 X はデータ線駆動回路 2 2 に接続されている。データ線駆動回路 2 2 は、走査線 Y の線順次走査に同期して、各データ線 X にデータ信号を出力する。この場合、データ線駆動回路 2 2 は、いわゆる線順次駆動を行い、選択された行の全ての画素に対して一斉にデータ信号を供給する。画像処理回路 2 0 は、画像表示装置に入力された画像信号に対して必要な信号処理（例えば、I P 変換、色変換、階調変換、フレーム周波数変換など）を行い、変換後の画像信号をデータ線駆動回路 2 2 に出力する回路である。データ線駆動回路 2 2 では、画像処理回路 2 0 から与えられた画像信号に基づいて、画像信号の値に応じたデータ信号（電圧信号）が生成される。

20

## 【0022】

図 3 は、画像表示装置の動作を示すタイミングチャートである。まず、垂直スタートパルス V S P 1 が走査線駆動回路 2 1 及び遅延回路 2 4 に入力される。走査線駆動回路 2 1 はパルス V S P 1 の入力を受けたあと、垂直クロック V C K に同期して走査線 Y 1 , Y 2 , ... , Y N を順次選択する。この走査に同期してデータ線駆動回路 2 2 からデータ信号が供給されることで、走査線単位で階調情報が画素回路 P X L に書き込まれていく。各画素回路 P X L の発光素子 O L E D は書き込まれた階調情報に応じた強度で発光を開始する。

## 【0023】

パルス V S P 1 は遅延回路 2 4 で遅延され、パルス V S P 2 として発光停止制御回路 2 3 に入力される。発光停止制御回路 2 3 はパルス V S P 2 を受けたあと、垂直クロック V C K に同期して停止制御線 Z 1 , Z 2 , ... , Z N / 2 に停止制御信号を順次出力する。このとき、発光停止制御回路 2 3 のシフトレジスタは、垂直クロック V C K の 2 サイクル毎にパルス V S P 2 をシフトさせていく。その結果、走査線 Y 1 と Y 2 , Y 3 と Y 4 , ... , Y N - 1 と Y N のように、2 行ずつ発光が停止していく。

30

## 【0024】

この構成によれば、各画素の発光期間は、画素回路 P X L に階調情報が書き込まれてから停止制御信号によって発光が停止するまでの期間である。この発光期間の長さは、遅延回路 2 4 によって設定される遅延時間の長さに概ね等しい。遅延時間を  $t$  とし、1 走査サイクル（1 フレーム期間）を  $T$  とすると、画素が発光している時間的割合、すなわちデューティは概ね  $t / T$  となる。なお厳密には、奇数行の画素と偶数行の画素とで発光期間が若干異なるが（図 3 の A の部分）、本実施形態ではこの差 A による輝度の違いは許容するものとする。

40

## 【0025】

以上述べた本実施形態の構成によれば、遅延回路 2 4 の遅延時間  $t$  により発光期間を適切に調整することにより、ホールドボケを抑制し、動画の画質を向上することができる。また、全部の行に停止制御線を配置する従来構成に比べて、停止制御線 Z の数を半分にできるため、高精細化が容易となる。また、発光停止制御回路 2 3 の出力段数も走査線数の半分でよいので、回路規模を小さくしてコストを抑えることもできる。さらに、停止制御線 Z には、寄生容量を充放電する電流以外はほとんど電流が流れないため、クロストークに起因する画質劣化がほとんど発生しない。

## 【0026】

50

## (第2実施形態)

第1実施形態では、図3のAで示すように、奇数行の画素のほうが偶数行の画素よりも発光期間が1行の選択期間分だけ長くなる。これは、発光開始タイミングが走査線毎に異なるのに対し、発光停止タイミングは、停止制御線Zを共有している2本の走査線で同じだからである。その結果、同じ階調情報を書き込んだ場合に、奇数行の画素のほうが偶数行の画素より若干明るくなる。

## 【0027】

走査線の総数をN、奇数行の発光期間(遅延時間に相当)をt、1走査サイクル(1フレーム期間)をTとすると、発光期間の長さの差は $T/N$ となり、同じ階調情報を書き込んだ場合の奇数行と偶数行の輝度の変化率は $T/(N \times t)$ であらわせる。画像の明るさにもよるが、一般的に、輝度差を検知できる限界は概ね1%といわれている。したがって、 $T/(N \times t)$ が約0.01より大きくなると、すなわち、デューティー( $t/T$ )が約 $100/N$ より小さくなると、輝度ムラが視認される場合がある。

10

## 【0028】

そこで、本実施形態の画像表示装置では、デューティーが以下の条件式を満足するように、発光停止タイミング、すなわち遅延回路24の遅延時間を決める。

$$\text{デューティー} > 100/N$$

N: 走査線の数

デューティーが大きくなりすぎると、ホールドボケが発生し、動画の画質が低下する可能性がある。それゆえ、デューティーの上限については以下の条件式のように定めるとよい。

20

$$\text{デューティー} < D_{max}$$

ここで、 $D_{max}$ は、ホールドボケの許容限界となるデューティーの値である。 $D_{max}$ の具体的な数値は、被験者実験等で定めることができる。なお、 $D_{max}$ は、固定値でもよいし、フレーム周波数や画像の明るさや動き量などに応じて変更してもよい。

このような発光期間制御により、輝度ムラの抑制とホールドボケの抑制を両立でき、高品質な動画表示が可能となる。

## 【0029】

上述した第2実施形態の方法は、 $100/N < D_{max}$ となる場合は利用することができない。そこで、次に述べる第3実施形態及び第4実施形態では、共通の停止制御線に接続された複数の行同士の発光期間の長さの差に起因する輝度ムラを抑制する手段を別に設ける。

30

## 【0030】

## (第3実施形態)

第3実施形態では、画像信号(階調値)を補正することにより、発光期間の長さの差に起因する輝度ムラを抑制する。以下、第1実施形態と違う点について詳細に説明する。

## 【0031】

図4は、奇数行と偶数行の発光の様子を示している。横軸は時間、縦軸は発光強度である。発光開始タイミング及び発光停止タイミングの制御は、第1実施形態(図3参照)と同じであり、Aで示すように奇数行のほうが発光期間が長い。ヒトが感じる明るさは発光強度の時間積分、すなわち図4のグラフの面積に相当する。したがって、奇数行と偶数行の明るさの差をなくすには、図4のグラフの面積が同じになるよう発光強度を調整すればよい。

40

## 【0032】

本実施形態では、図4のAの部分とBの部分の面積が同じになるように、奇数行の画像信号を小さく(発光強度を小さく)する。例えば、奇数行のほうが偶数行よりも発光期間が2%だけ長い場合は、奇数行の画像信号が2%小さくなるようなゲイン(例えば0.98)を奇数行の画像信号に乘じればよい。なお、画像信号の値と発光強度が比例しない場合には、画像信号を発光強度に対してリニアな信号に変換した後にゲインを乗じるか、画像信号と発光強度の非リニア性を考慮したゲインの値を用いればよい。これらの処理は、

50

図1の画像処理回路20で行われる。

【0033】

以上述べた構成により、発光期間の長さの差に起因する輝度ムラを抑制することができる。さらに、第2実施形態と違い、デューティに下限(制約)がないため、必要に応じてデューティを1/N以下の値に設定でき、ホールドボケの抑制を確実にできる。

【0034】

本実施形態では、奇数行の画像信号を補正したが、偶数行の画像信号を補正し、あるいは、奇数行と偶数行の両方の画像信号を補正することでも、同じ結果を得ることができる。ただし、本実施形態のように、発光期間が長いほうの画像信号を補正の対象とするのが好ましい。その理由は、発光期間が短いほうの画像信号を補正する場合は、画像信号の値を大きくする(例えば、1より大きいゲインを乗じる)ことになるため、補正後の値がオーバーフローしないようにする手段(例えば、リミッタ回路)の追加が必要となるためである。

10

【0035】

(第4実施形態)

前述のように奇数行と偶数行で発光期間が異なると、動きの速い映像を追従視した場合などに、映像中の物体のエッジにギザギザ(ジャギー)が見える可能性がある。これは、残像により、発光期間が長いほうの行の絵が発光期間が短いほうの行の絵よりも幅広に見えるからである。そこで第4実施形態では、発光停止時の発光強度の減衰速度(例えば、時定数)に差を設けることにより、行毎の発光期間の差を緩和する。以下、第1実施形態と違う点について詳細に説明する。

20

【0036】

図5は、第4実施形態の画素回路の等価回路図である。第1実施形態(図2参照)との違いは、偶数行の画素回路PXLにおける停止スイッチTF T 3 2のソース側に、抵抗Rを追加した点である。

【0037】

図6は、奇数行と偶数行の発光の様子を示している。横軸は時間、縦軸は発光強度である。発光開始タイミング及び発光停止タイミングの制御は、第1実施形態(図3参照)と同じである。発光停止時は、共通の停止制御線Zにより奇数行の停止スイッチTF T 3 1と偶数行の停止スイッチTF T 3 2の両方のゲートGに同時に発光停止信号が印加される。このとき、奇数行の画素回路PXLでは、保持容量Cs 1の電荷が速やかに放電され、発光が直ちに停止する。一方、偶数行の画素回路PXLでは、抵抗Rの働きにより保持容量Cs 2の放電が緩やかに進むため、駆動トランジスタTF T 2 2の駆動電流量(すなわちOLEDの発光強度)が所定の時定数をもって減衰する。その結果、奇数行と偶数行の発光期間の差が小さくなる。

30

【0038】

上記の時定数は、保持容量Cs 2、抵抗R、その他の放電経路まわりの寄生容量や寄生抵抗、停止スイッチTF T 3 2のゲート容量などによって決まる。よって、図6のCの部分がAの部分と同じ面積になるように、画素回路PXLの各要素の寸法・構造・特性などを設定すればよい。例えば、ゲート幅とゲート長を変えることによって停止スイッチTF T 3 2のON抵抗を調整出来るため、実質的に抵抗Rを調整出来る。なお、発光強度(駆動電流)の減衰速度が調整されれば、保持容量Cs 2、抵抗R 2、その他の放電経路まわりの寄生容量や寄生抵抗など、いずれの要素を変えてもよい。

40

【0039】

以上述べた構成により、行毎の発光期間の差を小さくできるため、動きの速い映像を追従視した際のギザギザ(ジャギー)を抑制することができる。さらに、図6のようにAの部分とCの部分の面積を同じにしたことで、輝度ムラを抑制することもできる。しかも、第3実施形態と違い画像信号を補正するための特別な回路が必要なく、表示パネル基板作成用の露光マスクのパターン変更のみで実施できるため、生産コストの増大がほとんどないという利点もある。

50



## 【 0 0 4 0 】

( 第 5 実施形態 )

以下、第 5 実施形態の画像表示装置の構成について、第 1 実施形態と違う点について詳細に説明する。

## 【 0 0 4 1 】

図 7 は、第 5 実施形態の画像表示装置の全体構成を模式的に示す図である。図 8 は、4 行分の画素回路の等価回路図であり、図 7 の破線部分に対応している。第 1 実施形態との違いは、2 本の停止制御線 Z が発光停止制御回路 2 3 の同じ出力段に接続され、4 行分の画素回路が同じ停止制御信号により制御される点と、この 4 行分の画素回路において駆動電流の減衰速度を異ならせている点である。

10

## 【 0 0 4 2 】

具体的には、図 7 に示すように、2 行の走査線 Y ごとに 1 本ずつ停止制御線 Z が配置されており、2 本の停止制御線 Z がその取り出し部において束ねられて発光停止制御回路 2 3 の 1 つの出力段に接続されている。これにより、発光停止制御回路 2 3 の出力段の数は第 1 実施形態の半分になっている。

## 【 0 0 4 3 】

また、図 8 に示すように、4 行の組のうち第 2 番目 ~ 第 4 番目の画素回路 P X L の停止スイッチ T F T 3 2、T F T 3 3、T F T 3 4 には、それぞれ抵抗 R 2、R 3、R 4 が設けられている。これらの抵抗 R 2、R 3、R 4 の値の比を概ね 1 : 2 : 3 に設定することで、第 1 番目から第 4 番目の順に発光停止時の駆動電流の減衰速度を遅くできる。なお、抵抗を形成する具体的な方法は第 4 実施形態で述べたとおりである。

20

## 【 0 0 4 4 】

図 9 は、第 1 番目から第 4 番目の画素回路それぞれの発光の様子を示している。横軸は時間、縦軸は発光強度である。発光開始タイミング及び発光停止タイミングの制御は、第 1 実施形態 ( 図 3 参照 ) と同じである。上記抵抗 R 2 ~ R 4 の作用により、後の行ほど発光強度の低下が緩やかとなる。その結果、4 つの行の発光期間の差が小さくなる。

## 【 0 0 4 5 】

以上述べた構成により、前述の実施形態と同じ効果に加え、発光停止制御回路 2 3 の出力段の数のさらなる削減により、回路規模の縮小及びコスト低減を図ることができる。

## 【 0 0 4 6 】

本実施形態では、2 本の停止制御線 Z を同じ出力段に接続したが、さらに多くの停止制御線 Z を同じ出力段に接続すれば、発光停止制御回路 2 3 の出力段の数をより削減できる。また、本実施形態では抵抗 R 2 ~ R 3 により発光期間の差による輝度ムラを抑制したが、第 4 実施形態で述べたように保持容量やゲート容量などを調整したり、第 3 実施形態で述べたように画像信号を補正したりすることでも、同様の効果が得られる。また、第 1、第 2 実施形態のように輝度ムラが問題とならない場合は、輝度ムラを抑制する構成は必要ない。

30

## 【 0 0 4 7 】

以上述べた各実施形態は本発明の一具体例にすぎず、本発明の範囲を限定するものではない。例えば、上記実施形態では 2 行分の画素回路を 1 本の停止制御線に接続したが、3 行以上の画素回路を共通の停止制御線に接続する構成をとることもできる。また、本発明は、複数の電気光学素子と、各電気光学素子を駆動するための電気信号を出力する画素回路とを有する、アクティブマトリクス駆動方式の画像表示装置であれば、E L D 以外にも適用できる。例えば、電気光学素子として、電子放出素子と蛍光体からなる発光素子を用いる F E D にも本発明を適用することができる。F E D の場合の画素回路では、ソースフォロア回路により電圧信号で電子放出素子を行うことが好ましい。また、本発明は、別の画素回路 ( T F T の特性変動を補償するための様々な画素回路など ) を有する画像表示装置にも適用することができる。また、上記各実施形態においては、各スイッチ及び駆動トランジスタを、電界効果トランジスタ、好ましくは薄膜トランジスタで構成するとよい。

40

## 【 符号の説明 】

50

【 0 0 4 8 】

O L E D : 発光素子 ( 電気光学素子 )

P X L : 画素回路

C s , C s 1 , C s 2 : 保持容量

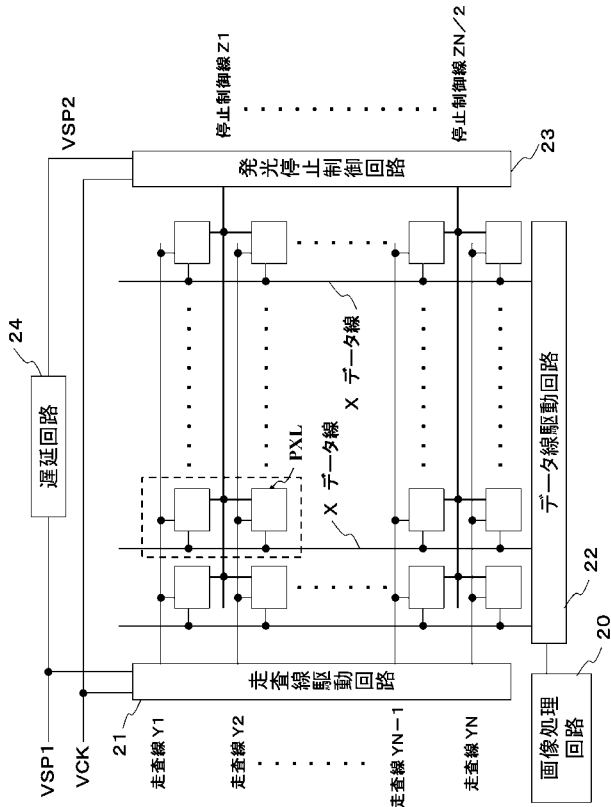
T F T 1 , T F T 1 1 , T F T 1 2 : 書込スイッチ

T F T 2 , T F T 2 1 , T F T 2 2 : 駆動トランジスタ

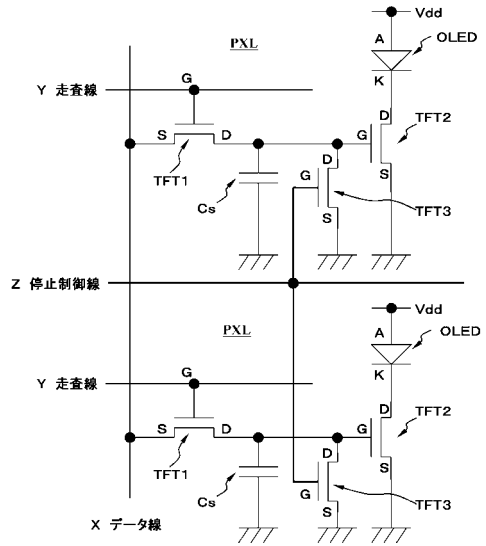
T F T 3 , T F T 3 1 , T F T 3 2 , T F T 3 3 , T F T 3 4 : 停止スイッチ

Z : 停止制御線

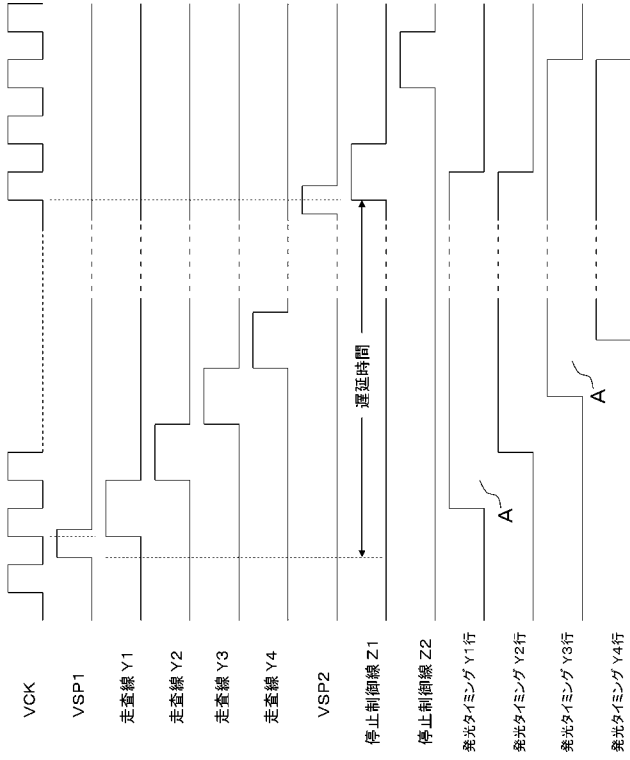
【 図 1 】



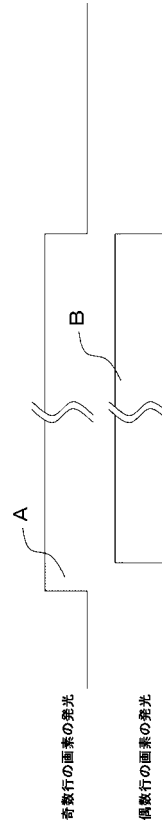
【 図 2 】



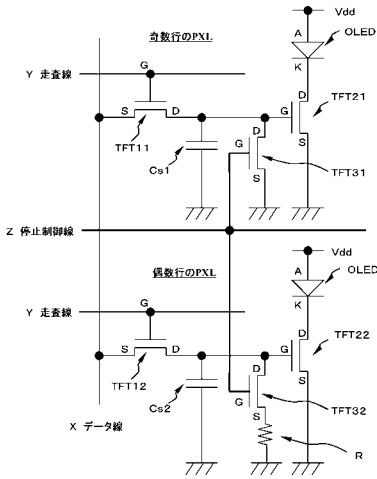
【図3】



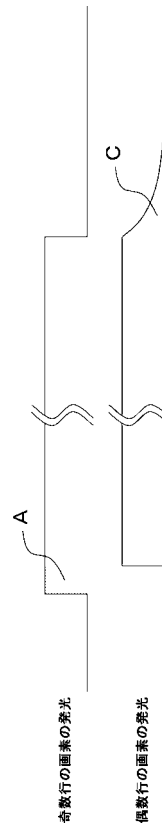
【図4】



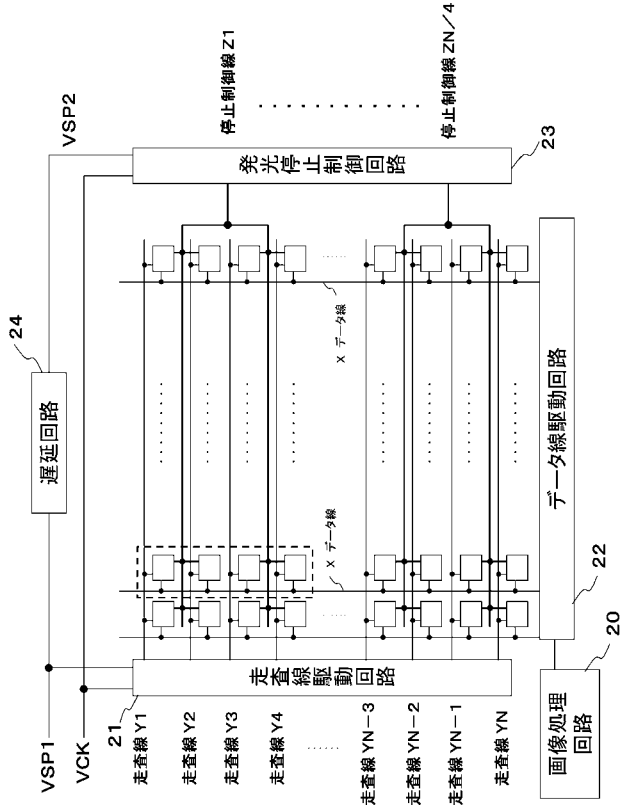
【図5】



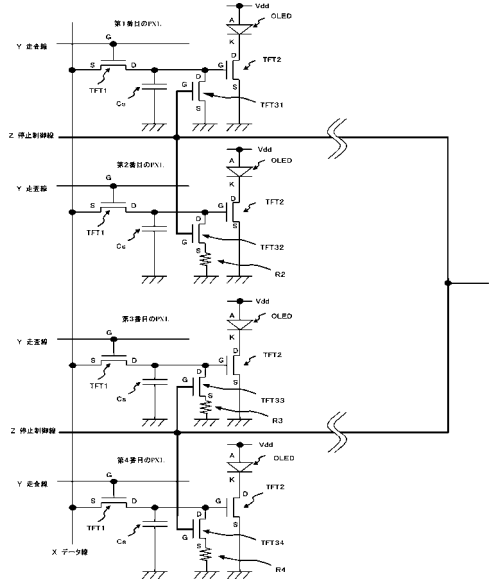
【図6】



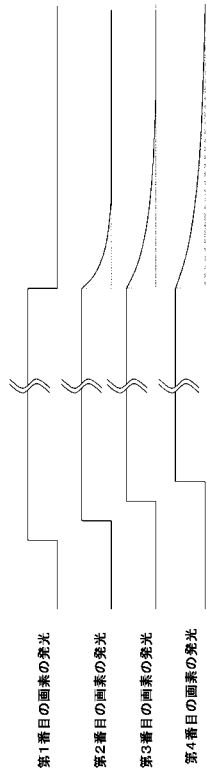
【 図 7 】



【 図 8 】



【 図 9 】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 4 2 A
	G 0 9 G 3/20	6 4 1 P
	G 0 9 G 3/20	6 2 2 G
	H 0 5 B 33/14	A

(72)発明者 小林 弘司

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

Fターム(参考) 3K107 AA01 BB01 CC31 CC33 CC35 CC45 EE03 HH02 HH04 HH05  
5C080 AA06 BB05 DD02 DD05 DD07 DD10 EE19 EE29 FF01 FF11  
GG09 HH09 JJ02 JJ03 JJ04  
5C380 AA01 AB06 BA12 BA28 BA45 BB03 BB08 BE05 CA08 CA12  
CB01 CB18 CB26 CC01 CC61 CC63 CC77 CD013 CF07 CF15  
CF41 DA02 DA06 DA19 DA32 DA42 EA01 HA03 HA11