

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5258838号  
(P5258838)

(45) 発行日 平成25年8月7日(2013.8.7)

(24) 登録日 平成25年5月2日(2013.5.2)

(51) Int. Cl.		F I	
HO 1 L 25/16	(2006.01)	HO 1 L 25/16	A
HO 1 L 23/29	(2006.01)	HO 1 L 23/30	B
HO 1 L 23/31	(2006.01)		

請求項の数 3 (全 26 頁)

(21) 出願番号	特願2010-113899 (P2010-113899)	(73) 特許権者	000003078
(22) 出願日	平成22年5月18日 (2010.5.18)		株式会社東芝
(62) 分割の表示	特願2008-4100 (P2008-4100)		東京都港区芝浦一丁目1番1号
	の分割	(74) 代理人	100117787
原出願日	平成20年1月11日 (2008.1.11)		弁理士 勝沼 宏仁
(65) 公開番号	特開2010-212725 (P2010-212725A)	(74) 代理人	100082991
(43) 公開日	平成22年9月24日 (2010.9.24)		弁理士 佐藤 泰和
審査請求日	平成22年5月18日 (2010.5.18)	(74) 代理人	100103263
			弁理士 川崎 康
		(74) 代理人	100107582
			弁理士 関根 毅
		(74) 代理人	100118843
			弁理士 赤岡 明

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

内部にMEMSデバイスを含み、前記MEMSデバイスと電氣的に接続される第1パッドが前記MEMSデバイスの上面に形成された第1チップと、

内部に半導体デバイスを含み、前記半導体デバイスと電氣的に接続される第2パッドが前記半導体デバイスの上面に形成された第2チップと、

第1樹脂に前記第1樹脂の材料定数を調整する第1材料定数調整剤が添加された第1接着膜と、第2樹脂に前記第2樹脂の材料定数を調整する第2材料定数調整剤が添加された第2接着膜とが積層された積層構造を有し、前記第1および第2接着膜の一方が少なくとも前記第1チップの側面と前記第2チップの側面とを接着する接着部と、

を備え、

前記第1樹脂と前記第2樹脂は同じ材料であり、前記第1材料定数調整剤と、前記第2材料定数調整剤は平均粒径が実質的に同一であり、前記第1接着膜に添加された前記第1材料定数調整剤の添加量と、前記第2接着膜に添加された前記第2材料定数調整剤の添加量が異なることを特徴とする半導体装置。

【請求項2】

前記第1および第2接着膜の他方は前記第1チップおよび前記第2チップの上面と反対側の面を覆うように形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】

前記第1チップおよび前記第2チップの上面ならびに前記接着部の上面を覆い、前記第

10

20

1 パッドおよび第2パッドに接続するコンタクト孔が開口された絶縁膜と、  
前記絶縁膜上に形成され、前記第1および第2パッドに接続する配線と、  
を更に備えたことを特徴とする請求項1または2記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。

【背景技術】

【0002】

近年、携帯電話、携帯情報端末、デジタル家電のような精密電子機器のデジタル化、ブ  
ロードバンド化の著しい進展に伴い、半導体装置に対する多機能化、高性能化、低コスト  
化、高密度実装化などの要求が高まっている。このような状況下で、ロジック、メモリ、  
センサ、受動部品といった異種デバイスをより高密度にかつ低コストで基板に実装する新  
しい実装技術が求められている。CMOSLSIなどのSiデバイスや、GaAsを用いた  
高速デバイス、発光デバイス、MEMS（マイクロ・エレクトロ・メカニカル・システ  
ムズ）などが対象として挙げられる。

10

【0003】

MEMSはシリコン微細加工プロセスを用いて製作されるミクロな構造体を総称してい  
う。圧力センサ、加速度センサ、インクジェットプリンタ、フィルタなど幅広い分野で応  
用が期待されている。このようなMEMS技術を用いたデバイスを用いてシステムを構築  
するためには、MEMSデバイスと他の半導体チップ（ロジック、アナログアンプ、メモ  
リ等）を同一基板上に集積化する必要がある。

20

【0004】

上記のニーズに対して、従来のSMT（表面実装技術）やMCM（マルチチップモジュ  
ール）といった実装技術の問題点を解決するため、現在、二つの集積化手法が検討されて  
きた。一つはシステムオンチップ（SOC）と呼ばれるものであり、複数のデバイスを1  
チップ上に全て直接形成することにより集積するという方式である。この方式ではデバイ  
スの集積度も高く、1チップ上で形成されていることからデバイス間のグローバル配線の  
微細化も可能となる。このため高集積化、高性能化、パッケージの薄化が可能である。し  
かしながら、集積できるデバイスに制限がある。例えば、Si基板上にGaAsなどの別  
の結晶系からなるデバイスを形成することは、格子定数の違い、線膨張係数の違いなどか  
ら困難である。また、LSIなどの高精細なデザインルールを必要とするデバイスと低精  
細なデザインルールで形成されるデバイスを同一工程で作成することは効率的でない。特  
に、新規デバイスを組み込む際にも全てのプロセスを変更することから、新規デバイスを  
開発する際のコストが高く、開発期間も長くなるという問題がある。

30

【0005】

もう一つの方式はシステムインパッケージ（SIP）とよばれる手法である。これは各  
々のチップを別々に形成し、それぞれを分割してインターポザーと呼ばれる基板上に実  
装するものである。この方式では、各々のデバイスは個々に形成できるので、デバイスに  
対する制限が少ない。また、新規システムを開発する際にも既存のチップの利用が可能で  
あり、開発コストが安く開発期間も短くすることができる。一方問題点としては、インター  
ポザーとチップの間はボンディングワイヤーやバンプなどで接続されるため、チップ  
配置の高密度化、配線の微細化、パッケージの薄化が難しい。

40

【0006】

このような状況のもと、SOCとSIP両方式のメリットを同時に実現する新しい集積  
化技術として、擬似SOC技術を検討が始まっている。この方式では、複数の異種デバイ  
スを、接着樹脂を用いて再配置、再結合させ、擬似的に一枚の基板上に形成された半導体  
装置の形態としている。この方式では、SIPのように既存のチップを組み合わせること  
が出来るので、短期間で低コストの新規デバイス開発が可能となる。また、異種チップを  
集積化した基板上に絶縁層やメタル薄膜を形成し、チップ間のグローバル多層配線層を形

50

成することで、S O Cと同様の微細配線構造を形成することが可能で、高性能化、高集積化が実現される。

【 0 0 0 7 】

前述の、複数の半導体チップを樹脂中に埋め込んだ半導体装置としては、例えば、特許文献1に開示されている。この特許文献1では、樹脂材料が硬化する際の樹脂層に発生する変形を矯正するために矯正部材を用いて、樹脂層と矯正部材との積層体の上に、チップを埋め込んだ樹脂層を形成している。この矯正部材としてガラス、カーボン、アラミド樹脂など、埋め込み樹脂よりも熱膨張係数が小さく、ヤング率が高い材料を用いることにより、硬化収縮の過程で樹脂が収縮しようとする力を抑え、反りを強制している。しかしながら、この特許文献1に記載の技術では、樹脂と矯正部材の積層構造であるため、デバイスの薄化を図ることが出来ず、高集積化が出来ないという問題点があった。

10

【特許文献1】特開2004-103955号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

このように従来の複数チップを樹脂で埋め込む集積化技術においては、硬化時に発生する反りを低減するため、矯正部材を挿入する構成が必要であることからデバイスが薄化できず、集積度が上がらないという問題点があった。

【 0 0 0 9 】

本発明は、上記事情を考慮してなされたものであって、樹脂の硬化時に発生する反りを抑制することができるとともに薄化を可能にする半導体装置を提供することを目的とする。

20

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様による半導体装置は、内部にMEMSデバイスを含み、前記MEMSデバイスと電気的に接続される第1パッドが前記MEMSデバイスの上面に形成された第1チップと、内部に半導体デバイスを含み、前記半導体デバイスと電気的に接続される第2パッドが前記半導体デバイスの上面に形成された第2チップと、第1樹脂に前記第1樹脂の材料定数を調整する第1材料定数調整剤が添加された第1接着膜と、第2樹脂に前記第2樹脂の材料定数を調整する第2材料定数調整剤が添加された第2接着膜とが積層された積層構造を有し、少なくとも前記第1チップの側面と前記第2チップの側面とを接着する接着部と、を備え、前記第1樹脂と前記第2樹脂は同じ材料であり、前記第1材料定数調整剤と、前記第2材料定数調整剤は平均粒径が実質的に同一であり、前記第1接着膜に添加された前記第1材料定数調整剤の添加量と、前記第2接着膜に添加された前記第2材料定数調整剤の添加量が異なることを特徴とする。

30

【発明の効果】

【 0 0 1 1 】

本発明によれば、樹脂の硬化時に発生する反りを抑制することが可能であるとともに薄化が可能な半導体装置を提供することができる。

【発明を実施するための最良の形態】

40

【 0 0 1 2 】

本発明の実施形態を以下に図面を参照して詳細に説明する。

【 0 0 1 3 】

(第1実施形態)

本発明の第1実施形態による半導体装置を図1に示す。本実施形態の半導体装置1は、半導体チップ10と、MEMSチップ20と、これらのチップの側面に設けられ、半導体チップ10とMEMSチップ20とを接着する接着層30と、を備えている。半導体チップ10は内部に半導体デバイス12(例えば、CMOSデバイス)を含み、上面に半導体デバイス12と電気的に接続されるパッド14が設けられている。MEMSチップ20は内部にMEMSデバイス22を含み、上面にMEMSデバイス22と電気的に接続される

50

パッド 24 が設けられている。接着層 30 は、樹脂に異なる材料定数調整剤が含まれた、接着膜 32 a、32 b からなる積層構造を有している。接着膜 32 a は樹脂 34 に平均粒径が比較的大きなシリカを主成分とするフィラー 36 a が添加され、接着膜 32 b は樹脂 34 に平均粒径が比較的小さなシリカを主成分とするフィラー 36 b が添加された構造を有している。チップ 10、20 のそれぞれのパッド 14、24 が表面に露出した側を主面と称すると、チップ 10、20 の主面側の接着膜 32 b が設けられ、主面と反対側に接着膜 32 a が設けられた積層構造を有している。なお、本実施形態においては、接着層 30 は、チップ 10、20 との間ばかりでなく、チップ 10 とチップ 20 との周囲に設けられている。

#### 【0014】

表 1 に、シリカを主成分とするフィラーを含有したエポキシ樹脂についての、フィラーの平均粒径と、線膨張係数、ヤング率、ポアソン比の材料定数を示す。

#### 【表 1】

表 1、フィラー添加樹脂の物性値と接着強度比較

	粒径 μm	添加量 vol%	硬化収縮率 %	線膨張係数 ppm	ヤング率 MPa	ポアソン比	接着強度比較
エポキシ樹脂単体	—	—	1.28	55	2500	0.45	1
通常フィラー 添加樹脂	5~50	33.3	0.85	37	4900	0.34	0.82
		54	0.59	23	7200	0.29	0.76
		74	0.33	10	14000	0.25	0.52
超微粒子 添加樹脂	0.01	5.3	1.21	24	6700	0.29	0.97

#### 【0015】

例えば、ベースとなる酸無水系エポキシ樹脂に、5 μm ~ 50 μm 程度の範囲の通常平均粒径を有するシリカを添加した場合、ベース樹脂の体積分率  $V_r$  (vol. % (体積 %))、通常粒径フィラーの体積分率  $V_f$  (vol. %) とすると、フィラーが添加された樹脂の硬化収縮率  $S$  は、

$$S = (S_r \times V_r) / (V_r + V_f) \quad (1)$$

で与えられる。ここで、 $S_r$  は樹脂単体の硬化収縮率である。図 3 に通常粒径 (5 μm ~ 50 μm) のフィラーの体積分率  $V_f$  と樹脂の硬化収縮率  $S$  の相関を示す。硬化収縮率は樹脂の体積分率に依存し、フィラー量が増加するに従って小さくなる。

#### 【0016】

また、樹脂のヤング率  $Y$  も、通常粒径フィラーの体積分率  $V_f$  に依存し、下記の式で与えられる (例えば、R. Sharma, S. Ranta, "On Simplified Composite Micromechanics, Equation and Inverse Mixture Rule", J. Reinf. Plast. Compos. Vol.23, no.14, pp1465-72 (2004) 参照)。

$$Y = Y_r [ (1 - (V_f)^{1/2}) + (V_f)^{1/2} / \{ (1 - [(V_f)^{1/2} \times (1 - Y_r / Y_f)]) \} ] \quad (2)$$

#### 【0017】

ここで、 $Y_r$  は樹脂単体のヤング率、 $Y_f$  は通常粒径フィラーのヤング率を表す。図 4 に通常粒径フィラーの体積分率  $V_f$  と樹脂のヤング率  $Y$  の相関を示す。ヤング率  $Y$  はフィラー量  $V_f$  の増加に従って増加する。同様に、線膨張係数は通常粒径フィラー量の増加に従って小さくなり、ポアソン比も小さくなる。

#### 【0018】

樹脂の接着強度に関しては、接着性発現の役目を担う樹脂単体の体積分率に依存する。図 5 を参照して引っ張りせん断による樹脂の接着強度測定法を説明する (JIS K 6850 参照)。アルミ合金 JIS H-4000A-5042P からなる二枚の試験片

10

20

30

40

50

100 a、100 bの間に樹脂層104を形成し、樹脂層104の硬化後に、試験片100 a、00 bを両側から1 mm / 分で引っ張り、樹脂層104の破断荷重(kg)を接着面積( $\text{cm}^2$ )で割った値を接着強度として算出する。試験片100 a、100 bには同じ材料のアルミ合金からなるつかみ部分102 a、102 bが設けられ、このつかみ部分102 a、102 bを利用して引っ張り荷重をかける。この測定法で得られた樹脂単体の接着強度を1とすると、通常粒径のフィラーを33.3 vol.%添加した樹脂層の接着強度は0.82となり、さらに通常粒径フィラーを74 vol.%増加した樹脂層の強度は0.52に低下する(表1参照)。

#### 【0019】

一方、サブミクロンのフィラー粒子、特に100 nm以下のいわゆる超微粒子サイズのシリカをフィラーとして用いた場合は、通常粒径のフィラーを添加した場合と異なり、わずか数vol.%の添加でヤング率が飛躍的に増加する(例えば、公開資料「ナノ粒子の合成と機能化プロジェクト」事後評価分科会プロジェクト説明資料議題6.3 シングルナノ粒子を用いた機能発現の評価、参照)。これは、超微粒子を少量添加しただけで、ポリマー分子鎖の運動を拘束するため、ヤング率と同様に、分子鎖の運動に起因する線膨張係数とポアソン比も、通常粒径のフィラー添加の場合と異なり、やはり数vol.%の添加で低下する。但し、樹脂の硬化収縮率は、硬化時の樹脂の体積分率に依存するため、通常粒径フィラーの添加量と同様に、式(1)に従い、平均粒径10 nmのシリカを5.3 vol.%添加した場合の硬化収縮率は1.21である。また、樹脂の接着強度に関しても、樹脂の体積分率が寄与するため、強度はほとんど低下しないという特徴を有する。

#### 【0020】

ここで、本実施形態の半導体装置1に関して、構造解析ソフトABAQUSを用いて、有限要素法で樹脂の硬化時の収縮を考慮した時のチップ端部に発生する応力を見積もった。解析モデルは図6に示すように、3 mm角、厚さ0.55 mmのシリコンチップ110を厚さ0.8 mmの樹脂114で埋め込んだ構成を有している。チップ110間のギャップdを1 mm、もしくは3 mmとした場合の、チップ端部に発生するX方向(チップ110が並列配置された方向)の応力と、モジュール表面近傍のチップ110と樹脂114との界面のZ方向(チップ110が並列配置された方向と直交する方向)の位置ずれ(段差)を見積もった(図7参照)。このシミュレーション結果を表2に示す。

#### 【表2】

表2、チップ埋め込みモジュールの計算結果

	樹脂条件		計算結果	
	粒径 $\mu\text{m}$	添加量 vol%	チップ端部応力(MPa)	チップ/樹脂段差( $\mu\text{m}$ )
エポキシ樹脂単体	—	—	161	0.8
通常フィラー添加樹脂	5~50	33.3	161	0.4
		74	82	0.1
超微粒子添加樹脂	0.01	5.3	133	0.2

#### 【0021】

解析は樹脂層114が均一層であるとして行ったが、埋め込み樹脂の硬化収縮率、ヤング率、線膨張係数、ポアソン比を変えた場合の応力を見積もることにより、材料定数の異なる樹脂を多層化する際の応力低減効果の目安とすることが出来る。表1に挙げたエポキシ樹脂で、通常粒径フィラーを74 vol.%添加した樹脂を埋め込み樹脂として用いると、チップ110の端部に発生する応力は、接着層としてフィラーを添加しない樹脂単体の場合の1/2に低減され、チップ110と樹脂114との界面の段差は1/8に低減された。また、平均粒径10 nmのシリカを5.3 vol.%添加した樹脂を埋め込み樹脂114として用いると、チップ端部に発生する応力は、樹脂単体の場合よりわずかに低下するだけであるが、チップ110と樹脂114との界面の段差は1/4に低減された。

## 【0022】

図1に示す本実施形態の半導体装置1において、例えば、接着膜32bとして、平均粒径10nmの微細フィラー6であるシリカを5.3vol.%添加したエポキシ樹脂を用いて、接着膜32aとして、通常粒径フィラーを74vol.%添加したエポキシ樹脂を用いた。すると、接着膜32bは、ヤング率は6700MPa、ポアソン比0.29、線膨張係数 $24 \times 10^{-6}$ で、接着膜32aは、ヤング率14000MPa、ポアソン比0.25、線膨張係数 $10 \times 10^{-6}$ である。接着膜32bにより主面側近傍のチップ10、20と樹脂30との段差を小さくし、接着膜32aによりチップ10、20に掛かる応力を低減し、半導体装置1全体の応力と反り、およびチップ10、20と樹脂30との界面の段差を小さくすることができる。チップ10、20間の接着強度に関して、接着膜32bの接着強度は、樹脂単体を1とした場合と比べて0.97であり、接着膜32bを形成することにより、第1樹脂膜32aのみの場合(強度は0.52)に比べ、接着強度が著しく低下するのを抑制することが可能となり、半導体装置1全体の機械的強度が確保される。なお、本実施形態の半導体装置1Aも、特開2004-103955号公報に記載された従来の半導体装置と比較すると矯正部材を省くことが可能となる分だけ薄化することができる。

10

## 【0023】

本実施形態の半導体装置1は、図2に示すように、主面側上に平坦化膜50を形成し、この平坦化膜50にパッド14、24に接続するビアホール52を形成し、このビアホール52を埋め込むように配線54を形成した後、擬似SOCとして用いる。なお、配線54としては、半導体チップ10のパッド14と、MEMSチップ20のパッド24とを電気的に接続することにより半導体チップ10とMEMSチップ20とを電気的に接続する配線と、半導体チップ10またはMEMSチップ20を外部と接続する配線とを含んでいる。

20

## 【0024】

この工程において、従来の半導体装置においては、接着層の硬化時の残留応力の他、配線形成プロセスにおいて、接着層とチップとの熱膨張差により生じる応力によってもチップと接着層との間で剥離が発生し、主面側で配線が段切れを起こし、接続不良となる不良モードがある。これに対して、本実施形態においては、接着層30を、異なる材料定数調整剤が含まれた樹脂からなる多層構造としたことにより、主面側近傍において、接着層30の接着強度を保持しながらヤング率を上げ、線膨張係数とポアソン比を下げることで可能となり、チップ10、20と接着層30との間で剥離が発生するのを防止することができる。配線に段切れが生じるのを防止することができる。

30

## 【0025】

また、配線形成プロセスでは、接着層と平坦化膜との密着強度を上げるために、例えばフッ化炭素ガスを微量添加した酸素ガスによるプラズマ処理等で接着層選択的エッチングを行い、接着層の表面の粗化を行う工程を加える。この表面粗化工程では、接着層に含まれるフィラーの径により、形成される凹凸形状が律速される。このため、主面側の接着膜に含まれるフィラー径が大きい場合には大きな凹凸が形成された荒れた表面となり、チップ端部の段差が大きくなって断線が発生する可能性がある。しかし、本実施形態においては、主面側にはフィラー径の小さな接着膜32bが設けられているので、この接着膜32bの表面には微細な凹凸が形成され、密着強度が向上する。図8に示すように、接着層30の最表面に形成される微細な凹凸38の最大高さ(Rz)は、接着層30に含まれるフィラーの粒径に依存し、粒径の細かいフィラーが分散されている場合には微細な凹凸が形成可能となる。したがって、平坦化膜50の形成工程においても、主面側の接着膜32bはフィラー径の小さな微粒子を含有している方が微細配線形成には有利である。

40

## 【0026】

図6に示したように樹脂114でチップ110を埋め込んだ半導体装置において、樹脂114のヤング率を変えた場合、シリコンチップ110の端部に掛かる応力のシミュレーション結果を図9に示す。図6に示すチップ110間のギャップdが3mmの場合より、

50

狭ギャップ化した1mmの方が応力は小さくなっている。また、どちらのギャップであっても、樹脂114のヤング率6000MPa近傍を境として、これよりヤング率が大きくなると応力が低減される傾向があることが分かった。このシミュレーション結果より、接着層30に用いる樹脂のヤング率は6000MPa以上が望ましい。

【0027】

図6に示したように樹脂114でチップ110を埋め込んだ半導体装置において、樹脂114のポアソン比を変えた場合、シリコンチップ110の端部に掛かる応力のシミュレーション結果を図10に示す。図6に示すチップ110間のギャップが3mmの場合より、狭ギャップ化した1mmの方が応力は小さくなっている。また、どちらのギャップであっても、樹脂114のポアソン比0.34近傍を境として、これより小さくなると応力が低減される傾向があることが分かった。このシミュレーション結果より、接着層30に用いる樹脂のポアソン比は0.34以下が望ましい。

10

【0028】

図6に示したように樹脂114でチップ110を埋め込んだ半導体装置において、樹脂114の線膨張係数CTEを変えた場合、シリコンチップ110の端部に掛かる応力のシミュレーション結果を図11に示す。図6に示すチップ110間のギャップが3mmの場合より、狭ギャップ化した1mmの方が応力は小さくなっている。また、どちらのギャップであっても、樹脂114の線膨張係数 $30 \times 10^{-6}$ 近傍を境として、これより小さくなると応力が低減される傾向があることが分かった。このシミュレーション結果より、接着層30として用いる樹脂の線膨張係数は $30 \times 10^{-6}$ 以下が望ましい。

20

【0029】

以上のように、応力シミュレーションの結果から、接着層30として、チップに掛かる応力を低減するという観点から好ましい材料定数の範囲は、ヤング率が6000MPa以上、ポアソン比は0.34以下、線膨張係数は $30 \times 10^{-6}$ 以下であることが分かった。

【0030】

以上説明したように、本実施形態によれば、樹脂の硬化時に発生する反りを抑制することができるとともに薄化が可能となる。

【0031】

(第2実施形態)

30

次に、本発明の第2実施形態による半導体装置を図12に示す。本実施形態の半導体装置1Aは、図1に示す第1実施形態の半導体装置1において、チップ10、20の主面と反対側の面(裏面)にも接着膜32cを設けた構成となっている。すなわち、接着膜32cは、裏打ち層となっており、かつ半導体チップ10とMEMSチップ20との間に設けられ、半導体チップ10とMEMSチップ20とを接着する接着層30Aが、接着膜32c、接着膜32a、接着膜32bの順に積層された積層構造を備えている。そして、これらの接着膜32a、32b、32cは、少なくとも二つ以上の異なる材料定数調整剤が含まれている。接着膜32bは、平均粒径の小さいシリカを主成分とするフィラー36bが添加された樹脂で、接着膜32aは、接着膜32bに含有されるフィラーの粒子よりも平均粒径の大きいフィラー36aが添加された樹脂であり、接着膜32cは、接着膜32a、32bの材料定数調整剤36a、36bと異なる構成材料定数調整剤36cが添加された樹脂である。なお、本実施形態の半導体装置1Aも、図2に示す第1実施形態の半導体装置と同様に、主面側上に平坦化膜50を形成し、この平坦化膜50にパッド14、24に接続するビアホール52を形成し、このビアホール52を埋め込むように配線54を形成した後、擬似SOCとして用いる(図13)。なお、配線54としては、半導体チップ10のパッド14と、MEMSチップ20のパッド24とを電氣的に接続することにより半導体チップ10とMEMSチップ20とを電氣的に接続する配線と、半導体チップ10またはMEMSチップ20を外部と接続する配線とを含んでいる。

40

【0032】

本実施形態において、例えば、接着膜32bとして樹脂34に平均粒径10nmの微細

50

フィラー36bであるシリカを5.3vol.%添加し、接着膜32aとして樹脂34に通常粒径のフィラー36aを54vol.%添加した。さらに接着膜32cとして樹脂34に接着膜32aと同じ通常粒径のフィラー36cを74vol.%添加した。接着膜32bは、ヤング率が6700MPa、ポアソン比が0.29、線膨張係数が $24 \times 10^{-6}$ であり、接着膜32aは、ヤング率が7200MPa、ポアソン比が0.29、線膨張係数が $23 \times 10^{-6}$ であり、接着膜32cは、ヤング率が14000MPa、ポアソン比が0.25、線膨張係数が $10 \times 10^{-6}$ であった。接着強度に関しては、接着膜32bの接着強度が0.97で、接着膜32aの強度が0.76であった。

#### 【0033】

接着膜32bの超微粒子フィラーの添加効果により半導体装置1Aの主面側近傍のチップ10,20と接着層30Aとの段差を小さくし、接着膜32aの通常粒径フィラーの添加効果によりチップ10,20と接着層30Aに掛かる応力を低減することで、チップ10,20が埋め込まれた領域の反りと応力を低減し、同時にチップ10,20間の接着強度を確保している。さらに接着膜32cとして、ヤング率が大きく、ポアソン比、線膨張係数の低い剛性の高い樹脂材料を用いて裏打ち層を形成することにより、半導体装置1A全体の機械的強度を確保することが可能となっている。本実施形態の半導体装置1Aも、特開2004-103955号公報に記載された従来の半導体装置と比較すると矯正部材を省くことが可能となる分だけ薄化することができる。

#### 【0034】

また、高集積化にはチップ10,20間の狭ギャップ化が必須であるが、狭ギャップ化すると、チップ10,20間の接着層30Aの樹脂量が減少し接着強度が低下する。このため、主面側の接着層30Aのフィラー添加量を抑えて接着強度を確保することが必要になる。本実施形態では、チップ10,20間の接着層30Aの少なくとも主面側の接着膜32bを、樹脂に平均粒径の小さなフィラーを添加した構成とし、少量の添加量で接着強度を確保するとともに、チップ間の接着強度を確保し、半導体装置全体の機械的強度を確保している。

#### 【0035】

以上述べたように、本実施形態により、複数のチップを集積した半導体装置において、チップ間の十分な接着強度を確保し、かつデバイスそのものの機械的強度を確保しながら、反りを低減し、高集積化、薄化が達成できる。

#### 【0036】

次に、本発明の実施形態を、以下に示す実施例を参照して詳細に説明する。

#### 【0037】

##### (第1実施例)

本発明の第1実施例による半導体装置を図1に示す。本実施例の半導体装置1は、半導体チップ10と、MEMSチップ20と、半導体チップ10とMEMSチップ20とを接着する接着層30と、を備えている。半導体チップ10は内部に半導体デバイス12(例えば、CMOSデバイス)を含み、上面に半導体デバイス12と電氣的に接続されるパッド14が設けられている。MEMSチップ20は内部にMEMSデバイス22を含み、上面にMEMSデバイス22と電氣的に接続されるパッド24が設けられている。接着層30は、樹脂に異なる材料定数調整剤が含まれた、接着膜32a、32bからなる積層構造を有している。接着膜32aは樹脂34に平均粒径が比較的大きなシリカを主成分とするフィラー36aが添加され、接着膜32bは樹脂34に平均粒径が比較的小さなシリカを主成分とするフィラー36bが添加された構造を有している。本実施例の半導体装置1に配線層を形成した擬似SOCを図2に示す。

#### 【0038】

本実施例の半導体装置1においては、接着膜32bとして、酸無水系エポキシ樹脂34に平均粒径10nmの微細フィラー36bであるシリカを5.3vol.%添加した接着膜を用い、接着膜32aとして酸無水系エポキシ樹脂34に通常粒径のフィラー36aを74vol.%添加した接着膜を用いた。接着膜32bは、ヤング率が6700MPa

10

20

30

40

50



、ポアソン比が0.29、線膨張係数が $2.4 \times 10^{-6}$ であり、接着膜32aは、ヤング率が14000MPa、ポアソン比が0.25、線膨張係数が $1.0 \times 10^{-6}$ であった。

【0039】

このように構成された本実施例の半導体装置1において、更に図2に示すように、チップ10、20の主面上に平坦化膜50を形成し、この平坦化膜50にパッド14、24に接続するビアホール52を形成し、このビアホール52を埋め込むように配線54を形成することにより、擬似SOCが完成する。

【0040】

次に、本実施例の半導体装置の製造方法を、図14(a)乃至図16(c)を参照して説明する。まず、図14(a)に示すように、厚さ0.8mmのガラス基板61上に厚さ10 $\mu$ mのアクリル系粘着層62が形成された支持基板60を用意する。この支持基板60上に、CMOSチップ10およびMEMSチップ20を所望の位置に搭載し、粘着層62により仮接着する。CMOSチップ10は内部にCMOSデバイス12を含み、粘着層62に仮接着される側の面上にCMOS12と電氣的に接続されるパッド14が設けられている。MEMSチップ20は内部にMEMSデバイス22を含み、粘着層62に仮接着される側の面上にMEMSデバイス22と電氣的に接続されるパッド24が設けられている。MEMSチップ20とCMOSチップ10間のギャップ(距離)は1mmであった。

【0041】

次に、図14(b)に示すように、接着膜32bとして、酸無水系エポキシ樹脂34に平均粒径10nmのシリカを主成分とする微細フィラー36bを5.3vol.%添加した樹脂を準備し、ディスペンサによりチップ10、20との間のギャップに注入する。このとき仮乾燥後の樹脂厚が0.2mmとなるように樹脂の注入量を調整し、65 $^{\circ}$ Cで30分間の仮乾燥を行った。

【0042】

続いて、図15(a)に示すように、接着膜32aとして、酸無水系エポキシ樹脂34に平均粒径20 $\mu$ mのシリカを主成分とするフィラー36aを74vol.%添加した樹脂を接着膜32b上に、スクリーン版を用いた印刷法により形成した。その後、100 $^{\circ}$ Cで30分間の仮焼成を行い、接着膜32aを形成する。続いて、図15(b)に示すように、支持基板60を剥離した後、180 $^{\circ}$ Cで1時間の本焼成を行い、半導体装置1を作成した。

【0043】

次に、図16(a)に示すように、半導体装置1の主面側に感光性エポキシ樹脂シートからなる平坦化膜50を形成する。その後、図16(b)に示すように、フォトリソグラフィ技術を用いて、平坦化膜50に、チップ10、20のパッド14、24に接続する開口部を設ける。メッキ法でこの開口部を埋め込みビア52を形成した後、配線材料膜を堆積し、この配線材料膜をパターニングすることにより、配線パターン54を形成する(図16(c))。

【0044】

本実施例の製造方法において、接着膜32bと平坦化膜50との界面の密着強度を上げるため、平坦化膜50の形成工程の前に、CF<sub>4</sub>ガスを5%添加した酸素ガスプラズマにより10秒間プラズマ処理を行い、接着層30を選択的に除去する表面処理工程を行った(図示せず)。このとき、図8に示すように、この工程で得られた最表面の微細な凹凸を示す指標である数値は、接着層30の断面の粗さ曲線において、最大高さ(Rz)が50nmであった。ちなみに、ここで述べられている微細な凹凸は、JIS B 0601(2001)の規格に基づき定義したもので、最大高さ(Rz)とは、基準長さ(lr)における山高さの最大値と、谷深さの最大値との和である。ここで、測定している粗さ成分とは、断面の粗さ曲線の成分から、うねり成分以上の長い波長成分、いわゆるカットオフ周波数( $f_c$ )を除去したもので、通常 $l_r = 1/f_c$ である。断面の粗さ曲線における最大高さRzは、うねり成分を除いた粗さ成分から十分に求めることができるものであるが、さらに、粗さ成分とそれより短い波長成分との境界の波長( $f_s$ )を除いた成分において

10

20

30

40

50

、 $R_z$ を求めることがより望ましい場合がある。本実施例では  $s$  はフィラーの粒径に関連した値である。ここでは  $l_r = c = 1 \mu m$  とし、  $s = 10 nm$  とした。本実施例では、断面の粗さ曲線から  $c$  と  $s$  を除いて得られた粗さ曲線において、最大高さ  $R_z$  を計測した (JIS B 0601:2001の3.1.1.1項記載)。また、断面における凹凸の測定は、例えば 走査電子顕微鏡 SEM (Scanning Electron Microscope)、微小な針を用いて表面の粗さ情報を検出する原子間力顕微鏡 AFM (Atomic Force Microscopy)、レーザー光を照射し光学的な位相差を利用して表面粗さを測定する光学顕微鏡を用いて測定される。またこれらの測定で得られた粗さ曲線は、画像処理によって、解析的に最大高さ  $R_z$  を求めることができる。

#### 【0045】

上記の工程で配線層54を形成した擬似SOCに、半田バンプ層を電極パッド上に形成する。形成方法としては印刷法を用いた。印刷版を介して半田ペーストによる島パターンをパッド上に形成した後、リフロープロセスを経てボール形状のバンプ層を形成した。(図示せず)

#### 【0046】

以上のように、MEMSチップ、CMOSチップなどの半導体チップや、抵抗体、コンデンサなどの受動部品を効率的に組み込んだ高密度集積化半導体装置として、チップ間を接着する接着層を異なる材料定数調整剤が含まれた層が積層された積層構造とすることにより、チップや接着層に掛かる応力と反りを低減し、チップと接着層との界面での段差を小さくし、さらに機械的強度を保持した半導体装置が得られた。この半導体装置を用いて、配線層と半田バンプ付の擬似SOCが形成され、半田バンプを介して配線基板に搭載される。

#### 【0047】

(第2実施例)

次に、本発明の第2実施例による半導体装置を図12に示す。本実施例の半導体装置1Aは、図1に示す第1実施例の半導体装置1において、チップ10、20の主面と反対側の面(裏面)にも接着膜32cを設けた構成となっている。すなわち、接着膜32cは、裏打ち層となっており、かつ半導体チップ10とMEMSチップ20との間に設けられ、半導体チップ10とMEMSチップ20とを接着する接着層30Aが、接着膜32c、接着膜32a、接着膜32bからなる積層構造を備えている。そして、これらの接着膜32a、32b、32cは、少なくとも二つ以上の異なる材料定数調整剤が含まれている。接着膜32bは、平均粒径の小さいシリカを主成分とするフィラー36bが添加された樹脂で、接着膜32aは、接着膜32bに含有されるフィラーの粒子よりも平均粒径の大きいフィラー36aが添加された樹脂であり、接着膜32cは、接着膜32a、32bの材料定数調整剤36a、36bと異なる構成材料定数調整剤36cが添加された樹脂である。なお、本実施例の半導体装置1Aも、図2に示す第1実施例の半導体装置と同様に、主面側上に平坦化膜50を形成し、この平坦化膜50にパッド14、24に接続するビアホール52を形成し、このビアホール52を埋め込むように配線54を形成し、擬似SOCが完成する(図13)。なお、配線54としては、半導体チップ10のパッド14と、MEMSチップ20のパッド24とを電氣的に接続することにより半導体チップ10とMEMSチップ20とを電氣的に接続する配線と、半導体チップ10またはMEMSチップ20を外部と接続する配線とを含んでいる。

#### 【0048】

本実施例の半導体装置1Aにおいては、接着膜32bとして、酸無水系エポキシ樹脂34に平均粒径10nmの微細フィラー32bであるシリカを5.3vol.%添加した接着膜を用い、接着膜32aとして、酸無水系エポキシ樹脂34に通常粒径のフィラー36aを54vol.%添加した接着膜を用い、接着膜32cとして、酸無水系エポキシ樹脂34に通常粒径のフィラー36cを74vol.%添加した接着膜を用いた。接着膜32bは、ヤング率が6700MPa、ポアソン比が0.29、線膨張係数が $24 \times 10^{-6}$ であり、接着膜32aは、ヤング率が7200MPa、ポアソン比が0.29、線膨張係

10

20

30

40

50

数が  $23 \times 10^{-6}$  であり、接着膜 32c は、ヤング率が  $14000 \text{ MPa}$ 、ポアソン比が  $0.25$ 、線膨張係数が  $10 \times 10^{-6}$  であった。

【0049】

次に、図 17(a) 乃至図 17(c) を参照して、本実施例の半導体装置の製造方法を説明する。

【0050】

まず、図 15(a) に示す工程が終了するまでは、第 1 実施例と同様の工程を用いて行う。すなわち、図 17(a) に示すように、厚さ  $0.8 \text{ mm}$  のガラス基板 61 上に厚さ  $10 \mu\text{m}$  のアクリル系粘着層 62 が形成された支持基板 60 を用意する。この支持基板 60 上に、CMOS チップ 10 および MEMS チップ 20 を所望の位置に搭載し、粘着層 62 により仮接着する。MEMS チップ 20 と CMOS チップ 10 間のギャップ（距離）は  $1 \text{ mm}$  であった。その後、このギャップ間に、酸無水系エポキシ樹脂 34 に平均粒径  $10 \text{ nm}$  のシリカを主成分とする微細フィラー 36b を  $5.3 \text{ vol. \%}$  添加した樹脂を準備し、スクリーン版を用いた落とし込み印刷の手法で、仮乾燥後の樹脂厚が  $0.1 \text{ mm}$  となるように接着膜 32b を印刷し、65 で 30 分間ので仮乾燥を行った。次に、接着膜 32a として、酸無水系エポキシ樹脂 34 に平均粒径  $10 \mu\text{m}$  のシリカを主成分とするフィラー 36a を  $54 \text{ vol. \%}$  添加した樹脂を接着膜 32b 上にスクリーン版を用いた印刷法で印刷し、100 で 30 分間の仮焼成を行い、異なる材料定数調整剤を含んだ二層の接着膜からなる積層構造を形成する（図 17(a)）。

【0051】

次に、その上に接着膜 32c として、酸無水系エポキシ樹脂 34 に平均粒径  $10 \mu\text{m}$  のシリカを主成分とする、接着膜 32a に用いられたフィラーと同種のフィラー 36a を  $74 \text{ vol. \%}$  添加した樹脂を準備し、スクリーン版を用いた印刷法で印刷する。その後、100 で 30 分間の仮焼成を行った（図 17(b)）。続いて、支持基板 60 を剥離後、180 で 1 時間の本焼成を行い、半導体装置 1A が形成する。

【0052】

この半導体装置 1A のチップの主面側に、 $\text{CF}_4$  ガスを  $5 \%$  添加した酸素ガスプラズマにより  $10$  秒間プラズマ処理を行い、最表面の Rz が  $50 \text{ nm}$  となるような微細な凹凸を形成した（図示せず）。その後、第 1 実施例と同様の工程で配線層 54 を形成し、擬似 SOC を完成する（図 17(c)）。

【0053】

本実施例では、特にチップ間の接着強度を高めるため、接着膜 32b として超微粒子フィラーを  $5.3 \text{ vol. \%}$  添加した接着膜を用い、接着膜 32a として通常粒径のフィラーを  $54 \text{ vol. \%}$  添加した接着膜を用いた。接着膜 32b の接着強度が  $0.97$ 、接着膜 32a の接着強度が  $0.76$  で、ともに良好な接着強度が確保されていた。さらに半導体装置 1A 全体の剛性を上げる効果を得るため、裏打ち層として形成する接着膜 32c に通常粒径のフィラーを  $74 \text{ vol. \%}$  添加した接着膜を用いることにより、チップ裏面の樹脂の硬化収縮時に発生する、チップ主面側に凸となる反りを低減することができた。

【0054】

（第 3 実施例）

次に、本発明の第 3 実施例による半導体装置を図 18 に示す。本実施例の半導体装置 1B は、半導体チップ 10 と、MEMS チップ 20 と、半導体チップ 10 と MEMS チップ 20 とを接着する接着層 30B と、を備えている。半導体チップ 10 は内部に半導体デバイス 12（例えば、CMOS デバイス）を含み、上面に半導体デバイス 12 と電気的に接続されるパッド 14 が設けられている。MEMS チップ 20 は内部に MEMS デバイス 22 を含み、上面に MEMS デバイス 22 と電気的に接続されるパッド 24 が設けられている。接着層 30B は、樹脂に異なる材料定数調整剤が含まれた、接着膜 32a、32c からなる積層構造を有している。なお、接着膜 32a は半導体チップ（以下、CMOS チップともいう）10 および MEMS チップ 20 のそれぞれのパッドが形成された面（主面）と反対側の面（裏面）にも設けられている。

## 【 0 0 5 5 】

本実施例においては、接着膜 3 2 a として、酸無水系エポキシ樹脂 3 4 に平均粒径 5  $\mu$  m のフィラー 3 6 a であるシリカを 5 4 v o l . % 添加した接着膜を用い、接着膜 3 2 c として、酸無水系エポキシ樹脂 3 4 に接着膜 3 2 a に用いたと同じ平均粒径のフィラー 3 6 a であるシリカを 7 4 v o l . % 添加した接着膜を用いた。接着膜 3 2 a は、ヤング率が 7 2 0 0 M P a、ポアソン比が 0 . 2 9、線膨張係数が  $2 3 \times 1 0^{-6}$  であり、接着膜 3 2 c は、ヤング率が 1 4 0 0 0 M P a、ポアソン比が 0 . 2 5、線膨張係数が  $1 0 \times 1 0^{-6}$  であった。

## 【 0 0 5 6 】

次に、本実施例による半導体装置 1 B の製造方法を図 1 9 ( a ) 乃至図 2 0 ( c ) を参照して説明する。

## 【 0 0 5 7 】

まず、支持基板 7 0 として、厚さ 0 . 8 m m のガラスからなる下地基板 7 1 と、この下地基板 7 1 上に形成された粘着フィルム 7 2 との積層構造を有するものを用意する。粘着フィルム 7 2 は、厚さ 0 . 1 5 m m のポリエチレンテレフタレート ( P E T ) フィルム 7 3 の両面に厚さ 1 5  $\mu$  m のアクリル系粘着層 7 4 が形成されている。下地基板 7 1 は、その裏面 ( 粘着フィルム 7 2 が形成された面と反対側の面 ) に予めチップ搭載位置が印字されたマスクパターン 7 6 を有するガラスマスクである。ガラスマスク 7 1 に、粘着フィルム 7 2 を貼り付け、粘着層 7 4 上のチップ搭載位置に対応する場所に、 C M O S チップ 1 0 と、 M E M S チップ 2 0 を搭載し、仮固定する ( 図 1 9 ( a ) ) 。

## 【 0 0 5 8 】

次に、図 1 9 ( b ) に示すように、接着膜 3 2 c として、酸無水系エポキシ樹脂 3 4 に平均粒径 5  $\mu$  m のシリカを主成分とするフィラー 3 2 a を 7 4 v o l . % 添加した樹脂を準備し、スクリーン版を用いた印刷法で、搭載されたチップの中で最大高さを有するチップがほぼ埋まるまでの樹脂厚に相当する分の樹脂膜 ( 接着膜 ) 3 2 c を印刷した。本実施例の場合、仮焼成後の樹脂厚が 0 . 6 m m となるように樹脂膜 3 2 c を印刷した。印刷後、 1 2 0  $^{\circ}$  C で 3 0 分間の仮焼成を行い、支持基板 7 0 を剥離した後、 1 8 0  $^{\circ}$  C で 1 時間の本焼成を行い、半導体モジュールを形成した ( 図 2 0 ( a ) ) 。

## 【 0 0 5 9 】

次に、半導体モジュールの裏面をグラインダーにより研磨し、半導体チップの能動領域に影響を与えない領域の厚さである 0 . 2 m m まで薄化した ( 図 2 0 ( b ) ) 。さらに半導体モジュールの裏面に形成する接着膜 3 2 a として、接着膜 3 2 c の樹脂と同種の酸無水系エポキシ樹脂 3 4 に、接着膜 3 2 c に分散されたフィラーと同種である、平均粒径 5  $\mu$  m のシリカを主成分とするフィラー 3 6 a を 5 4 v o l . % 添加した樹脂を準備する。そして、スクリーン版を用いた印刷法で、焼成後の樹脂厚さが 0 . 1 m m となるように印刷した。その後、 1 2 0  $^{\circ}$  C で 3 0 分間、 1 8 0  $^{\circ}$  C で 1 時間の 2 段階の焼成工程を経て、厚さ 0 . 3 m m の半導体装置 1 B が形成した ( 図 2 0 ( c ) ) 。

## 【 0 0 6 0 】

この半導体装置 1 B を用いて、半導体装置 1 B の主面側に、 S F <sub>6</sub> ガスを 3 % 添加した酸素ガスプラズマにより 3 0 秒間プラズマ処理を行い、接着層 3 0 B の表面に微細な凹凸を形成した ( 図示せず ) 。この工程で得られた、接着層 3 0 B の最表面の微細な凹凸は、接着膜 3 2 c の断面の粗さ曲線において、  $l r = c = 5 \mu m$ 、  $s = 2 0 n m$  とした時の最大高さ R z は 0 . 3  $\mu m$  であった。その後、第 1 および第 2 実施例と同様の工程で、平坦化膜および配線を形成し、擬似 S O C を作成した ( 図示せず ) 。

## 【 0 0 6 1 】

本実施例では、半導体装置の薄化を狙い、チップ 1 0 , 2 0 間の接着層 3 0 の接着膜として比較的剛性の高い樹脂を用いたことにより、接着膜 3 2 c を形成した時点でチップと接着膜に生じる応力と反りが低減された。これにより、次工程の研磨工程で高精度の研磨が可能となった。しかしながら接着強度が劣るため、これを補う目的で、比較的樹脂の体積分率が高い、接着強度 0 . 7 6 の樹脂を裏打ち層として接着膜 3 2 a を形成することに

10

20

30

40

50

より、半導体装置 1 B の厚さが薄くても、十分な機械的強度が確保された信頼性の高い高密度の半導体装置を得ることができた。

#### 【 0 0 6 2 】

( 第 4 実施例 )

次に、本発明の第 4 実施例による半導体装置を図 2 1 に示す。本実施例の半導体装置 1 C は、半導体チップ 1 0 と、MEMS チップ 2 0 と、半導体チップ 1 0 と MEMS チップ 2 0 とを接着する接着層 3 0 C と、を備えている。半導体チップ 1 0 は内部に半導体デバイス 1 2 ( 例えば、CMOS デバイス ) を含み、上面に半導体デバイス 1 2 と電氣的に接続されるパッド 1 4 が設けられている。MEMS チップ 2 0 は内部に MEMS デバイス 2 2 を含み、上面に MEMS デバイス 2 2 と電氣的に接続されるパッド 2 4 が設けられている。接着層 3 0 C は、樹脂に異なる材料定数調整剤が含まれた、接着膜 3 2 a、3 2 b、3 2 d からなる積層構造を有している。接着膜 3 2 d が半導体装置 1 C の一番下層に設けられ、接着膜 3 2 d 上に接着膜 3 2 a が設けられ、接着膜 3 2 a 上に接着膜 3 2 b が設けられた構成となっている。

10

#### 【 0 0 6 3 】

本実施例において、接着膜 3 2 b として、酸無水系エポキシ樹脂 3 4 に平均粒径 1 0 n m の微細フィラー 3 6 b であるシリカを 5 . 3 v o l . % 添加した接着膜を用い、接着膜 3 2 a として、エポキシ樹脂 3 4 に平均粒径 5  $\mu$  m の通常粒径フィラー 6 7 を 7 4 v o l . % 添加した接着膜を用い、接着膜 3 2 d として、エポキシ樹脂 3 4 に平均粒径 8  $\mu$  m のカーボンフィラー 3 6 d を 6 7 v o l . % 添加した接着膜を用いた。接着膜 3 2 b は、ヤング率が 6 7 0 0 M P a、ポアソン比 0 . 2 9、線膨張係数が  $2 4 \times 1 0^{-6}$  であり、接着膜 3 2 a は、ヤング率が 1 4 0 0 0 M P a、ポアソン比が 0 . 2 5、線膨張係数が  $1 0 \times 1 0^{-6}$  であり、接着膜 3 2 d は、ヤング率が 1 2 0 0 0 M P a、ポアソン比が 0 . 2 7、線膨張係数が  $1 4 \times 1 0^{-6}$  であった。また各接着膜の熱伝導度に関しては、シリカフィラーを添加した接着膜 3 2 a、3 2 b の熱伝導度は、樹脂単体と同レベルの  $0 . 1 9 W / ( m \cdot K )$  であったが、カーボンフィラーを添加した接着膜 3 2 d の熱伝導度は約 2 倍の  $0 . 3 7 W / ( m \cdot K )$  であった。

20

#### 【 0 0 6 4 】

次に、本実施例の半導体装置の製造方法を、図 2 2 ( a ) 乃至図 2 3 ( b ) を参照して説明する。

30

#### 【 0 0 6 5 】

支持基板 7 0 として、厚さ 0 . 8 m m のガラスからなる下地基板 7 1 と、この下地基板 7 1 上に形成された粘着フィルム 7 2 との積層構造を有するものを用意する。粘着フィルム 7 2 は、厚さ 0 . 1 5 m m の P E T フィルム 7 3 の両面に厚さ 1 5  $\mu$  m の粘着層 7 4 が形成されている。

#### 【 0 0 6 6 】

下地基板 7 1 は、その裏面 ( 粘着フィルム 7 2 が形成された面と反対側の面 ) に予めチップ搭載位置が印字されたマスクパターン 7 6 を有するガラスマスクである。ガラスマスク 7 1 に、粘着フィルム 7 2 を貼り付け、粘着層 7 4 上のチップ搭載位置に対応する場所に、CMOS チップ 1 0 と、MEMS チップ 2 0 を搭載し、仮固定する ( 図 2 2 ( a ) ) 。続いて、第 1 実施例と同様に、接着膜 3 2 b として、酸無水系エポキシ樹脂 3 4 に平均粒径 1 0 n m のシリカを主成分とする微細フィラー 3 6 b を 5 . 3 v o l . % 添加した樹脂を準備し、ディスペンサにより、仮乾燥後の樹脂厚が 0 . 0 5 m m となるように接着膜 3 2 b を形成し、6 5 度で 3 0 分間の仮乾燥を行った。その後、接着膜 3 2 a として、接着膜 3 2 b で用いたのと同種のエポキシ樹脂 3 4 に平均粒径 5  $\mu$  m のシリカを主成分とするフィラー 3 6 a を 7 4 v o l . % 添加した樹脂を接着膜 3 2 b 上にスクリーン版を用いた印刷法で印刷し、1 0 0 度で 3 0 分間の仮焼成を行い、接着膜 3 2 a を形成した ( 図 2 2 ( a ) ) 。

40

#### 【 0 0 6 7 】

次に、支持基板 7 0 を剥離し、1 8 0 度で、1 時間の本焼成を行い、半導体モジュール

50

を形成した(図22(b))。続いて、この半導体モジュールの裏面(支持基板70が剥離された側の面)をグラインダーにより研磨し、厚さが0.2mmとなるまで、半導体モジュールを薄化した(図22(c))。

【0068】

次に、予め、第1または2接着層で用いたのと同種の酸無水系エポキシ樹脂34に、熱伝導率の大きい平均粒径8 $\mu$ mのカーボンフィラー36dを67vol.%添加し、半硬化状態、いわゆるBステージのシート形状に成形したカーボンフィラー含樹脂シート32dを準備しておく。この時のシート32dの厚さは0.1mmであった。このシート32dを研磨後の半導体モジュールの裏面に貼り付け、裏打ち層となる接着膜32dを形成した(図23(a)、23(b))。その後、180 $^{\circ}$ で1時間の最終焼成を行うことにより、厚さが0.3mmで、機械的強度も確保され、かつ、チップの裏面側の放熱性を向上させた半導体装置1Cが得られた(図23(b))。

10

【0069】

(第5実施例)

次に、本発明の第5実施例による半導体装置を図24に示す。本実施例の半導体装置1Cは、半導体チップ10と、MEMSチップ20と、受動部品チップ80と、これらのチップ10、20、80を接着する接着層30Dとを備えている。半導体チップ10は内部に半導体デバイス12(例えば、CMOSデバイス)を含み、上面に半導体デバイス12と電氣的に接続されるパッド14が設けられている。MEMSチップ20は内部にMEMSデバイス22を含み、上面にMEMSデバイス22と電氣的に接続されるパッド24が設けられている。受動部品チップ80は内部に受動部品82を含み、両側面に受動部品82と電氣的に接続された端子84が設けられている。接着層30Dは、樹脂に異なる材料定数調整剤が含まれた、接着膜32d、32e、32fからなる積層構造を有している。接着膜32dが半導体装置1Dの一番下層に設けられ、接着膜32d上に接着膜32eが設けられ、接着膜32e上に接着膜32fが設けられた構成となっている。本実施例においては、半導体チップ10およびMEMSチップ20の下に接着膜32dが設けられ、受動部品チップ80の下に接着膜32d、32eの積層膜が設けられている。

20

【0070】

また、本実施例の半導体装置1Dには、各チップ10、20、80の主面を覆うように平坦化膜50が設けられ、この平坦化膜50にパッド14、24および端子84と電氣的に接続するビア52、53が設けられ、これらのビア52、53と接続する配線54が設けられている。すなわち、ビア52、53および配線54によって、半導体チップ10、MEMSチップ20、および受動部品チップ80は電氣的に接続される。

30

【0071】

本実施例において、接着膜32fとして酸無水系エポキシ樹脂34に平均粒径200nmのNi-Zn系フェライト微粒子36fを5vol.%添加した接着膜を用い、接着膜32eとして酸無水系エポキシ樹脂34に平均粒径5 $\mu$ mの窒化アルミニウムフィラー36eを74vol.%添加した接着膜を用い、接着膜32として、酸無水系エポキシ樹脂34に平均粒径8 $\mu$ mのカーボンフィラー36dを67vol.%添加した接着膜を用いた。接着膜32fは、ヤング率が6400MPa、ポアソン比が0.29、線膨張係数が $2.4 \times 10^{-6}$ であり、接着膜32eは、ヤング率が14000MPa、ポアソン比が0.25、線膨張係数が $1.0 \times 10^{-6}$ であり、接着膜32dは、ヤング率が12000MPa、ポアソン比が0.27、線膨張係数が $1.4 \times 10^{-6}$ であった。また各接着膜の熱伝導度に関して、Ni-Zn系フェライト微粒子36fを添加した接着膜32fは微量のため樹脂単体と同じであったが、窒化アルミニウムフィラー36eを添加した接着膜32eは約1.5倍の0.29W/(m $\cdot$ K)、カーボンフィラー36dを添加した接着膜32dは約2倍の0.37W/(m $\cdot$ K)を有している。

40

【0072】

次に、本実施例の半導体装置の製造方法を説明する。

【0073】

50

第4実施例と同様に、支持基板として、厚さ0.8mmのガラスマスクと、両面に厚さ15 $\mu$ mの粘着層を形成した厚さ0.15mmのPETフィルムの粘着フィルムとの積層構造を有しているものを用いる。下地基板に粘着フィルムを貼り付けた支持基板上にMEMSチップ20、CMOSチップ10、および受動部品チップ80を搭載する。第2または第4実施例と同様に、接着膜32eとして、酸無水系エポキシ樹脂34に平均粒径200nmのNi-Zn系フェライト微粒子36fを5vol.%添加した樹脂を準備し、ディスペンサにより、仮乾燥後の樹脂厚が0.05mmとなるように樹脂膜を形成し、65で30分間の仮乾燥を行った。その上に接着膜32eとして、接着膜32fで用いたのと同種のエポキシ樹脂34に、シリカより熱伝導率の大きい、平均粒径5 $\mu$ mの窒化アルミニウムを主成分とするフィラー36eを74vol.%添加した樹脂を、スクリーン版を用いた印刷法で印刷し、100で30分間の仮焼成を行った。ここで、支持基板を剥離し、180で1時間の本焼成を行った後、半導体モジュールの裏面をグラインダーにより研磨し、厚さ0.2mmまで薄化した。

#### 【0074】

ここで、接着膜で用いたのと同種のエポキシ樹脂34に、熱伝導率の大きい平均粒径8 $\mu$ mのカーボンフィラー36dを67vol.%添加し更に半硬化状態に成形したカーボンフィラー含樹脂シート(シート厚0.1mm)を準備しておく。研磨後の上記半導体モジュールの裏面に、上記シートを貼り付け、裏打ち層となる接着膜32dを形成した。その後、180で1時間の最終焼成を行うことにより、0.3mmの薄い半導体装置1Dが得られた。

#### 【0075】

次に、半導体装置1Dの主面側に、SF<sub>6</sub>ガスを3%添加した酸素ガスプラズマにより10秒間プラズマ処理を行い、接着膜32fの最表面に微細な凹凸を形成した。この工程で得られた最表面の微細な凹凸は、接着膜32fの断面の粗さ曲線において、 $l_r = c = 1\mu$ m、 $s = 10$ nmとした時の最大高さRzは0.1 $\mu$ mであった。その後、第1または第2実施例と同様の工程で、平坦化膜50およびビア52、52ならびに配線54を形成し、擬似SOCを作成した(図示せず)。

#### 【0076】

本実施例では、機械的強度も確保され、かつ、チップ裏面側の放熱性を向上させた半導体基板を用いた擬似SOCが得られた。チップ主面側に分散したNi-Zn系フェライト微粒子は高い電気絶縁性を有し、その上に形成される配線層の信頼性が確保されるとともに、高周波領域でのノイズ対策としても有効である。

#### 【0077】

以上の実施例において、埋め込み樹脂材料として、エポキシ樹脂を用いたが、他にポリイミド樹脂、シリコン樹脂、液晶ポリマーなど、電気的特性に優れ、高い接着性を有する樹脂であれば、エポキシ樹脂の代わりに用いれば同様の効果を挙げることができる。また、上記実施例では、接着層の各膜を構成する樹脂材料を同一の樹脂としたが、必要に応じて用いる樹脂を変えてもよい。その際は、フィラーの材質、粒径、添加量などを調整して、樹脂層のヤング率、ポアソン比、線膨張係数などの材料定数が望ましい範囲に含まれるように最適化することが重要である。

#### 【0078】

また、フィラー材料として、シリカ、カーボン粒子、Ni-Zn系フェライト微粒子、窒化アルミニウムを用いたが、他に、耐熱性、絶縁特性、放熱特性など、必要な半導体装置の特性に応じて、ポリスチレン樹脂粒子のような有機樹脂や、銅・アルミ・銀などの金属粒子、また窒化ホウ素やアルミナなどの無機微粒子、カーボンナノチューブなどを用いた場合でも同様の効果を挙げることが可能で、それらの材料を添加する場合には、微粒子の粒径範囲に応じて、樹脂層のヤング率、ポアソン比、線膨張係数などの材料定数が望ましい範囲に含まれるように最適化することが重要である。

#### 【0079】

さらに、上記実施例でモジュールの最表面に表面処理で微細な凹凸を形成したが、これ

10

20

30

40

50

に関しては、表面側の樹脂に添加される微粒子の粒径が $1\ \mu\text{m}$ 以下である場合には、樹脂膜の断面の粗さ曲線において、 $l_r = c = 1\ \mu\text{m}$ 、 $s = 10\ \text{nm}$ とした時の最大高さ $R_z$ の望ましい範囲は、 $20\ \text{nm} < R_z < 500\ \text{nm}$ であった。最大高さ $R_z$ が $20\ \text{nm}$ より小さい凹凸の場合は、十分なアンカー効果が得られず、モジュールと平坦化膜との強固な密着が確保出来ず、 $500\ \text{nm}$ より大きくなると、平坦化膜での被覆性が低下し、配線が段切れしやすくなる。また、微粒子の粒径が $5\ \mu\text{m} \sim 50\ \mu\text{m}$ の範囲である場合には、樹脂層の断面の粗さ曲線において、 $l_r = c = 5\ \mu\text{m}$ 、 $s = 20\ \text{nm}$ とした時の最大高さ $R_z$ の望ましい範囲は、 $30\ \text{nm} < R_z < 1\ \mu\text{m}$ であった。最大高さ $R_z$ が $30\ \text{nm}$ より小さい凹凸の場合は、十分なアンカー効果が得られず、モジュールと平坦化膜との強固な密着が確保出来ず、 $1\ \mu\text{m}$ より大きくなると、平坦化膜でのカバー性が低下し、配線が段切れしやすくなる。ちなみに、表面側の微粒子の粒径範囲に応じて、平坦化膜の材料と膜厚、配線の材料、膜厚、線幅などを最適化する必要がある。

#### 【0080】

##### (第6実施例)

本発明の第6実施例による半導体装置を図25に示す。本実施例の半導体装置1Eは、半導体チップ10と、MEMSチップ20と、半導体チップ10とMEMSチップ20とを接着する接着層82と、を備えている。半導体チップ10は内部に半導体デバイス(例えば、CMOSデバイス)を含み、上面に半導体デバイスと電氣的に接続されるパッド14が設けられている。MEMSチップ20は内部にMEMSデバイス22を含み、上面にMEMSデバイス22と電氣的に接続されるパッド24が設けられている。接着層82は、樹脂に異なる材料定数調整剤が含まれた、第1接着膜83と第2接着膜84からなる積層構造を有している。第1接着膜83は感光性樹脂をパターンニング後、仮焼成したもので、チップ10、20の近傍の周囲を囲むように形成されている。第2接着膜84は平均粒径 $10\ \mu\text{m}$ のシリカを主成分とするフィラー86が添加されている。本実施例の半導体装置1Eに配線層を形成した擬似SOCを図26に示す。

#### 【0081】

本実施例の半導体装置1Eにおいては、第1接着膜83として、エポキシ樹脂とフェノール樹脂の共重合樹脂で感光性樹脂として所望のパターンニングが可能である。例えば、市販のネガ型永久レジストタイプであるインターピアフォト<sup>TM</sup>ダイエレクトリック樹脂(ローム・アンド・ハース電子材料株式会社製)が挙げられる。この樹脂の焼成後のヤング率は $4000\ \text{MPa}$ 、ポアソン比が $0.45$ 、線膨張係数が $62 \times 10^{-6}$ であった。第2接着膜84として、酸無水系エポキシ樹脂85に平均粒径の $10\ \mu\text{m}$ のシリカのフィラー86を $74\ \text{vol.}\%$ 添加した接着膜を用いて、ヤング率が $14000\ \text{MPa}$ 、ポアソン比が $0.25$ 、線膨張係数が $10 \times 10^{-6}$ であった。

#### 【0082】

このように構成された本実施例の半導体装置1Eにおいて、更に図26に示すように、チップの主面上に平坦化膜50を形成し、この平坦化膜50にパッド14、24に接続するビアホール52を形成し、このビアホール52を埋め込むように配線54を形成することにより、擬似SOCが完成する。なお、本実施例においては、平坦化膜50として、第1接着層83と同じ感光性樹脂を用いている。

#### 【0083】

次に、本実施例の半導体装置の製造方法を、図28(a)乃至図29(b)を参照して説明する。まず、図28(a)に示すように、支持基板100として、ガラスからなる下地基板101と、この下地基板101上に形成された粘着フィルム102との積層構造を有するものを用意する。粘着フィルム102は、厚さ $0.1\ \text{mm}$ のPETフィルム103の両面に厚さ $10\ \mu\text{m}$ のアクリル系粘着層104が形成されている。下地基板101は、その裏面に予めチップ搭載位置が印字されたマスクパターン106が形成されたガラスマスクである。ガラスマスク101に粘着フィルム102を貼り付け、粘着層103上のチップ搭載位置に対応する場所に、CMOSチップ10とMEMSチップ20を搭載し、粘着層103により仮接着する。この時、チップ間のギャップは $0.1\ \text{mm}$ であった。



## 【0084】

次に、図28(b)に示すように、インターピアフォット<sup>T M</sup>ダイエレクトリック樹脂107をスピコート法により成膜し、80でプリキュアした後、フォトマスク110に位置合わせして露光する。フォトマスク110にはマスクパターン112が形成されている。専用現像液により現像後、この樹脂107を120で仮焼成し、焼成後の膜厚は20 $\mu$ mで、チップ10,20の近傍の周囲を囲むように第1接着膜83を形成する(図29(a))。第1接着膜83を形成後、フォトマスク110を除去する。

## 【0085】

続いて、図29(b)に示すように、第2接着膜84として、酸無水系エポキシ樹脂85に平均粒径10 $\mu$ mのシリカを主成分とするフィラー86を74vol.%添加した樹脂を第1接着膜83上に、スクリーン版を用いた印刷法により形成した。その後、100で30分間の仮焼成を行い、第2接着膜84を形成した。焼成後の膜厚はチップ厚とほぼ同じ0.55mmであった。次に、支持基板100を剥離した後、180で1時間の本焼成を行い、半導体装置1Eを作成した(図25)。

## 【0086】

次に、半導体装置1Eの主面側にインターピアフォット<sup>T M</sup>ダイエレクトリック樹脂103をスピコート法により成膜し、プリキュアした後、マスクを用いてパターニングし、現像・プリキュアを経て、パッドに対応した開口部を設けた平坦化膜50が形成された(図示せず)。メッキ法でこの開口部を埋め込みビア52を形成した後、配線材料膜を堆積し、この配線材料膜をパターニングすることにより、配線パターン54を形成する(図26)。

## 【0087】

本実施例の製造方法において、第1接着膜83と平坦化膜50は同種の材料を用いているため、界面の密着強度はきわめて高い。また、第1接着膜83は感光性樹脂を用いることから、チップ周囲の、特にパッドの接続配線が形成される位置に相当する領域だけを選択的に、第1接着膜で形成することで、樹脂とチップの密着強度を高め、モジュールの信頼性を上げることが可能である。

## 【0088】

ここで、図27に示すように、狭ギャップ化した場合、モジュールのチップ端部にかかる応力は小さくなり、本実施例で用いた感光性樹脂でも十分チップ端部にかかる応力を小さくできる。また、モジュール自体の接着膜は、第2接着膜であるエポキシ樹脂で構成されていることから、チップにかかる応力の低減を図ることが可能である。なお、図27は、チップサイズが3mm角、チップの厚さが0.55mm、樹脂厚が0.55mmで、チップ間のギャップが1mmと0.1mmの2種類のサンプルに対して、ヤング率と応力との関係をシミュレーションした結果を示している。

## 【0089】

また、上記実施例において、平坦化膜として、感光性エポキシ樹脂と感光性エポキシ・フェノール共重合体樹脂を用いたが、他に感光性ポリイミド樹脂、感光性ベンゾシクロブテン樹脂など、ビアホールなどの微細加工性に優れ、かつ、平坦性と電気的特性に優れ、埋め込み樹脂材料と高い接着性を有する樹脂材料であれば、感光性エポキシ樹脂の代わりに用いて同様の効果を挙げることができる。

## 【0090】

以上説明したように、本発明の各実施形態によれば、接着層を、少なくとも二つ以上の、異なる材料定数調整剤が含まれた膜が積層された構成とすることで、接着層全体の接着強度と機械的強度を確保しながら、チップや基板に掛かる応力と反りの発生を抑えることが可能となり、チップとその間の接着層のみで構成される半導体装置でも、十分応力と反りを抑え、機械的強度を確保した擬似SOCが実現可能となる。さらに、機械的強度を補強する構成として、裏打ち層となる接着膜を設けることにより、裏面研磨し薄化を図った半導体装置でも十分な機械的強度が確保できる。よって、複数異種のチップを集積した擬似SOCにおいて、チップ間の十分な接着強度を確保し、かつデバイスそのものの機械的

10

20

30

40

50

強度を保持しながら、チップに掛かる応力と反りを低減し、デバイスの高集積化、薄化が達成できる。

【0091】

また、耐熱性、絶縁特性、放熱特性など、必要な半導体装置の特性に応じて、接着層を構成する各膜のフィラーの材料と平均粒径を適宜選択することにより、これらの半導体装置の特性の向上も実現できる。

【0092】

以上のようにSOCの持っていたメリットとSIPのもっていたメリットの両方が得られるので、これまでにない高機能なデバイスをより低コストで実現することができる。

【図面の簡単な説明】

10

【0093】

【図1】本発明の第1実施形態による半導体装置を示す断面図。

【図2】第1実施形態の半導体装置を備えた擬似SOCを示す断面図。

【図3】エポキシ樹脂のフィラー量と樹脂の硬化収縮率の関係を示す図。

【図4】エポキシ樹脂のフィラー量と樹脂のヤング率の関係を示す図。

【図5】樹脂の接着強度測定法を説明する図。

【図6】半導体装置の応力解析を説明する図。

【図7】樹脂の硬化によって生じる半導体チップと樹脂との段差を説明する図。

【図8】第1実施形態による半導体装置の接着層の最表面における凹凸を説明する図。

【図9】樹脂のヤング率と、半導体チップの応力との関係を示すシミュレーション結果。

20

【図10】樹脂のポアソン比と、半導体チップの応力との関係を示すシミュレーション結果。

【図11】樹脂の線膨張係数と、半導体チップの応力との関係を示すシミュレーション結果。

【図12】本発明の第2実施例による半導体装置の断面図。

【図13】第2実施例の半導体装置を備えた擬似SOCを示す断面図。

【図14】本発明の第1実施例による半導体装置の製造方法を示す断面図。

【図15】第1実施例の半導体装置の製造方法を示す断面図。

【図16】第1実施例の半導体装置を備えた擬似SOCの製造方法を示す断面図。

【図17】第2実施例の半導体装置を備えた擬似SOCの製造方法を示す断面図。

30

【図18】本発明の第3実施例による半導体装置の断面図。

【図19】第3実施例による半導体装置の製造方法を示す断面図。

【図20】第3実施例による半導体装置の製造方法を示す断面図。

【図21】本発明の第4実施例による半導体装置の断面図。

【図22】第4実施例の半導体装置の製造方法を示す断面図。

【図23】第4実施例の半導体装置の製造方法を示す断面図。

【図24】本発明の第5実施例による半導体装置の断面図。

【図25】本発明の第6実施例による半導体装置の断面図。

【図26】第6実施形態の半導体装置を備えた擬似SOCを示す断面図。

【図27】樹脂のヤング率と、半導体チップの応力との関係を示すシミュレーション結果

40

【図28】第6実施例の半導体装置の製造方法を示す断面図。

【図29】第6実施例の半導体装置の製造方法を示す断面図。

【符号の説明】

【0094】

1 半導体装置

1 A 半導体装置

1 B 半導体装置

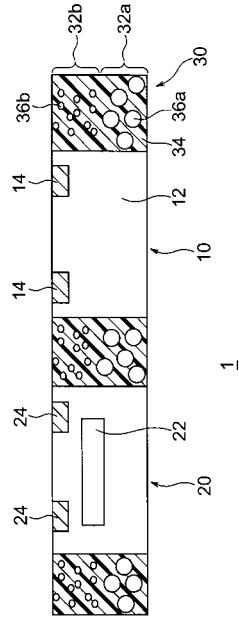
1 C 半導体装置

1 D 半導体装置

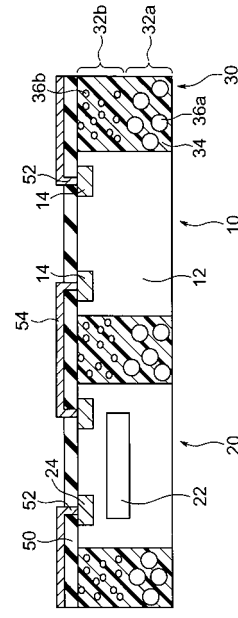
50

1 0	半導体チップ ( C M O S チップ )	
1 2	半導体デバイス	
1 4	パッド	
2 0	M E M S チップ	
2 2	M E M S デバイス	
2 4	パッド	
3 0	接着層	
3 2 a	接着膜	
3 2 b	接着膜	
3 2 c	接着膜	10
3 2 d	接着膜	
3 2 e	接着膜	
3 2 f	接着膜	
3 4	エポキシ樹脂	
3 6 a	フィラー	
3 6 b	フィラー	
3 6 c	フィラー	
3 6 d	フィラー	
3 6 e	フィラー	
3 6 f	フィラー	20
5 0	平坦化膜	
5 2	ビア	
5 4	配線	
8 0	受動部品チップ	
8 2	受動部品	
8 4	端子	

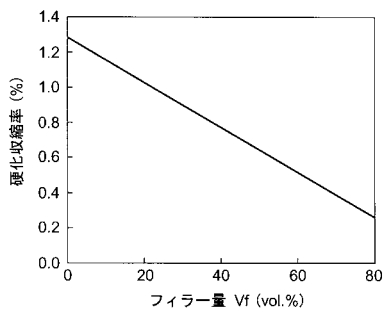
【図1】



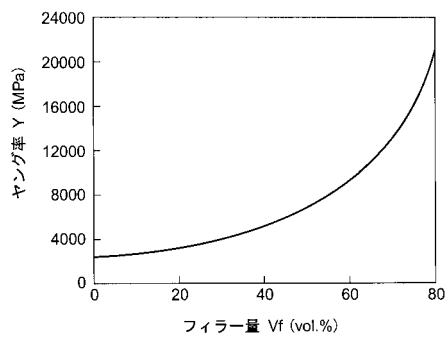
【図2】



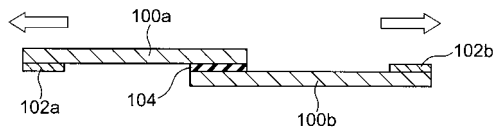
【図3】



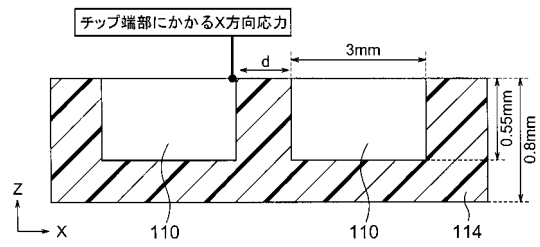
【図4】



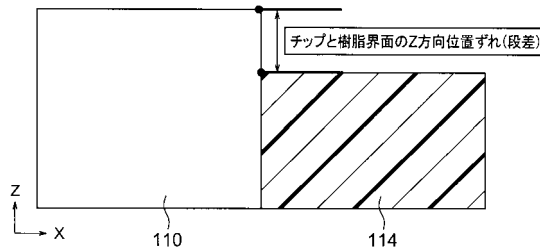
【図5】



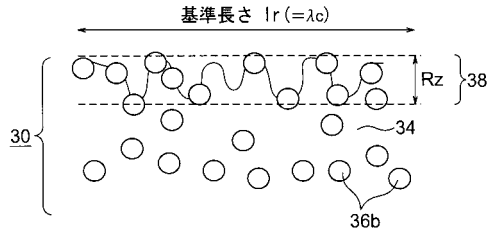
【図6】



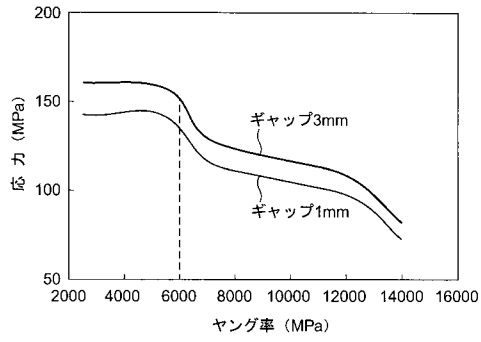
【図7】



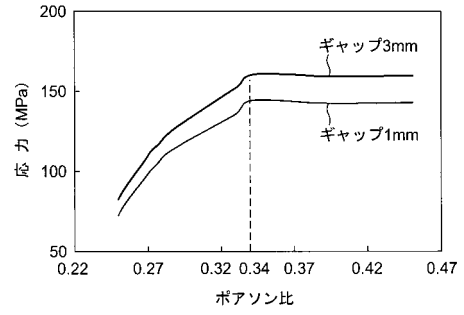
【図8】



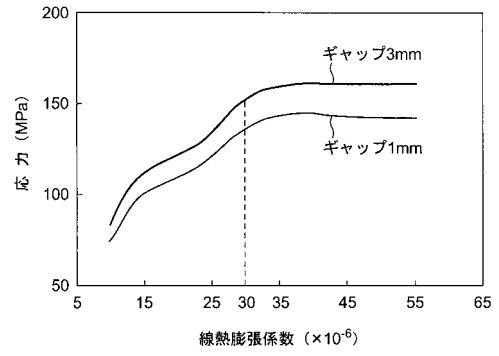
【図9】



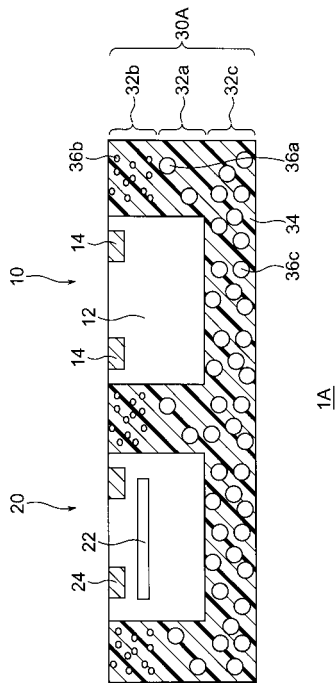
【図10】



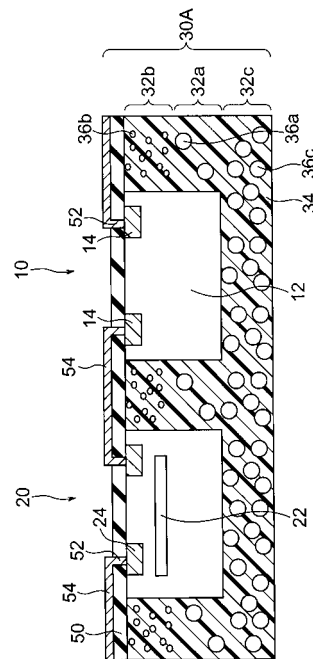
【図11】



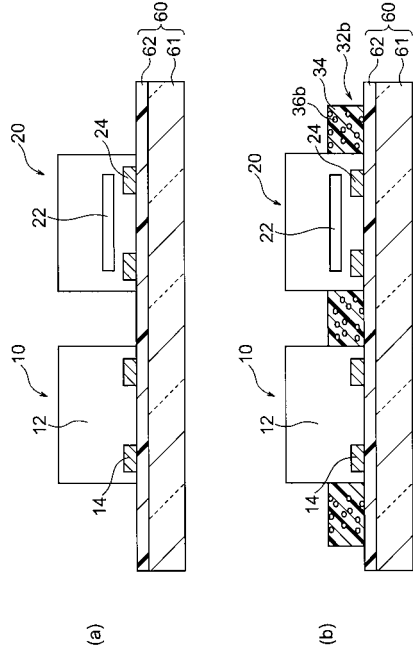
【図12】



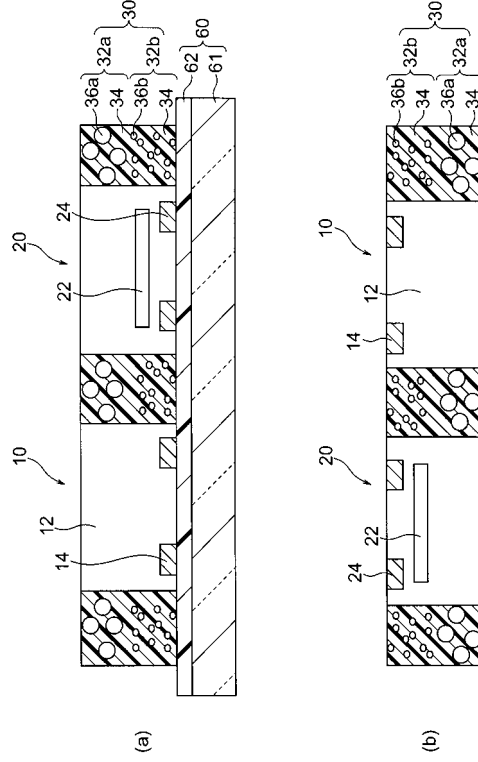
【図13】



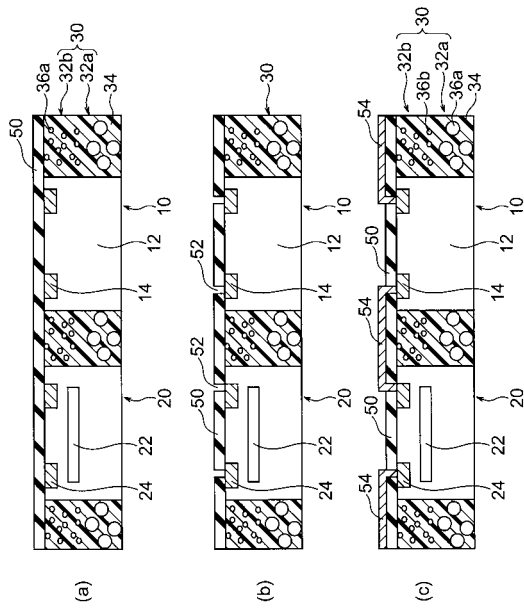
【 図 1 4 】



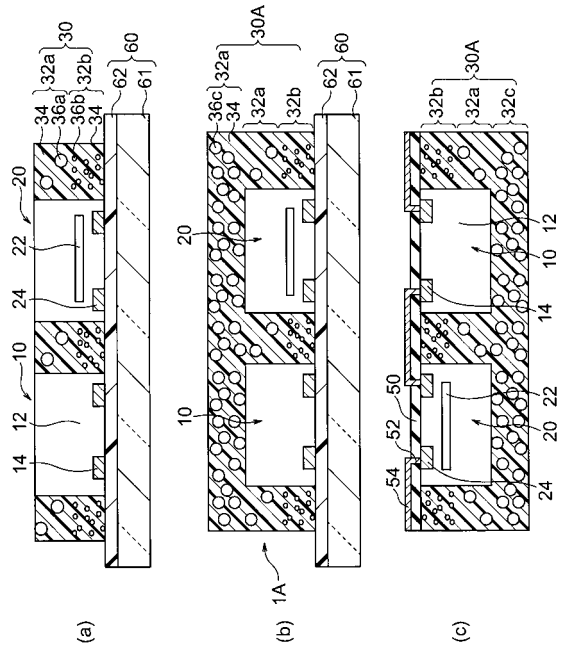
【 図 1 5 】



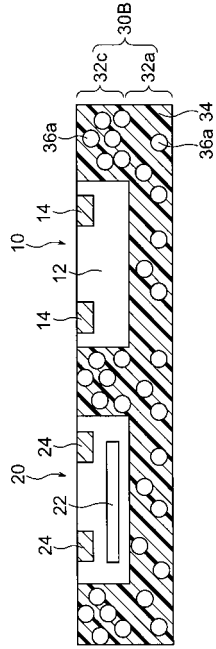
【 図 1 6 】



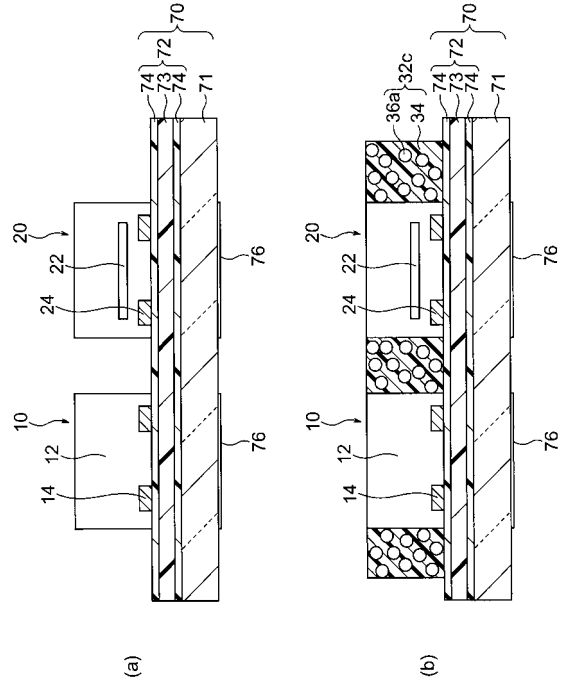
【 図 1 7 】



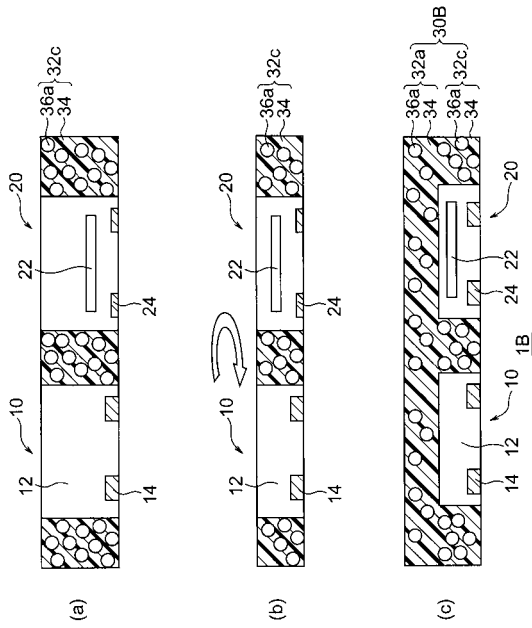
【 図 18 】



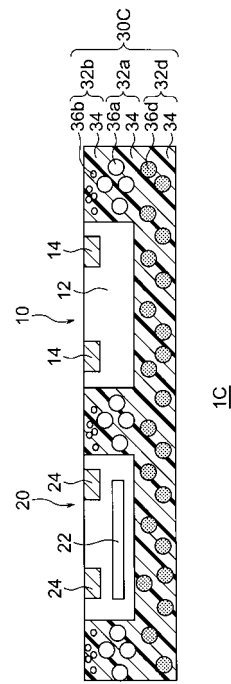
【 図 19 】



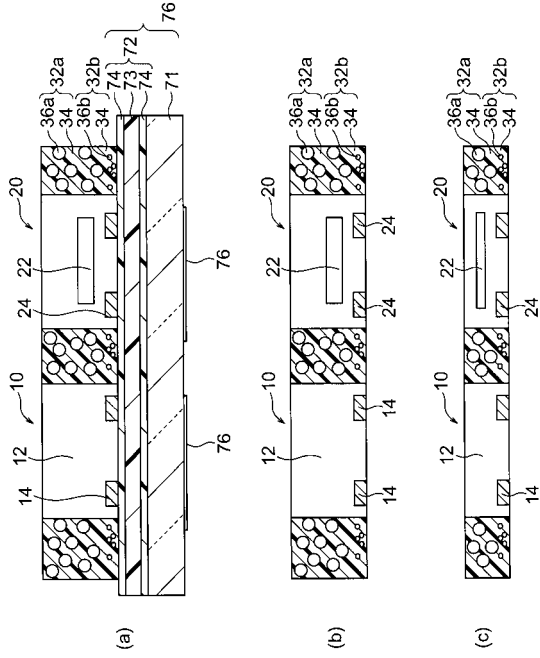
【 図 20 】



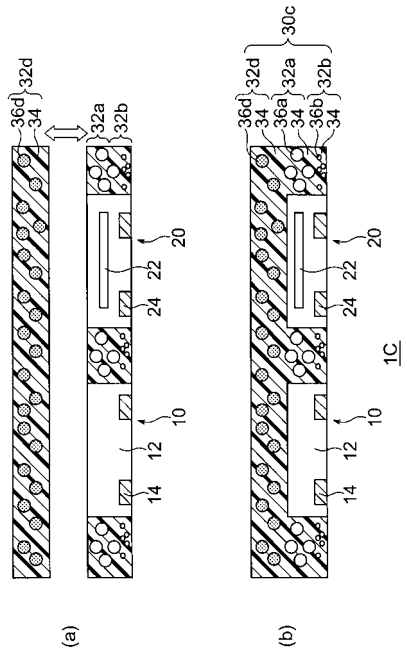
【 図 21 】



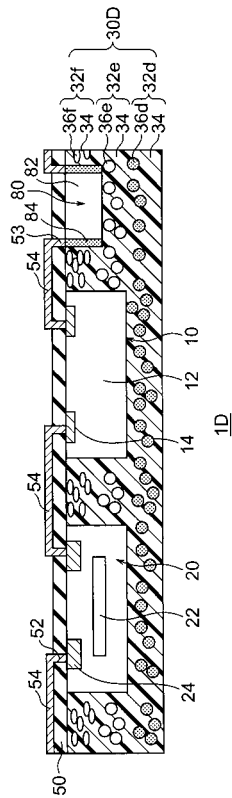
【 図 2 2 】



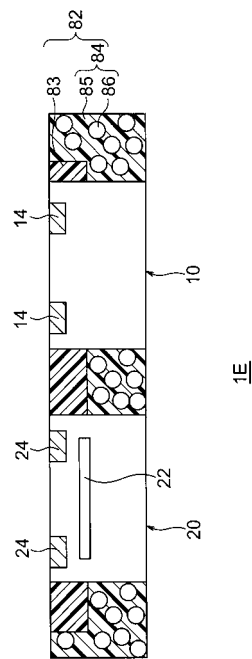
【 図 2 3 】



【 図 2 4 】

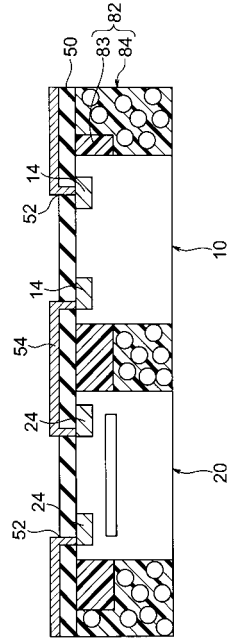


【 図 2 5 】

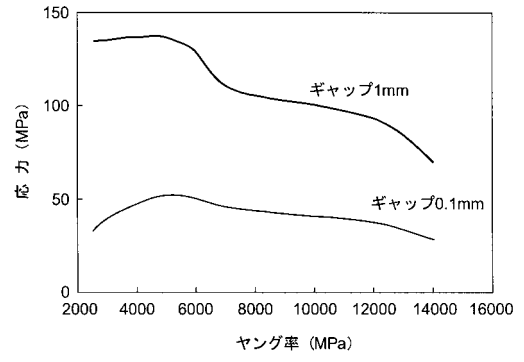




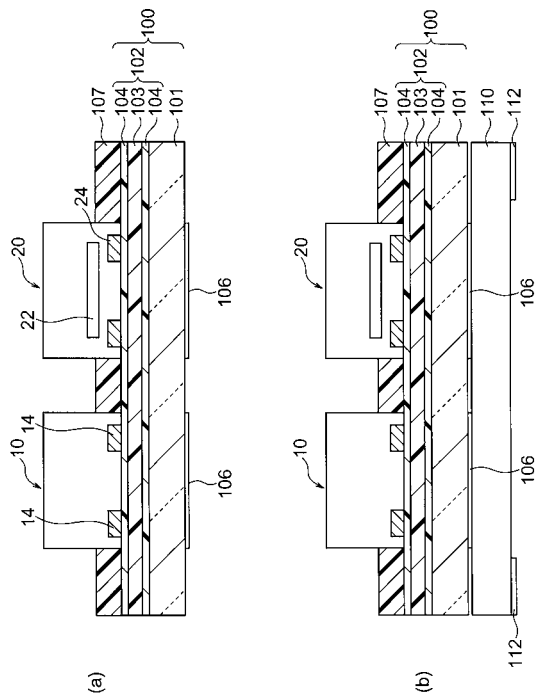
【図26】



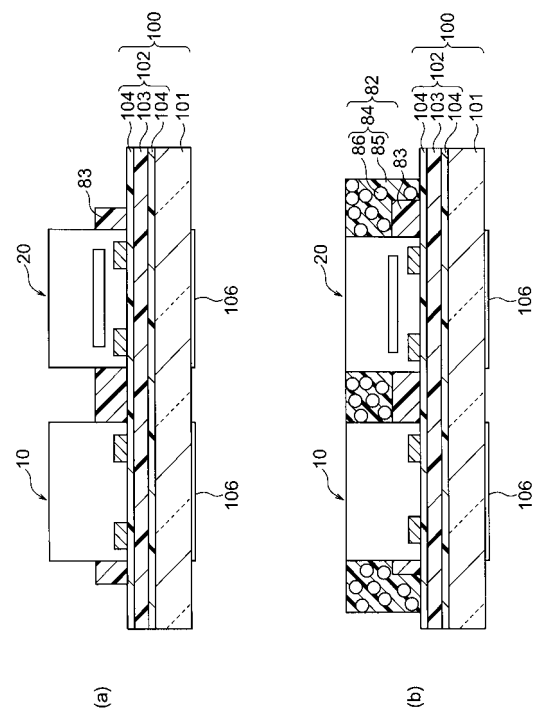
【図27】



【図28】



【図29】



---

フロントページの続き

- (72)発明者 飯田 敦子  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小野塚 豊  
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 板谷 和彦  
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 酒井 英夫

- (56)参考文献 特開2004-014629(JP,A)  
特開2007-260866(JP,A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 25/00 - 25/18, 23/28 - 23/31